【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成20年6月19日(2008.6.19)

【公表番号】特表2008-513973(P2008-513973A)
【公表日】平成20年5月1日(2008.5.1)
【年通号数】公開・登録公報2008-017
【出願番号】特願2007-518159(P2007-518159)
【国際特許分類】
Ｈ０１Ｌ　27/12　(2006.01)
Ｈ０１Ｌ　21/762　(2006.01)
Ｈ０１Ｌ　29/786　(2006.01)
Ｈ０１Ｌ　21/265　(2006.01)
Ｈ０１Ｌ　21/02　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　27/12　Ｌ
Ｈ０１Ｌ　21/76　Ｄ
Ｈ０１Ｌ　29/78　６１３Ａ
Ｈ０１Ｌ　29/78　６１８Ｃ
Ｈ０１Ｌ　29/78　６２０
Ｈ０１Ｌ　21/265　６０２Ｃ
Ｈ０１Ｌ　21/265　６０２Ａ
Ｈ０１Ｌ　21/265　６０２Ｚ
Ｈ０１Ｌ　27/12　Ｂ
Ｈ０１Ｌ　27/12　Ｅ

【手続補正書】
【提出日】平成20年4月28日(2008.4.28)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第２の半導体層および再成長半導体層を備える表面であって、前記第２の半導体層は第２の結晶学的方向を有し、前記再成長半導体層は前記第２の結晶学的方向とは異なる第１の結晶学的方向を有する、表面と、
少なくとも前記第２の半導体層と前記再成長半導体層とを分離するライナまたはスペーサと、
前記第２の半導体層の下に位置する絶縁層と、
前記絶縁層および前記再成長半導体層の下に位置する第１の半導体層であって、前記第１の半導体層は前記再成長半導体層と接触しており、前記再成長半導体層と同じ結晶学的方向を有し、前記第１の半導体層および前記第２の半導体層はそれぞれ互いに位置合わせされたウェハ・フラットを含む、第１の半導体層と、
を備える、表面に高移動度の結晶学的方向を有するハイブリッド基板。
【請求項２】
前記第１の半導体層および前記第２の半導体材料が、Ｓｉ、ＳｉＣ、ＳｉＧｅ、ＳｉＧｅＣ、Ｇｅ、Ｇｅ合金、ＧａＡｓ、ＩｎＡｓ、ＩｎＰ、シリコン・オン・インシュレータ（ＳＯＩ）総、または他のＩＩＩ／ＶおよびＩＩ／ＶＩ化合物半導体からなる、請求項１

に記載のハイブリッド基板。
【請求項３】
前記第１の半導体層および前記第２の半導体層がＳｉからなる、請求項２に記載のハイブリッド基板。
【請求項４】
前記第１の半導体層がＳｉからなり、前記第１の結晶学的方向が＜１１０＞方向の前記ウェハ・フラットを備えた（１１０）であり、前記第２の半導体層がＳｉを含み、前記第２の結晶学的方向が＜１００＞方向の前記ウェハ・フラットを備えた（１００）である、請求項１に記載のハイブリッド基板。
【請求項５】
前記第１の半導体層がＳｉからなり、前記第１の結晶学的方向が＜１００＞方向の前記ウェハ・フラットを備えた（１００）であり、前記第２の半導体層がＳｉを含み、前記第２の結晶学的方向が＜１１０＞方向の前記ウェハ・フラットを備えた（１１０）である、請求項１に記載のハイブリッド基板。
【請求項６】
前記再成長半導体層がＳｉ含有半導体を備える、請求項１に記載のハイブリッド基板。
【請求項７】
前記Ｓｉ含有半導体が、Ｓｉ、ひずみＳｉ、ＳｉＣ、ＳｉＧｅＣ、またはそれらの組み合わせを含む、請求項６に記載のハイブリッド基板。
【請求項８】
前記再成長半導体層が（１００）結晶学的方向のＳｉを含む、請求項１に記載のハイブリッド基板。
【請求項９】
前記再成長半導体層が、（１１０）結晶学的方向のＳｉを含む、請求項１に記載のハイブリッド基板。
【請求項１０】
前記ライナまたはスペーサが、酸化物、窒化物、酸窒化物、またはそれらの任意の組み合わせを含む、請求項１に記載のハイブリッド基板。
【請求項１１】
前記絶縁層が、酸化物、窒化物、酸窒化物、またはそれらの組み合わせを含む、請求項１に記載のハイブリッド基板。
【請求項１２】
前記第２の半導体層または前記再成長半導体層のうちの少なくとも１つ内に埋没酸化物領域をさらに含む、請求項１に記載のハイブリッド基板。
【請求項１３】
前記表面が少なくとも２つのデバイス領域を含む、請求項１に記載のハイブリッド基板。
【請求項１４】
前記表面が（１００）結晶学的方向および（１１０）結晶学的方向を含む、請求項１に記載のハイブリッド基板。
【請求項１５】
前記（１００）結晶学的方向の前記表面がｎ型のプレーナまたは複数ゲートＭＯＳＦＥＴデバイスを備え、前記（１１０）結晶学的方向の前記表面がｐ型のプレーナまたは複数ゲートＭＯＳＦＥＴデバイスを備える、請求項１４に記載のハイブリッド基板。
【請求項１６】
第２の半導体層および再成長半導体層を備える表面であって、前記第２の半導体層は第２の結晶学的方向を有し、前記再成長半導体層は前記第２の結晶学的方向とは異なる第１の結晶学的方向を有する、表面と、
少なくとも前記第２の半導体層と前記再成長半導体層とを分離するライナまたはスペーサと、

前記第２の半導体層の下に位置する絶縁層と、
前記絶縁層および前記再成長半導体層の下に位置する第１の半導体層であって、前記第１の半導体層は前記再成長半導体層と接触しており、前記再成長半導体層と同じ結晶学的方向を有する、第１の半導体層と、
前記第２の半導体層および前記再成長半導体層の両方に存在する少なくとも１つのプレーナまたは複数ゲートＭＯＳＦＥＴデバイスであって、前記デバイスが、同じ方向に配向され前記ＭＯＳＦＥＴデバイスに最適な表面に存在するゲートを有する、少なくとも１つのプレーナまたは複数ゲートＭＯＳＦＥＴデバイスと、
を備える、高移動度構造。
【請求項１７】
前記第１の半導体層および前記第２の半導体材料が、Ｓｉ、ＳｉＣ、ＳｉＧｅ、ＳｉＧｅＣ、Ｇｅ、Ｇｅ合金、ＧａＡｓ、ＩｎＡｓ、ＩｎＰ、シリコン・オン・インシュレータ（ＳＯＩ）総、または他のＩＩＩ／ＶおよびＩＩ／ＶＩ化合物半導体からなる、請求項１６に記載の構造。
【請求項１８】
前記第１の半導体層および前記第２の半導体層がＳｉからなる、請求項１７に記載の構造。
【請求項１９】
前記第１の半導体層がＳｉからなり、前記第１の結晶学的方向が＜１１０＞方向の前記ウェハ・フラットを備えた（１１０）であり、前記第２の半導体層がＳｉを含み、前記第２の結晶学的方向が＜１００＞方向の前記ウェハ・フラットを備えた（１００）である、請求項１６に記載の構造。
【請求項２０】
前記第１の半導体層がＳｉからなり、前記第１の結晶学的方向が＜１００＞方向の前記ウェハ・フラットを備えた（１００）であり、前記第２の半導体層がＳｉを含み、前記第２の結晶学的方向が＜１１０＞方向の前記ウェハ・フラットを備えた（１１０）である、請求項１６に記載の構造。
【請求項２１】
前記再成長半導体層がＳｉ含有半導体を備える、請求項１６に記載の構造。
【請求項２２】
前記Ｓｉ含有半導体が、Ｓｉ、ひずみＳｉ、ＳｉＣ、ＳｉＧｅＣ、またはそれらの組み合わせを含む、請求項２１に記載の構造。
【請求項２３】
前記再成長半導体層が（１００）結晶学的方向のＳｉを含む、請求項１６に記載の構造。
【請求項２４】
前記再成長半導体層が、（１１０）結晶学的方向のＳｉを含む、請求項１６に記載の構造。
【請求項２５】
前記ライナまたはスペーサが、酸化物、窒化物、酸窒化物、またはそれらの任意の組み合わせを含む、請求項１６に記載の構造。
【請求項２６】
前記絶縁層が、酸化物、窒化物、酸窒化物、またはそれらの組み合わせを含む、請求項１６に記載の構造。
【請求項２７】
前記第２の半導体層または前記再成長半導体層のうちの少なくとも１つ内に埋没酸化物領域をさらに含む、請求項１６に記載の構造。
【請求項２８】
前記表面が少なくとも２つのデバイス領域を含む、請求項１６に記載の構造。
【請求項２９】

前記表面が（１００）結晶学的方向および（１１０）結晶学的方向を含む、請求項１６に記載の構造。
【請求項３０】
前記（１００）結晶学的方向の前記表面がｎ型のプレーナまたは複数ゲートＭＯＳＦＥＴデバイスを備え、前記（１１０）結晶学的方向の前記表面がｐ型のプレーナまたは複数ゲートＭＯＳＦＥＴデバイスを備える、請求項２９に記載の構造。
【請求項３１】
絶縁層で分離された、第１のウェハ・フラットを備えた第１の結晶学的方向の第１の半導体層と、第２のウェハ・フラットを備えた第２の結晶学的方向の第２の半導体層と、を備える構造を形成するステップであって、前記第１の結晶学的方向は前記第２の結晶学的方向とは異なり、第２の半導体層は前記第１の半導体層の上に位置し、それぞれの半導体層上のウェハ・フラットは表面と同じ結晶学的方向である、形成するステップと、
前記構造の保護されていない第２の部分を残しながら、第１のデバイス領域を画定するために前記構造の第１の部分を保護するステップであって、前記構造の保護されていない部分が第２のデバイス領域を画定する、保護するステップと、
前記第１の半導体層の表面を露光させるために、前記構造の保護されていない部分をエッチングするステップと、
前記第１の半導体層の前記露光面上に、前記第１の結晶学的方向と同じ結晶学的方向を有する半導体材料を再成長させるステップと、
前記第２の半導体層の上面が前記半導体材料の上面とほぼ平面となるように、前記半導体材料を含む前記構造を平坦化するステップと、
によって提供される、ハイブリッド基板を形成する方法。
【請求項３２】
前記構造を形成するステップが層転写プロセスを含む、請求項３１に記載の方法。
【請求項３３】
前記層転写プロセスが、２つのウェハそれぞれを密接に接触させるステップと、接触したウェハを加熱するステップとを含む、請求項３２に記載の方法。
【請求項３４】
前記加熱ステップが不活性ガス環境で実行される、請求項３３に記載の方法。
【請求項３５】
前記加熱ステップが２００°から１０５０°Ｃで、２から２０時間の期間実行される、請求項３３に記載の方法。
【請求項３６】
前記保護ステップに先立って、構造の上にパッド・スタックが形成される、請求項３１に記載の方法。
【請求項３７】
前記保護ステップがリソグラフィおよびエッチングを含む、請求項３１に記載の方法。
【請求項３８】
前記再成長ステップが選択的エピタキシャル成長方法を含む、請求項３１に記載の方法。
【請求項３９】
前記構造の前記保護されていない部分の前記エッチング時に形成された開口部内の側壁上に、ライナまたはスペーサを形成するステップをさらに含む、請求項３１に記載の方法。
【請求項４０】
前記平坦化ステップが化学機械研磨または研削を含む、請求項３１に記載の方法。
【請求項４１】
前記第２の半導体層および前記再成長半導体材料上に少なくとも１つのプレーナまたは複数ゲートＭＯＳＦＥＴを形成するステップをさらに含む、請求項３１に記載の方法。
【請求項４２】

ｎ型ＭＯＳＦＥＴは（１００）結晶方向を有する表面上に形成され、ｐ型ＭＯＳＦＥＴは（１１０）結晶学的方向を有する表面上に形成される、請求項４１に記載の方法。
【請求項４３】
第２の半導体層および再成長半導体層を備える表面層であって、前記第２の半導体層は第２の結晶学的方向を有し、前記再成長半導体層は前記第２の結晶学的方向とは異なる第１の結晶学的方向を有する、表面層と、少なくとも前記第２の半導体層と前記再成長半導体層とを分離するライナまたはスペーサと、前記第２の半導体層の下に位置する絶縁層と、前記絶縁層および前記再成長半導体層の下に位置する第１の半導体層であって、前記第１の半導体層は前記再成長半導体層と接触しており、前記再成長半導体層と同じ結晶学的方向を有する、第１の半導体層と、を含む、ハイブリッド基板を提供するステップ、および
前記第２の半導体層および前記再成長半導体層の両方に少なくとも１つのプレーナまたは複数ゲートのＭＯＳＦＥＴを形成するステップであって、前記少なくとも１つのプレーナまたは複数ゲートのＭＯＳＦＥＴは、同じ方向に配向され前記ＭＯＳＦＥＴに最適な表面上に存在するチャネルおよびゲートを有する、形成するステップ、
を有する、高移動度半導体構造を形成する方法。