



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월08일
(11) 등록번호 10-2299156
(24) 등록일자 2021년09월01일

(51) 국제특허분류(Int. Cl.)
G04F 10/06 (2006.01) G01N 21/64 (2006.01)
(52) CPC특허분류
G04F 10/06 (2013.01)
G01N 21/64 (2013.01)
(21) 출원번호 10-2017-7007596
(22) 출원일자(국제) 2015년07월22일
심사청구일자 2019년12월05일
(85) 번역문제출일자 2017년03월20일
(65) 공개번호 10-2017-0048412
(43) 공개일자 2017년05월08일
(86) 국제출원번호 PCT/JP2015/070858
(87) 국제공개번호 WO 2016/035469
국제공개일자 2016년03월10일
(30) 우선권주장
JP-P-2014-179391 2014년09월03일 일본(JP)
(56) 선행기술조사문헌
KR1020110045033 A*
(뒷면에 계속)

(73) 특허권자
하마마츠 포토닉스 가부시카이가이사
일본국 시주오카켄 하마마츠시 히가시쿠 이치노초 1126-1
(72) 발명자
기타자와 겐
일본국 시주오카켄 하마마츠시 히가시쿠 이치노초 1126-1 하마마츠 포토닉스 가부시카이가이사 내
니시자와 미츠노리
일본국 시주오카켄 하마마츠시 히가시쿠 이치노초 1126-1 하마마츠 포토닉스 가부시카이가이사 내
이토 다카시
일본국 시주오카켄 하마마츠시 히가시쿠 이치노초 1126-1 하마마츠 포토닉스 가부시카이가이사 내
(74) 대리인
특허법인태평양

전체 청구항 수 : 총 10 항

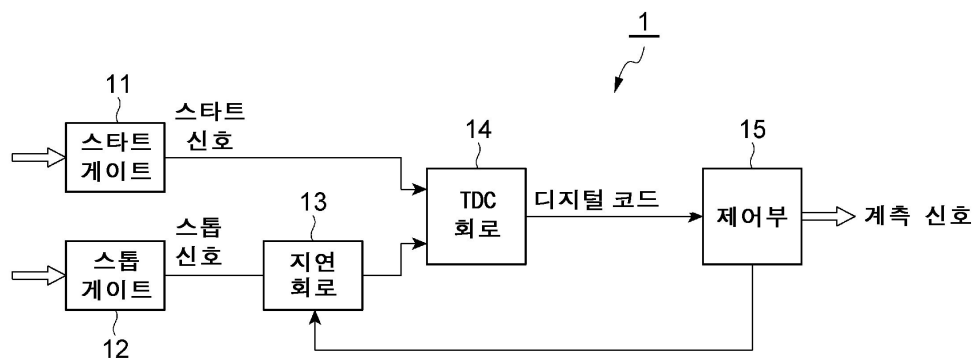
심사관 : 이정엽

(54) 발명의 명칭 시간 계측 장치, 시간 계측 방법, 발광 수명 계측 장치, 및 발광 수명 계측 방법

(57) 요약

시간 계측 장치는 제1 트리거 신호가 입력되고 나서 제2 트리거 신호가 입력될 때까지의 시간을 계측 시간으로서 산출하는 시간 계측 장치로서, 스타트 신호를 생성하는 스타트 게이트와, 스톱 신호를 생성하는 스톱 게이트와, 스타트 신호가 입력되고 나서 스톱 신호가 입력될 때까지의 시간에 상당하는 디지털 코드를 생성하는 TDC 회로와, 스타트 신호 및 스톱 신호 중 적어도 일방의 TDC 회로의 입력을, 소정의 지연 시간으로 지연시키는 지연 회로와, TDC 회로에 의해서 생성된 복수의 디지털 코드에 기초하여 계측 시간을 산출하는 제어부를 구비하고, 지연 회로는 적어도 2개의 지연 시간을 선택한다.

대표도



(56) 선행기술조사문헌

US06522395 B1*

JP2013104876 A

JP2013188466 A

JP2016519281 A

US20080252280 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

제1 트리거 신호가 입력되고 나서 제2 트리거 신호가 입력될 때까지의 시간을 계측 시간으로서 산출하는 시간 계측 장치로서,

상기 제1 트리거 신호에 따라 제1 신호를 생성하는 제1 신호 생성부와,

상기 제2 트리거 신호에 따라 제2 신호를 생성하는 제2 신호 생성부와,

상기 제1 신호 및 상기 제2 신호의 입력을 받아, 상기 제1 신호가 입력되고 나서 상기 제2 신호가 입력될 때까지의 시간에 상당하는 디지털 신호를 생성하는 디지털 변환부와,

상기 제1 신호 및 상기 제2 신호 중 적어도 일방의 상기 디지털 변환부의 입력을, 미리 설정된 복수의 지연 시간으로부터 선택된 지연 시간으로 지연시키는 시간 지연부와,

복수의 상기 디지털 신호에 기초하여 상기 계측 시간을 산출하는 시간 산출부를 구비하고,

상기 시간 지연부는 적어도 2개의 지연 시간을 선택하고,

상기 시간 산출부는 상기 디지털 신호가 나타내는 시간으로부터, 그 디지털 신호에 주어진 상기 지연 시간을 감산함으로써, 상기 계측 시간을 산출하는 시간 계측 장치.

청구항 2

청구항 1에 있어서,

상기 시간 지연부는 상기 복수의 지연 시간으로부터 선택되는 지연 시간을 경시적(經時的)으로 전환하면서, 상기 제1 신호 및 상기 제2 신호 중 적어도 일방의 상기 디지털 변환부의 입력을 지연시키는 시간 계측 장치.

청구항 3

삭제

청구항 4

청구항 1 또는 청구항 2에 있어서,

상기 디지털 변환부는 1개의 상기 제1 신호의 입력에 대해서 복수의 상기 제2 신호의 입력을 받아, 각 제2 신호의 입력에 대해서, 상기 디지털 신호를 생성하는 시간 계측 장치.

청구항 5

청구항 1 또는 청구항 2에 있어서,

상기 디지털 변환부는 상기 제1 신호 및 상기 제2 신호의 쌍인 신호쌍의 입력을 복수 개 받아, 각 신호쌍에 대해서, 상기 디지털 신호를 생성하는 시간 계측 장치.

청구항 6

제1 트리거 신호가 입력되고 나서 제2 트리거 신호가 입력될 때까지의 시간을 계측 시간으로서 산출하는 시간 계측 방법으로서,

상기 제1 트리거 신호에 따라 제1 신호를 생성하는 스텝과,

상기 제2 트리거 신호에 따라 제2 신호를 생성하는 스텝과,

디지털 변환부에 의해서, 상기 제1 신호 및 상기 제2 신호의 입력을 받아, 상기 제1 신호가 입력되고 나서 상기 제2 신호가 입력될 때까지의 시간에 상당하는 디지털 신호를 생성하는 스텝과,

상기 제1 신호 및 상기 제2 신호 중 적어도 일방의 상기 디지털 변환부로의 입력을, 미리 설정된 복수의 지연 시간으로부터 선택된 지연 시간으로 지연시키는 스텝과,
 복수의 상기 디지털 신호에 기초하여 상기 계측 시간을 산출하는 스텝을 구비하고,
 상기 지연시키는 스텝에서는, 적어도 2개의 지연 시간이 선택되고,
 상기 계측 시간을 산출하는 스텝에서는, 상기 디지털 신호가 나타내는 시간으로부터, 그 디지털 신호에 주어진 상기 지연 시간을 감산함으로써, 상기 계측 시간을 산출하는 시간 계측 방법.

청구항 7

시료(試料)로부터 발산되는 발광의 수명을 계측하는 발광 수명 계측 장치로서,
 상기 시료에 조사되는 광을 출력하는 광원과,
 상기 광의 출력에 대응하는 제1 트리거 신호를 출력하는 트리거 신호 발생부와,
 상기 시료로부터의 발광을 검출하고, 그 검출 신호를 제2 트리거 신호로서 출력하는 광 검출기와,
 상기 제1 트리거 신호 및 상기 제2 트리거 신호 중 일방의 트리거 신호가 입력되고 나서 타방의 트리거 신호가 입력될 때까지의 시간을 계측 시간으로서 산출하는 시간 계측 장치와,
 상기 계측 시간에 기초하여, 상기 발광의 수명과 관련되는 정보를 산출하는 연산부를 구비하고,
 상기 시간 계측 장치는,
 상기 일방의 트리거 신호가 입력되고, 그 일방의 트리거 신호에 따라 제1 신호를 생성하는 제1 신호 생성부와,
 상기 타방의 트리거 신호가 입력되고, 그 타방의 트리거 신호에 따라 제2 신호를 생성하는 제2 신호 생성부와,
 상기 제1 신호 및 상기 제2 신호의 입력을 받아, 상기 제1 신호가 입력되고 나서 상기 제2 신호가 입력될 때까지의 시간에 상당하는 디지털 신호를 생성하는 디지털 변환부와,
 상기 제1 신호 및 상기 제2 신호 중 적어도 일방의 상기 디지털 변환부로의 입력을, 미리 설정된 복수의 지연 시간으로부터 선택된 지연 시간으로 지연시키는 시간 지연부와,
 복수의 상기 디지털 신호에 기초하여 상기 계측 시간을 산출하는 시간 산출부를 가지고,
 상기 시간 지연부는 적어도 2개의 지연 시간을 선택하고,
 상기 시간 산출부는 상기 디지털 신호가 나타내는 시간으로부터, 그 디지털 신호에 주어진 상기 지연 시간을 감산함으로써, 상기 계측 시간을 산출하는 발광 수명 계측 장치.

청구항 8

청구항 7에 있어서,
 상기 트리거 신호 발생부는 상기 광원에 의한 상기 광의 출력을 제어하고, 그 제어 신호를 제1 트리거 신호로서 출력하는 펄스 제너레이터인 발광 수명 계측 장치.

청구항 9

청구항 7에 있어서,
 상기 트리거 신호 발생부는 상기 광원으로부터의 상기 광을 검출하고, 그 검출 신호를 상기 제1 트리거 신호로서 출력하는 제2 광 검출기인 발광 수명 계측 장치.

청구항 10

청구항 7 내지 청구항 9 중 어느 한 항에 있어서,
 상기 제1 트리거 신호는 상기 제2 신호 생성부에 입력되고, 상기 제2 트리거 신호는 상기 제1 신호 생성부에 입력되는 발광 수명 계측 장치.

청구항 11

시료로부터 발산되는 발광의 수명을 측정하는 발광 수명 측정 방법으로서,
 상기 시료에 조사되는 광을 출력하는 스텝과,
 상기 광의 출력에 대응하는 제1 트리거 신호를 출력하는 스텝과,
 상기 시료로부터의 발광을 검출하고, 그 검출 신호를 제2 트리거 신호로서 출력하는 스텝과,
 상기 제1 트리거 신호 및 상기 제2 트리거 신호 중 일방의 트리거 신호가 입력되고 나서 타방의 트리거 신호가 입력될 때까지의 시간을 측정 시간으로서 산출하는 스텝과,
 상기 측정 시간에 기초하여, 상기 발광의 수명과 관련되는 정보를 산출하는 스텝을 구비하고,
 상기 측정 시간으로서 산출하는 스텝에는,
 상기 일방의 트리거 신호에 따라 제1 신호를 생성하는 스텝과,
 상기 타방의 트리거 신호에 따라 제2 신호를 생성하는 스텝과,
 디지털 변환부에 의해서, 상기 제1 신호 및 상기 제2 신호의 입력을 받아, 상기 제1 신호가 입력되고 나서 상기 제2 신호가 입력될 때까지의 시간에 상당하는 디지털 신호를 생성하는 스텝과,
 상기 제1 신호 및 상기 제2 신호 중 적어도 일방의 상기 디지털 변환부의 입력을, 미리 설정된 복수의 지연 시간으로부터 선택된 지연 시간으로 지연시키는 스텝과,
 복수의 상기 디지털 신호에 기초하여 상기 측정 시간을 산출하는 스텝이 포함되어 있고,
 상기 지연시키는 스텝에서는, 적어도 2개의 지연 시간이 선택되고,
 상기 측정 시간을 산출하는 스텝에서는, 상기 디지털 신호가 나타내는 시간으로부터, 그 디지털 신호에 주어진 상기 지연 시간을 감산함으로써, 상기 측정 시간을 산출하는 발광 수명 측정 방법.

발명의 설명

기술 분야

[0001] 본 발명의 일 양태는 시간 측정 장치, 시간 측정 방법, 발광 수명 측정 장치 및 발광 수명 측정 방법에 관한 것이다.

배경 기술

[0002] 시료(試料)에 여기광(勵起光)을 조사했을 때의 발광의 수명을 측정하는 발광 수명 측정 장치 등에 있어서는, 스타트 펄스 신호 및 스톱 펄스 신호의 시간차와 관련되는 정보를 출력하는 시간 측정 장치가 이용된다. 이러한 시간 측정 장치로서, 상술한 시간차를 디지털 신호로서 출력함으로써 시간을 측정하는 TDC(Time-digital-converter) 방식을 이용한 시간 측정 장치가 알려져 있다(예를 들면 비특허 문헌 1 참조). TDC 방식은 시간차를 아날로그 신호로서 출력하는 TAC(Time-Analog-Converter) 방식과 비교하면, 측정 레인지가 길고 저비용이라고 하는 점에서 유리하다.

선행기술문헌

비특허문헌

[0003] (비특허문헌 0001) 비특허 문헌 1 : 「Advanced Time-Correlated Single Photon Counting Techniques」 W.Becker (2005)

발명의 내용

해결하려는 과제

[0004] TDC 방식을 이용한 시간 계측 장치에 있어서는, 스타트 펄스 신호가 출력되고 나서 스톱 펄스 신호가 출력될 때까지의 실시간에 대응하는 양자화 간격의 디지털 신호를 출력한다. 그렇지만, 양자화 간격을 일정 간격으로 하는 것은 어렵고, 실시간과 양자화 간격을 완전하게 대응시키는 것은 곤란하다. 양자화 간격이 균일하지 않게 됨(미분 비직선성의 영향이 커짐)으로써, 실시간과 본래는 대응하고 있지 않은 디지털 신호를 출력해 버리는 경우가 있고, 이 경우, 시간 계측의 정밀도를 충분히 확보할 수 없게 될 우려가 있다.

[0005] 본 발명의 일 양태는, 상기 과제의 해결을 위해서 이루어진 것으로서, 고정밀도로 시간 계측을 행할 수 있는 시간 계측 장치, 시간 계측 방법, 발광 수명 계측 장치 및 발광 수명 계측 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 일 양태에 따른 시간 계측 장치는, 제1 트리거 신호가 입력되고 나서 제2 트리거 신호가 입력될 때까지의 시간을 계측 시간으로서 산출하는 장치로서, 제1 트리거 신호에 따라 제1 신호를 생성하는 제1 신호 생성부와, 제2 트리거 신호에 따라 제2 신호를 생성하는 제2 신호 생성부와, 제1 신호 및 제2 신호의 입력을 받아, 제1 신호가 입력되고 나서 제2 신호가 입력될 때까지의 시간에 상당하는 디지털 신호를 생성하는 디지털 변환부와, 제1 신호 및 제2 신호 중 적어도 일방의 디지털 변환부로의 입력을, 미리 설정된 복수의 지연 시간으로부터 선택된 지연 시간으로 지연시키는 시간 지연부와, 복수의 디지털 신호에 기초하여 계측 시간을 산출하는 시간 산출부를 구비하고, 시간 지연부는 적어도 2개의 지연 시간을 선택한다.

[0007] 이 시간 계측 장치에서는, 제1 신호 및 제2 신호 중 적어도 일방의 신호가 지연되어, 제1 신호 및 제2 신호의 입력의 시간차로부터 생성되는 복수의 디지털 신호에 기초하여, 제1 트리거 신호가 입력되고 나서 제2 트리거 신호가 입력될 때까지의 시간인 계측 시간이 산출된다. 그리고 제1 신호 및 제2 신호 중 적어도 일방의 신호에 주는 지연 시간이, 적어도 2개의 상이한 지연 시간으로 된다. 일반적으로, 디지털 변환과 관련되는 양자화 간격을 일정 간격으로 하는 것은 어렵고, 양자화 간격에 편차가 있기 때문에, 실시간과 양자화 간격을 완전하게 대응시키는 것은 곤란하며, 이것에 의해 시간 계측의 정밀도가 저하되기 쉽다. 이 점, 본 발명의 일 양태에서는, 복수의 지연 시간에 따른 복수의 디지털 신호로부터 계측 시간을 산출하므로, 양자화 간격에 편차가 있는 경우에도, 복수의 지연 시간에 의해서 양자화 간격의 편차가 평활화되어, 복수의 디지털 신호 전체로부터 고정밀도로 시간을 산출할 수 있다. 이상으로부터 본 발명의 일 양태에 의하면, 고정밀도로 시간 계측을 행할 수 있다.

[0008] 또, 시간 지연부는 복수의 지연 시간으로부터 선택되는 지연 시간을 경시적(經時的)으로 전환하면서, 제1 신호 및 제2 신호 중 적어도 일방의 디지털 변환부로의 입력을 지연시켜도 된다. 이것에 의해, 시간이 상이한 복수의 지연 시간을, 차례로, 제1 신호 및 제2 신호 중 적어도 일방에 줄 수 있어, 복수의 지연 시간에 따른 복수의 디지털 신호를 효율적으로 생성할 수 있다. 즉, 고정밀의 시간 계측을 효율적으로 행할 수 있다.

[0009] 또, 시간 산출부는 디지털 신호가 나타내는 시간으로부터, 그 디지털 신호에 주어진 지연 시간을 감산함으로써, 계측 시간을 산출해도 된다. 이것에 의해, 지연 시간에 따른 복수의 디지털 신호에 의해 양자화 간격의 편차를 평활화하면서, 지연 시간을 뺀 실시간을 적절히 산출할 수 있다.

[0010] 또, 디지털 변환부는 1개의 제1 신호의 입력에 대해서 복수의 제2 신호의 입력을 받아, 각 제2 신호의 입력에 대해서, 디지털 신호를 생성해도 된다. 이것에 의해, 1개의 제1 트리거 신호에 대해서, 복수의 제2 트리거 신호가 입력되는 경우에도 대응할 수 있다.

[0011] 또, 디지털 변환부는 제1 신호 및 제2 신호의 쌍인 신호쌍의 입력을 복수 개 받아, 각 신호쌍에 대해서, 디지털 신호를 생성해도 된다.

[0012] 본 발명의 일 양태에 따른 시간 계측 방법은, 제1 트리거 신호가 입력되고 나서 제2 트리거 신호가 입력될 때까지의 시간을 계측 시간으로서 산출하는 방법으로서, 제1 트리거 신호에 따라 제1 신호를 생성하는 스텝과, 제2 트리거 신호에 따라 제2 신호를 생성하는 스텝과, 디지털 변환부에 의해서, 제1 신호 및 제2 신호의 입력을 받아, 제1 신호가 입력되고 나서 제2 신호가 입력될 때까지의 시간에 상당하는 디지털 신호를 생성하는 스텝과, 제1 신호 및 제2 신호 중 적어도 일방의 디지털 변환부로의 입력을, 미리 설정된 복수의 지연 시간으로부터 선택된 지연 시간으로 지연시키는 스텝과, 복수의 디지털 신호에 기초하여 계측 시간을 산출하는 스텝을 구비하고, 지연시키는 스텝에서는 적어도 2개의 지연 시간이 선택된다.

[0013] 본 발명의 일 양태에 따른 발광 수명 계측 장치는, 시료로부터 발산되는 발광의 수명과 관련되는 정보를 계측하는 장치로서, 시료에 조사되는 광을 출력하는 광원과, 광의 출력에 대응하는 제1 트리거 신호를 출력하는 트리거 신호 발생부와, 시료로부터의 발광을 검출하고, 그 검출 신호를 제2 트리거 신호로서 출력하는 광 검출기와,

제1 트리거 신호 및 제2 트리거 신호 중 일방의 트리거 신호가 입력되고 나서 타방의 트리거 신호가 입력될 때까지의 시간을 계측 시간으로서 산출하는 시간 계측 장치와, 계측 시간에 기초하여, 발광의 수명과 관련되는 정보를 산출하는 연산부를 구비하고, 시간 계측 장치는 일방의 트리거 신호가 입력되고, 그 일방의 트리거 신호에 따라 제1 신호를 생성하는 제1 신호 생성부와, 타방의 트리거 신호가 입력되고, 그 타방의 트리거 신호에 따라 제2 신호를 생성하는 제2 신호 생성부와, 제1 신호 및 제2 신호의 입력을 받아, 제1 신호가 입력되고 나서 제2 신호가 입력될 때까지의 시간에 상당하는 디지털 신호를 생성하는 디지털 변환부와, 제1 신호 및 제2 신호 중 적어도 일방의 디지털 변환부의 입력을, 미리 설정된 복수의 지연 시간으로부터 선택된 지연 시간으로 지연시키는 시간 지연부와, 복수의 디지털 신호에 기초하여 계측 시간을 산출하는 시간 산출부를 가지고, 시간 지연부는 적어도 2개의 지연 시간을 선택한다.

[0014] 이 발광 수명 계측 장치에서는, 광원에 의한 광의 조사에 대응하는 제1 트리거 신호에 따른 제1 신호 및 시료로부터의 발광의 검출 신호인 제2 트리거 신호에 따른 제2 신호 중 적어도 일방의 신호, 또는 광원에 의한 광의 조사에 대응하는 제1 트리거 신호에 따른 제2 신호 및 시료로부터의 발광의 검출 신호인 제2 트리거 신호에 따른 제1 신호 중 적어도 일방의 신호가 지연되고, 제1 신호 및 제2 신호의 시간차로부터 생성되는 복수의 디지털 신호에 기초하여, 제1 트리거 신호 및 제2 트리거 신호 중 일방의 트리거 신호가 입력되고 나서 타방의 트리거 신호가 입력될 때까지의 시간인 계측 시간이 산출된다. 제1 신호 및 제2 신호 중 적어도 일방에 주어지는 지연 시간이, 적어도 2개의 상이한 지연 시간으로 된다. 그리고 계측 시간에 기초하여 발광의 수명과 관련되는 정보가 산출된다. 복수의 지연 시간에 따른 복수의 디지털 신호로부터 계측 시간을 산출하므로, 양자화 간격에 편차가 있는 경우에도, 복수의 지연 시간에 의해서 양자화 간격의 편차가 평활화되어, 복수의 디지털 신호 전체로부터 고정밀도로 시간을 산출할 수 있다. 이것으로, 시료로부터 발산되는 발광의 수명과 관련되는 정보를 고정밀도로 산출할 수 있다.

[0015] 또, 트리거 신호 발생부는 광원에 의한 광의 출력을 제어하고, 그 제어 신호를 제1 트리거 신호로서 출력하는 펄스 제너레이터여도 되고, 광원으로부터의 광을 검출하고, 그 검출 신호를 제1 트리거 신호로서 출력하는 제2 광 검출기여도 된다. 발광 수명 계측 장치는 다양한 형태의 장치가 제안되어 있지만, 본 발명의 일 양태는, 어느 형태에도 대응 가능하다.

[0016] 또, 제1 트리거 신호는 제2 신호 생성부에 입력되고, 제2 트리거 신호는 제1 신호 생성부에 입력되어도 된다. 예를 들면, 형광(螢光) 수명을 계측하는 경우, 여기광을 조사해도 형광이 발생하지 않는 경우가 있다. 이 경우, 여기광의 출력에 따라서 제1 신호를 출력하면 시간 계측을 할 수 없을 우려가 있다. 이에, 제1 신호를 형광의 검출에 따른 신호로 함으로써, 시간 계측을 할 수 없는 것을 방지할 수 있다.

[0017] 본 발명의 일 양태에 따른 발광 수명 계측 방법은, 시료로부터 발산되는 발광의 수명과 관련되는 정보를 계측하는 방법으로서, 시료에 조사되는 광을 출력하는 스텝과, 광의 출력에 대응하는 제1 트리거 신호를 출력하는 스텝과, 시료로부터의 발광을 검출하고, 그 검출 신호를 제2 트리거 신호로서 출력하는 스텝과, 제1 트리거 신호 및 제2 트리거 신호 중 일방의 트리거 신호가 입력되고 나서 타방의 트리거 신호가 입력될 때까지의 시간을 계측 시간으로서 산출하는 스텝과, 계측 시간에 기초하여, 발광의 수명과 관련되는 정보를 산출하는 스텝을 구비하고, 계측 시간으로서 산출하는 스텝에는, 일방의 트리거 신호에 따라 제1 신호를 생성하는 스텝과, 타방의 트리거 신호에 따라 제2 신호를 생성하는 스텝과, 디지털 변환부에 의해서, 제1 신호 및 제2 신호의 입력을 받아, 제1 신호가 입력되고 나서 제2 신호가 입력될 때까지의 시간에 상당하는 디지털 신호를 생성하는 스텝과, 제1 신호 및 제2 신호 중 적어도 일방의 디지털 변환부의 입력을, 미리 설정된 복수의 지연 시간으로부터 선택된 지연 시간으로 지연시키는 스텝과, 복수의 디지털 신호에 기초하여 계측 시간을 산출하는 스텝이 포함되어 있고, 지연시키는 스텝에서는 적어도 2개의 지연 시간이 선택된다.

발명의 효과

[0018] 본 발명의 일 양태에 의하면, 고정밀도로 시간 계측을 행할 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 제1 실시 형태에 따른 시간 계측 장치를 나타내는 도면이다.

도 2는 이상적인 양자화 간격에 있어서의 계측 결과의 예를 나타내는 도면이다.

도 3은 지연 시간이 없는 경우의 계측 결과의 예를 나타내는 도면이다.

도 4는 지연 시간을 1nsec로 했을 경우의 계측 결과의 예를 나타내는 도면이다.

도 5는 지연 시간을 2nsec로 했을 경우의 계측 결과의 예를 나타내는 도면이다.

도 6은 각 계측 결과를 모두 더한 예를 나타내는 도면이다.

도 7은 미분 비직선성의 주기성을 나타내는 그래프이다.

도 8은 도 1에 도시한 시간 계측 장치의 시간 계측 처리를 나타내는 순서도이다.

도 9는 본 발명의 제2 실시 형태에 따른 발광 수명 계측 장치를 나타내는 도면이다.

도 10은 도시한 발광 수명 계측 장치의 발광 수명 계측 처리를 나타내는 순서도이다.

도 11은 변형예에 따른 시간 계측 장치를 나타내는 도면이다.

도 12는 변형예에 따른 시간 계측 장치를 나타내는 도면이다.

도 13은 변형예에 따른 발광 수명 계측 장치를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 도면을 참조하면서, 본 발명의 일 양태에 따른 시간 계측 장치, 시간 계측 방법, 발광 수명 계측 장치 및 발광 수명 계측 방법의 일 양태에 따른 실시 형태에 대해 상세하게 설명한다.

[0021] [제1 실시 형태]

[0022] 도 1은 본 발명의 제1 실시 형태에 따른 시간 계측 장치를 나타내는 도면이다. 시간 계측 장치(1)는 제1 트리거 신호가 입력되고 나서 제2 트리거 신호가 입력될 때까지의 시간을 계측 시간으로서 산출하는 시간 계측 장치이다. 시간 계측 장치(1)는 상이한 타이밍에서 입력되는 2개의 신호(제1 트리거 신호 및 제2 트리거 신호)로부터, 당해 2개의 신호의 입력 타이밍의 차를 산출하는, 각종의 장치 및 시스템에 적용할 수 있고, 예를 들면, 시료로부터 발산되는 발광의 수명을 계측하는 발광 수명 계측 장치 등에 적용할 수 있다. 발광 수명 계측 장치에 적용한 예의 상세한 것에 대하여는, 제2 실시 형태에 기재한다.

[0023] 시간 계측 장치(1)는 스타트 게이트(11)(제1 신호 생성부)와, 스톱 게이트(12)(제2 신호 생성부)와, 지연 회로(13)(시간 지연부)와, TDC(Time-Digital-Convertor) 회로(14)(디지털 변환부)와, 제어부(15)(시간 산출부)를 구비하고 있다.

[0024] 스타트 게이트(11)는 외부로부터 제1 트리거 신호의 입력을 받아, 그 제1 트리거 신호에 따라 스타트 신호(제1 신호)를 생성하여 TDC 회로(14)에 출력하는 제1 신호 생성기(first signal generator)이다. 스타트 신호는 예를 들면 펄스 신호이다. 스톱 게이트(12)는 외부로부터 제2 트리거 신호의 입력을 받아, 그 제2 트리거 신호에 따라 스톱 신호(제2 신호)를 생성하여 지연 회로(13)에 출력하는 제2 신호 생성기(second signal generator)이다. 스톱 신호는 예를 들면 펄스 신호이다. 제1 트리거 신호 및 제2 트리거 신호는, 쌍으로 되어 연속적으로 시간 계측 장치(1)에 입력된다. 따라서 이들 신호를 계기로 하여 출력되는 스타트 신호 및 스톱 신호에 대해서도, 쌍으로 되어 연속적으로 출력된다. 또한, 스타트 게이트(11)가 제1 트리거 신호를 받고 나서 스타트 신호를 출력하기까지 필요로 하는 시간과, 스톱 게이트(12)가 제2 트리거 신호를 받고 나서 스톱 신호를 출력하기까지 필요로 하는 시간은, 대략 동일한 것으로 해도 되고, 이미 알려져 있는 시간만큼 시간차를 갖게 해도 된다.

[0025] 지연 회로(13)는 스톱 게이트(12)로부터 스톱 신호의 입력을 받아, 당해 스톱 신호의 TDC 회로(14)로의 입력을, 미리 설정된 복수의 지연 시간으로부터 선택된 하나의 지연 시간만큼 지연시킨다. 당해 하나의 지연 시간은, 스타트 신호 및 스톱 신호의 쌍인 신호쌍마다 설정되어 있다. 지연 회로(13)는 복수의 신호쌍 중 적어도 2개의 신호쌍에 주는 상기 하나의 지연 시간을, 서로 상이한 지연 시간으로 한다. 보다 상세하게는, 지연 회로(13)는 복수의 지연 시간(지연량)을 경시적으로 전환하면서, 스톱 신호를 지연시킨다. 또한, 복수의 지연 시간에는, 지연 시간 : 0nsec(지연 시간 없음)가 포함되어 있어도 된다. 이러한 복수의 지연 시간은, 제어부(15)에 의해서 미리 정해져 있고, 지연 시간의 경시적인 전환에 대해서도 제어부(15)에 의해서 제어되고 있다. 또한, 지연 시간은, 예를 들면 양자화 간격(자세한 것은 후술) 단위의 n배(n은 양의 정수)에 상당하는 시간이 되도록 설정된다. 예를 들면, 지연 회로(13)는 제어부(15)에 의해서 지연 시간이 1nsec로 되어 있는 경우에는, 스톱 신호의 입력을 받고 나서 1nsec만큼 지연시킨 후 당해 스톱 신호를 출력한다. 또, 지연 회로(13)는 제어부(15)에 의해서 지연 시간이 2nsec로 된 경우에는, 당해 제어부(15)의 제어에 따라 지연 시간을 2nsec로 전환하고, 스톱 신호의 입력을 받고 나서 2nsec만큼 지연시킨 후 당해 스톱 신호를 출력한다. 또한, 본 실시 형태에서는 지연 회로(13)는

스톱 신호를 지연시키는 것으로서 설명하지만, 지연 회로(13)는 스타트 신호 및 스톱 신호 중 적어도 일방의 신호를 지연시키는 것이면 되고, 스타트 게이트(11)로부터의 스타트 신호를 받아 소정의 지연 시간만큼 스타트 신호를 지연시켜도 되고, 스타트 신호 및 스톱 신호의 쌍방을 지연시켜도 된다.

[0026] TDC 회로(14)는 스타트 신호 및 스톱 신호의 쌍인 신호쌍의 입력을 복수 개 받아, 각 신호쌍에 대해서, 미리 정해진 소정의 양자화 간격에 기초하여, 스타트 신호가 입력되고 나서 스톱 신호가 입력될 때까지의 시간에 상당하는 디지털 코드(디지털 신호)를 출력하는 디지털 변환기이다. TDC 회로(14)는 지연 회로(13)에 의해 지연된 스톱 신호의 지연 시간을 가미하여, 소정의 양자화 간격에 기초한 디지털 코드를 복수 개 생성·출력한다. TDC 회로(14)로서는, CMOS(Complementary Metal Oxide Semiconductor)형 TDC 회로나, TAC(Time-Analog-Converter) 및 ADC(Analog-Digital-Converter)를 조합한 회로 등이 있다. 시간 계측 장치(1)는 TDC 회로(14)를 1개만 포함하고 있다. 이하, 도 2~도 6도 참조하면서, TDC 회로(14)에 의한 디지털 코드의 출력에 대해 설명한다. 도 2는 이상적인 양자화 간격에 있어서의 계측 결과의 예를 나타내는 도면이다. 도 3은 지연 시간이 없는 경우의 계측 결과의 예를 나타내는 도면이다. 도 4는 지연 시간을 1nsec로 했을 경우의 계측 결과의 예를 나타내는 도면이다. 도 5는 지연 시간을 2nsec로 했을 경우의 계측 결과의 예를 나타내는 도면이다. 도 6은 각 계측 결과를 모두 더한 예를 나타내는 도면이다.

[0027] 도 2~도 6에 나타내는 예에서는, TDC 회로(14)의 양자화 간격이 1nsec로 설정되어 있고, 0~1nsec에 대해서 디지털 코드 000이, 1~2nsec에 대해서 디지털 코드 001이, 각각 설정되어 있다. 또, 2~3nsec에 대해서 디지털 코드 010이, 3~4nsec에 대해서 디지털 코드 011이, 각각 설정되어 있다. 또, 4~5nsec에 대해서 디지털 코드 100이, 5~6nsec에 대해서 디지털 코드 101이, 각각 설정되어 있다. 또, 6~7nsec에 대해서 디지털 코드 110이, 7~8nsec에 대해서 디지털 코드 111이, 각각 설정되어 있다. 제1 트리거 신호에 대해서 비동기인 제2 트리거 신호를 연속해 입력하면, 도 2에 도시하는 것처럼 양자화 간격이 일정(이상적인 양자화 간격)인 경우에는, TDC 회로(14)로부터 출력되는 디지털 코드의 카운트수는, 각 시간, 동일한 정도가 된다. 그렇지만, 다양한 요인(예를 들면 TDC 회로(14)가 CMOS형인 경우에는 내부 지연 회로의 정밀도의 요인, TDC 회로(14)가 TAC 및 ADC의 조합형인 경우에는 아날로그 회로의 정밀도의 요인 등)에 의해, TDC 회로(14)의 양자화 간격에는 불균일성이 생겨 버린다(도 3). 예를 들면 도 3에서는, 디지털 코드 001의 양자화 간격과 비교해서, 디지털 코드 011의 양자화 간격이 크다. 이러한 경우, 양자화 간격이 균일한 경우에는 동일했던 각 시간의 디지털 코드의 카운트수가, 도 3에 도시하는 것처럼, 양자화 간격이 불균일하게 됨으로써 고르지 않게 된다. 즉, 양자화 간격이 비교적 큰 디지털 코드 011의 카운트수는, 양자화 간격이 비교적 작은 디지털 코드 001의 카운트수 보다도 적게 된다. 이것으로부터 분명한 것처럼, TDC 회로(14)의 양자화 간격에 불균일성(미분 비직선성)이 생겨 버림으로써, 출력되는 디지털 코드의 정밀도가 저하될 우려가 있다.

[0028] 이 점, TDC 회로(14)에서는, 지연 시간이 상이한 복수의 스톱 신호에 따른 디지털 코드를 생성함으로써, 최종적으로 제어부(15)로부터 출력되는 시간 계측 결과의 정밀도를 담보하고 있다. 즉, TDC 회로(14)는, 예를 들면 도 4에 도시하는 것처럼, 1nsec 지연된 스톱 신호에 기초하여, 스타트 신호가 입력되고 나서 스톱 신호가 입력될 때까지의 시간에 상당하는 디지털 코드를 출력하고, 추가로, 도 5에 도시하는 것처럼, 2nsec 지연된 스톱 신호에 기초하여, 스타트 신호가 입력되고 나서 스톱 신호가 입력될 때까지의 시간에 상당하는 디지털 코드를 출력한다. 그리고 제어부(15)에 의해서, 각 지연 시간(지연 시간: 0nsec, 1nsec, 2nsec)에 있어서의 동일 시간의 디지털 코드(도 3~도 5)의 카운트수가 모두 더해짐으로써, 양자화 간격의 편차가 평활화된 계측 신호가 출력 가능해진다. 또한, 동일 시간의 디지털 코드란, 예를 들면 실시간이 0~1nsec이면, 지연 시간이 0nsec의 디지털 코드 「000」(도 3), 지연 시간이 1nsec의 디지털 코드 「001」(도 4), 및 지연 시간이 2nsec의 디지털 코드 「010」이다. 즉, 각각의 지연 시간만큼, 대응하는 디지털 코드가 시프트되어 있기 때문에, 지연 시간만큼 늦춘 다음 각 디지털 코드의 카운트수가 모두 더해져 있다.

[0029] 도 6에 도시하는 것처럼, 지연 시간을 고려하여 모두 더해진 각 시간의 디지털 코드의 카운트수는, 대체로 일정하게 되어, 미분 비직선성이 개선되는 것을 확인할 수 있다. 또한, 지연 시간을 줌으로써 계측할 수 없었던 시간, 구체적으로는, 지연 시간이 1nsec, 2nsec인 경우에 계측할 수 없었던 실시간 7~8nsec, 및 지연 시간이 2nsec인 경우에 계측할 수 없었던 실시간 6~7nsec에 대해서는, 지연 시간의 영향에 의해 올바른 카운트수가 되지 않는다.

[0030] 상술한 복수의 지연 시간은 TDC 회로(14)에 의한 디지털 코드의 생성에 있어서의 미분 비직선성의 주기성에 따라 결정된다. 즉, 지연된 각 스톱 신호의 간격 및 수를 어느 정도로 할지에 대해서는, 디지털 코드의 카운트수의 편차의 주기성(미분 비직선성의 주기성)에 따라 결정된다. 도 7은 미분 비직선성의 주기성을 나타내는 그래프이다. 도 7에 도시하는 예에서는, TDC 회로(14)의 양자화 간격이 1psec로 설정되어 있고, 각 양자화 간격이

일정(이상적인 양자화 간격)이면 디지털 코드의 카운트수가 각 양자화 간격으로 일정하게 되도록, 제1 트리거 신호에 대해서 비동기인 제2 트리거 신호를 연속해 입력하고 있다. 도 7에 도시하는 것처럼, 실제로는, 양자화 간격의 불균일성에 의해, 디지털 코드의 카운트수에 편차가 생겨 있고, 편차의 간격(주기)이 900psec, 편차의 폭이 200psec로 되어 있다. 이 경우, 200psec의 편차를 900psec의 주기 내에 균등하게 확산시키면 되기 때문에, 예를 들면 100psec마다 10회 지연을 전환하면 된다. 즉, 제어부(15)에 의해서, 100psec 간격의 스톱 신호가 10개, 지연 회로(13)에 설정되면 된다. 또, 편차에는 주기성이 있으므로, 1주기 이상 늦춘 스톱 신호를 출력하도록 설정해도 되고, 1000psec 간격의 스톱 신호를 10개, 지연 회로(13)에 설정되어 있어도 된다.

[0031] 도 1로 돌아가, 제어부(15)는 지연 시간이 상이한 복수의 디지털 코드에 기초하여 계측 시간을 산출하여, 계측 결과(계측 신호)를 출력한다. 제어부(15)의 기능은, 예를 들면 FPGA(Field- Programmable Gate Array) 등의 프로세서에 의해 실현할 수 있다. 제어부(15)는 상술한 것처럼, 지연 시간만큼 늦춘 다음, 각 디지털 코드의 카운트수를 모두 더하고 있다. 즉, 제어부(15)는 입력된 디지털 코드가 나타내는 시간으로부터 그 디지털 코드에 주어진 지연 시간을 감산한다. 그리고 당해 입력된 디지털 코드를, 상기 감산 후의 디지털 코드로 변환한다. 이와 같이 하여, 제어부(15)는 지연 시간에 따른 변환을 행한 후, 각 디지털 코드의 카운트수를 모두 더하고 있다. 또, 제어부(15)는 지연 회로(13)의 지연 시간의 변경을 제어하고 있다.

[0032] 다음에, 도 8을 참조하여 시간 계측 장치(1)의 처리 플로우에 대해 설명한다. 도 8은 도 1에 도시한 시간 계측 장치의 시간 계측 처리를 나타내는 순서도이다.

[0033] 최초로, 제어부(15)에 의해서, 스톱 신호를 지연시키는 복수의 지연 시간이 지연 회로(13)에 설정된다(스텝 S1). 지연되는 각 스톱 신호의 간격 및 수는, 디지털 코드의 카운트수의 편차의 주기성(미분 비직선성의 주기성)에 따라 결정된다. 또한, 최초의 지연 시간으로서는, 스톱 신호를 지연시키지 않도록, 지연 시간 : 0nsec가 설정된다. 다만, 반드시 지연 시간 : 0nsec가 설정되지 않아도 된다.

[0034] 이어서, 스타트 게이트(11)에 의해서 제1 트리거 신호에 따른 스타트 신호가 TDC 회로(14)에 입력된다(스텝 S2). 그 후, 스톱 게이트(12)에 의해서 제2 트리거 신호에 따른 스톱 신호가 지연 회로(13)에 입력되고, 지연 회로(13)에 의해서 설정된 지연 시간만큼 지연된 후, 스톱 신호가 TDC 회로(14)에 입력된다(스텝 S3). 이어서, TDC 회로(14)에 의해서, 스타트 신호가 입력되고 나서 스톱 신호가 입력될 때까지의 시간에 상당하는 디지털 코드가 출력된다(스텝 S4).

[0035] 같은 지연 시간에 있어서의 S2~S4의 처리의 반복 횟수는 미리 설정되어 있어, 제어부(15)에 의해서, 당해 반복 횟수에 도달했는지(일련의 계측을 종료할지) 여부가 판정된다(스텝 S5). S5에 있어서 반복 횟수에 도달하지 않았다고 판정된 경우에는, 제차 S2~S4의 처리가 반복된다. 한편, S5에 있어서 반복 횟수에 도달했다고 판정된 경우에는, 제어부(15)에 의해서, 지연 시간을 변경하는지 여부가 판정된다(스텝 S6).

[0036] S6에 있어서 지연 시간을 변경한다고 판정된 경우에는, 제어부(15)에 의해서 지연 시간의 변경이 지연 회로(13)에 지시된다(스텝 S7). 한편으로, 미리 정한 지연 시간 모두에 대해 처리가 완료되어, S6에 있어서 지연 시간을 변경하지 않는다고 판정된 경우에는, 제어부(15)에 의해서, 지연 시간의 상이한 복수의 디지털 코드에 기초하여 계측 결과(계측 신호)가 산출되어, 출력된다(스텝 S8).

[0037] 다음에, 본 실시 형태에 따른 시간 계측 장치(1)의 작용·효과에 대해 설명한다.

[0038] 이 시간 계측 장치(1)에서는, 스타트 신호 및 스톱 신호로 이루어지는 신호쌍의 스톱 신호가 소정의 지연 시간만큼 지연되고, 복수의 신호쌍에 있어서의 스타트 신호 및 스톱 신호의 시간차로부터 생성되는 복수의 디지털 코드에 기초하여, 제1 트리거 신호가 입력되고 나서 제2 트리거 신호가 입력될 때까지의 시간인 계측 시간이 산출된다. 그리고 각 신호쌍 중 적어도 2개의 신호쌍에 주는 지연 시간이, 서로 상이한 지연 시간으로 된다. 일반적으로, 디지털 변환과 관련된 양자화 간격을 일정 간격으로 하는 것은 어려워, 양자화 간격에 편차가 있기 때문에, 실시간과 양자화 간격을 완전하게 대응시키는 것은 곤란하고, 이것에 의해 시간 계측의 정밀도가 저하되기 쉽다. 이 점, 시간 계측 장치(1)에서는, 복수의 지연 시간 k에 따른 복수의 디지털 코드로부터 계측 시간을 산출하므로, 양자화 간격에 편차가 있는 경우에도, 복수의 지연 시간에 의해서 양자화 간격의 편차가 평활화되어, 복수의 디지털 코드 전체로부터 고정밀도로 시간을 산출할 수 있다.

[0039] 또, 지연 회로(13)는 복수의 지연 시간으로부터 선택되는 하나의 지연 시간을 경시적으로 전환하면서, 스톱 신호의 TDC 회로(14)로의 입력을 지연시키고 있으므로, 시간이 상이한 복수의 지연 시간을, 차례로, 스톱 신호에 줄 수 있어, 복수의 지연 시간에 따른 복수의 디지털 코드를 효율적으로 생성할 수 있다. 즉, 고정밀의 시간 계측을 효율적으로 행할 수 있다.

- [0040] 또, 제어부(15)는 입력된 디지털 코드가 나타내는 시간으로부터 그 디지털 코드에 주어진 지연 시간을 감산한다. 그리고 제어부(15)는 당해 입력된 디지털 코드를, 상기 감산 후의 디지털 코드로 변환한다. 이와 같이 하여, 제어부(15)는 지연 시간에 따른 변환을 행한 후, 각 디지털 코드의 카운트수를 모두 더하고 있다. 이것에 의해, 지연 시간에 따른 복수의 디지털 코드에 의해 양자화 간격의 편차를 평활화하면서, 지연 시간을 뺀 실시간을 적절히 산출할 수 있다.
- [0041] 또, 복수의 지연 시간은 TDC 회로(14)에 의한 디지털 신호의 생성에 있어서의 미분 비직선성의 주기성에 따라 결정된다. 미분 비직선성에는 일정한 주기성이 있는 바, 미분 비직선성의 주기를 고려하여, 당해 주기의 전체에 걸쳐 양자화 간격의 편차가 확산되도록 복수의 지연 시간을 결정함으로써, 양자화 간격의 편차를 효과적으로 평활화할 수 있다.
- [0042] [제2 실시 형태]
- [0043] 다음에, 도 9를 참조하여, 제2 실시 형태에 따른 발광 수명 계측 장치에 대해 설명한다. 도 9는 본 발명의 제2 실시 형태에 따른 발광 수명 계측 장치를 나타내는 도면이다. 발광 수명 계측 장치(50)는 제1 실시 형태에 따른 시간 계측 장치(1)를 적용한 응용예이며, 시료 S로부터 발산되는 발광의 수명을 계측하는 장치이다.
- [0044] 유기 재료나 형광 프로브의 형광 스펙트럼은, 피크 파장이나 형광 강도 등, 시료의 기능이나 특성을 제어, 평가 하는데 있어서 중요한 파라미터이다. 그렇지만, 형광 스펙트럼은 시간적으로 적분된 정보를 취득하기 때문에, 시료에 복수의 물질이나 반응계가 포함되는 경우에는, 그것들이 적분된 정보 밖에 얻을 수 없다. 이러한 경우에는, 시료의 기능이나 특성을 평가하는 수단으로서, 시료가 펄스광에 의해 광 여기된 후 기저(基底) 상태로 돌아 올 때까지의 시간을 서브 나노초~밀리초의 시간 영역으로 측정하는 발광 수명 계측이 효과적이다. 발광 수명 계측 장치에서는 펄스 제너레이터로부터의 펄스 신호에 기초하여 출력되는 스타트 신호와, 당해 펄스 신호에 기초하여 광원으로부터 출력된 여기광을 받은 시료가 출력하는 발광(형광이나 인광(phosphorescence) 등)과 관련되는 스톱 신호에 기초하여, 발광의 검출 타이밍이 산출된다. 그리고 발광이 복수 회 검출됨으로써 검출 타이밍의 빈도 분포가 얻어지고, 당해 빈도 분포에 기초하여 시료의 발광 수명이 추정된다.
- [0045] 도 9에 도시하는 것처럼, 발광 수명 계측 장치(50)는 시간 계측 장치(1)와, 펄스 제너레이터(51)(트리거 신호 발생부)와, 광원(52)과, 광 검출기(53)와, 컴퓨터(54)(연산부)와, 표시장치(55)와, 입력장치(56)를 구비하고 있다. 시간 계측 장치(1)는 제1 실시 형태와 마찬가지로의 구성, 즉, 스타트 게이트(11)와, 스톱 게이트(12)와, 지연 회로(13)(시간 지연부)와, TDC 회로(14)(디지털 변환부)와, 제어부(15)(시간 산출부)를 포함하여 구성되어 있다.
- [0046] 펄스 제너레이터(51)는 컴퓨터(54)로부터의 지시에 기초하여, 광원(52) 및 스타트 게이트(11)에 각각 동일 타이밍의 펄스 신호(제1 트리거 신호)를 출력하는 트리거 신호 발생기(Trigger signal generator)이다. 펄스 제너레이터(51)는 광원(52)에 의한 광의 출력을 제어하고, 그 제어 신호를 펄스 신호(제1 트리거 신호)로서 출력한다. 스타트 게이트(11)는 당해 펄스 신호에 기초하여 스타트 신호를 TDC 회로(14)에 출력한다. 광원(52) 및 스타트 게이트(11)에 대해서 동일 타이밍의 펄스 신호가 입력되므로, 스타트 게이트(11)로부터 출력되는 스타트 신호는, 광원(52)으로부터의 광(여기광)의 조사에 대응하는 신호이다.
- [0047] 광원(52)은 펄스 제너레이터(51)로부터 출력된 상기 펄스 신호에 기초하여, 시료 S에 조사되는 여기광을 출력한다. 광원(52)으로서, LED(Light Emitting Diode) 광원, 레이저 광원, SLD(Super Luminescent Diode) 광원, 램프계 광원 등을 이용할 수 있다. 여기광의 강도는, 예를 들면, 시료 S에 여기광이 조사되면 1광자(光子)가 발산되는 정도로 설정된다. 여기광이 조사된 시료 S로부터는, 여기광에 따른 발광(형광이나 인광 등)이 출력된다.
- [0048] 광 검출기(53)는 발광을 검출하여, 스톱 게이트(12)에 검출 신호(제2 트리거 신호)를 출력한다. 광 검출기(53)로서는, 광전자 증배관 또는 애벌란시(avalanche) 포토 다이오드, PIN 포토 다이오드 등을 이용할 수 있다. 스톱 게이트(12)는 광 검출기(53)로부터의 검출 신호에 기초하여, 지연 회로(13)에 스톱 신호를 출력한다. 지연 회로(13), TDC 회로(14) 및 제어부(15)의 기능은, 제1 실시 형태에서 설명했던 대로이다. 즉, 지연 회로(13)는 스톱 신호를 소정의 지연 시간만큼 지연시켜 TDC 회로(14)에 출력한다. 또, TDC 회로(14)는 스타트 신호가 입력되고 나서 스톱 신호가 입력될 때까지의 시간에 상당하는 디지털 코드를 출력한다. 그리고 제어부(15)는 지연 시간이 상이한 복수의 디지털 코드에 기초하여 시간을 산출한다. 제어부(15)는 산출한 시간인 계측 결과를 컴퓨터(54)에 출력한다.
- [0049] 컴퓨터(54)는 시간 계측 장치(1)(보다 상세하게는 제어부(15))로부터 출력되는 계측 결과에 기초하여, 발광 수명과 관련되는 정보를 산출한다(해석한다). 구체적으로는, 컴퓨터(54)에 포함되는 프로세서는, 계측 결과에 포

함되는 스톱 신호의 디지털 코드(발광의 검출 타이밍)로부터, 발광의 검출 타이밍의 빈도 분포를 도출하여, 당해 빈도 분포로부터 시료 S의 발광 수명치나 성분비, 시간축상에서의 강도 분포등의 발광 수명과 관련되는 정보를 구하는 기능을 실행한다. 또한, 시간 계측 장치(1)의 제어부(15)의 기능을, 컴퓨터(54)가 담당해도 된다. 이 경우, 컴퓨터(54)는 시간 계측 장치(1)의 TDC 회로(14)로부터 디지털 코드를 받는다. 그리고 컴퓨터(54)에 포함되는 프로세서가 지연 시간이 상이한 복수의 디지털 코드에 기초하여 시간을 산출하는 제어부(15)의 기능을 실행한다.

[0050] 표시장치(55)는 컴퓨터(54)에 전기적으로 접속된 디스플레이이며, 상술한 시료 S의 발광 수명 해석 결과를 표시한다. 입력장치(56)는 키보드 또는 마우스 등이며, 발광 수명의 해석 조건이나 계측 조건의 입력·설정을 행할 수 있다.

[0051] 다음에, 도 10을 참조하여 발광 수명 계측 장치(50)의 처리 플로우에 대해 설명한다. 도 10은 도 9에 도시한 발광 수명 계측 장치의 발광 수명 계측 처리를 나타내는 순서도이다.

[0052] 최초로, 제어부(15)에 의해서, 스톱 신호를 지연시키는 복수의 지연 시간이 지연 회로(13)에 설정된다(스텝 S11). 이어서, 펄스 제너레이터(51)에 의해서 펄스 신호가 광원(52) 및 스타트 게이트(11)에 출력되고(스텝 S12), 당해 펄스 신호에 기초하여, 스타트 게이트(11)로부터는 TDC 회로(14)에 스타트 신호가 출력되고(스텝 S13), 광원(52)으로부터는 시료 S에 조사되는 여기광이 출력된다(스텝 S14).

[0053] 그리고 시료 S로부터 발생한 발광(형광이나 인광 등)이 광 검출기(53)에 검출되어(스텝 S15), 광 검출기(53)로부터 검출 신호가 출력된다. 이어서, 당해 검출 신호에 기초하여, 스톱 게이트(12)로부터 스톱 신호가 출력되고, 당해 스톱 신호가 지연 회로(13)에 입력되어, 지연 회로(13)에 의해서 설정된 지연 시간만큼 지연된 후, 당해 스톱 신호가 TDC 회로(14)에 입력된다(스텝 S16). 이어서, TDC 회로(14)에 의해서, 스타트 신호가 입력되고 나서 스톱 신호가 입력될 때까지의 시간에 상당하는 디지털 코드가 출력된다(스텝 S17).

[0054] 같은 지연 시간에 있어서의 S12~S17의 처리의 반복 횟수는 미리 설정되어 있어, 제어부(15)에 의해서, 당해 반복 횟수에 도달했는지(일련의 계측을 종료할지) 여부가 판정된다(스텝 S18). S18에 있어서 반복 횟수에 도달하지 않았다고 판정된 경우에는, 재차 S12~S17의 처리가 반복된다. 한편, S18에 있어서 반복 횟수에 도달했다고 판정된 경우에는, 제어부(15)에 의해서, 지연 시간을 변경하는지 여부가 판정된다(스텝 S19).

[0055] S19에 있어서 지연 시간을 변경한다고 판정된 경우에는, 제어부(15)에 의해서 지연 시간의 변경이 지연 회로(13)에 지시된다(스텝 S20). 한편으로, 미리 정한 지연 시간 모두에 대해 처리가 완료되어, S19에 있어서 지연 시간을 변경하지 않는다고 판정된 경우에는, 제어부(15)에 의해서, 얻어진 복수의 디지털 코드와 대응하는 지연 시간에 기초하여 계측 결과가 산출되어, 출력된다(스텝 S21). 그리고 컴퓨터(54)에 의해서, 계측 결과에 기초하여, 시료의 발광 수명과 관련되는 정보가 산출된다(해석된다)(스텝 S22).

[0056] 이러한 발광 수명 계측 장치(50)에서는, 광원(52)에 의한 광의 조사의 계기가 되는 제1 트리거 신호에 따른 스타트 신호, 및 시료 S로부터의 발광의 검출 신호인 제2 트리거 신호에 따른 스톱 신호로 이루어지는 신호쌍 중, 스톱 신호가 소정의 지연 시간만큼 지연되어, 복수의 신호쌍에 있어서의 스타트 신호, 및 스톱 신호의 시간차로부터 생성되는 복수의 디지털 코드에 기초하여, 제1 트리거 신호가 입력되고 나서 제2 트리거 신호가 입력될 때까지의 시간인 계측 시간이 산출된다. 또, 각 신호쌍 중 적어도 2개의 신호쌍에 주는 지연 시간이 서로 상이한 지연 시간으로 된다. 그리고 계측 시간에 기초하여 발광의 수명과 관련되는 정보가 산출된다. 복수의 지연 시간에 따른 복수의 디지털 신호로부터 계측 시간을 산출하므로, 양자화 간격에 편차가 있는 경우에도, 복수의 지연 시간에 의해서 양자화 간격의 편차가 평활화되어, 복수의 디지털 코드 전체로부터 고정밀도로 시간을 산출할 수 있다. 이것으로, 시료 S로부터 발산되는 발광의 수명과 관련되는 정보를 고정밀도로 산출할 수 있다.

[0057] 이상, 본 발명의 일 양태에 따른 실시 형태에 대해 설명했지만, 본 발명은 상기 실시 형태로 한정되는 것은 아니다. 예를 들면, 시간 계측 장치(1)는 TDC 회로(14)를 1개만 포함하여 구성되어 있다고 하여 설명했지만, 이것으로 한정되지 않는다. 즉, 디지털 변환부는 복수의 TDC 회로(디지털 변환기)에 의해 구성되어 있어도 된다. 이하, 디지털 변환부가 복수의 TDC 회로에 의해 구성되어 있는 예에 대해서, 도 11 및 12를 참조하여 설명한다. 도 11 및 12는, 변형예에 따른 시간 계측 장치를 나타내는 도면이다.

[0058] 도 11에 도시하는 시간 계측 장치(60)에는, 스타트 게이트(11)로부터의 스타트 신호, 및 스톱 게이트(12)로부터의 스톱 신호의 입력을 받는 TDC 회로(64)가 복수 개 마련되어 있다. 그리고 스타트 게이트(11)와 각 TDC 회로(64)는 배선(63a)으로 전기적으로 접속되어 있고, 스타트 게이트(11)와 TDC 회로(64)의 거리에 따라서, 각 배선(63a)의 길이를 상이하게 하고 있다. 또, 스톱 게이트(12)와 각 TDC 회로(64)는 배선(63b)으로 전기적으로 접속

되어 있고, 스톱 게이트(12)와 TDC 회로(64)의 거리에 따라서, 각 배선(63b)의 길이를 상이하게 하고 있다. 이와 같이, 배선(63a, 63b)의 길이를 각 TDC 회로(64)마다 상이하게 함으로써, 각 TDC 회로(64)에 입력되는 신호에 시간차(지연 시간)를 줄 수 있다. 배선(63a, 63b)의 길이에 의해서 스타트 신호 및 스톱 신호를 지연시킬 수 있으므로, 배선(63a, 63b)은 시간 지연부로서의 기능을 가진다. 이와 같이, 복수의 TDC 회로(64)를 포함한 구성으로 하고, 배선(63a, 63b)의 길이에 의해서 지연 시간을 주어, 각 TDC 회로(64)가 상이한 지연 시간에 따른 디지털 코드를 출력함으로써, 상이한 지연 시간에 있어서의 디지털 코드의 출력을 동시에 행할 수 있어, 시간 계측을 신속히 행하는 것이 가능해진다.

[0059] 또, 도 12에 도시하는 시간 계측 장치(80)와 같이, 도 11에 도시하는 시간 계측 장치(60)의 구성에 더하여, 스타트 신호가 입력되는 TDC 회로(64)를 선택하는 선택부(81), 및 스톱 신호가 입력되는 TDC 회로(64)를 선택하는 선택부(82)를 추가로 포함한 구성이어도 된다. 당해 시간 계측 장치(80)에 있어서도, 도 11의 시간 계측 장치(60)와 마찬가지로, 배선(63a, 63b)의 길이에 따라서 지연 시간이 정해진다.

[0060] 또, 도 9에 도시하는 발광 수명 계측 장치(50)에서는, 펄스 제너레이터(51)로부터 스타트 게이트(11)에 펄스 신호(제1 트리거 신호)를 출력하는 구성으로 했지만, 이것으로 한정하지 않고, 도 13에 도시하는 발광 수명 계측 장치(90)와 같이, 광원(52)으로부터 출력되는 여기광을 검출하는 광 검출기(93)(트리거 신호 발생부, 제2 광 검출기)를 별도로 마련하고, 광 검출기(93)로부터 스타트 게이트(11)에 펄스 신호(제1 트리거 신호)를 출력하는 구성으로 해도 된다. 이 경우, 광 검출기(93)는 광원(52)에 의한 광의 출력에 대응하는 펄스 신호(제1 트리거 신호)를 스타트 게이트(11)에 출력하는 트리거 신호 발생부(Trigger signal generator)가 된다. 또한, 광 검출기(93)로서는, 광전자 증배관 또는 애벌란시 포토 다이오드, PIN 포토 다이오드 등을 이용할 수 있다. 또, 광 검출기(53)와 광 검출기(93)를 공용해도 된다.

[0061] 또, 도 9에 도시하는 발광 수명 계측 장치(50)에서는, 펄스 제너레이터(51)로부터 스타트 게이트(11)에 펄스 신호(제1 트리거 신호)를 출력하고, 광 검출기(53)로부터 스톱 게이트(12)에 펄스 신호를 출력하는 구성으로 했지만, 광 검출기(53)로부터 스타트 게이트(11)에 펄스 신호를 출력하고, 펄스 제너레이터(51)로부터 스톱 게이트(12)에 펄스 신호를 출력하는 구성으로 해도 된다. 물론, 도 13에 도시하는 발광 수명 계측 장치(90)에 있어서도 마찬가지로, 광 검출기(53)로부터 스타트 게이트(11)에 펄스 신호를 출력하고, 광 검출기(93)로부터 스톱 게이트(12)에 펄스 신호를 출력하는 구성으로 해도 된다. 이 경우, 광 검출기(53)로부터 출력되는 펄스 신호(제1 트리거 신호)에 따라서, 스타트 게이트(11)로부터 스타트 신호(제1 신호)가 출력된다. 또, 광원(52)에 의한 광의 출력에 따른 펄스 신호(제2 트리거 신호)에 따라서, 스톱 게이트(12)로부터 스톱 신호(제2 신호)가 출력된다.

[0062] 추가로, 펄스 제너레이터(51)나 광 검출기(53, 93)로부터의 펄스 신호를 스타트 게이트(11) 또는 스톱 게이트(12)를 통해서 스타트 신호나 스톱 신호로 변환하는 구성으로 하고 있었지만, 펄스 제너레이터(51)나 광 검출기(53, 93)로부터의 펄스 신호를 그대로 스타트 신호나 스톱 신호로서 이용하여, 지연 회로(13)나 TDC 회로(14)에 입력시켜도 된다.

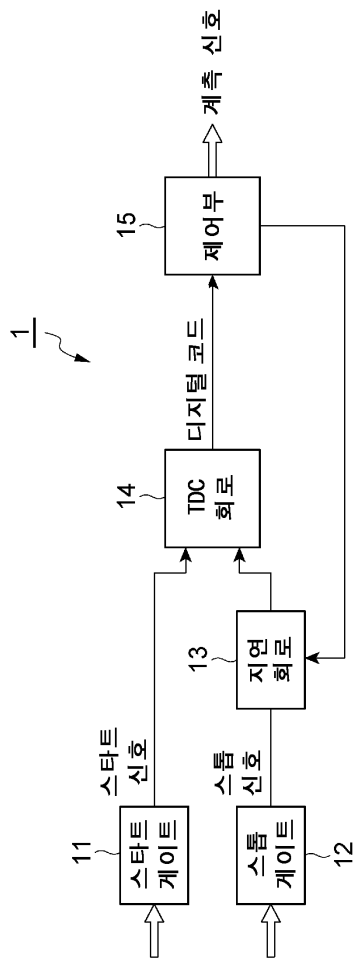
[0063] 또, TDC 회로(14)는 스타트 신호 및 스톱 신호의 쌍인 신호쌍의 입력을 복수 개 받아, 각 신호쌍에 대해서, 미리 정해진 양자화 간격에 기초하여, 스타트 신호가 입력되고 나서 스톱 신호가 입력될 때까지의 시간에 상당하는 디지털 코드(디지털 신호)를 출력하는 디지털 변환기라고 설명했지만, TDC 회로(14)는 1개의 스타트 신호에 대해서 복수의 스톱 신호가 입력되는 구성으로 해도 된다. 이 경우, TDC 회로(14)는 스타트 신호가 입력되고 나서 각 스톱 신호가 입력될 때까지의 각각의 시간에 상당하는 복수의 디지털 코드(디지털 신호)를 출력한다.

부호의 설명

- [0064]
- | | |
|-------------------------|------------------|
| 1, 60, 80 ... 시간 계측 장치, | 11 ... 스타트 게이트, |
| 12 ... 스톱 게이트, | 13 ... 지연 회로, |
| 14 ... TDC 회로, | 15 ... 제어부, |
| 50 ... 발광 수명 계측 장치, | 51 ... 펄스 제너레이터, |
| 52 ... 광원, | 53 ... 광 검출기, |
| 54 ... 컴퓨터, | S ... 시료. |

도면

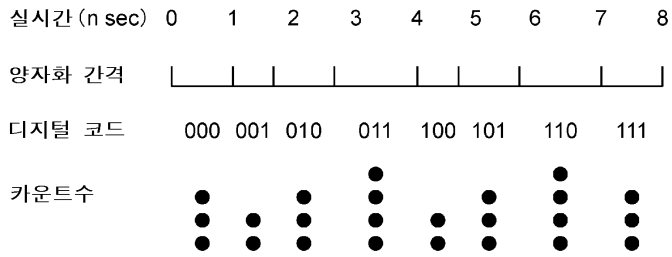
도면1



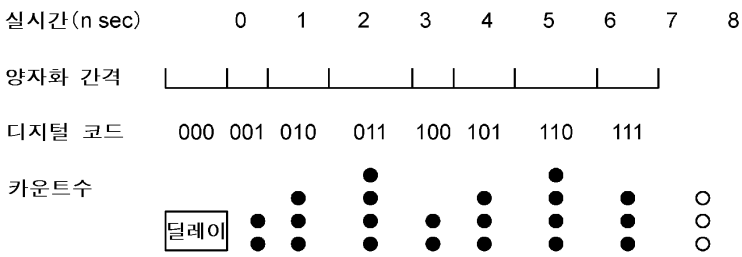
도면2

실시간 (ns)	0	1	2	3	4	5	6	7	8
이상적인 양자화 간격	-----								
디지털 코드	000	001	010	011	100	101	110	111	
카운트수	● ● ●	● ● ●	● ● ●	● ● ●	● ● ●	● ● ●	● ● ●	● ● ●	● ● ●

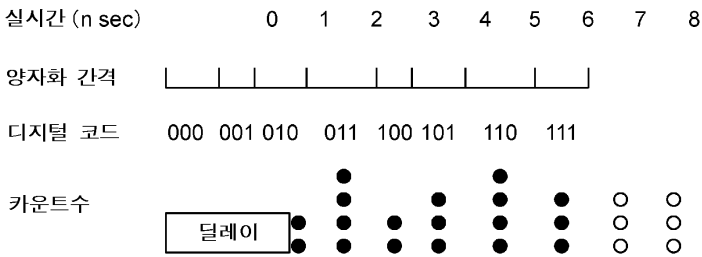
도면3



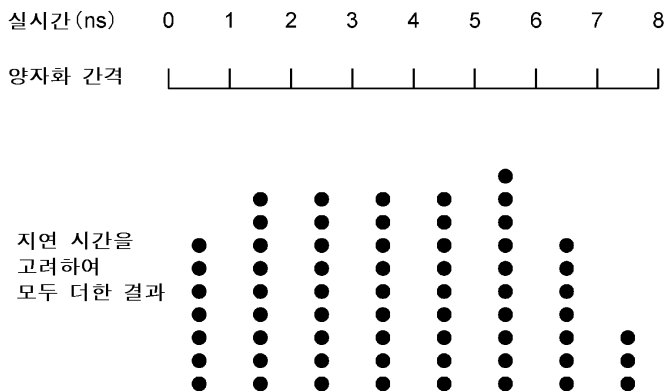
도면4



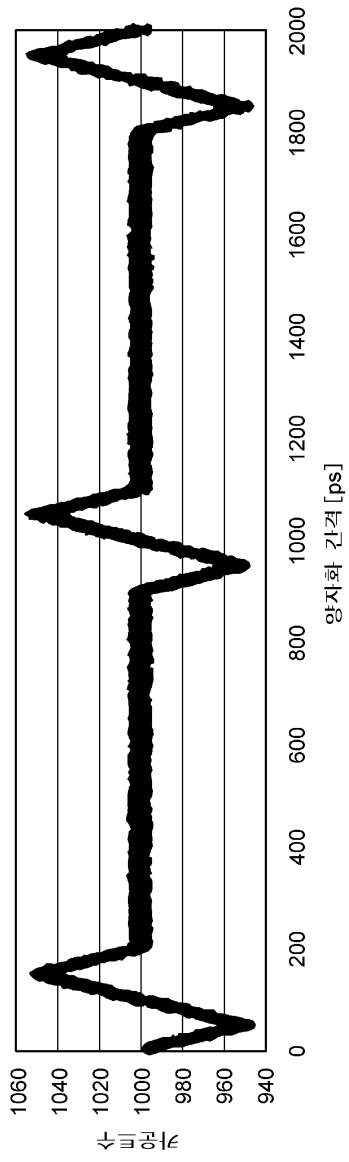
도면5



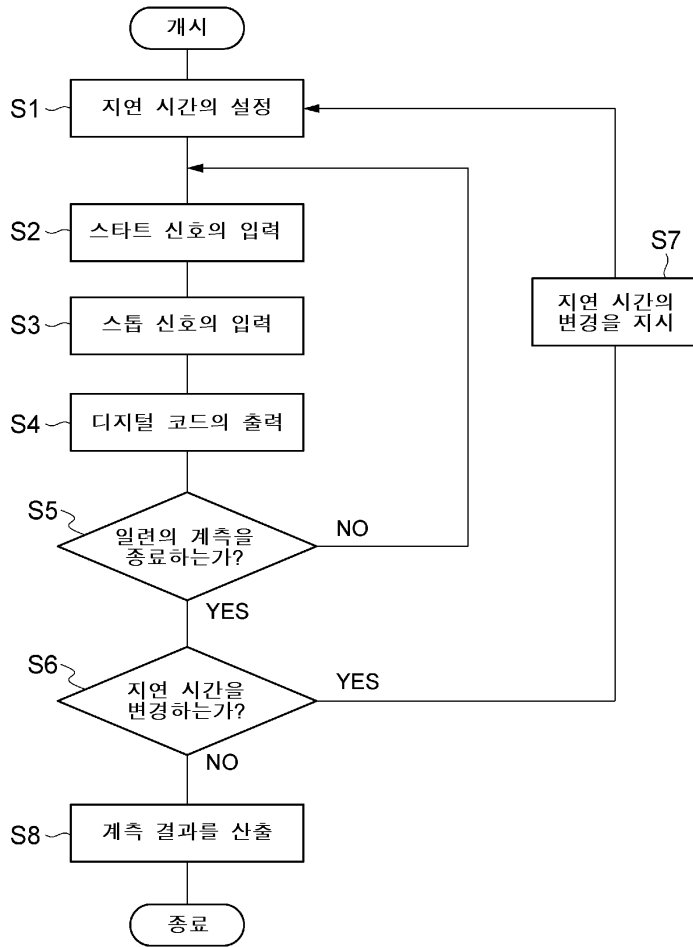
도면6



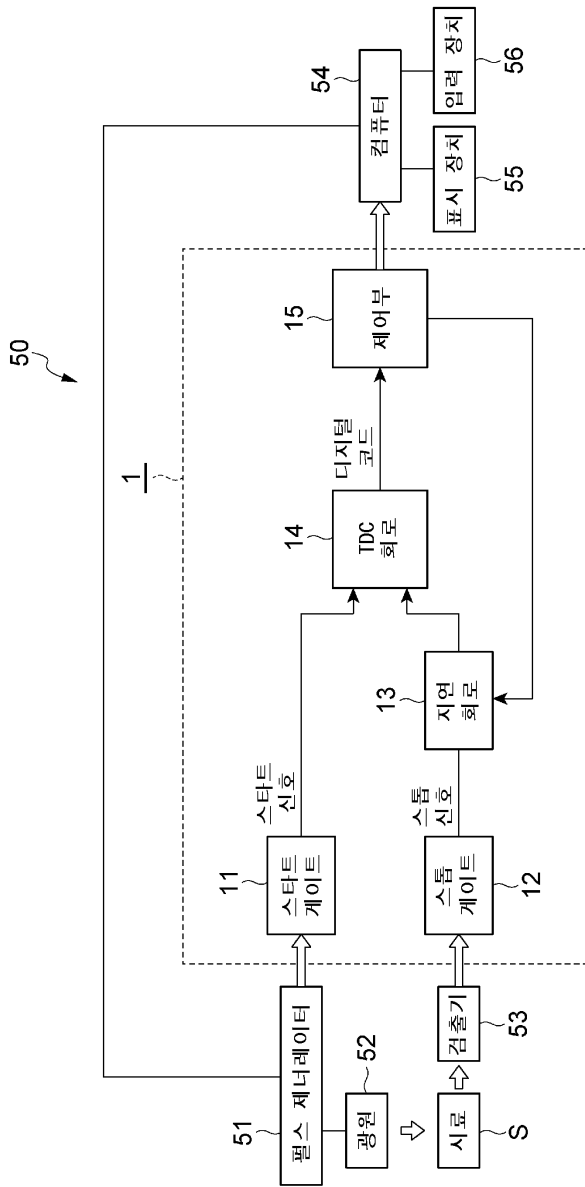
도면7



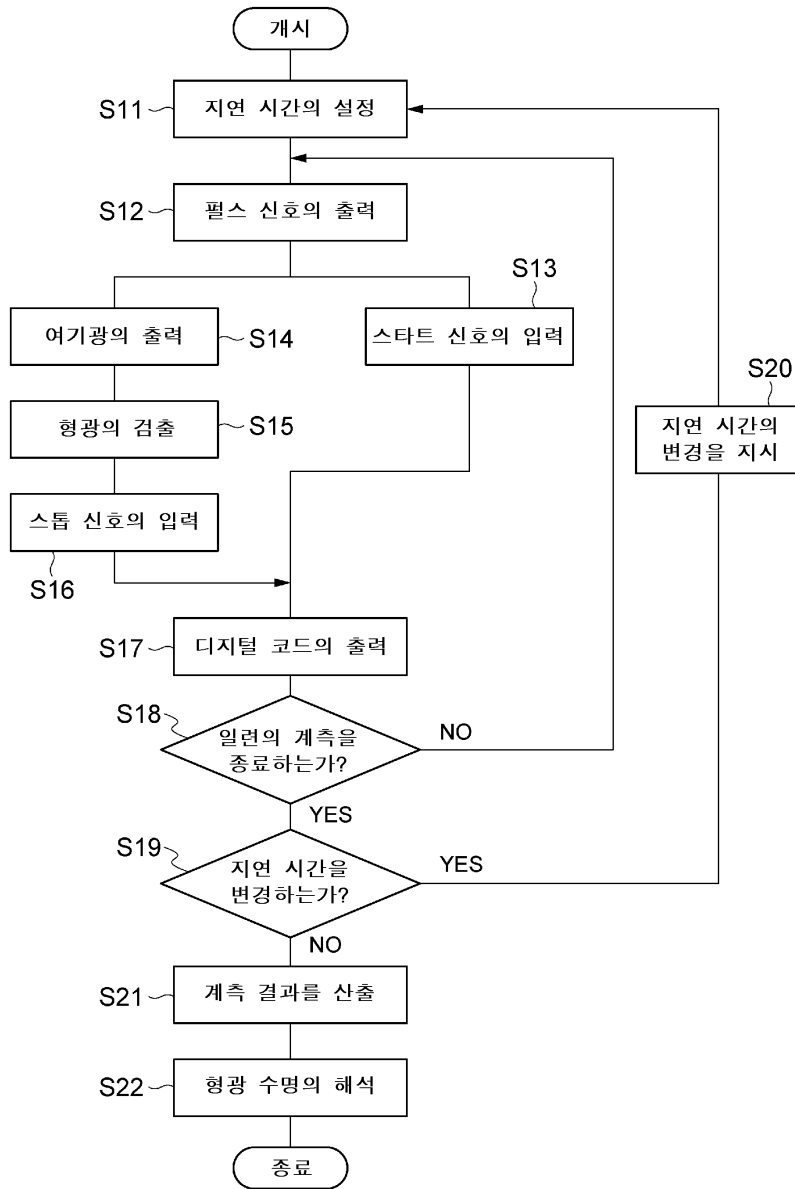
도면8



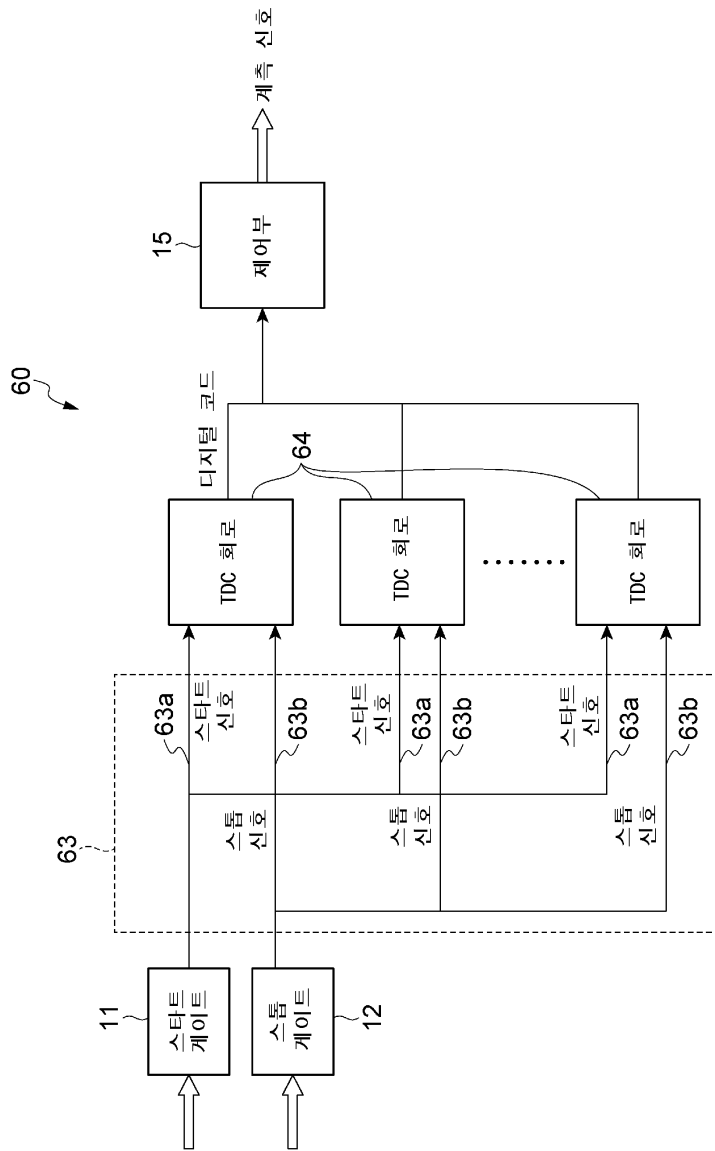
도면9



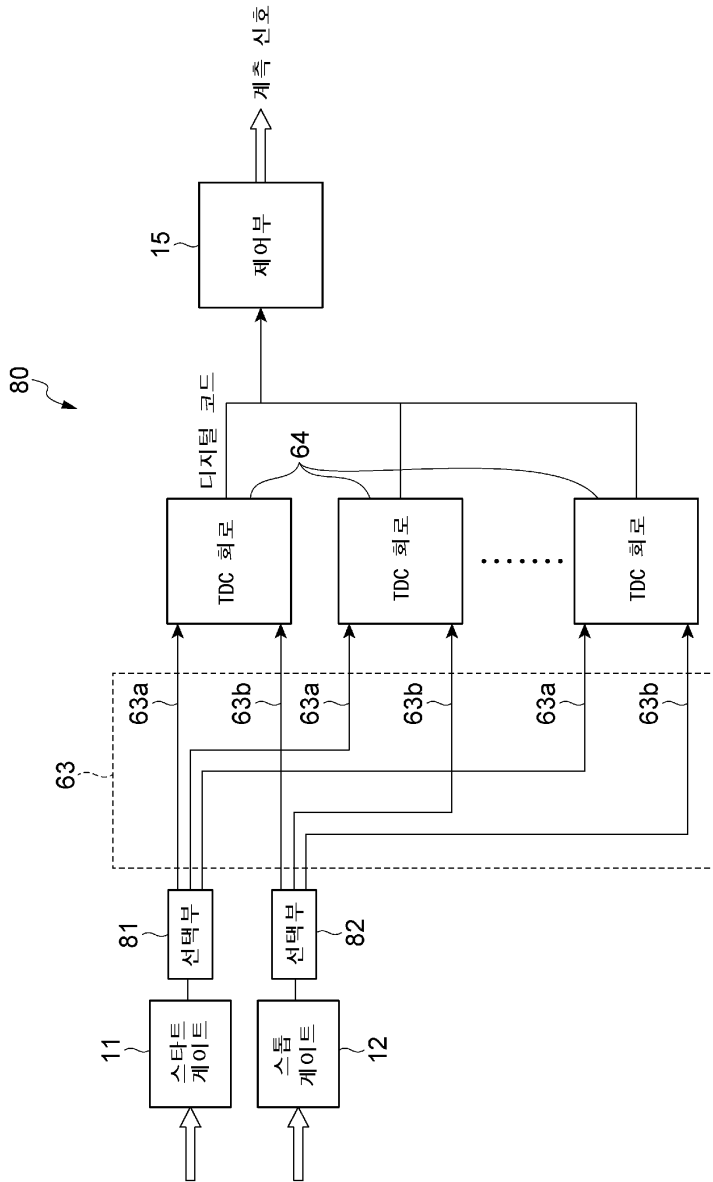
도면10



도면11



도면12



도면13

