

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5956106号
(P5956106)

(45) 発行日 平成28年7月20日 (2016. 7. 20)

(24) 登録日 平成28年6月24日 (2016. 6. 24)

(51) Int. Cl.

F I

H O 1 L 21/822 (2006. 01)

H O 1 L 27/04 C

H O 1 L 27/04 (2006. 01)

H O 1 L 21/88 K

H O 1 L 21/321 (2006. 01)

H O 1 L 21/88 N

H O 1 L 21/768 (2006. 01)

H O 1 L 21/88 R

H O 1 L 21/3205 (2006. 01)

請求項の数 5 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2010-190754 (P2010-190754)
 (22) 出願日 平成22年8月27日 (2010. 8. 27)
 (65) 公開番号 特開2012-49364 (P2012-49364A)
 (43) 公開日 平成24年3月8日 (2012. 3. 8)
 審査請求日 平成25年4月18日 (2013. 4. 18)
 審判番号 不服2014-23239 (P2014-23239/J1)
 審判請求日 平成26年11月14日 (2014. 11. 14)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 光山 広志
 兵庫県伊丹市瑞原4丁目1番地 株式会社
 ルネサスセミコンダクタエンジニアリング
 内
 (72) 発明者 藤井 靖久
 兵庫県伊丹市瑞原4丁目1番地 株式会社
 ルネサスセミコンダクタエンジニアリング
 内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板を準備する工程と、
 前記半導体基板の一方の主表面上に、アルミニウムを含む第1のアルミニウム層を有する第1の金属電極を形成する工程と、
 前記第1の金属電極上に誘電体層を形成する工程と、
 前記誘電体層上に第2の金属電極を形成する工程とを備える半導体装置の製造方法であって、

前記第1の金属電極を形成する工程においては、前記第1のアルミニウム層の表面が、
 $22.59\text{ nm} \leq R_{\text{max}} \leq 25.03\text{ nm}$ 、 $1.906\text{ nm} \leq R_{\text{ms}} \leq 2.340\text{ nm}$
 $、1.419\text{ nm} \leq R_a \leq 1.812\text{ nm}$ の関係を満たすように前記第1のアルミニウム層が形成され、

前記第1のアルミニウム層は、銅を0.5質量%以上1.0質量%以下含み、
 前記第1の金属電極を形成する工程には、
 少なくとも1層の第1のバリア層を形成する工程と、
 前記第1のバリア層上に、前記第1のアルミニウム層を形成する工程と、
 前記第1のアルミニウム層を構成する結晶を再結晶化する工程とを含み、
 高指向性スパッタリングにより前記第1のバリア層を形成する、半導体装置の製造方法

。

【請求項 2】

10

20

前記再結晶化する工程には、前記第1のアルミニウム層を420以上に保持する工程をさらに有する、請求項1に記載の半導体装置の製造方法。

【請求項3】

前記高指向性スパッタリングとして、コリメーションスパッタ法、ロングスロースパッタ法、バイアスパッタ法のうちいずれかを用いる、請求項1または2に記載の半導体装置の製造方法。

【請求項4】

前記第2の金属電極を形成する工程には、

少なくとも1層の第3のバリア層を形成する工程と、

前記第3のバリア層上に、第2のアルミニウム層を形成する工程とを含んでおり、

前記第2の金属電極を形成する工程においては、前記第2のアルミニウム層の表面が、 $R_{max} < 80\text{ nm}$ 、 $R_{ms} < 10\text{ nm}$ 、 $R_a < 9\text{ nm}$ の関係を満たすように前記第2のアルミニウム層が形成される、請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】

前記第1のアルミニウム層上に、少なくとも1層の第2のバリア層を形成する工程を含んでいる、請求項1～4のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、より特定的には、MIMキャパシタを有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

MIM (Metal Insulation Metal) キャパシタは、多層配線構造を有する半導体装置に形成可能な容量素子である。一般に半導体装置において用いられる容量素子には、ゲートキャパシタとMIMキャパシタとが存在する。MIMキャパシタはゲートキャパシタに比べて、電気容量を増加する際に平面視における半導体装置自体の占有面積を大きくする必要性が少ない。またMIMキャパシタはゲートキャパシタに比べて寄生成分が少なく高周波特性に優れている。

【0003】

このため半導体装置においてMIMキャパシタが用いられるケースが増えている。MIMキャパシタの初期故障を抑制するために、MIMキャパシタを構成する下部電極の平坦度を確保することが非常に重要である。

【0004】

近年のMIMキャパシタの高容量化に伴い、誘電体層の膜厚が薄くなり、かつ平面視における下部電極および上部電極の面積の増加が予想される。その結果、MIMキャパシタの耐圧のばらつきが増加し、当該ばらつきに起因する故障（初期故障）が増加する可能性がある。

【0005】

MIMキャパシタは、誘電体層が下部電極と上部電極とによって挟み込まれた構成を有する容量素子である。一般的に誘電体層には、絶縁性の金属窒化膜、窒化膜、酸化膜、酸窒化膜が用いられる。一般的に下部電極は、銅を添加したアルミニウム合金の下部と上部とが、窒化チタン (TiN) や金属チタン (Ti) からなる、少なくとも1層のバリア層によって挟み込まれた構成を有する。

【0006】

MIMキャパシタの耐圧のばらつきを抑制し、当該MIMキャパシタの信頼性を向上するために、以下の2つの方法を用いることが考えられる。1つは、誘電体層自体の信頼性を向上する方法である。他の1つは、誘電体層が積層される被積層膜にあたる下部電極を、たとえばより平坦にするなど最適化する方法である。

【0007】

10

20

30

40

50

上記の下部電極を最適化する方法は、たとえば特開2002-203915号公報（以下、「特許文献1」という）や特開平11-111947号公報（以下、「特許文献2」という）、特表2007-515775号公報（以下、「特許文献3」という）、特開2008-16464号公報（以下、「特許文献4」という）、特開2008-270407号公報（以下、「特許文献5」という）、特開2007-305654号公報（以下、「特許文献6」という）、特開2007-188935号公報（以下、「特許文献7」という）、特開2001-210787号公報（以下、「特許文献8」という）に開示されている。

【先行技術文献】

【特許文献】

10

【0008】

【特許文献1】特開2002-203915号公報

【特許文献2】特開平11-111947号公報

【特許文献3】特表2007-515775号公報

【特許文献4】特開2008-16464号公報

【特許文献5】特開2008-270407号公報

【特許文献6】特開2007-305654号公報

【特許文献7】特開2007-188935号公報

【特許文献8】特開2001-210787号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0009】

しかし上記の各特許文献に開示される製造方法はいずれも、いったん下部電極を形成した後に、形成された下部電極の表面を平坦化するための処理を施す方法である。具体的には、特許文献1には、形成された下部電極の表面をスパッタエッチングすることにより、下部電極の表面を平坦化する方法が開示されている。特許文献2には、形成された下部電極の表面がCMP（Chemical Mechanical Polishing）により平坦化される技術が開示されている。

【0010】

また特許文献3には、下部電極の最表面をより平坦化するために、形成された下部電極の表面上に導電性の平滑化層が別途形成される技術が開示されている。特許文献4には、下部電極のベースとなる下側の層を形成した後、当該下側の層上に導電性金属窒化膜を形成することにより、当該導電性金属窒化膜と容量絶縁膜との界面反応を抑制し、MIMキャパシタの信頼性を向上する方法が開示されている。特許文献5には、半導体基板と導電膜形成ステージとを互いに圧着状態で接触させることにより、上部電極の形成時に発生する電荷が半導体基板の表面に蓄積されることが抑制される技術が記載されている。特許文献6には、形成された下部電極の表面上にタンタル（Ta）の膜が形成されることにより、電極間の電流のリークが抑制される技術が記載されている。特許文献7には、形成された下部電極の表面上に酸化処理がなされることにより、下部電極と容量絶縁膜との界面における下部電極の結晶配向性を向上する方法が開示されている。特許文献8には、形成された下部電極の表面を薬液洗浄することにより下部電極のリーク電流を抑制する技術が開示されている。

30

40

【0011】

下部電極自体を形成した後に当該下部電極を平坦化したりリーク電流を抑制する処理をすれば、その分だけ工程が増加し、コスト高に繋がる可能性がある。またたとえば特許文献4のように、下部電極自体を形成する最終工程（導電性金属窒化膜を形成する工程）において下部電極自体を平坦化する場合、たとえば導電性金属窒化膜よりも前に形成される下部電極の構成部分の表面粗さが劣っている場合、たとえ導電性金属窒化膜が平坦に形成されたとしても、当該構成部分の表面粗さの影響を引き継いで、下部電極全体の平坦度が劣化する可能性がある。この場合、当該MIMキャパシタの信頼性を向上することが困難

50

となる可能性がある。

【0012】

本発明は、以上の問題に鑑みなされたものである。その目的は、より低コストで、より信頼性の高いMIMキャパシタを有する、より信頼性の高い半導体装置を提供することである。また、当該半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0014】

本発明の一実施例による半導体装置の製造方法は以下の工程を備えている。

まず半導体基板が準備される。上記半導体基板の一方の主表面上に、アルミニウムを含む第1のアルミニウム層を有する第1の金属電極が形成される。上記第1の金属電極上に誘電体層が形成される。上記誘電体層上に第2の金属電極が形成される。上記第1の金属電極を形成する工程においては、第1のアルミニウム層の表面が、 22.59 nm Rmax 25.03 nm 、 1.906 nm Rms 2.340 nm 、 1.419 nm Ra 1.812 の関係を満たすように第1のアルミニウム層が形成される。第1のアルミニウム層は、銅を0.5質量%以上1.0質量%以下含む。上記第1の金属電極を形成する工程においては、少なくとも1層の第1のバリア層が形成される。第1のバリア層上に、第1のアルミニウム層が形成される。第1のアルミニウム層を構成する結晶が再結晶化される。高指向性スパッタリングにより第1のバリア層が形成される。

【発明の効果】

【0015】

本実施例によれば、第1の金属電極を構成する第1のアルミニウム層の表面の平坦度が向上されたMIMキャパシタを有する半導体装置が提供される。したがって、たとえ当該第1のアルミニウム層上にバリア層や誘電体層などが形成されても、当該MIMキャパシタの誘電体層の膜厚のばらつきが抑制される。このため、当該MIMキャパシタの初期耐圧ばらつきや初期故障が抑制され、その結果、当該MIMキャパシタを含む半導体装置の信頼性が確実に向上する。

【0016】

本実施例の製造方法によれば、第1の金属電極を構成する第1のアルミニウム層の表面の平坦度が向上されるようにMIMキャパシタが形成される。このため、たとえ当該第1のアルミニウム層上にバリア層が形成され、さらにその上に誘電体層や第2の金属電極などが形成されても、当該MIMキャパシタの誘電体層の膜厚のばらつきが抑制される。したがって、当該MIMキャパシタの初期耐圧ばらつきや初期故障が抑制され、その結果、当該MIMキャパシタを含む半導体装置の信頼性が向上する。

【図面の簡単な説明】

【0017】

【図1】本発明の実施の形態1に係る半導体装置に搭載されるMIMキャパシタの構成の一例を示す概略断面図である。

【図2】図1のMIMキャパシタの、下部電極や上部電極などの構成をより詳細に描写した概略断面図である。

【図3】図2のMIMキャパシタの下部電極の変形例の一例を示す概略断面図である。

【図4】図2のMIMキャパシタの上部電極の変形例の一例を示す概略断面図である。

【図5】本発明の実施の形態1に係るMIMキャパシタのように、平坦度の高い下部電極を有するMIMキャパシタの断面写真である。

【図6】本発明の実施の形態1の比較例としての、平坦度の低い下部電極を有するMIMキャパシタの断面写真である。

【図7】バリア層上に形成された、(111)配向強度が高いアルミニウム結晶の構成を示す概略図である。

【図8】バリア層上に形成された、(111)配向強度が低いアルミニウム結晶の構成を示す概略図である。

【図9】図2の半導体装置の製造方法の第1工程の態様を示す概略断面図である。

【図 1 0】図 2 の半導体装置の製造方法の第 2 工程の態様を示す概略断面図である。
【図 1 1】図 2 の半導体装置の製造方法の第 3 工程の態様を示す概略断面図である。
【図 1 2】図 2 の半導体装置の製造方法の第 4 工程の態様を示す概略断面図である。
【図 1 3】図 2 の半導体装置の製造方法の第 5 工程の態様を示す概略断面図である。
【図 1 4】図 2 の半導体装置の製造方法の第 6 工程の態様を示す概略断面図である。
【図 1 5】図 2 の半導体装置の製造方法の第 7 工程の態様を示す概略断面図である。
【図 1 6】図 2 の半導体装置の製造方法の第 8 工程の態様を示す概略断面図である。
【図 1 7】図 2 の半導体装置の製造方法の第 9 工程の態様を示す概略断面図である。
【図 1 8】本発明の本発明の実施の形態 1 に係る半導体装置に搭載される M I M キャパシタの構成の、図 2 とは異なる変形例の一例を示す概略断面図である。

10

【図 1 9】通常のスパッタリングにより形成されたバリア層の上に形成されたアルミニウム合金層の表面の観察結果である。

【図 2 0】高指向性スパッタリングにより形成されたバリア層の上に形成されたアルミニウム合金層の表面の観察結果である。

【図 2 1】第 1 のバリア層の成膜手法およびアルミニウム合金層の成膜手法の両方を変更した際の、アルミニウム合金層の表面の R m s を測定した結果を示すグラフである。

【図 2 2】第 1 のバリア層の成膜手法およびアルミニウム合金層の成膜手法の両方を変更した際の、アルミニウム合金層の表面の R a を測定した結果を示すグラフである。

【図 2 3】第 1 のバリア層の成膜手法およびアルミニウム合金層の成膜手法の両方を変更した際の、アルミニウム合金層の表面の R m a x を測定した結果を示すグラフである。

20

【図 2 4】第 1 のバリア層の成膜手法のみを変更した際の、アルミニウム合金層の表面の R m s を測定した結果を示すグラフである。

【図 2 5】第 1 のバリア層の成膜手法のみを変更した際の、アルミニウム合金層の表面の R a を測定した結果を示すグラフである。

【図 2 6】第 1 のバリア層の成膜手法のみを変更した際の、アルミニウム合金層の表面の R m a x を測定した結果を示すグラフである。

【図 2 7】通常のスパッタリングにより形成されたバリア層の上に形成されたアルミニウム合金層の、A l (1 1 1) 配向強度を X 線回折により測定した結果を示すグラフである。

。

【図 2 8】高指向性スパッタリングにより形成されたバリア層の上に形成されたアルミニウム合金層の、A l (1 1 1) 配向強度を X 線回折により測定した結果を示すグラフである。

30

【発明を実施するための形態】

【 0 0 1 8 】

以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態 1)

本実施の形態の半導体装置は、M I M キャパシタを含む構成となっている。図 1 を参照して、一のキャパシタ M M 1 (M I M キャパシタ) は、下部電極 L E L 1 (第 1 の金属電極) と誘電体層 D E C と上部電極 U E L (第 2 の金属電極) とを有している。

【 0 0 1 9 】

40

キャパシタ M M 1 は、たとえばシリコンなどの半導体材料からなる基板の一方の主表面上に薄膜や素子などが形成された半導体基板 S U B の一方の主表面上に形成される。つまりここでは半導体基板 S U B とは、半導体基板そのものと、薄膜などが形成された半導体基板との両方を意味するものとする。

【 0 0 2 0 】

したがって、キャパシタ M M 1 の下部 (図 1 および図 2 の下側) や上部 (図 1 および図 2 の上側) には、別のキャパシタが形成されていてもよい。キャパシタ M M 1 の上部には、絶縁膜 T S と層間絶縁膜 I I 1 と層間絶縁膜 I I 2 とが形成されている。層間絶縁膜 I I 2 と同一高さの層には、別のキャパシタを構成する下部電極 L E L 2 が形成されている。

。

50

【 0 0 2 1 】

キャパシタMM1の上部には、絶縁膜TSが形成されていてもよい。絶縁膜TSと層間絶縁膜II1とを貫通するように導電ビアVAが形成されている。導電ビアVAにより、キャパシタMM1の上部電極UELと、別のキャパシタの下部電極LEL2とが導通される。なお絶縁膜TSは形成されなくてもよい。

【 0 0 2 2 】

図2を参照して、下部電極LEL1は、チタン層T1（第1のバリア層）と窒化チタン層TN1（第1のバリア層）とアルミニウム合金層AC1（第1のアルミニウム層）と、チタン層T2（第2のバリア層）と窒化チタン層TN2（第2のバリア層）とがこの順で積層された構成を有している。導通ビアVAは、絶縁膜TSや層間絶縁膜II1を上側から下側へ貫通するように形成されたスルーホールTHの側面および底面がチタン層T3および窒化チタン層TN3で覆われ、スルーホールTHの内部がタングステン層TGで充填された構成である。また下部電極LEL2は、チタン層T4と窒化チタン層TN4と、アルミニウム合金層AC2とチタン層T5と窒化チタン層TN5とがこの順で積層された構成を有している。

10

【 0 0 2 3 】

キャパシタMM1の下部電極LEL1、LEL2は、アルミニウム合金層AC1、AC2のように、アルミニウムを含む材料から構成される部分であるアルミニウム層を有する構成であることが好ましい。またアルミニウム合金層AC1、AC2には、たとえば銅などの金属材料が含まれていてもよい。

20

【 0 0 2 4 】

なおアルミニウム合金層AC1、AC2には銅がたとえば0.5質量%以上1.0質量%以下の割合で含まれることがより好ましい。すなわちアルミニウム合金層AC1、AC2はアルミニウムを主成分とする合金からなるものであることが好ましい。またアルミニウム合金層AC1、AC2は、銅およびシリコン(Si)を含む合金であってもよい。

【 0 0 2 5 】

たとえば窒化チタン層TN1、TN4のようにアルミニウム合金層AC1、AC2の下側に配置される第1のバリア層としては、窒化チタンからなる窒化チタン層TN1、TN4のほか、チタンからなるチタン層T1、T2を用いてもよい。このように第1のバリア層は、チタンを含む材料から構成されることが好ましい。このようにすれば、下部電極LEL1、LEL2の配線の信頼性を高めることができる。ただし当該第1のバリア層として、タンタルや、窒化タンタル(TaN)などタンタル系の材料からなる薄膜を用いてもよい。

30

【 0 0 2 6 】

第1のバリア層はチタンなどを含む薄膜が1層以上配置されていることが好ましく、当該薄膜が複数積層された構成であることがより好ましい。このため図2において第1のバリア層として、チタン層T1と窒化チタン層TN1とが積層されている。

【 0 0 2 7 】

図3を参照して、たとえば下部電極LEL1の第1のバリア層は窒化チタン層TN1の1層のみを有していてもよい。また下部電極LEL2についても、アルミニウム合金層AC2の下部および上部にはたとえば窒化チタン層TN4、TN5のそれぞれ1層のみが積層されていてもよい。

40

【 0 0 2 8 】

図2において、第2のバリア層はチタン層T2と窒化チタン層TN2とが積層された構成となっている。しかしチタン層T2と窒化チタン層TN2とからなる第2のバリア層についても、たとえば窒化チタン層TN2の1層のみを有する構成であってもよい。以上のように第1および第2のバリア層は、チタンを含む材料から構成されることが好ましい。ただし当該第2のバリア層として、タンタルや、窒化タンタル(TaN)などタンタル系の材料からなる薄膜を用いてもよい。

【 0 0 2 9 】

50

その他、たとえば誘電体層 D E C は、絶縁性の金属窒化膜、窒化膜、酸化膜、酸窒化膜のいずれかからなるものであることが好ましく、P - S i N からなるものであることが特に好ましい。なお P - S i N とは、プラズマ C V D (Chemical Vapor Deposition) 法により形成される窒化珪素 (S i N) の薄膜である。

【0030】

絶縁膜 T S は、P - T E O S (テトラエトキシシラン) からなる絶縁膜を用いることが好ましい。P - T E O S とは、プラズマ C V D 法により形成されるテトラエトキシシランの薄膜である。

【0031】

図 2 に示すように上部電極 U E L は、下部電極 L E L 1 と同様に、アルミニウム合金層 A C 1 (第 2 のアルミニウム層) を有し、その下側がチタン層 T 1 (第 3 のバリア層) および窒化チタン層 T N 1 (第 3 のバリア層) で、上側がチタン層 T 2 および窒化チタン層 T N 2 で覆われた構成となってもよい。また図 4 を参照して、上部電極 U E L についても、アルミニウム合金層 A C 1 の下側に窒化チタン層 T N 1 のみが形成された構成を有していてもよい。

【0032】

スルーホール T H の内部に形成される導通ビア V A において、チタン層 T 3 および窒化チタン層 T N 3 は、たとえばチタン層 T 1 や窒化チタン層 T N 1 などと同様に、導通ビア V A のバリア層として配置される。導通ビア V A の内部は主にタンゲステンからなるタンゲステン層 T G により充填されることが好ましい。

【0033】

そして層間絶縁膜 I I 1、I I 2 はシリコン酸化膜 (S i O₂) などからなることが好ましい。

【0034】

以上に述べた本実施の形態のキャパシタ M M 1 においては、後述のように、下部電極 L E L 1 を構成するアルミニウム合金層 A C 1 の表面がより平坦なものとなっている。具体的には、アルミニウム合金層 A C 1 の表面粗さを示す R m a x (最大高さ) が 80 n m 未満、R m s (二乗平均粗さ) が 10 n m 未満、R a (算術平均粗さ) が 9 n m 未満であることが好ましい。なお上部電極 U E L のアルミニウム合金層 A C 1 や、下部電極 L E L 2 のアルミニウム合金層 A C 2 の表面についても、上記範囲の表面粗さを示すことがより好ましい。

【0035】

図 5 および図 6 の断面写真は、S E M (Scanning Electron Microscope) を用いて撮影したものである。図 5 を参照して、下部電極 L E L 1 の表面の平坦度が高くなれば、その上に成膜される誘電体層 D E C および上部電極 U E L の平坦度も向上される。したがってキャパシタ M M 1 全体の平坦度が向上され、当該キャパシタ M M 1 の誘電体層 D E C の厚みのばらつきや、誘電体層 D E C の厚みのばらつきに起因するキャパシタ M M 1 の耐圧のばらつきが抑制される。したがって当該半導体装置に搭載される複数のキャパシタ M M 1 の間での初期故障の発生割合が低下される。

【0036】

アルミニウム合金層 A C 1 が平坦化されれば、誘電体層 D E C の凹凸が減少するため、誘電体層 D E C には応力集中が生じる可能性が低減される。すると誘電体層 D E C の膜質が局所的に変動し、誘電体層 D E C のストレス耐性が悪化する可能性が低減される。

【0037】

これに対して図 6 を参照して、下部電極 L E L 1 の表面の平坦度が低く凹凸が多い場合には、その上に成膜される誘電体層 D E C および上部電極 U E L の平坦度も、下部電極 L E L 1 の表面の平坦度に合わせるように低下する。また誘電体層 D E C のカバレッジが悪化したり、誘電体層 D E C に局所的に生じる応力集中により誘電体層 D E C の膜質が劣化したり誘電体層 D E C のストレス耐性が劣化することがある。さらにこの場合は、キャパシタ M M 1 の誘電体層 D E C の厚みのばらつきや、誘電体層 D E C の厚みのばらつきに起

10

20

30

40

50

因するキャパシタMM1の耐圧のばらつきが大きくなる。したがってキャパシタMM1の初期故障の発生割合が高くなる可能性がある。

【0038】

以上のような、平坦度の高いアルミニウム合金層AC1は、アルミニウム合金層AC1の成膜後にアルミニウム合金層AC1中のアルミニウム結晶を再結晶化することにより、形成することができる。つまり成膜されたアルミニウム合金層AC1を高温でリフローすることにより、アルミニウム合金層AC1中のアルミニウム結晶が再結晶化される。具体的には、たとえばアルミニウム合金層AC1が形成された半導体基板SUBを420℃以上に保持するリフロー工程を実施することが好ましい。

【0039】

アルミニウム合金層AC1中のアルミニウム結晶の(111)面に関する配向性を調べることににより、アルミニウム合金層AC1にリフロー工程などによる平坦化がなされたかどうかを検証することができる。

【0040】

図7を参照して、たとえば下部電極LEL1の、窒化チタン層TN1の上に形成されるアルミニウム合金層AC1の結晶構造を構成する結晶粒が、(111)面において同様の面間隔や同様の面内原子数にて配列されれば、ほぼ同じ方向に結晶の成長(すなわち成膜)が進む。その結果、形成される結晶の(111)配向強度が強くなる。これは成膜速度がほぼ同方向でありかつほぼ一定の速さとなるためである。この場合には形成される薄膜(アルミニウム合金層AC1)の表面の平坦度が高くなる。

【0041】

これに対して図8を参照して、アルミニウム合金層AC1の結晶構造を構成する結晶粒が、(111)面において異なる面間隔や異なる面内原子数にて配列されれば、成膜速度も一定とならずに、成膜される薄膜の平坦性が悪くなる。このように形成される結晶構造は(111)配向強度が弱くなる。この場合には形成される薄膜(アルミニウム合金層AC1)の表面の平坦度が低くなる。

【0042】

次に、本実施の形態に係る半導体装置の、特に図2に示すキャパシタMM1の製造方法について説明する。

【0043】

図9を参照して、薄膜や素子などが形成された半導体基板SUB上に、キャパシタMM1を構成する下部電極LEL1を形成するためのチタン層T1、窒化チタン層TN1、アルミニウム合金層AC1、チタン層T2、窒化チタン層TN2がこの順に積層される。具体的には、たとえば下部電極LEL1を形成しようとする主表面上にスパッタエッチングなどの前処理を施した後、チタン層T1、窒化チタン層TN1、アルミニウム合金層AC1がこの順に、たとえばスパッタリングにより形成される。

【0044】

ここでアルミニウム合金層AC1の形成時には、まず半導体基板SUBの温度が50℃以上150℃以下に制御された状態で、銅を0.5質量%以上1.0質量%以下含むアルミニウム合金層AC1が成膜されることが好ましい。その後リフロー工程を行ない、半導体基板SUB(アルミニウム合金層AC1)が420℃以上の温度に加熱されることが好ましい。この加熱によりいったん成膜されたアルミニウムの結晶が再結晶化され、(111)配向強度が高まり、表面の平坦度が向上する。

【0045】

アルミニウム合金層AC1が形成され、かつ再結晶化がなされることにより、アルミニウム合金層AC1の結晶の(111)配向強度が高まり、表面の平坦度が向上する。

【0046】

次にアルミニウム合金層AC1上には、たとえばスパッタリングによりチタン層T2、窒化チタン層TN2がこの順に積層され、下部電極LEL1となる。

【0047】

図10を参照して、次に誘電体層DECが積層される。誘電体層DECとしては、たとえばP-CVD法(プラズマCVD法)により形成される、窒化珪素の薄膜が形成される。

【0048】

図11を参照して、下部電極LEL1と同様の手法により、上部電極UELとしてのチタン層T1、窒化チタン層TN1、アルミニウム合金層AC1、チタン層T2、窒化チタン層TN2がこの順に積層される。なお、ここでもアルミニウム合金層AC1を成膜した後、リフロー工程を行ない、アルミニウムの結晶を再結晶化することが好ましい。また、上部電極UELの平面視における面積を、下部電極LEL1の平面視における面積よりも小さくする場合には、上部電極UELを構成する薄膜を成膜した後に、たとえば通常の写

10

【0049】

図12を参照して、次に絶縁膜Tsaが、たとえばHDP-CVD(High Density Plasma)法により形成される。

【0050】

図13を参照して、次にたとえばシリコン酸化膜からなる層間絶縁膜II1aが、たとえばP-CVD法により形成される。

【0051】

図14を参照して、たとえばUEL上の絶縁膜Tsaおよび層間絶縁膜II1aの一部を除去することにより、上下方向に延在するスルーホールTHが形成される。この処理により、層間絶縁膜II1aは層間絶縁膜II1に、絶縁膜Tsaは絶縁膜TSとなるものとする。

20

【0052】

図15を参照して、まず層間絶縁膜II1上およびスルーホールTHの内部に、たとえばスパッタリングにより、チタン層T3および窒化チタン層TN3が形成される。その後たとえばCVD法により、タングステン層TGが形成される。その後、たとえばCMPにより成膜されたタングステン層TGや窒化チタン層TN3などの表面が研磨される。このようにすれば、図15に示すようにスルーホールTHの内部がチタン層T3、窒化チタン層TN3、タングステン層TGにより充填された構成の導通ビアVAが形成される。したがって導通ビアVAが図15の態様となるように、チタン層T3および窒化チタン層TN3の厚みを制御することが好ましい。

30

【0053】

図16を参照して、導通ビアVAを含む層間絶縁膜II1上に、下部電極LEL2を構成する各層が、たとえばスパッタリング法により形成される。その後、下部電極LEL2を構成する各層が、たとえばドライエッチング法を用いて加工され、所望の形状を有する下部電極LEL2となる。

【0054】

図17を参照して、その後、層間絶縁膜II1と下部電極LEL2との上面を覆うように、層間絶縁膜II2aが、たとえばプラズマCVD法を用いて形成される。その後層間絶縁膜II2aの上部がたとえばCMPにより平坦化され、層間絶縁膜II2となる。以上により、図2に示す態様が完成する。

40

【0055】

なお、以上に述べた図2に示す態様を有するキャパシタMM1のほかに、本実施の形態のキャパシタは以下に述べる態様を有していてもよい。図18を参照して、本実施の形態の他の半導体装置は、誘電体層DEC1と誘電体層DEC2との2つの誘電体層を有している。誘電体層DEC1は配線M4と配線TPとに挟まれた構成である。配線M4は図2の下部電極LEL1に相当し、配線TPは図2の上部電極UELに相当する。このため、配線M4と誘電体層DEC1と配線TPとが、キャパシタMM1を形成する構成となっている。同様に、配線TPを図2の下部電極LEL1に相当すると考え、配線M5を図2の

50

上部電極 U E L に相当すると考えれば、配線 T P と誘電体層 D E C 2 と配線 M 5 とが、キャパシタ M M 2 を形成する構成となっている。

【 0 0 5 6 】

配線 M 4 は下部電極 L E L 1 と同様に、チタン層 T 1、窒化チタン層 T N 1、アルミニウム合金層 A C 1、チタン層 T 2、窒化チタン層 T N 2 から構成される。配線 T P はアルミニウム合金層 A C 2 と、その上下の窒化チタン層 T N 1、T N 2 やチタン層 T 1、T 2 から構成される。配線 M 5 はアルミニウム合金層 A C 3 と、その上下の窒化チタン層 T N 5、T N 6 やチタン層 T 3 から構成される。

【 0 0 5 7 】

キャパシタ M M 1、M M 2 を形成すべく、誘電体層 D E C 1、D E C 2 を挟んで配線 M 4、T P、M 5 が上下方向において重なる領域は、断面図において下方向に窪んだ形状となっている。そして窪んだ誘電体層の側部には、たとえばシリコン酸化膜 (S i O) からなるスペーサ S P 1、S P 2 が形成される。

【 0 0 5 8 】

なお以上に述べた図 1 8 において、図 2 と同名の構成要素は図 2 と同一の構成であるため、ここではその説明を繰り返さない。参照符号の末尾の番号のみが異なり、記号が同一である場合においても同様である。

【 0 0 5 9 】

図 1 8 に示す半導体装置中のアルミニウム合金層 A C 1、A C 2、A C 3 においても、これを成膜した後にリフロー工程を行ない、当該アルミニウム合金層を構成する結晶を再結晶化することが好ましい。当該再結晶化により、アルミニウム合金層 A C 1、A C 2、A C 3 の表面の R m a x (最大高さ) が 8 0 n m 未満、R m s (二乗平均粗さ) が 1 0 n m 未満、R a (算術平均粗さ) が 9 n m 未満となることが好ましい。

【 0 0 6 0 】

次に、本実施の形態の作用効果について説明する。

上記のように、キャパシタのアルミニウム合金層の表面粗さが向上すれば (すなわち表面の平坦度が向上すれば)、半導体装置に搭載される個々のキャパシタの膜厚のばらつきや、容量など性能のばらつきを抑制することができる。このような表面は、アルミニウム合金層の形成時にリフロー工程による再結晶化を行なうことにより実現される。したがって個々のキャパシタの耐圧がより安定したものとなり、半導体装置の信頼性が向上する。

【 0 0 6 1 】

いったん成膜されたアルミニウム合金層 A C 1 を高温でリフローすることにより再結晶化する。このため、アルミニウム合金層 A C 1 の下側の第 1 のバリア層の積み方や、第 1 のバリア層の平坦度にかかわらず、アルミニウム合金層 A C 1 および、その上部 (誘電体層 D E C や上部電極 U E L) の平坦度を向上することができる。下部電極 L E L 1 の主要部分はアルミニウム合金層 A C 1 であるため、アルミニウム合金層 A C 1 の表面の平坦度が向上することにより、キャパシタ M M 1 全体の平坦度が向上する。その結果、キャパシタ M M 1 の膜厚などのばらつきが減少する。したがってキャパシタ M M 1 の初期故障などの不具合を抑制し、信頼性を向上することができる。

【 0 0 6 2 】

以上に示す、リフローによりアルミニウム合金層の表面を平坦化する処理は、本実施の形態においては、下部電極 L E L 1 自体を形成する際になされている。アルミニウム合金層を形成した後は、下部電極 L E L 1 を構成する第 2 のバリア層が形成される。このため本実施の形態においては、下部電極 L E L 1 自体が形成され終わる前に、平坦度を高めるための処理がなされている。つまり本実施の形態は、下部電極 L E L 1 自体を平坦に形成する方法となっている。したがって、たとえば下部電極 L E L 1 自体が形成され終えた後に平坦化する方法を用いた場合に比べて、当該処理に要するコストを削減することができる。

【 0 0 6 3 】

また、再結晶化によりアルミニウム合金層の (1 1 1) 配向強度が向上すれば、当該ア

10

20

30

40

50

ルミニウム合金層の寿命が向上される。アルミニウムの結晶のエレクトロマイグレーション寿命は、(111)面のXRD(X-Ray Diffraction)による回折ピーク強度の対数に比例するためである。このことから、当該キャパシタの配線の信頼性がさらに高められる。

【0064】

以上のように、下部電極LEL1のアルミニウム合金層AC1の表面を平坦化することにより、キャパシタ全体の平坦化や信頼性確保を図ることができる。さらに上部電極UELのアルミニウム合金層AC1についても、下部電極LEL1と同様の処理を施し、表面が $R_{max} < 80 \text{ nm}$ 、 $R_{ms} < 10 \text{ nm}$ 、 $R_a < 9 \text{ nm}$ の関係を満たすように平坦化すれば、キャパシタMM1などの多段積層構造を形成する際に、より安定に大容量化を図ることができる。

10

【0065】

(実施の形態2)

本実施の形態は、実施の形態1と比較して、アルミニウム合金層の表面を平坦化する手法において異なっている。以下、本実施の形態について説明する。

【0066】

本実施の形態においては、たとえば図2の下部電極LEL1を構成する第1のバリア層(チタン層T1および窒化チタン層TN1)が、高指向性スパッタリングにより形成されている。具体的にはたとえばコリメーションスパッタ法、ロングスロースパッタ法、スパッタイオンポンプ法、またはバイアスパッタ法などの高指向性スパッタリングが用いられている。これに対して実施の形態1においては、第1のバリア層は高指向性スパッタリングでない通常のスパッタリング法により形成されている。

20

【0067】

本実施の形態は、以上に述べた点において実施の形態1と異なる。しかし本実施の形態に係る半導体装置の、特に図2に示すキャパシタMM1の製造方法は、基本的に図9~図17に示す実施の形態1に係る半導体装置と同様の手順である。

【0068】

ここで、本実施の形態の作用効果について説明する。

上記の各種の高指向性スパッタリングにより形成されたチタン層T1や窒化チタン層TN1は、通常のスパッタリング法により形成されたチタン層T1や窒化チタン層TN1に比べて(111)配向強度が向上する。チタン層T1や窒化チタン層TN1の配向強度が向上すれば、その上に形成されるアルミニウム合金層AC1や、第2のバリア層としてのチタン層T2や窒化チタン層TN2についても下部のチタン層T1や窒化チタン層TN1に合わせて配向強度が向上する。したがって下部電極LEL1全体の平坦度が向上し、さらにその上の誘電体層DECや上部電極UELの平坦度も向上する。このため、本実施の形態のキャパシタMM1についても、実施の形態1のキャパシタMM1と同様に、初期故障の可能性を低減し、信頼性を高めることができる。

30

【0069】

以上のように第1のバリア層としてのチタン層T1などのみの平坦度を高めることにより、その上のアルミニウム合金層AC1などの平坦度が高められる。このため本実施の形態においては、たとえば実施の形態1のようなリフロー工程を施さなくてもアルミニウム合金層AC1の表面の平坦度を高めることができる。しかし本実施の形態においても形成されたアルミニウム合金層AC1に対してリフロー工程を行なってもよい。

40

【0070】

また、第1のバリア層を高指向性スパッタリングにより形成することで、その上のアルミニウム合金層AC1の平坦度が高められれば、後述するように、アルミニウム合金層の(111)配向強度が向上する。したがって本実施の形態においても、実施の形態1と同様に、当該アルミニウム合金層の寿命が向上される。このことから、当該キャパシタの配線の信頼性がさらに高められる。

【0071】

50

以上に示す、アルミニウム合金層の表面を平坦化する処理は、本実施の形態においても、下部電極LEL1自体を形成する際になされている。より具体的には、下部電極LEL1を形成する際に最初に形成する、第1のバリア層自体を形成する際に、後に形成されるアルミニウム合金層の表面を平坦化する処理がなされている。このため本実施の形態においても、下部電極LEL1自体が形成され終わる前に、平坦度を高めるための処理がなされている。つまり本実施の形態は、下部電極LEL1自体を平坦に形成する方法となっている。したがって、たとえば下部電極LEL1自体が形成され終えた後に平坦化する方法を用いた場合に比べて、当該処理に要するコストを削減することができる。

【0072】

また上部電極UELや下部電極LEL2についても、下部電極LEL1と同様に、アルミニウム合金層AC1の下部のチタン層T1および窒化チタン層TN1が高指向性スパッタにより形成されることが好ましい。このようにすれば、実施の形態1と同様に、キャパシタMM1などのMIMキャパシタの多段積層構造を形成する際に、より安定に大容量化を図ることができる。

【0073】

本発明の実施の形態2は、以上に述べた各点についてのみ、本発明の実施の形態1と異なる。すなわち、本発明の実施の形態2について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態1に順ずる。

【0074】

(実施の形態3)

本実施の形態は、実施の形態1と比較して、アルミニウム合金層の表面を平坦化する手法において異なっている。以下、本実施の形態について説明する。

【0075】

本実施の形態においては、アルミニウム合金層AC1を形成するためのスパッタリング時に、半導体基板SUB(図2、図9参照)が通常よりも低温に保たれる。具体的には、半導体基板SUBが100以上270以下に保たれた状態でアルミニウムがスパッタリングされることにより、アルミニウム合金層AC1が形成される。なお上部電極UELのアルミニウム合金層AC1や、下部電極LEL2のアルミニウム合金層AC2についても、上記と同様の処理を施してもよい。

【0076】

また必要に応じて、上記の低温の条件下で形成されたアルミニウム合金層AC1に対して、形成後により高温の環境下で保持してもよい。このようにすれば、形成される電極(アルミニウム合金層)の信頼性をより高めることができる。

【0077】

本実施の形態は、以上に述べた点において実施の形態1と異なる。しかし本実施の形態に係る半導体装置の、特に図2に示すキャパシタMM1の製造方法は、基本的に図9~図17に示す実施の形態1に係る半導体装置と同様の手順である。

【0078】

また本実施の形態に、実施の形態1および実施の形態2の少なくとも一方の特徴を加えて用いてもよい。

【0079】

ここで、本実施の形態の作用効果について説明する。

通常、下部電極LEL1のアルミニウム合金層AC1を成膜する際には、半導体基板SUBはたとえば300以上400以下に加熱される。しかし本実施の形態のように、100以上200以下の低温で加熱された状態で成膜すれば、形成されるアルミニウム合金層AC1中のアルミニウムの結晶粒の粒成長が抑制される。このためアルミニウム合金層AC1中のアルミニウムの結晶粒が小さくなり、アルミニウムの成膜の凹凸が小さくなる。つまりアルミニウムの結晶粒が小さくなる結果、アルミニウム合金層AC1の表面の平坦度が向上される。このため、本実施の形態のキャパシタMM1についても、実施の形態1のキャパシタMM1と同様に、初期故障の可能性を低減し、信頼性を高めること

10

20

30

40

50

ができる。ここでも実施の形態１と同様に、アルミニウム合金層ＡＣ１の下側の第１のバリア層の積み方や、第１のバリア層の平坦度にかかわらず、下部電極ＬＥＬ１の平坦度を向上することができる。

【００８０】

以上に示す、アルミニウム合金層の表面を平坦化する処理は、本実施の形態においては、下部電極ＬＥＬ１自体を形成する際になされている。より具体的には、下部電極ＬＥＬ１を構成するアルミニウム合金層ＡＣ１は、既に表面が平坦化された状態で形成される。このため本実施の形態においても、下部電極ＬＥＬ１自体が形成され終わる前に、平坦度を高めるための処理がなされている。つまり本実施の形態は、下部電極ＬＥＬ１自体を平坦に形成する方法となっている。したがって、たとえば下部電極ＬＥＬ１自体が形成され終えた後に平坦化する方法を用いた場合に比べて、当該処理に要するコストを削減することができる。

10

【００８１】

また上部電極ＵＥＬや下部電極ＬＥＬ２についても、下部電極ＬＥＬ１と同様に、アルミニウム合金層ＡＣ１、ＡＣ２が低温スパッタリングにより形成されることが好ましい。このようにすれば、実施の形態１と同様に、キャパシタＭＭ１などのＭＩＭキャパシタの多段積層構造を形成する際に、より安定に大容量化を図ることができる。

【００８２】

本発明の実施の形態３は、以上に述べた各点についてのみ、本発明の実施の形態１と異なる。すなわち、本発明の実施の形態３について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態１に順ずる。

20

【実施例１】

【００８３】

キャパシタＭＭ１の下部電極ＬＥＬ１を構成する、本発明に係る平坦化処理を施したアルミニウム合金層ＡＣ１の表面と、本発明に係る平坦化処理を施さないアルミニウム合金層ＡＣ１の表面とを、原子間力顕微鏡（ＡＦＭ；Atomic Force Microscope）を用いて測定した結果を、図１９および図２０に示す。

【００８４】

図１９および図２０は、いずれも下部電極ＬＥＬ１を構成する第１のバリア層としてのチタン層Ｔ１と窒化チタン層ＴＮ１と、その上のアルミニウム合金層ＡＣ１とが形成された積層構造における、アルミニウム合金層ＡＣ１の表面をＡＦＭにて観察したものである。これらの積層構造はいずれも、半導体基板ＳＵＢの一方の主表面上に、すべて同一条件で形成された薄膜や層間絶縁膜の上に形成されたものである。

30

【００８５】

図１９のチタン層Ｔ１および窒化チタン層ＴＮ１は、通常のスパッタリングにより形成されたものである。図２０のチタン層Ｔ１および窒化チタン層ＴＮ１は、本実施の形態２の高指向性スパッタリングのうち、スパッタイオンポンプ法により形成されたものである。

【００８６】

図１９と図２０とを比較して、本実施の形態のように高指向性スパッタを用いてバリア層を形成し、その上に形成されるアルミニウム合金層ＡＣ１は、通常のスパッタリングにより形成されたバリア層上に形成されるアルミニウム合金層ＡＣ１よりも、表面の平坦度が向上していることがわかる。

40

【実施例２】

【００８７】

本実施の形態１に示すリフロー工程を実施することによる、アルミニウム合金層ＡＣ１の平坦度の変化を調査した。準備した各サンプルの形成条件、およびＡＦＭを用いたアルミニウム合金層ＡＣ１の表面の測定結果を下の表１に示す。

【００８８】

【表 1】

サンプル 番号	スパッタリング方法と、 形成 Ti の厚み (直流電力/バイアス電力)	スパッタリング方法と、 形成 Ti の厚み (直流電力/バイアス電力)	AlCu 厚み (温度/成膜条件)	AFM で評価した面粗度		
				Rms(nm)	Ra(nm)	Rmax(nm)
#01	通常方式 10nm (1kw/0W)	通常方式 20nm (6.5kw/0W)	150nm (300°C/成膜のみ)	11.71	9.318	87.01
#02	LTS スパッタ 10nm (6kw/0W)	LTS スパッタ 20nm (18kw/0W)	150nm (140°C/リフロー)	1.906	1.419	25.03
#03	SIP スパッタ 10nm (6kw/300W)	SIP スパッタ 15nm (18kw/50W)		2.340	1.812	22.59
#04	通常方式 10nm (1kw/0W)	通常方式 10nm (6.5kw/0W)		3.441	2.575	37.26

【 0 0 8 9 】

表 1 に示すサンプル（サンプル番号 # 0 1 ~ # 0 4 ）のいずれも、半導体基板 SUB の一方の主表面上に、すべて同一条件で形成された薄膜や層間絶縁膜の上に、チタン層 T 1 (T i) と窒化チタン層 T N 1 (T i N) とアルミニウム合金層 A C 1 (A l C u) とが

10

20

30

40

50

積層するように形成されたものである。

【 0 0 9 0 】

サンプル # 0 1 および # 0 4 は、通常のスパッタリング方法により、表 1 中に示すチタン層 T 1 と窒化チタン層 T N 1 とが形成されたものである。またスパッタリングに用いた直流電力とバイアス電力の値はそれぞれ表 1 中に示すとおりである。

【 0 0 9 1 】

これに対してサンプル # 0 2 は、高指向性スパッタリングのうち L T S (ロングスルースパッタ法) によりチタン層 T 1 と窒化チタン層 T N 1 とが形成されたものである。またサンプル # 0 3 は、高指向性スパッタリングのうち S I P (スパッタイオンポンプ法) によりチタン層 T 1 と窒化チタン層 T N 1 とが形成されたものである。

10

【 0 0 9 2 】

これらのバリア層の上に形成されるアルミニウム合金層 A C 1 については、サンプル # 0 1 は 3 0 0 にて通常のスパッタリングにより厚み 1 5 0 n m だけ形成されたものである。そして成膜のみ行なわれ、成膜後のリフロー工程はなされていない。一方、サンプル # 0 2 、 # 0 3 、 # 0 4 のアルミニウム合金層 A C 1 は、 1 4 0 にて通常のスパッタリングにより厚み 1 5 0 n m だけ形成されたものである。また成膜後にリフロー工程がなされている。

【 0 0 9 3 】

これらの各サンプルのアルミニウム合金層 A C 1 の表面の R m s 、 R a および R m a x の値を A F M で測定した結果が、表 1 および図 2 1 ~ 図 2 3 に示される。なお図 2 1 ~ 図 2 3 の横軸は、表 1 中のサンプルの種類を示し、図 2 1 ~ 図 2 3 の縦軸は、表面粗さを示す各パラメータの値を示す。

20

【 0 0 9 4 】

表 2 および図 2 1 ~ 図 2 3 より、アルミニウム合金層 A C 1 に対してリフロー工程を行なえば、高指向性スパッタリングにより第 1 のバリア層を形成するか否かにかかわらず、高い面粗度 (表面粗さ) が得られることがわかる。またサンプル # 0 2 ~ # 0 4 は、サンプル # 0 1 に比べて低温でアルミニウム合金層 A C 1 が成膜されている。このことからサンプル # 0 2 ~ # 0 4 はサンプル # 0 1 よりも結晶粒が小さく抑えられ、その結果表面の凹凸が小さくなったと考えられる。

【 実施例 3 】

30

【 0 0 9 5 】

実施例 3 は、実施例 1 よりも詳細に、本実施の形態 2 に示す高指向性スパッタリングを用いることによる、アルミニウム合金層 A C 1 の表面粗さへの影響を調査したものである。準備した各サンプルの形成条件、および A F M を用いたアルミニウム合金層 A C 1 の表面の測定結果を下の表 2 に示す。

【 0 0 9 6 】

【表 2】

サンプル 番号	スパッタリング 方法	TiNの厚み (nm)	Tiの厚み (nm)	スパッタエッチング の深さ(nm)	Alの厚み (温度/成膜条件)	AFMで評価した面粗度		
						Rms(nm)	Ra(nm)	Rmax(nm)
#06	通常方法	20	10	15	150nm (300℃/成膜のみ)	13.0	10.3	103.7
#07	通常方法	10	10	15		12.8	10.1	109.7
#08	LTSスパッタ	20	10	15		6.3	4.5	79.9
#09	LTSスパッタ	10	10	15		6.0	4.3	77.2
#10	SIPスパッタ	20	10	15		4.2	3.0	55.0
#11	SIPスパッタ	10	10	15		3.0	2.2	49.9

【0097】

表2に示すサンプル(サンプル番号#06~#11)のいずれも、半導体基板SUBの一方の主表面上に、すべて同一条件で形成された薄膜や層間絶縁膜の上に、チタン層T1

10

20

30

40

50

(Ti)と窒化チタン層TN1(TiN)とアルミニウム合金層AC1(AlCu)とが積層するように形成されたものである。

【0098】

これらのサンプルはいずれも、15nmの深さ分だけスパッタエッチングがなされた表面上に、チタン層T1などが形成される。そしてサンプル#06および#07については通常のスパッタリングによりチタン層T1や窒化チタン層TN1が形成される。これに対してサンプル#08および#09は、LTSによりチタン層T1と窒化チタン層TN1とが形成されたものである。またサンプル#10および#11は、SIPによりチタン層T1と窒化チタン層TN1とが形成されたものである。

【0099】

本実施例においては、すべてのサンプルに対して、通常のスパッタリングにより、通常の温度である300℃でアルミニウム合金層AC1が形成された。そして形成されたアルミニウム合金層AC1に対してリフロー工程などの後処理はなされなかった。

【0100】

これらの各サンプルのアルミニウム合金層AC1の表面のRms、RaおよびRmaxの値をAFMで測定した結果が、表2および図24～図26に示される。なお図24～図26の横軸および縦軸は、図21～図23と同様である。

【0101】

すなわち本実施例においては、各サンプル間の条件の違いは、バリア層を形成する際のスパッタリングの方法の違いのみである。この場合において、表2および図24～図26に示すように、通常のスパッタリングよりも、高指向性スパッタリングを用いてバリア層を形成する方が、その後のアルミニウム合金層AC1の面粗度が向上することがわかる。

【0102】

以上の図21～図26を総括すれば、本実施の形態に示す平坦化処理を用いることにより、アルミニウム合金層AC1の表面粗さは、Rmaxが80nm未満(図23、図26参照)、Rmsが10nm未満(図21、図24参照)、Raが9nm未満(図22、図25参照)となることがわかる。つまり平坦度を示す各パラメータの値を上記の範囲にすることにより、平坦度の高いアルミニウム合金層AC1を得ることができる。その結果、平坦度の高い下部電極LEL1などを得ることができるため、耐圧ばらつきが小さく信頼性の高い半導体装置を得ることができる。

【0103】

さらに、通常の成膜によるバリア層上に形成されたアルミニウム合金層AC1よりも、高指向性スパッタリングによるバリア層上に形成されたアルミニウム合金層AC1は、アルミニウムの(111)配向強度が高くなるといえる。図27と図28とはいずれも、通常のスパッタリングにより形成されたアルミニウム合金層AC1中のアルミニウム結晶が示す(111)配向強度を表わしている。

【0104】

図27と図28との測定に用いたサンプル間の相違点は、チタン層T1および窒化チタン層TN1の形成方法のみである。図27および図28のグラフにおける横軸は、X線回折(XRD)によるX線の回折角度を示しており、縦軸はアルミニウム合金層AC1中の、アルミニウム結晶の(111)配向強度を示している。

【0105】

図27および図28を参照して、たとえば実施の形態2のように高指向性スパッタリングにより形成されたバリア層上のアルミニウム合金層AC1は、通常のスパッタリングにより形成されたバリア層上のアルミニウム合金層AC1よりも(111)配向強度が高いことがわかる。つまり上述したように、アルミニウム合金層AC1にリフロー工程を行なった場合に限らず、アルミニウム合金層AC1の下地のバリア層を平坦化することによっても、アルミニウム合金層AC1の(111)の配向性を向上することができる。したがって、アルミニウム合金層AC1の表面の平坦度が向上すれば、当該アルミニウム合金層

10

20

30

40

50

ＡＣ１中のアルミニウム結晶の配向性が向上するといえる。

【０１０６】

今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【０１０７】

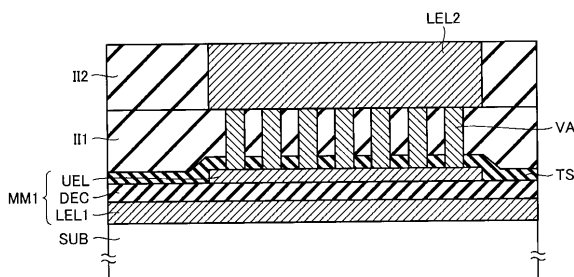
本発明は、キャパシタを有する半導体装置およびその製造方法に特に有利に適用され得る。

【符号の説明】

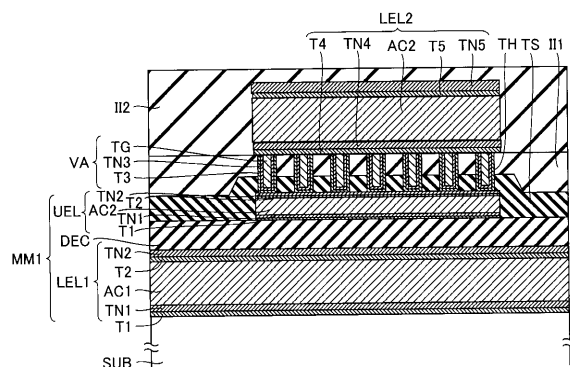
【０１０８】

ＡＣ１，ＡＣ２，ＡＣ３ アルミニウム合金層、ＤＥＣ，ＤＥＣ１，ＤＥＣ２ 誘電体層、ＩＩ１，ＩＩ１ａ，ＩＩ２，ＩＩ２ａ 層間絶縁膜、ＬＥＬ１，ＬＥＬ２ 下部電極、Ｍ４，Ｍ５，ＴＰ 配線、ＭＭ１，ＭＭ２ キャパシタ、ＳＰ１，ＳＰ２ スペース、ＳＵＢ 半導体基板、Ｔ１，Ｔ２，Ｔ３，Ｔ４，Ｔ５ チタン層、ＴＧ タングステン層、ＴＨ スルーホール、ＴＮ１，ＴＮ２，ＴＮ３，ＴＮ４，ＴＮ５ 窒化チタン層、ＴＳ，ＴＳａ 絶縁膜、ＵＥＬ 上部電極、ＶＡ 導電ビア。

【図１】



【図２】



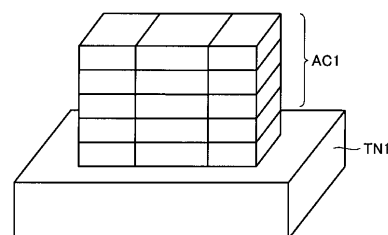
【図３】



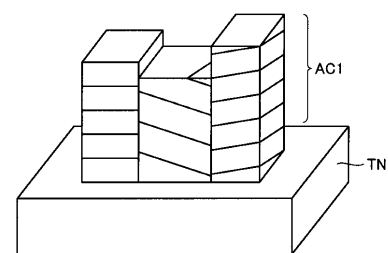
【図４】



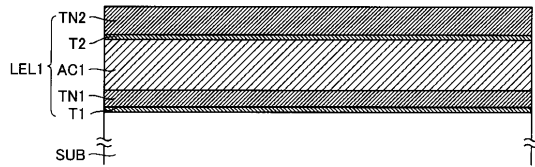
【図５】



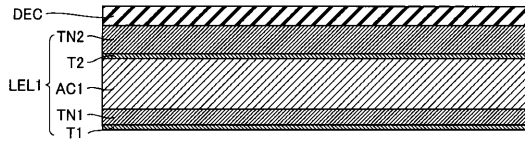
【図６】



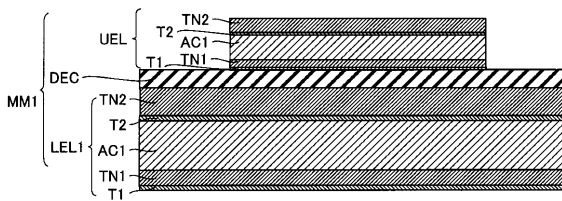
【図 9】



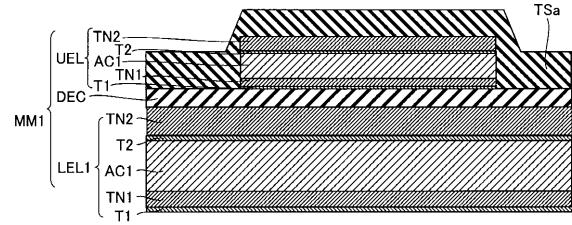
【図 10】



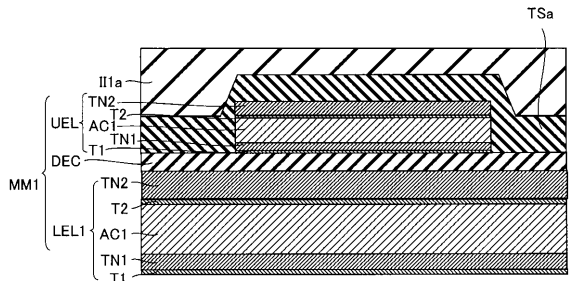
【図 11】



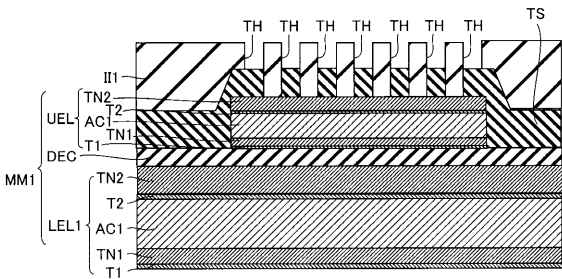
【図 12】



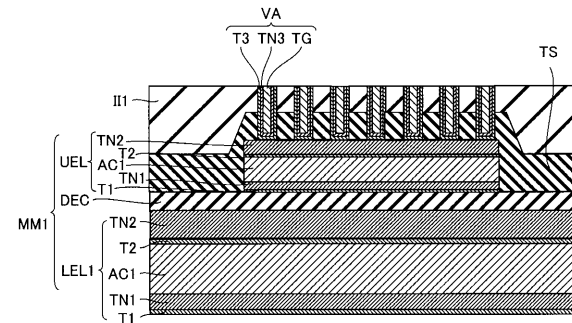
【図 13】



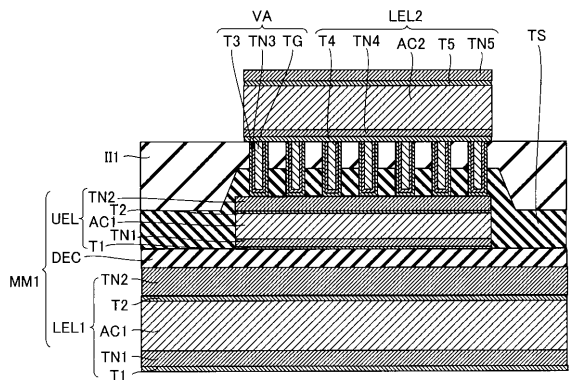
【図 14】



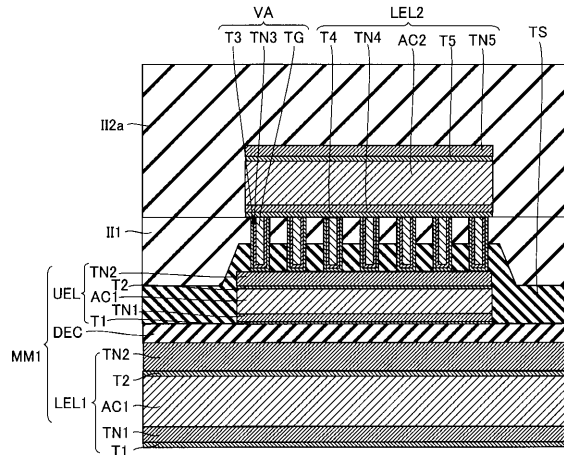
【図 15】



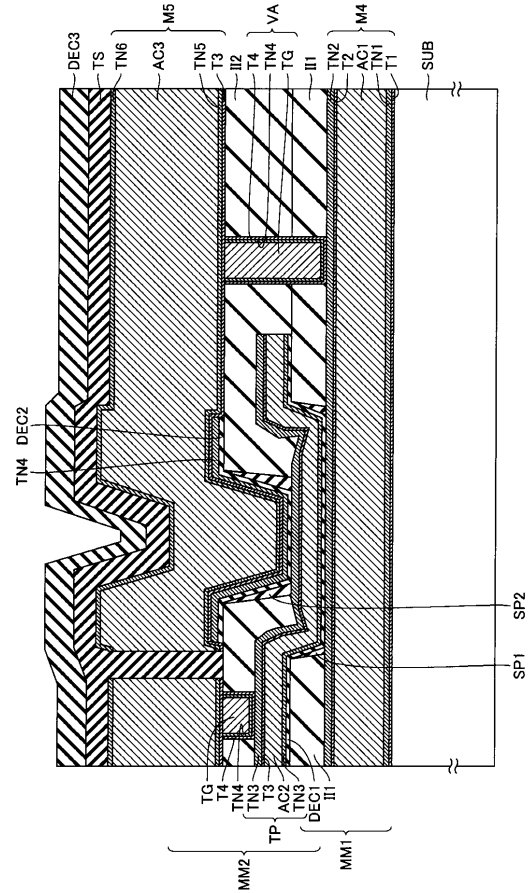
【図 16】



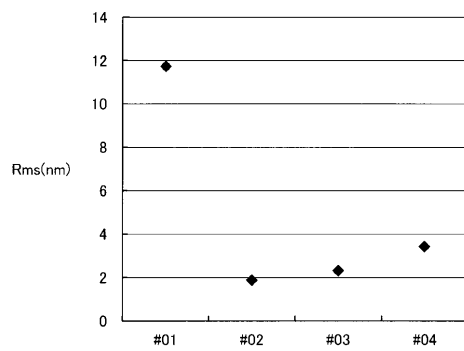
【図 17】



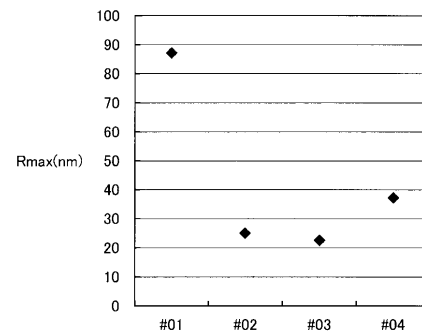
【図 18】



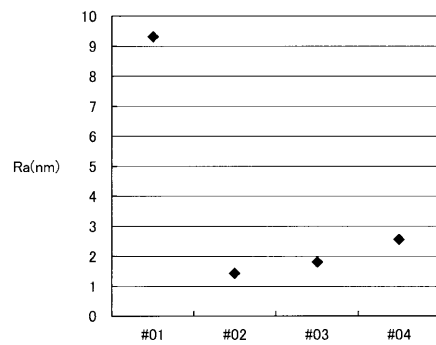
【図 21】



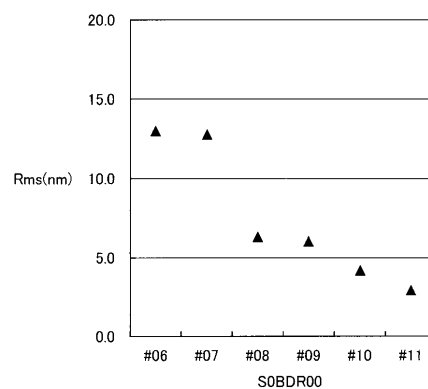
【図 23】



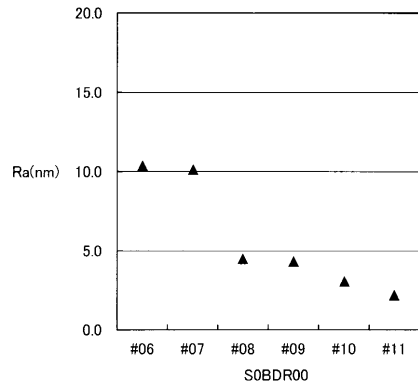
【図 22】



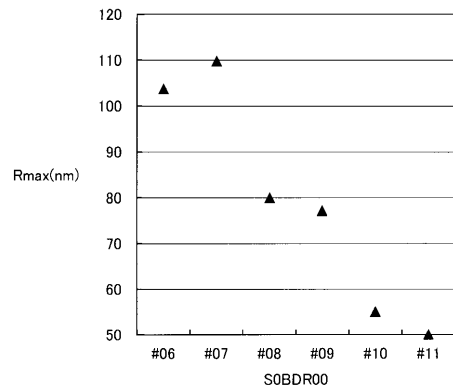
【図 24】



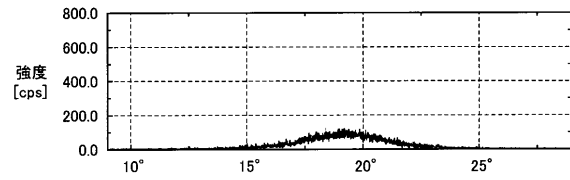
【図 25】



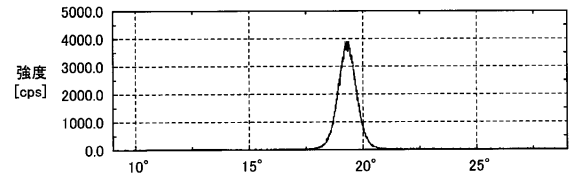
【図 26】



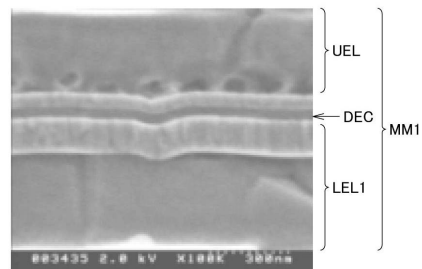
【図 27】



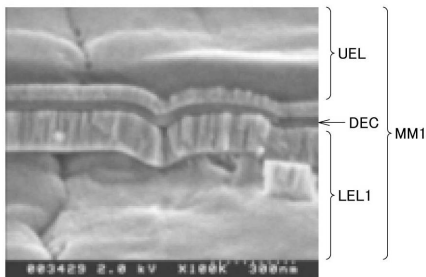
【図 28】



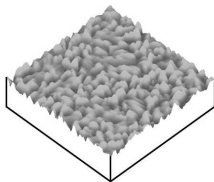
【図 5】



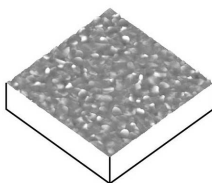
【図 6】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 23/532 (2006.01)

(72)発明者 山田 圭一

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

合議体

審判長 鈴木 匡明

審判官 加藤 浩一

審判官 小田 浩

(56)参考文献 特開 2 0 0 3 - 0 9 2 2 9 9 (J P , A)

特開 2 0 0 6 - 3 3 2 5 1 4 (J P , A)

特開 2 0 0 7 - 0 0 5 7 1 9 (J P , A)

特開 2 0 0 8 - 1 4 0 8 5 0 (J P , A)

特開 2 0 0 1 - 1 0 2 5 2 9 (J P , A)

特開平 0 4 - 2 8 0 4 2 5 (J P , A)

特表 2 0 0 5 - 5 0 5 9 3 4 (J P , A)

特開 2 0 0 7 - 2 0 1 2 0 8 (J P , A)

特開 2 0 0 8 - 2 1 0 9 9 6 (J P , A)

特表 2 0 0 7 - 5 1 2 6 9 7 (J P , A)

特開平 0 3 - 2 2 5 8 2 2 (J P , A)

特開 2 0 0 2 - 2 0 3 9 1 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 7 / 0 4

H 0 1 L 2 1 / 8 2 2

H 0 1 L 2 1 / 3 2 0 5