

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-514756  
(P2005-514756A)

(43) 公表日 平成17年5月19日(2005.5.19)

(51) Int.C1.<sup>7</sup>

H05B 39/02

H05B 39/04

F 1

H05B 39/02

H05B 39/04

テーマコード(参考)

3K073

審査請求 有 予備審査請求 未請求 (全 25 頁)

(21) 出願番号 特願2003-559198 (P2003-559198)  
 (86) (22) 出願日 平成14年12月30日 (2002.12.30)  
 (85) 翻訳文提出日 平成16年8月10日 (2004.8.10)  
 (86) 國際出願番号 PCT/US2002/041836  
 (87) 國際公開番号 WO2003/059017  
 (87) 國際公開日 平成15年7月17日 (2003.7.17)  
 (31) 優先権主張番号 60/343,236  
 (32) 優先日 平成13年12月31日 (2001.12.31)  
 (33) 優先権主張国 米国(US)  
 (31) 優先権主張番号 60/398,298  
 (32) 優先日 平成14年7月22日 (2002.7.22)  
 (33) 優先権主張国 米国(US)

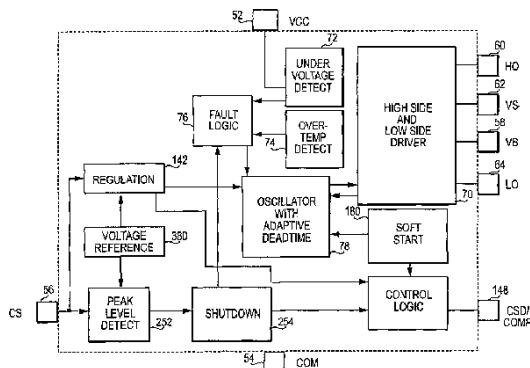
(71) 出願人 597161115  
 インターナショナル レクティフィアー  
 コーポレイション  
 アメリカ合衆国 カリフォルニア州 90  
 245 エル セガンド カンザス スト  
 リート 233  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100101465  
 弁理士 青山 正和  
 (74) 代理人 100108453  
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 塩基性ハロゲン・コンバータ IC

## (57) 【要約】

フィラメント・ランプに電力を供給する電力半導体デバイスに制御信号を与えるための駆動回路であって、該駆動回路は、前記制御信号を発生するための発振器を備える。該駆動回路は、さらに、起動時に前記ランプに過度の電流を避けるように前記発振器を制御するソフト・スタート回路(180)、負荷における変動を補償するように前記発振器を制御する電圧補償回路、欠陥状態に応答して前記発振器をシャットダウンそして自動的に再スタートさせるためのシャットダウン回路(254)、前記電力半導体デバイスの冷却作動を提供するように前記発振器を制御する適応性デッド・タイム回路(78)、及び/または前記ランプを駆動するように前記発振器を制御する調光回路を備えていて良い。該駆動回路及びその制御回路は、集積回路で履行され得る。



**【特許請求の範囲】****【請求項 1】**

フィラメント・ランプに電力を供給する電力半導体デバイスに制御信号を与えるための駆動回路であって、

前記制御信号を発生するための発振器と、

起動時に前記ランプに過度の電流を避けるように前記発振器を制御するソフト・スタート回路と、

を備えた駆動回路。

**【請求項 2】**

フィラメント・ランプに電力を供給する電力半導体デバイスに制御信号を与えるための駆動回路であって、

前記制御信号を発生するための発振器と、

負荷における変動を補償するように前記発振器を制御する電圧補償回路と、  
を備えた駆動回路。

**【請求項 3】**

フィラメント・ランプに電力を供給する電力半導体デバイスに制御信号を与えるための駆動回路であって、

前記制御信号を発生するための発振器と、

欠陥状態に応答して前記発振器をシャットダウンしそして自動的に再スタートさせるためのシャットダウン回路と、

を備えた駆動回路。

**【請求項 4】**

フィラメント・ランプに電力を供給する電力半導体デバイスに制御信号を与えるための駆動回路であって、

前記制御信号を発生するための発振器と、

前記電力半導体デバイスの冷却作動を提供するように前記発振器を制御する適応性デッド・タイム回路と、  
を備えた駆動回路。

**【請求項 5】**

フィラメント・ランプに電力を供給する電力半導体デバイスに制御信号を与えるための駆動回路であって、

前記制御信号を発生するための発振器と、

前記ランプを調光するように前記発振器を制御する調光回路と、  
を備えた駆動回路。

**【請求項 6】**

フィラメント・ランプに電力を供給する電力半導体デバイスに制御信号を与えるための駆動回路であって、

前記制御信号を発生するための発振器と、

該発振器のための制御回路と、

を備え、集積回路内で実施される駆動回路。

10

20

30

40

**【発明の詳細な説明】****【技術分野】****【0001】****関連出願の相互参照**

本願は、2001年12月31日に出願された米国仮出願シリアル番号第60/343,236号、並びに2002年7月22日に出願されたシリアル番号第60/398,298号に基づいておりそれらの優先権を主張するものであり、それらの開示内容は参照に

50

よりここに組込まれる。

【0002】

発明の分野

本発明は、ハロゲン・ランプを駆動するための集積回路（IC）に関する。

【背景技術】

【0003】

図1は、出力リード12を横切って変圧器14の二次コイルに接続されたハロゲン・ランプ（図示せず）を駆動するための従来のハロゲン・コンバータ回路10を示す。回路10は、入力リード16を横切ってAC電力を受け、限られた性能しか持たないが、基礎的なバイポーラ自己共振回路として働く。

10

【0004】

集積回路（IC）は、蛍光灯のための電子安定器コントローラを提供するよう発展してきた。従来の安定器ICは、例えば、発振用ハーフ・ブリッジ・ドライバ、欠陥状態を示す信号に応答する欠陥ロジック、及び蛍光灯を始動して作動させる適切な回路を含み得る。例として、International Rectifier Corporation(IR)によって販売されており米国特許第6,211,623号に記載されているIR2156ICがあり、その米国特許の開示内容はその全体において参考によりここに組込まれる。

【0005】

しかしながら、蛍光灯のための安定器ICは、ハロゲン・ランプや、フィラメントを有する他のランプ（ここでは“フィラメント・ランプ”と称する）のような他の型のランプを駆動するためには適切ではない。フィラメント・ランプ、特に、ハロゲン・ランプを駆動するためのICを提供することは有利であろう。

20

【0006】

【特許文献1】米国特許第6,211,623号

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、ハロゲン・ランプのようなフィラメント・ランプを駆動するために適切な、好ましくはランプ・ドライバICで履行される、新規なドライバ（駆動）回路を提供するものである。

30

【課題を解決するための手段】

【0008】

本発明の回路は、フィラメント・ランプ及び蛍光バラスト（安定器）を駆動するためのシステム間の幾つかの違いを取り扱う。例えば、ハロゲン・ランプ及び他のフィラメント・ランプは、予熱及び点火を必要としない抵抗性負荷である。フィラメント・ランプのためのDCバスは、平滑化されていない全波整流されたラインであって良い。代表的なフィラメント・ランプ・システムにおいては、力率1は本来的なものである。フィラメント・ランプはトライアック調光器で調光され得、調光は、ACラインの位相カットにより達成され得る。フィラメント・ランプの出力は、絶縁された低い電圧であり得る。出力の短絡回路または過負荷に対しては保護が必要であり、シャットダウンが自動リセットするはずである（しゃっくり（hiccup）モード）。

40

【0009】

本発明の実施形態の回路は、高電圧ハーフブリッジ・ゲート・ドライバと、内部電圧基準により制御される可変周波数発振器と、電圧制御される発振器（VCO）とを含む。該回路は、電子変圧器のようなハロゲン・コンバータのための出力電圧調整器を提供する。該回路は、内部発振器、スイッチ・オン時にランプ・フィラメント・ストレスを減少するための周波数掃引ソフト・スタート、自動リセットする短絡回路保護、自動リセットする過負荷保護、可変周波数出力電圧調整、冷却作動するMOSFETを許容するための適応性デッド・タイム、立下りエッジの自己調光（または位相カット調光）、（マイクロコントローラに対する5Vのような）調整された電圧出力、内部の熱制限、AC主サイクルに

50

渡る周波数変調または変動、マイクロパワー起動、自動再スタート、ラッチの免除、及びE S D保護を提供する。該回路は、外部の位相カット調光器で調光を提供する集積回路の形態で履行するのが好ましい。

【0010】

本発明の第2の実施形態の回路は、高電圧ハーフブリッジ・ゲート・ドライバと、内部電圧基準によって制御される可変周波数発振器と、誤差増幅器とを含む。該回路は、電子変圧器のようなハロゲン・コンバータのための出力電圧調整器を提供する。該回路は、内部発振器、スイッチ・オン時にランプ・フィラメント・ストレスを減少するための周波数掃引ソフト・スタート、自動リセットする短絡回路保護、自動リセットする過負荷保護、可変周波数出力電圧調整、冷却作動するM O S F E Tを許容するための適応性デッド・タイム、立下りエッジの自己調光（または位相カット調光）、（マイクロコントローラに対する5Vのような）調整された電圧出力、内部の熱制限、A C主サイクルに渡る周波数変調または変動、マイクロパワー起動、自動再スタート、ラッチの免除、及びE S D保護を提供する。該回路は、D A L IまたはD M X 5 1 2とのよう、両立し得るマイクロコントローラである集積回路の形態で、及び外部の位相カット調光器で調光をも提供する集積回路の形態で履行するのが好ましい。

10

【発明の効果】

【0011】

本発明の回路は、ランプのより長い寿命及び優れた製品の信頼性に帰結する。

20

【0012】

本発明の他の特徴及び長所は、添付図面を参照する本発明の以下の説明から明瞭となるであろう。

【発明を実施するための最良の形態】

【0013】

第1の実施形態

図2は、本発明の回路が履行される8ピンの集積回路（I C）50（I Rの部品番号I R 2 1 6 1）の主機能構成要素を示す。一層進歩した履行は、14ピンの集積回路（部品番号I R 2 1 6 2）に見られる。ここではI R 2 1 6 1を詳細に説明し、I R 2 1 6 2に含まれるさらなる機能は他のところで説明する。

30

【0014】

供給電圧（V C C）ピン52、電力及び信号接地（C O M）ピン54、電流感知（C S）ピン56、高側ゲート・ドライブ浮動供給（V B）ピン58、高側ゲート・ドライブ出力（H O）ピン60、高側浮動戻り（V S）62、及び低側ゲート・ドライブ出力（L O）ピン64は、International Rectifier Corporationの製品であるI R 2 1 5 6 I CまたはI R 2 1 5 7（1）I Cの同様に識別されたピンと実質的に同じ機能を行い、かつ実質的に同じ態様で履行され得る。I R 2 1 5 7（1）I Cの特徴もまた、米国特許第6,211,623号に記載されており、その開示内容は、その全体においてここに組込まれる。同様に、高側及び低側ドライバ70、下電圧検出回路72、過温度検出回路74、及び欠陥ロジック76は、米国特許第6,211,623号における同様に識別された回路と実質的に同じ機能を行い、かつ実質的に同じ態様で履行され得る。I C 5 0の発振器要素78及び他の要素は、以下の説明から理解され得る。

40

【0015】

図3は、出力リード82に接続されたハロゲン・ランプ（図示せず）を、図1における変圧器14と同様に働く変圧器84を介して駆動するように、I R 2 1 6 1 I Cとして言及されたInternational Rectifier Corporationの製品として履行されるI C 5 0が接続されている回路80を示す。回路80は、入力リード86を介してA C電力を受け、該回路80中のキャパシタンス90、インダクタンス92、ダイオード94及び96、抵抗98及び100、そしてキャパシタンス102及び104は、図1における従来の回路10における同等の構成要素と同じ機能を行う。回路80は、高側及び低側の電力M O S F E T 1 1 0及び112の動作を介して変圧器84に発振信号を提供する。高側M O S F E

50

T 110 は、そのゲート駆動信号をドライバ70からH0ピン60を介して受け、低側MOSFET112は、そのゲート駆動信号をドライバ70からL0ピン64を介して受け。この構成において、出力電圧は、出力変圧器84の負荷変動率に起因する負荷に依存して、またシステム作動周波数に依存して変化する。変圧器84は、一次の漏れインダクタンスを有するので、出力電圧は、周波数が増加するにつれて下降するであろう。

【0016】

発振器

図2における発振器要素78を履行するために、図4における発振器回路は、出力信号OOをドライバ70に提供し、この信号は図10に示されている。出力信号は、比較器CMP6の出力からの一連のパルスを含む。OO信号は、デッド・タイム中は高であり、ドライバ70がMOSFET110及び112のいずれか一方にパルスを提供しているときには低である。

【0017】

図4を参照すると、比較器CMP6は、制御された電流源により充電されたキャパシタ C1が閾値電圧Vth1に達すると高出力を提供する。高出力は、また、キャパシタ C1を所定の電流で放電するために、分路トランジスタMN9をターンオンする。また、高出力は、閾値ロジックが、5Vから0.6Vまで閾値を減少させるMN89をスイッチ・オンすることによってVth1を調整するようとする。比較器出力は、C1上の電圧が0.6V以下に下がってしまうまで、高いままである。このことが起こるまでにかかる時間は、MOSFET110または112のいずれもスイッチ・オンされないデッド・タイムを決定する。C1は、しかしながら、MN8を介して0Vまで即座に放電され得、もしRESET入力にパルスが印加されないならば、比較器出力が直ちに低になるようにして次のサイクルが始まるようとする。このパルスは、以後説明する適応性デッド・タイム回路から送られる。

【0018】

発振器回路は、入力VCOに与えられる0から+5Vまでの範囲のDC制御電圧から電圧制御される。VCO入力は、図11に示されるシャットダウン回路内の送信ゲートTGA\_T\_E\_SWITC\_H1を介して外部のCSDピン272に接続される。この送信ゲートは、シャットダウン回路によって検出された欠陥状態中以外は、常時可能化される。ピンCSDからCOM54に接続された外部コンデンサ270は、3つの別々の動作モードを有し、それをこれから詳細に説明するが、概略的には、これらは、(1)ソフト・スタート・タイミングと、(2)電圧補償モードにおける増幅されたCSピン信号の平滑化と、(3)シャットダウン及び自動再スタート・タイミングとである。

【0019】

ロジック入力SSN(ソフト・スタートではない)は、VCO入力が0Vにセットされるときに生じる動作の上部周波数を決定する。下部周波数は、SSNの状態とは無関係に同じである。周波数は、VCO電圧が変化するにつれほぼ線形的に変化する。SSNが高であるとき、ソフト・スタート中のVCO電圧の周波数範囲は、それが電圧補償モードで動作しているときの正常作動中のものよりも大きい。IR2161は、電圧をCSピン56に給電する電流感知抵抗を介してMOSFET110、112のハーフ・ブリッジにおける電流を感知することによって、コンバータ出力80における負荷を決定する。

【0020】

ソフト・スタート

ソフト・スタートは、コンバータが最初にスイッチ・オンしたときに生じる。ランプ・フィラメントが冷えているとき、それは熱いときよりも低い抵抗を有し、このことは、図6に示すように高い流入電流をもたらす。このことは、現在用いられている幾つかのシステムにおいては、シャットダウン回路の偽トリガを生成するように見られており、安定な連続動作に達する前に、ランプが数回、オン及びオフに点滅することとなる。

【0021】

ソフト・スタート回路は、この問題を解消し、同時に、起動時にフィラメントにかかる

10

20

30

40

50

ストレスを減少し、これによりランプの寿命を延ばし得る。図5のソフト・スタート回路は、I C 5 2のV C Cピンが下電圧ロックアウト(U V L O)閾値以上に高められたときに動作する。U V L Oの作用は、I R 2 1 5 6のようなInternational Rectifier点灯バラスト制御I Cと共に動作する。この点において、発振器は、より高い周波数で開始し、外部のC S D 2 7 0のコンデンサは、ソフト・スタート中にだけ可能化されたI C内の電流源から充電され始める。ピンC S Dにおける電圧が増加するにつれ、周波数は低下し、そうなるにつれ、一層多くの電力がランプに与えられる。C S Dにおける電圧が5Vの閾値に達すると、周波数は、30kHz前後の最小値に低下してしまうであろう。I C内のソフト・スタート回路の履行は、図5に見られ得る。ラッチング比較器C M P L T C H 1の出力は、周波数範囲を決定する発振器に給電される、ソフト・スタート期間の終わりでの低から高へ行くS S Nロジック信号である。ランプ流入電流への影響は、図7に見られ得る。

#### 【0022】

##### 電圧補償モード

ソフト・スタート制御に加えて、発振器周波数は、また、出力電流感知に応答しても制御され得る。C Sピンにおける電流は、望まれない高周波数のノイズを除去する低域フィルタを任意選択的に介して、図8の電圧補償回路のC S F入力に与えられる。図8における回路は、正電圧の固定された利得を有する演算増幅器P M O S \_ O P 1を組み込んでいる。出力は、ダイオードQ 1及び伝達ゲートT G A T E \_ S W I T C H 1を介して、外部のC S Dコンデンサ及び発振器V C Oの入力に与えられる。伝達ゲートは、電圧補償作用が活性化されている時の正常動作モードにある、ソフト・スタート・モード及びシャットダウン・モードにシステムが無いときに、可能化される。電圧補償とは、負荷変動に起因したコンバータの出力電圧における変化を補償するための機構を言っている。ハロゲン変換器は最大電力定格を有するが、高い出力電圧に帰結する幾分軽い負荷で用いられ得る。例えば、2つの並列の50Wランプを駆動する100Wのコンバータが、11.5VのR M S出力電圧を生成し得るが、もし一方のランプが取り除かれるかまたは開回路になった場合には、電圧は12Vに増加し得る。当然、電圧が高ければ高いほど、高いランプ電力を生成し、このことは、ランプ温度を高めてその寿命を減らす。最大負荷においてC S Dコンデンサにかかる電圧はおよそ5Vである。P M O S \_ O P 1における電圧は、全波整流された正弦波包絡線内に含まれる発振器周波数におけるパルスから成り、ダイオードQ 1は、ピーク整流を提供し、C S Dコンデンサは、ピークに比例したD Cレベルを生成するよう平滑化を提供する。もし負荷が減少されたならば、C S Dコンデンサは、電流源M N 1を介して多くのサイクルに渡ってゆっくりと放電される。この回路においては高速応答は不要である。

#### 【0023】

##### シャットダウン回路

I R 2 1 6 1におけるシャットダウン回路が図11に示されている。入力C Sは、I Cの外部のC Sピンに接続されている。正常動作中、電流感知抵抗は、最大負荷において約0.4Vのピーク電流を提供するように選択されている。これは、発振器が必要とされる最小の周波数で作動するようにする、電圧補償モード中にC S Dピンにおいて5Vを提供する。もし負荷が最大定格の150%に増加された場合、C Sピンにおけるピーク電圧は、結果的に0.5Vに達し、このことは、C M P 1の出力が高に行くようにし、I N V 2を介してM P 8をスイッチング・オンする。C Sピンにおける信号の高周波成分のために、C M P 1は、ライン電圧の半サイクルのピークにおいて高周波パルスを生成する。同様に、過酷な過負荷もしくは出力の短絡が生じたならば、C Sにおけるピーク電圧は、I N V 1 4の閾値を超え、これにより、その出力は低くなり、M P 4をスイッチ・オンさせることとなる。

#### 【0024】

C M P 1が高になると、フリップ・フロップR R S 1はセットされる。このことは、伝達ゲートT G A T E \_ S W I T C H 2を可能化してC S Dピンをシャットダウン回路に接

10

20

30

40

50

続し、そして T G A T E \_ S W I T C H 1 を不可能化して C S D ピンを電圧補償回路から遮断する。同時に、M P 4 4 がスイッチ・オンされて、C S D コンデンサが M N 7 0 を介してほぼ 4 V に充電されるようにし、これにより、M N 1 が保持され、R R S 1 及び R R S 2 の R 2 入力が低く保たれるのを確実にしている。これは、電圧補償及びシャットダウン回路間での C S D のサイクルごとのスイッチングを避けることである。

#### 【 0 0 2 5 】

R R S 1 がセットされている期間中、システムは、図 1 4 に示される状態図に示されるように、欠陥タイミング・モードまたは欠陥モードにある。これらのモードにおいて、明確には必要とされない電圧補償回路は不活性となり、周波数は静に留まる。I N V 1 4 の出力が低いとき、電流は、M P 3 及び M P 4 を介して外部の C S D コンデンサ 2 7 0 に供給され、C M P 1 が高いとき、電流は、M P 2 及び M P 8 を介してコンデンサに供給される。外部の電力M O S F E T 1 1 0 及び 1 1 2 を短時間内に破壊するであろう非常に高いハーフ(半)・ブリッジ電流を I N V 1 4 が検出するので、充電速度は、I N V 1 4 が C M P 1 よりも一層急速にコンデンサを充電させるように、異なっている。M O S F E T が損傷無しで或る時間この電流を維持できるであろうので、C M P 1 は、コンデンサをゆっくりと充電する。C S D 電圧は、V C C (A P W R として I C 内に言及される) に近接した点まで増加するので、P M O S デバイス M P 6 はスイッチ・オフし、I N V 4 の入力は高から低に行き、M N 2 によってプル・ダウンされる。I N V 4 の出力は、フリップフロップ R R S 2 をセットして S D ロジック信号を高に行かせる。この信号が高であるとき、システムは、双方のハーフ・ブリッジM O S F E T のオフで不可能化され、出力への電力を完全に除去する。結果として、C S ピンにおける電流はゼロに降下し、I N V 1 4 の出力は高に行き、そして C M P 1 の出力は低に行くが、R R S 1 及び R R S 2 はセットされたままで、システムは欠陥モードに留まる。欠陥モードにおいて、M N 3 はスイッチ・オンされ、電流シンク M N 4 を通して C S D を放電し、電圧が徐々に降下するようになる。それがゼロ近くに降下すると、M N 1 はスイッチ・オフし、R R S 2 の R 2 入力は M P 6 を介して高に引っ張られて S D を低に再度セットし、これにより、発振器が再度作動を開始すること、並びにM O S F E Tへの出力ドライブが付勢されることを許容する。S D N は同時に高に行き、I N V 2 が A N D 1 を介して高である場合に、フリップフロップ R R S 1 をリセットする。I N V 2 の出力は、C S で検出された過電流欠陥があるときに高である。R R S 1 がリセットされるとき、T G A T E \_ S W I T C H 2 は不可能化され、T G A T E \_ S W I T C H 1 は可能化され、これにより、C S D を電圧補償回路に接続し、そしてシャットダウン回路から遮断する。発振器が再スタートし、欠陥が未だ存在するならば、全シーケンスは、欠陥状態がもはや存在しなくなるまで、繰り返される。このことは、図 1 4 の状態図に示されている。

#### 【 0 0 2 6 】

要約すると、過負荷が生じると、次に、システムは、およそ 0.5 秒の遅延後にシャットダウンする。短絡回路が生じると、システムは、およそ 50 ミリ秒の遅延後にシャットダウンする。双方の場合において、システムは、およそ 0.5 秒間、オフに留まり、次に、自動的に再スタートする。過負荷もしくは短絡回路状態が残っているならば、次に、シーケンスは、連続的に反復する。これは、図 1 2 及び図 1 3 に示されている。この方法で、コンバータは、過熱または要素を損傷することなく、欠陥状態を無制限に許容し得る。

#### 【 0 0 2 7 】

##### 適応性デッド・タイム

バイポーラ電力トランジスタをベースにした自己発振ハロゲン・コンバータは、システムが常にソフトに切り換わるので、固有に効率的である。D C バスはライン電圧ハーフ・サイクル中に変わるので、デッド・タイムは当然に変わる。同様のレベルの効率を達成するためには、デッド・タイムも、本発明においては、同様のソフト・スイッチング(切り換え)を提供するよう順応する。

#### 【 0 0 2 8 】

I R 2 1 6 1 は、図 3 の V S ピンにおいて M O S F E T ハーフ・ブリッジ中央点におけ

10

20

30

40

50

る電圧を感知することにより動作する適応性デッド・タイム機能を含む。高側のMOSFET 110がスイッチ・オフされるとき、VSにおける電圧は、変圧器84の漏れインダクタンス及びMOSFET 110及び112のドレイン・ソース容量に起因して、0Vにそれる。電圧VSが0Vに達すると、それは、下部のMOSFET 112がスイッチ・オンするための正しい時間である。

#### 【0029】

MOSFET 110のゲートを駆動する高側ドライバ出力HOは、図15に示される回路のSPN入力に供給される負に行くパルスによって高にセットされる。それは、RPN入力に供給される負に行くパルスで低にセットされる。SPNパルスは、フリップ・フロップRS1をセットし、D型フリップ・フロップDF1をリセットし、MP30がスイッチ・オフされるようになる。RPNパルスは、DF1のQDN出力が低に行くようにし、HOがVSの高から低への変遷の始まりにおいて低にセットされると同時にMP30をスイッチ・オンする。MP30がスイッチ・オンされると、電流が、VSプラスVCCの電位にあるVBピンからZCに供給される。電流は、HINが低であるのでこの時点で可能化される、図15に示されるMN37及びMN38のミラーに流れる。これは、MN38のドレイン、図10に示される信号Dが低であるようになる。VS電圧がゼロに向かってそれるので、ミラーにおけるさらなる電流が無い点が達成され、MN38のドレインは高に行く。この点において、出力ADTでパルスが発生され、これが図10に示される。ADTパルスはOR4に供給され、MN31を駆動し、図15の高側ドライバ回路のRPN入力得において第2の負に行くパルスを生成する。これはHRS5には、それがすでにリセットされているので、何の影響も与えないが、DF1がセットされたときにRS1がリセットされたので、DF1をリセットするであろう。このロジックは、MP30をスイッチ・オフし、ZCにはそれ以上の電流は供給されない。その結果、制限された電流だけを供給するような大きさとされているMP30は、VSの高から低へのそらせ(slew)時間中にだけスイッチ・オンされる。

#### 【0030】

波形VSが図10に示されており、該図10はまた、図15のためのSPN及びRPN入力を生成する、図16のMN30及びMN31のゲートに供給するパルスをも示している。図10を参照すると、VSの高から低への変遷の始めにおいて、LTRIGでパルスが生じ、そしてVSにおける電圧が0Vに接近してそれる(slew)ときにADTでパルスが生じることが分かり得る。これらパルス間の期間もしくは周期は、デッド・タイムを決定する。これらの信号は、図9の適応性デッド・タイム回路に供給される。RRS1はLTRIGによってセットされ、そして或る理由で、高から低への変遷が検出されない場合には発振器からのADTまたはONによってリセットされ、システムを固定されたデッド・タイムにデフォルトする。RRS1がセットされると、MP11をスイッチ・オフさせ、MP9及びMP10から成る電流ミラーがコンデンサCBに電流を供給するようになる。結果として、電圧は、VSの検出された高から低へのスルー(slew:そらせ)時間に比例してCB上に存在する。

#### 【0031】

同じ方法で、高から低へのスルー(slew:そらせ)時間を感知することが可能ではないので、類似であると仮定され得る高から低へのスルー(そらせ)時間を再生することにより正しいデッド・タイムを決定する。MOSFET 112へのゲート・ドライブLOが低に行くとき、図9に示されるフリップ・フロップRRS2をセットするHTRIGパルスが生じる。この点において、MP13及びMP14から成るもう1つの同一の電流源が可能化されて、CBが充電を始める。CA上の電圧がCB上の電圧を超えると、比較器CMP3の出力は高に行く、これにより、スルー(そらせ)時間は複製される。CMP3の出力が高に行くと、フリップ・フロップRRS2はリセットされ、従って、正しいデッド・タイム・パルスが、RRS2のQ出力において低から高への変遷の間生成される。フリップ・フロップRRS1及びRRS2からの出力は、NORゲートNOR7に供給されてADTO出力を生成する。ADTO出力は、いずれかのデッド・タイム中に低であり、出力

10

20

30

40

50

MOSFET 110または112のいずれかがスイッチ・オンされたときに高である信号から成る。ADTO信号は、各デッド・タイムの終りでRESET出力にパルスを生成し、該パルスは、図4の発振器に戻して供給され、C1を放電し、次のサイクルを始める。この方法で、図10に示される発振器出力OOは、適応性デッド・タイム回路に追従し、反転されることができ、そして次に、図17に示される出力ロジック回路に信号OONを介して供給される。信号OONは、ANDゲートAND2及びAND3を介してLO及びHOのブランкиングを提供する。

### 【0032】

#### 位相カット調光操作

ハロゲン・コンバータは、主に平滑化されないDCバス電圧のために、トライアックまたはトランジスタをベースにした位相カット調光システムを介して操作される。IR2161の場合において、調光器におけるトライアックまたはトランジスタがオフの期間中、DCバス電圧はゼロに降下するということが考慮されてきた。このことは、電流が引き上げられ続けるので、VCCにおける電圧がUVLOの負に行く閾値以下に降下することに帰結し得る。位相カット調光操作中にソフト・スタート回路がハーフ・サイクルごとに再トリガされる可能性を避けるために、第2の負に行く閾値が下電圧ロックアウト回路に追加されてきており、これにより、VCCは、ソフト・スタート回路がリセットされるようになるためにはこのより低い閾値以下に降下しなければならない。この第2の閾値は、第1のもの以下のほぼ2Vである。VCCが第1の閾値以下に降下すると、ICは、マイクロ・パワー・モードに行き、VCCコンデンサからの非常に小さい電流だけを引き上げる。従って、VCCにおけるこのコンデンサがさらに2Vだけ放電するために一つのライン電圧ハーフ・サイクルよりも長くかかり、結果としてソフト・スタート回路はリセットされない。

### 【0033】

#### 追加の機能

IR2161は、IR2157(1)のようなInternational Rectifierによって製造された他のICにおいても履行される追加の機能(例えば、過温度のシャットダウン)を有する。

### 【0034】

#### 第2の実施形態

図18は、本発明の回路が実施される集積回路(IC)50の第2の実施形態の主な機能構成要素を示す。供給電圧(VCC)ピン52、電力及び信号接地(COM)ピン54、電流感知(CS)ピン56、高側ゲート・ドライブ浮動供給(VB)ピン58、高側ゲート・ドライバ出力(HO)ピン60、高側浮動戻り(VS)62、及び低側ゲート・ドライバ出力(LO)ピン64は、International Rectifier Corporationの製品であるIR2156IC及びIR2157ICの同様に識別されたピンと実質的に同じ作用を行い、そして実質的に同じ態様で履行され得る。IR2157ICの特徴も、米国特許第6,211,623号に記載されており、その開示内容は、その全体においてここに組込まれる。同様に、高側及び低側ドライバ70、下電圧検出回路72、過温度検出回路74、及び欠陥ロジック76は、米国特許第6,211,623号において同様に識別された回路と実質的に同じ作用を行い、そして実質的に同じ態様で履行され得る。発振器要素78及びIC50の他の構成要素は、以下の説明から理解され得る。

### 【0035】

図19は、IR2162ICとして言及されるInternational Rectifier Corporationの製品として履行されるIC50が、ハロゲン・ランプ(図示せず)を駆動するように接続されている回路80を示す。ハロゲン・ランプは、図1における変圧器14と同様に作用する変圧器84を介して出カリード82に接続される。回路80は、入カリード86を介してAC電力を受け、この場合、キャパシタンス90、インダクタンス92、ダイオード94及び96、抵抗98及び100、並びにキャパシタンス102及び104は、図1の従来の回路10における同等の構成要素と同じ作用を行う。回路80は、高及び低側電

10

20

30

40

50

力MOSFET 110及び112の動作により発振信号を変圧器84に与える。高側MOSFET 110は、そのゲート・ドライブ信号をHOピン60を介してドライバ70から受け、低側MOSFET 112は、そのゲート・ドライブ信号をLOピン64を介してドライバ70から受ける。

【0036】

図18における発振器要素78を履行するために、図20における発振器回路120は、ドライバ70に出力信号OSCを与える。出力波形122は、出力信号が比較器124の出力からの一連のパルスを含むということを示す。OSC信号はデッド・タイム中は高であり、ドライバ70がMOSFET 110及び112のいずれか一つにパルスを提供しているときは低である。

10

【0037】

比較器124は、制御された電流源132により充電されたキャパシタンス130が閾値電圧Vthに達したときに高出力を提供する。高出力は、また、キャパシタンス130を放電するために分路トランジスタ134をターン・オンする。高出力は、また、閾値オジック136にVthを調節させて、比較器124が低に行き、次に、適切な時刻に再度高に行くのを確実にする。

【0038】

制御された電流源132は、フィードバック電圧による制御及びソフト・スタート中の制御を含む幾つかの方法で制御される。電流源132がキャパシタンス130を充電する速度を変えれば、次に、発振周波数を変える。電流源132による充電速度は、従って、同等の周波数範囲を有する。

20

【0039】

フィードバック電圧制御のために、電流源132がキャパシタンス130を充電する速度は、比較器142からの出力によって制御される。例えば、電流源132は、40kHzのような出力波形122の最小周波数を確実にする最小電流レベルを有し得る。しかし、充電ポンプ入力(VFB)ピン144におけるフィードバック電圧がバンドギャップ基準電圧Vrefを超えると、比較器142は、誤差増幅器補償(COMP)ピン148を介して外部のキャパシタンス146を充電し、電流源132への電圧が高まるようにしてキャパシタンス130の充電速度が増加するようにし、これにより、出力波形122の周波数を増加する。増加速度は、キャパシタンス146の大きさによって決定される。

30

【0040】

図19に示されるように、VFBピン144は、出力リード82を介してハロゲン・ランプに与えられる信号を示すように接続されたノード150からの電圧を受けるように接続される。変圧器84は、追加の二次コイル154を有し、該コイルの一方のリードは、ダイオード156、抵抗158及び160、並びに抵抗160を横切って接続されたキャパシタンス162を介して接地に接続される。コイル154がダイオード156の導通方向に信号を受け始めると、抵抗158を通る電流は、最初にキャパシタンス162を充電し、ノード150における電圧を高め、そして抵抗160を通して電流を生成する。信号がダイオード156の非導通方向に変わると、抵抗158を通る電流は停止し、キャパシタンス162は抵抗160を通して放電し、ノード150における電圧が降下するのを許容する。結果として、VFBピン144における電圧は、出力信号の各サイクルの部分中にVrefを超える。

40

【0041】

このようにして、キャパシタンス146の大きさは、出力信号の周波数を決定する：もしキャパシタンス146が大きければ、電流源132は、ほぼ最小周波数に対する速度でキャパシタンス130を充電するが、より小さいキャパシタンス146が選択された場合には、電流源132は、より早い速度でキャパシタンス130を充電し、より高い出力信号周波数を生成する。

【0042】

同様に、出力信号周波数は、ソフト・スタート回路180から電流源142への信号に

50

よって、より高い周波数から最小の周波数まで下方に掃引され得る。図21に示されるフリップ・フロップ182は、トランジスタ184が起動時に最初にターン・オンされるよう、適切な回路（図示せず）により起動前にリセットされ、外部のキャパシタンス190を調光ランプ（CDIM）ピン192を介して充電するように、電流が抵抗186及び188を介して流れるのを許容する。ノード194における電圧は最初は低いので、トランジスタ196も最初はターン・オンされ、それにより、トランジスタ184を流れる電流は分割される。幾らかの電流は、抵抗198を介して電流源132に流れ、それ故、コンデンサ130に流れ、急速充電及び一層高い出力信号周波数を許容する。

#### 【0043】

ノード194における電圧は、キャパシタンス190の充電に起因して上昇するので、トランジスタ196はターン・オフされ、コンデンサ130は、一層ゆっくりと充電し、出力信号をその最小周波数まで下方に持っていく。次に、CDIMピン192上の電圧は、それが閾値電圧Vthを超えるまで上昇する。この時点で、比較器200は、高い信号を提供し、フリップ・フロップ182をセットし、従って、トランジスタ184をターン・オフし、これによりソフト・スタート回路180は完全に切り換えられ、次回にフリップ・フロップ182が起動時にリセットされるまで、出力信号周波数にさらなるどんな影響をも与えない。

#### 【0044】

図22及び図23は、起動時におけるランプ電流へのソフト・スタート回路180の影響を示す。図22は、ソフト・スタート回路180が無い場合のランプ電流を示し、図23は、ソフト・スタート回路180が有る場合のランプ電流を示す。図22において、ランプ電流は、一層高い初期値でスタートし、安定状態に降下する。他方、図23においては、ランプ電流は、安定状態よりも僅かに高いだけの一層低い初期値でスタートし、一層徐々に降下し、このように、スイッチ・オン時にランプのフィラメントにかかるストレスを減少する。図23における一層低い初期値は、一層高い出力信号周波数が電流の流れを減少するので、生じる。

#### 【0045】

電圧フィードバック及びソフト・スタート制御に加えて、制御された電流源132は、また、出力電流感知に応答しても制御され得る。そして、OSC信号の周波数は、キャパシタンス130を横切って接続されたリセット・トランジスタ210によって成就される、デッド・タイム調整を介しても制御され得る。

#### 【0046】

図24は、発振器回路120の部分である適応性デッド・タイム（ADT）回路220を示し、該回路は、高から低への遷移のデッド・タイムを検出し、その結果を用いてパルス化されたリセット（RST）信号を提供して、低から高への遷移の間のデッド・タイムを修正し、冷えた作動電力MOSFETを許容する。図25は、回路220の動作を示す幾つかの波形を示す。

#### 【0047】

ADT回路220は、発振器回路120から出力（OSC）信号を受け、また、交流OSCパルスの立ち上がりエッジを示す低及び高のトリガ・パルスを受ける。低及び高のトリガ・パルスは、適切な回路（図示せず）によってOSC信号から導出される。OSC信号はトランジスタ222のゲートに与えられ、低及び高のトリガ信号は、それぞれフリップ・フロップ（RS1）224及びフリップ・フロップ（RS2）226をセットするように接続される。

#### 【0048】

OSC信号は、ドライブ信号間にデッド・タイムを与えるように高に行くが、ドライブ信号を提供し始めるためには低に行く。デッド・タイムの開始を示す、OSC信号におけるパルスの立ち上がりエッジは、トランジスタ222をターン・オンする。回路220は、OSC信号におけるパルスの立ち上がりエッジだけが、VSの高から低への変遷中に、すなわちOSC信号における1つおきのパルス中に、トランジスタ222をターン・オン

10

20

30

40

50

するようにロジック(図示せず)を含む。図25で左に示す、高から低への変遷中、V Sピン62上の電圧は、V B U S電圧からC O M電圧への変遷を行い、電流はトランジスタ228に流れ、従って、トランジスタ230もまたターン・オンし、そしてA D T信号を低に保持する。V S電圧がC O M電圧へのすべての道をそれる(slew)とき、トランジスタ230はスイッチ・オフし、A D T信号は、抵抗234を介して接続される供給電圧に応答して高に行く。

#### 【0049】

高のA D T信号は、低のトリガ・パルスにより高から低への変遷の開始時にセットされていたフリップ・フロップ224をリセットする。低のトリガは、H Oがデッド・タイムの開始時にスイッチ・オフするとき、高に行く。結果として、A D T O U T信号は、高から低へのデッド・タイム中にだけ高である。フリップ・フロップ224がリセットされると、そのQ出力は、低のA D T O U T信号を提供し始め、そしてN O Rゲート232は、図20におけるトランジスタ210をリセットするよう高のR S T信号を提供することにより応答し、O S Cパルスが低に行くように発振器60をリセットし、デッド・タイムを終結し、そして新しい発振器サイクル/タイミング・ランプ(傾斜)を始める。

#### 【0050】

フリップ・フロップ224が、このデッド・タイムの開始時に低のトリガ・パルスによってセットされるとき、そのQ N出力は、スイッチ回路236のE N N \_ B入力に低の信号を提供し、該回路236は、そのO U T \_ Bリードを介してキャパシタンス(C B)240に充電電流を提供することにより応答する。

#### 【0051】

スイッチング回路236は、そのI N入力に適切な電流源(図示せず)から電流を受け、以下のように動作する。そのE N N \_ A及びE N N \_ B入力が双方とも高であるとき、スイッチ回路236は、そのI N入力をそのC O M出力に接続する。E N N \_ Aが低であるとき、スイッチ回路236は、そのI N入力をそのO U T \_ A出力に接続する。E N N \_ Bが低であるとき、スイッチ回路236はそのI N入力をそのO U T \_ B出力に接続する。A D T回路220は、フリップ・フロップ224及び226の少なくとも一方が常にリセットされるので、E N N \_ A及びE N N \_ Bが決して同時に低にはならないのを確実にする。

#### 【0052】

A D T信号が高に行くとき、E N N \_ Bもまた高に行き、それ故、スイッチ回路236は、キャパシタンス240を充電するのを停止する。図25に示すように、キャパシタンス(C B)240を横切る電圧は上昇を停止して、ほぼ一定を保持し、このようにして、図25の左のO S Cパルス中のデッド・タイムの期間に関する情報を格納する。

#### 【0053】

図25の右に示される、引き続く低から高へのO S Cパルスの立ち上がりエッジは、V Sピン62上の電圧における低から高への変遷中のデッド・タイムの始まりを示す。V S電圧が上昇するにつれ、トランジスタ222及び228を通る電流の流れは、トランジスタ230をターン・オンし、A D T信号が低に行くのを許容する。しかし、同時にキャパシタンス242を通して受信される高のトリガ信号パルスはフリップ・フロップ226をセットし、それ故、そのQ出力は高のC O M P O u t信号を提供する。N O Rゲート232は、応答して低のR S T信号を提供し始める。

#### 【0054】

フリップ・フロップ226がセットされると、そのQ N出力は、スイッチ回路236のE N N \_ A入力に低の信号を提供し、スイッチ回路236がキャパシタンス(C A)244に充電電流を提供するようになる。キャパシタンスC A 244及びC B 240は、それぞれ比較器246の非反転及び反転入力に接続される。従って、キャパシタンス244上の電圧がキャパシタンス240上の電圧を超えると、比較器246は、その出力に高のC O M P信号を提供し始め、フリップ・フロップ226をリセットし、それ故、C O M P O u tは低に行く。低のC O M P O u t信号は、N O Rゲート232に高のR S T信号

10

20

30

40

50

を提供させてトランジスタ 210 をリセットさせる。結果として、OSC パルスは低に行き、それ故、デッド・タイムを終結させて、新しい発振器サイクル / タイミング・ランプ（傾斜）を始める。

#### 【0055】

フリップ・フロップ 226 が高の COMP 信号によりリセットされると、その QN 出力は高に行く。従って、スイッチ回路 236 は、ENN\_A 及びENN\_B の双方に高の入力を有し、コンデンサ 240 及び 244 のいずれも充電されている。高の QN 出力は、キャパシタンス 254 を介してトランジスタ 250 及び 252 のゲートにパルスを提供して、キャパシタンス 240 及び 244 の双方を 0V に放電する。結果として、低から高への VS 変遷中のデッド・タイムの期間は、直前の高から低への変遷デッド・タイム中にキャパシタンス 240 に蓄えられた電荷によってのみ決定される。上述したように、蓄えられた電荷は、高から低への変遷デッド・タイムの期間を示し、それ故、デッド・タイム期間は、IC50 への外部の構成要素を用いることなく、ADT 回路 220 によって調整される。

#### 【0056】

図 26 は、図 18 におけるタイミング要素 254 及びピーク・レベル検出要素 252 を含むシャットダウン回路 250 を示す。過負荷または短絡回路状態が検出されると、シャットダウン回路 250 は、不能化信号を提供する。該不能化信号は、高のとき、欠陥ロジック 76 に、高及び低の出力信号 HO 及び LO を不能化させる。過負荷または短絡回路状態が終了すると、シャットダウン回路 250 は自動リセットを行う。

#### 【0057】

電流感知 CS ピン 56 上の電圧は電流感知抵抗 260 を介して受信され、高周波スパイクを除去するためにキャパシタンス 262 によってフィルタリングされる。フィルタリングされた結果は、比較器 264 及び 266 の “+” 入力に与えられる。比較器 264 は、その “+” 入力を 1.2V と比較することにより短絡回路状態を検出し、他方、比較器 266 は、その “+” 入力を 0.6V と比較することにより過負荷状態を検出する。いずれの比較器からの高出力も、シャットダウン・タイミング・コンデンサ (CSD) ピン 272 を介して、図 19 に示される外部のキャパシタンス 270 を充電させる。しかし、比較器 264 は、例証的に 50 キロオームの抵抗 274 を介してキャパシタンス 270 を充電し、他方、比較器 266 は、例証的に 500 キロオームの抵抗 276 を介して充電する。抵抗 274 及び 276 における違いの結果として、比較器 264 は、比較器 266 が充電するよりも急速にキャパシタンス 270 を充電する。換言すれば、短絡回路状態の検出は、短い遅延を有し、過負荷状態の検出は、長い遅延を有する。

#### 【0058】

比較器 264 及び 266 の一方がキャパシタンス 270 を 1V 以上に充電するまで、比較器 280 を高出力を提供し、フリップ・フロップ 282 はそのリセット状態を保持する。1V 以上で、比較器 280 は低出力を提供し、フリップ・フロップ 282 がセットされるのを許容する。キャパシタンス 270 が 5V を通過したとき、比較器 284 は、フリップ・フロップ 282 をセットする高出力を提供し、そして HO 及び LO 出力を不能化する高い不能化出力を提供する。高い不能化出力は、また、トランジスタ 290 をターン・オンし、これにより、キャパシタンス 270 が、例証的に 1 メガオームである抵抗 292 を介して放電するのを許容するが、比較器 264 及び 266 の一方が高出力を提供している間は、キャパシタンス 270 が放電するのを阻止する。キャパシタンス 270 が再度 1V 以下に降下すると、比較器 280 は再度高出力を提供し、フリップ・フロップ 282 をリセットし、それ故、不能化出力は低に行き、HO 及び LO 出力はもはや不能化されない。

#### 【0059】

図 27 及び図 28 は、図 27 に示される過負荷状態と、図 28 に示される短絡回路状態と、に応答したシャットダウン回路 250 の動作を比較している。各図は、電流感知抵抗 260 を横切る電圧の波形（明るい灰色）を、CSD ピン 272 における電圧によって測定されるキャパシタンス 270 を横切る電圧の波形（暗い灰色）と比較している。図から

10

20

30

40

50

分かるように、過負荷状態に対するシャットダウンは比較的ゆっくりしており、短絡回路状態に対するシャットダウンは比較的早い。しかし、再スタート前の遅延は、いずれの場合においても同じ固定時間である。

#### 【0060】

図19に示されるように、調光制御入力(VDIM)ピン300は、マイクロコントローラ(図示せず)によってまたはICに対する外部の他のソースによって与えられるDC制御電圧であって良い調光制御信号を受ける。サンプルACライン電圧(SYNC)ピン302は、回路80によって入力ピン86において受信されたACライン電圧から導出された信号を受ける。これらの信号に応答して、図18に示される位相カット調光要素304は、立下りエッジの自己調光を行う。

10

#### 【0061】

例証的にキャパシタンス90及びインダクタンス92によって行われるフィルタリングの後、ピン86からのACライン電圧は、ダイオード94及び96によって整流され、COMピン54上の電圧を参照して感知される。図29は、例証的に各々220キロオームであって良い抵抗310及び312を介して与えられる結果のAC半波信号を示す。2つの半波信号はノード314で合計されて、SYNCピン302への信号を提供する。

#### 【0062】

SYNCピン302からの合計された半波信号は、図30に波形342によって示されるように、調光ランプ(ramp:傾斜)回路340によって受信される。回路340は、ACライン電圧に同期化されたランプ(ramp)波形を提供する、図18における位相カット調光要素304の部分である。このランプ波形は、比較器(図示せず)の一方のリードに与えられ、VDIMピン300からの調光制御信号は、他方に与えられて、以下で一層充分に説明される可能化信号として働くことができるチョップ化された高周波出力を生成する。このサンプル及び効率的な調光技術は、フィラメント・ランプに対して理想的である。

20

#### 【0063】

SYNCピン302からの半波信号は、例証的に5キロオームである抵抗344を横切る電圧を制御する。この電圧は、半波信号が一半サイクルの終了時に降下するときトランジスタ346をターン・オフし、半波信号が次の半サイクルの始めに上昇するとき、オンに戻す。トランジスタ346がターン・オフされるとき、ノード348における電圧は上昇し、トランジスタ346がターン・オンされるとき再度降下し、このようにして、波形352によって示されるように、トランジスタ350のゲートにパルス化された信号を与える。

30

#### 【0064】

トランジスタ350がオフである比較的長い期間中、電流源360は、調光ランプ(CDIM)ピン192を介して外部のキャパシタンス190を充電する。キャパシタンス190は、また、ソフト・スタート回路180によっても使用されるので、電流源360は、図21-23に関して上述したソフト・スタートの完了後だけに可能化され得る。充電中、ノード362における電圧は、波形364に示されるように、上方に傾斜する。しかし、トランジスタ350が波形352におけるパルスによってターン・オンされると、キャパシタンス190は、トランジスタ350を介して放電し、波形364における降下エッジを生成する。波形352におけるパルスの後、充電が再度始まる。

40

#### 【0065】

ノード362は、比較器(図示せず)の“+”リードに接続され得、VDIMピン300は、“-”リードに接続され得る。結果として、比較器は、ライン周波数に同期化した矩形波形を提供する。例えば、矩形波形は、ランプ(傾斜)波形が調光制御信号を超えるまで低に留まり、次に、ランプ波形における次の降下エッジまで高に行くことができ、従って、そのデューティ・サイクルは、VDIMピン300への調光制御信号に依存する。比較器出力は適切なゲート(図示せず)に与えられて、ドライバ70からのHO及びLO出力を不能化及び可能化し得る。この履行において、ドライバ70によって制御されるハ

50

ーフ・ブリッジは、各主サイクルの初期の部分の間だけスイッチングし、その後、スイッチングを停止し、従って、V S ピン 6 2 における電圧は、初期の部分の間だけ駆動され、その後、減衰路をたどる。

#### 【 0 0 6 6 】

図 3 1 における波形は、位相カット調光要素 3 0 4 の動作を示しており、下部の波形は、C D I M ピン 1 9 2 におけるランプ波形電圧を示しており、上部の波形は、V S ピン 6 2 におけるチョップ化された高周波出力電圧を示している。V D I M ピン 3 0 0 に与えられる調光制御信号を調節することにより、矩形波形のデューティ・サイクルは変化され、その最大値の 0 % と 1 0 0 % との間で V S ピン 6 2 における平均出力電圧を調整する。一方、ライン電圧ゼロ交差は、D C バス上の電圧に影響せず、該電圧は、もはや負荷が無いという理由で位相カット調光によって出力が不能化されたときにライン電圧がどんな電圧にあったとしてもその電圧に留まる。結果として、S Y N C 信号は、ブリッジ整流器の前に検出されなければならない。

#### 【 0 0 6 7 】

図 1 8 の回路 5 0 におけるバンドギャップ基準 3 8 0 は、V r e f 、比較器 1 4 2 のための基準電圧、並びに種々の他の基準電圧を提供することができる。回路 5 0 における 5 V 調整器 3 8 2 は、調整された 5 V 出力 ( 5 V O U T ) ピン 3 8 4 を介してマイクロコントローラのための 5 V 調整された出力電圧を提供する。

#### 【 0 0 6 8 】

I C 5 0 の、より単純で、より低価格の、8 ピンの同等物も、上述のこれら特徴を有して製造されてきたが、より簡単な調整機構を有している。

#### 【 産業上の利用可能性 】

#### 【 0 0 6 9 】

上述した新しい I C は、ハロゲン・ランプを駆動するための商業的に入手可能な最初の I C で有ると期待され、それら I C の応用は、他のフィラメント・ランプに拡張し得るものである。これら新規な I C の履行は、大いに信頼性を得ることができ、現存の回路よりも多くの機能を有することができ、潜在的に低価格で製造することができる。良好な実験結果が得られた。

#### 【 図面の簡単な説明 】

#### 【 0 0 7 0 】

【 図 1 】従来のハロゲン・コンバータ回路を示す図である。

【 図 2 】本発明の第 1 の実施形態による集積回路のブロック図である。

【 図 3 】図 2 の集積回路を組込んだ回路を示す図である。

【 図 4 】図 2 における発振器回路を示す概略図である。

【 図 5 】図 2 におけるソフト・スタート回路を示す概略図である。

【 図 6 】ソフト・スタート回路を実施する前のターン・オン・ランプ電流を示す図である。

。

【 図 7 】ソフト・スタート回路を実施した後のターン・オン・ランプ電流を示す図である

。

【 図 8 】図 2 の集積回路に組込まれた電圧補償回路を示す概略図である。

【 図 9 】図 2 の I C における適応性デッド・タイム回路を示す概略図である。

【 図 1 0 】適応性デッド・タイム回路の動作を示すための信号を示すタイミング図である

。

【 図 1 1 】図 2 におけるシャットダウン回路を示す概略図である。

【 図 1 2 】図 1 1 のシャットダウン回路の過負荷動作を示すための信号を示す図である。

。

【 図 1 4 】図 1 1 のシャットダウン回路の動作を示すための状態図である。

【 図 1 5 】適応性デッド・タイム回路と関連した高側ドライバを示す図である。

【 図 1 6 】適応性デッド・タイム回路と関連した P G E N 回路を示す図である。

10

20

30

40

50

【図17】適応性デッド・タイム回路と関連した出力ロジック回路を示す図である。

【図18】本発明の第2の実施形態によるICのブロック図である。

【図19】図18のICを組込んだハロゲン・コンバータ回路を示す図である。

【図20】図18のICにおける発振器回路を示す図である。

【図21】図18のICにおけるソフト・スタート回路を示す図である。

【図22】ソフト・スタート回路の実施前のランプ電流を示すための信号を示す図である。

【図23】ソフト・スタート回路の実施後のランプ電流を示すための信号を示す図である。

【図24】図18のICにおける適応性デッド・タイム回路を示す図である。 10

【図25】適応性デッド・タイム回路の動作を示すための波形を示す図である。

【図26】図18のICにおけるシャットダウン回路を示す図である。

【図27】過負荷状態に応答したシャットダウン回路の動作を示す図である。

【図28】短絡回路状態に応答したシャットダウン回路の動作を示す図である。

【図29】図18のICにおける調光回路の動作を示すための信号を示す図である。

【図30】図18のICにおける調光回路及び関連の信号を示す図である。

【図31】図18のICにおける調光回路の動作を示すための信号を示す図である。

【符号の説明】

【0071】

50 . . . 集積回路 (IC)、70 . . . 高側及び低側ドライバ、72 . . . 下電圧検出回路、74 . . . 過温度検出回路、76 . . . 欠陥ロジック、78 . . . IC50の発振器要素 (適応性デッド・タイム回路)、180 . . . ソフト・スタート回路、254 . . . シャットダウン回路。 20

【図1】

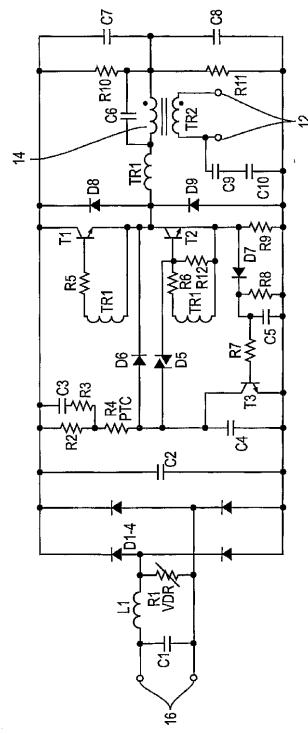
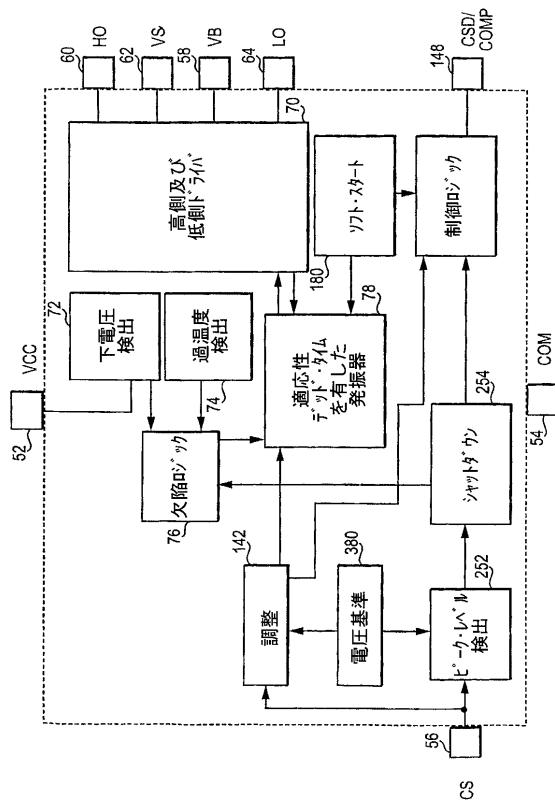


FIG. 1

【図2】



【図3】

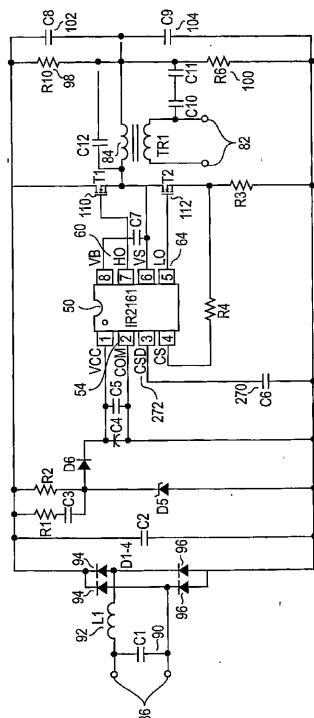


FIG. 3

【図4】

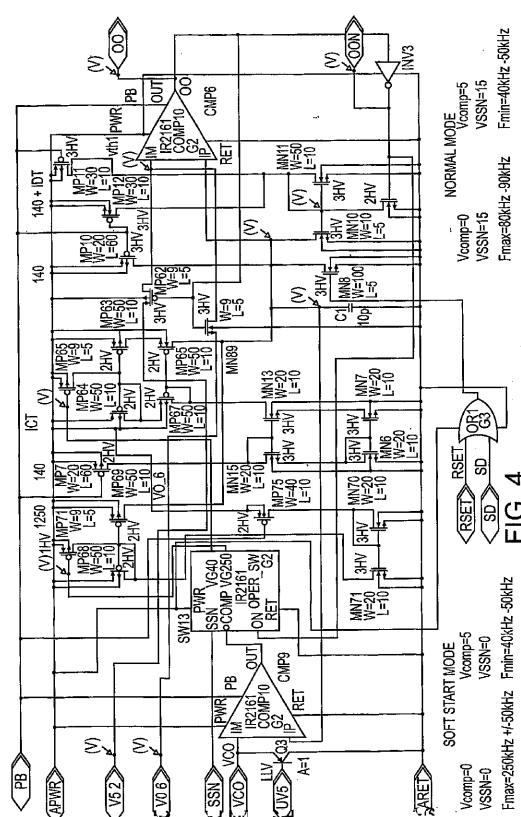


FIG. 4

【図5】

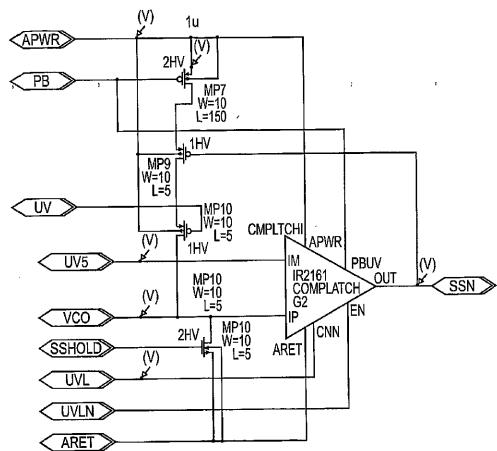


FIG. 5

【図6】

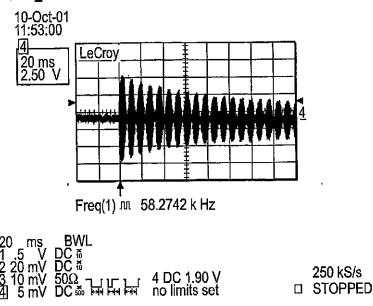


FIG. 6

【図7】

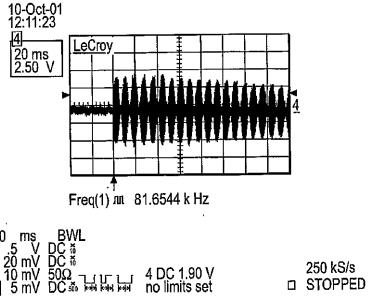


FIG. 7

【図8】

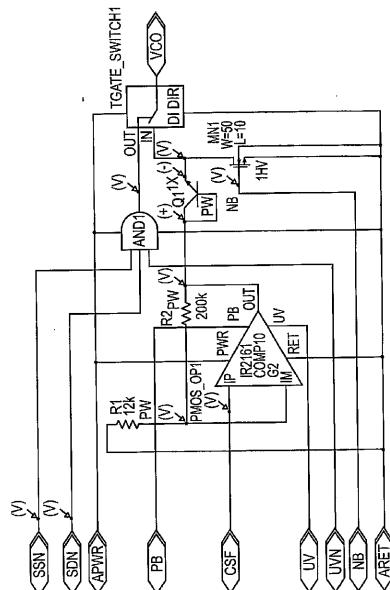


FIG. 8

【図9】

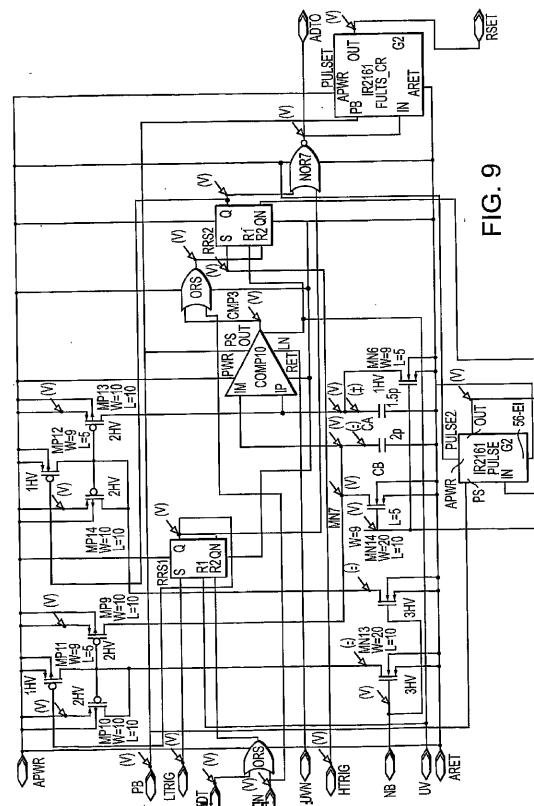


FIG. 9

【 図 1 0 】

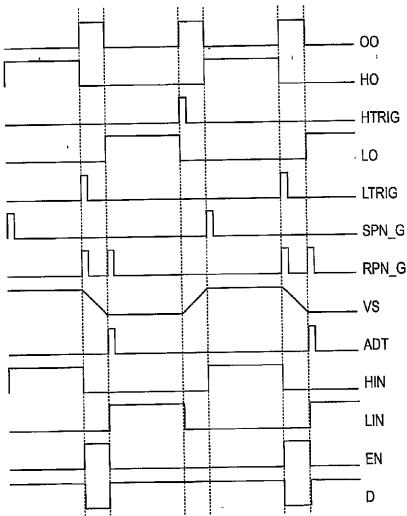


FIG. 10

【 図 1 1 】

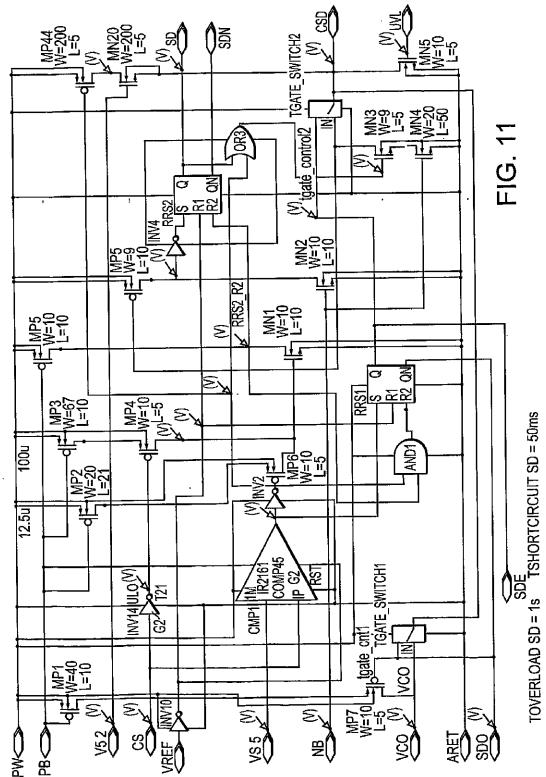


FIG. 11

TOVERLOAD SD = 1s TSHORTCIRCUIT SD = 50ms

【 図 1 2 】

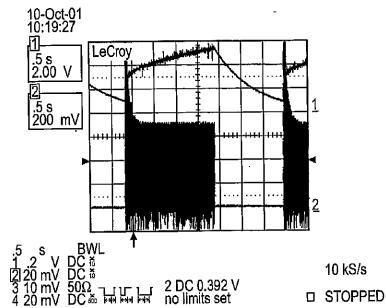


FIG. 12

### 【 図 1 3 】

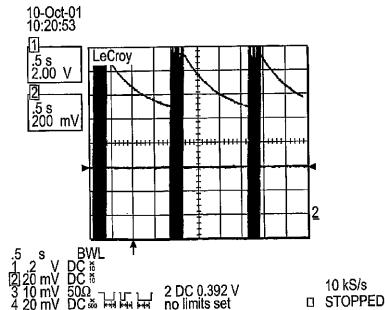


FIG. 13

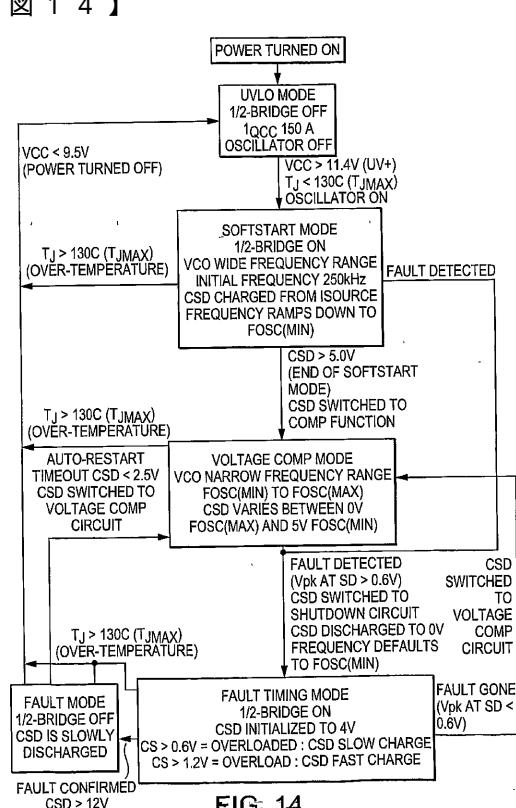
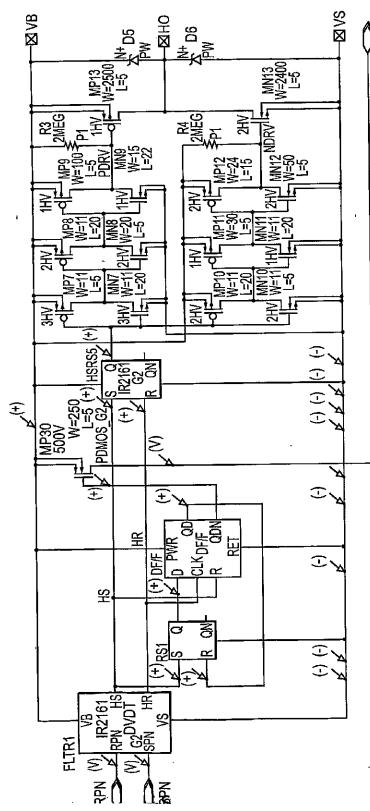


FIG. 1A

【図 15】



ONE SET PULSE AND TWO RESET PULSES: THE 2ND RESET PULSE  
OCCURS AT THE END OF THE DETECTED ADT TO SWITCH OFF MP23

FIG. 15

【図 16】

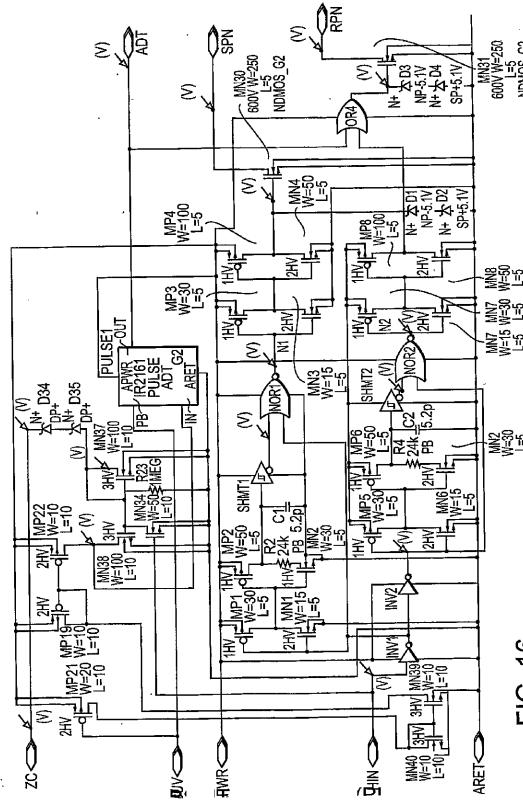


FIG. 16

【図 17】

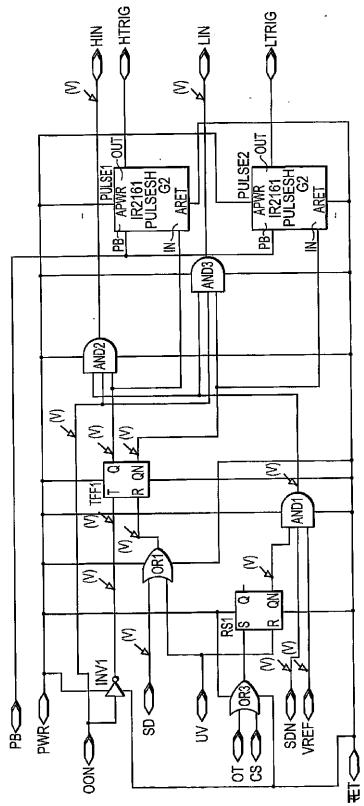
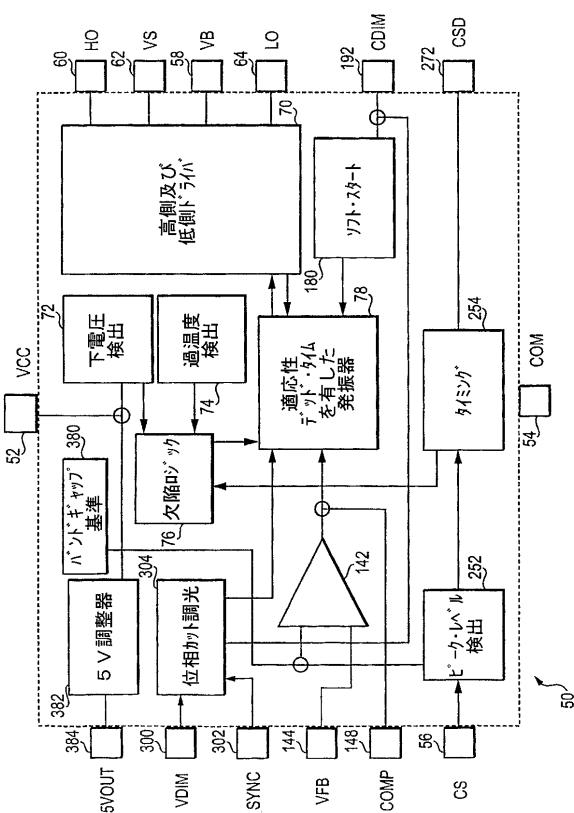


FIG. 17

【図 18】



50

【図19】

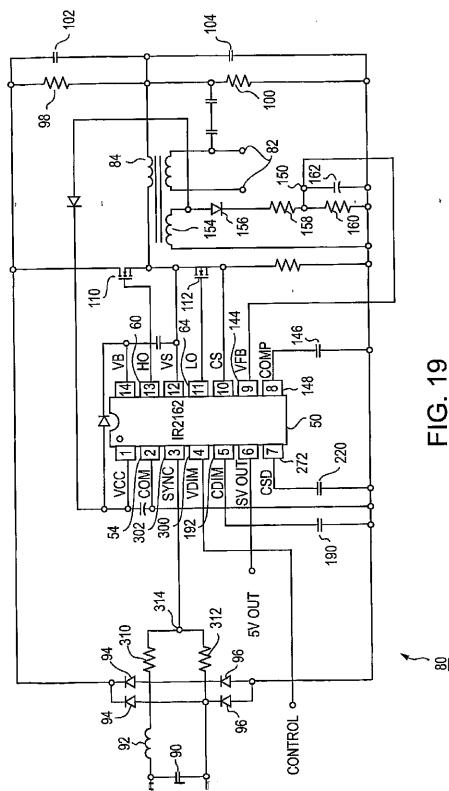


FIG. 19

【図20】

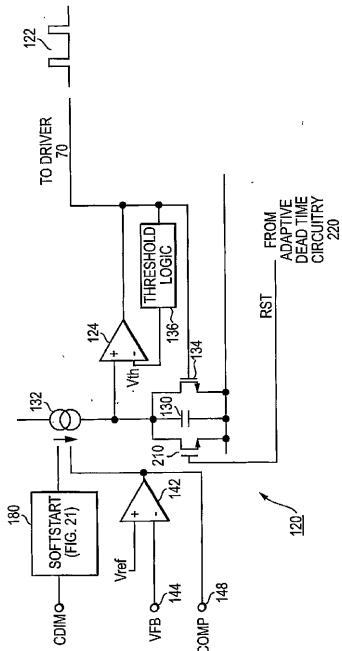


FIG. 20

【図21】

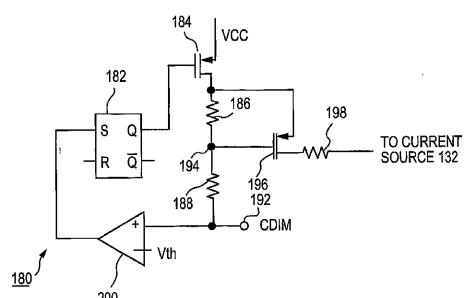


FIG. 21

【図23】

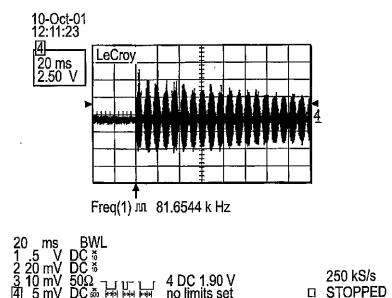


FIG. 23

【図22】

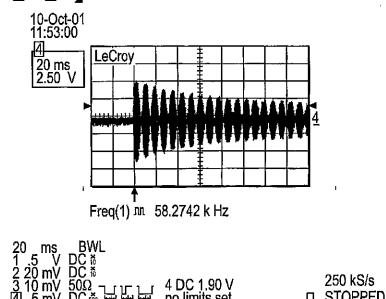


FIG. 22

【図24】

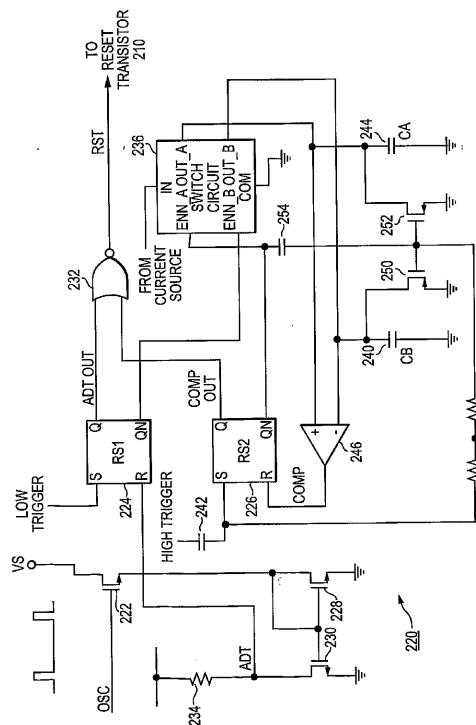


FIG. 24

【図25】

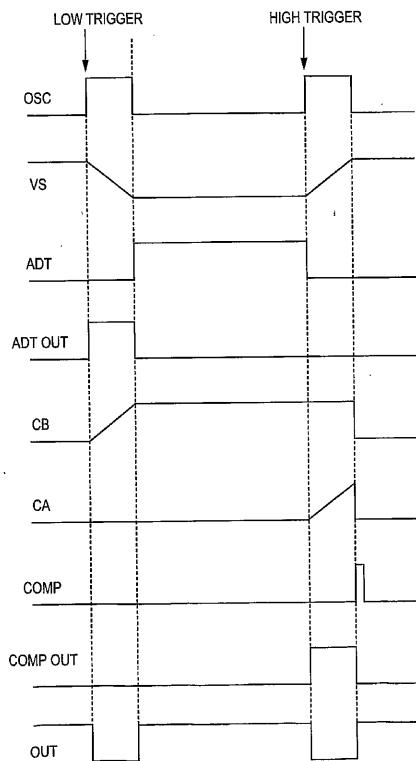


FIG. 25

【図26】

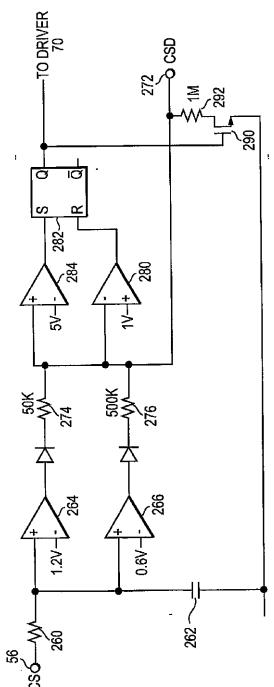


FIG. 26

【図27】

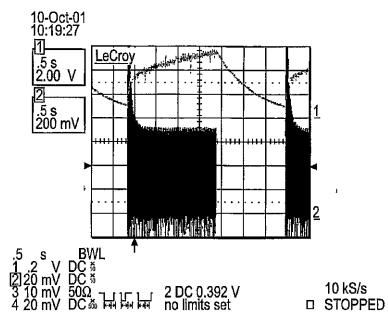


FIG. 27

【図28】

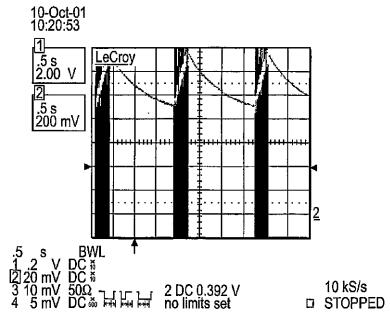


FIG. 28

【図29】

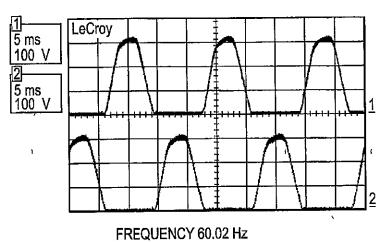


FIG. 29

【図31】

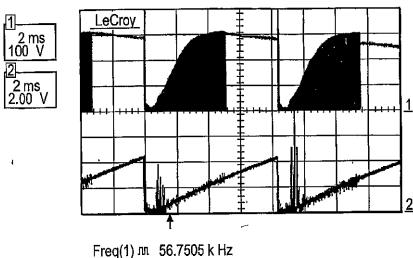


FIG. 31

【図30】

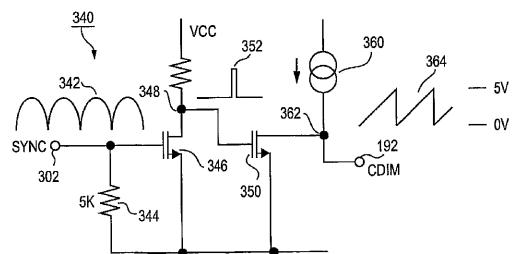


FIG. 30

## 【國際調查報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US02/41836

A. CLASSIFICATION OF SUBJECT MATTER

IPC(7) : H05B 37/02  
 US CL : 315/224, 209R, 246, 291, 307, 360, DIG.4, DIG. 5, DIG. 7.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 315/224, 209R, 246, 291, 307, 360, DIG.4, DIG. 5, DIG.7

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,796,215 A (PARRY et al) 18 August 1998 (18.08.1998), columns 2 and 2.	1
X	US 6,002,213 A (WOOD) 14 December 1999 (14.12.1999), col. 4, lines 1-19, col. 6, lines 4-60 and col. 7, lines 52-65.	2 and 4-6
X	US 6,008,593 A (RIBARICH) 28 December 1999 (28.12.1999), col. 6, lines 19-27	3

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document: member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search

29 March 2003 (29.03.2003)

Date of mailing of the international search report

15 MAY 2003

Name and mailing address of the ISA/US

Commissioner of Patents and Trademarks  
 Box PCT  
 Washington, D.C. 20231

Facsimile No. (703)305-3230

Authorized officer

Tuyet Vo

Telephone No. 703 306 5497

Deborah P. Vega

Paralegal Special

Form PCT/ISA/210 (second sheet) (July 1998)

Technology Center 2800  
(703) 308-3078

## Paralegal Specialist

---

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PH,PL,PT,RO,RU,SD,SE,SG,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZW

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 ピーター・グリーン

アメリカ合衆国・カリフォルニア・90277・レドンド・ビーチ・サウス・カタリーナ・アヴェ  
ニュ・1310

(72)発明者 イウリア・ルス

アメリカ合衆国・カリフォルニア・90278・レドンド・ビーチ・ネルソン・アヴェニュ・#A  
・2616

F ターム(参考) 3K073 AA11 AA23 AA48 AA49 AA54 AA87 AA92 BA04 BA08 BA09

BA31 CF10 CF12 CF16 CF18 CF22 CG02 CG06 CG09 CG10

CG25 CG45 CJ15 CL14 CM09