发明名称

一种用于升压电路的电容结构及其形成方法

摘要

本发明公开了一种用于升压电路中的电容结构及其形成方法，该电容结构包含基材、位于基材中的 U 形下电极，与 U 形下电极相合的 T 形上电极，以及介于 U 形下电极以及 T 形上电极间的介电层。本发明使用立体的技术手段来增加上、下极板间的接触面积，以大幅提高升压电路的电容值。
1. 一种用于升压电路中的电容结构，包含：
   基材；
   下电极，位于该基材中并与具有一凹处；
   上电极，位于该基材上，并与该下电极的该凹处嵌合；以及
   介电层，介于该下电极以及该上电极之间，其中位于该凹处侧壁上的该介电层向上延伸至超过该下电极，且位于该凹处底部的该介电层具有一第一均匀厚度，位于该凹处侧壁的该介电层具有一第二均匀厚度，其中该第一均匀厚度不同于该第二均匀厚度。
2. 如权利要求1所述的电容结构，其中该下电极包含经离子掺杂的硅。
3. 如权利要求2所述的电容结构，其中该上电极包含经掺杂的多晶硅。
4. 如权利要求1所述的电容结构，其中该介电层的厚度介于3.8nm-5nm之间。
5. 如权利要求3所述的电容结构，其中该电容结构进一步包含内间隙壁，该内间隙壁位于该凹处的介电层的侧壁的局部表面，并介于该介电层以及该上电极之间。
6. 一种电容结构的形成方法，包含：
   提供一基材，该基材中包括经离子掺杂的硅，并在该基材上依序形成有氧化层和第一导体层；
   形成一沟槽，该沟槽穿过该第一导体层和该氧化层，并延伸入该基材中；
   形成介电层于该沟槽的底面和侧壁，以及
   形成第二导体层于该第一导体层和该介电层的表面，并填充该沟槽。
7. 如权利要求6所述的方法，其中形成该第二导体层前包括形成间隙壁层于该沟槽的局部侧壁上。
8. 如权利要求6所述的方法，其中该第一导体层和该第二导体层包括经离子掺杂的多晶硅。
一种用于升压电路的电容结构及其形成方法

技术领域
[0001] 本发明涉及一种电容结构及其形成方法，特别涉及一种用于升压电路中的电容结构及其形成方法。

背景技术
[0002] 在传统的动态随机存取存储器（DRAM）中，升压电路对于产生驱动单元（cell）操作的高电压具有举足轻重的脚色。特别是随着动态随机存取存储器（DRAM）的技术不断演进，当驱动单元操作的电压仍然维持相对高伏特时，例如约2.6V，但初始电压（Vint）却可能会降到了1.0V~1.5V左右，这使得升压电路的工作更加吃重。
[0003] 升压电路的升压效率主要取决于升压电路中电容的大小。若电容越大，越能够提供较大的升压效率与越大的输出电压。由于电容的大小通常取决于上下极板间的接触面积，因此如何增加上下极板间的接触面积便成为一个关键课题。
[0004] 但是随着动态随机存取存储器（DRAM）技术的不断演进，基板上已经有限空间的分配变得越来越精简掉较，由于传统的动态随机存取存储器（DRAM）中，升压电路是使用一般的平面电容，于是大大地限制了上下极板间接触面积空间增加的可能性。为了要一劳永逸地解决驱动单元的操作电压与初始电压间落差的问题，如何增加升压电路的电容值便成为了一个急待解决的问题。

发明内容
[0005] 本发明于是提供一种新颖的电容结构，使用立体的技术手段来增加上、下极板间的接触面积，以大幅提高升压电路的电容值。
[0006] 本发明用于升压电路中的电容结构，包含：基材，位于基材中的U形下电极，与U形下电极嵌合的T形上电极，以及介于U形下电极以及T形上电极间的介电层。由于上／下电极板以立体的形状彼此嵌合，于是能在有限的空间中创造出最大的接触面积，于是大幅提高了升压电路的电容值。

附图说明
[0007] 图1例示本发明电容结构的一优选实施例。
[0008] 图2A和2B例示本发明电容结构可能的排列方式。
[0009] 图3~4例示制造本发明电容结构的一优选实施方式。
[0010] 附图标记说明
[0011] 100电容结构
[0012] 110基材
[0013] 111氧化物层
[0014] 112多晶硅层
[0015] 113沟槽
[0016] 120U形下电极
[0017] 130T形上电极
[0018] 140介电层
[0019] 141水平方向介电层
[0020] 142铅直方向介电层
具体实施方式

[0017] 本发明的电容结构，可以大幅提高了升压电路的电容值，于是能在有限的空间中创造出最大的升压效能。请参考图1，本发明电容结构的一优选实施例。本发明的电容结构100包含基材110、U形下电极120、T形上电极130与介电层140。基材110通常为半导体材料，例如硅。

[0018] U形下电极120位于基材110中。U形下电极120的材料通常与基材110相同。且是使用已知的方式，例如加入离子掺杂，使其具有导电性。介电层140位于U形下电极120上并与U形下电极直接接触。介电层140通常包含具有高介电常数的材料，例如氧化硅。通常，介电层140的厚度以介于3nm~10nm之间为优选。此外，水平方向和垂直方向的介电层140的厚度还可以不同。例如，基底中注入氧离子后，经热氧化处理可产生较厚的氧化层，若注入氮离子，则可产生较薄氧化层。于是，水平方向介电层141的厚度可以为约3.8nm，而垂直方向介电层142的厚度可以为约5nm。

[0019] T形上电极130位于介电层140的上方。T形上电极130通常包含具有导电性的材料，例如，轻掺杂的多晶硅，并与U形下电极120嵌合。通过T形上电极130与U形下电极120的嵌合，可以增加电容结构100上电极与下电极间的接触面积。

[0020] 为情况需要，介电层140以及T形上电极130之间另外可再含有内间隙层150。

[0021] 图2A和2B表示本发明电容结构排列方式的多种可能性。例如，可以是图2A的交错式或图2B的棋盘式。不同的排列方式可以视情况所需而定。

[0022] 请参考图3-4，例示制造本发明电容结构的一优选实施方式。首先，请参考图3，提供一基材110，其上可形成一氧化物层111与一多晶硅层112，并形成一沟槽113。沟槽113的深度视情况需要而定。

[0023] 继续请参考图4，经由一氧化工艺，例如一水蒸气氧化法，形成沟槽113中水平方向介电层141与垂直方向介电层142。然后再沉积一层多晶硅层131/132。视情况需要，沟槽113中可以再形成内间隙层150。水平方向141和垂直方向142的介电层的厚度还可以不同。例如，基底中注入氧离子后，经热氧化处理可产生较厚的氧化层，若注入氮离子，则可产生较薄氧化层。

[0024] 继续请参考图1，再继续沉积一多晶硅层，以形成T形上电极130后，即完成本发明的电容结构100。T形上电极130即由多晶硅层112、多晶硅层131/132，和最末沉积的多晶硅层所共同组成。由于以上方法与一般的动态随机存取存储器（DRAM）工艺相容，此为本发明电容结构的另一项特征。

[0025] 以上所述仅为本发明的优选实施例，凡依本发明权利要求所做的等同变化与修饰，皆应属本发明的涵盖范围。