(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G06F 1/12

(45) 공고일자 2003년08월21일
(11) 등록번호 10-0385156
(24) 등록일자 2003년05월12일

(21) 출원번호 10-1995-0044882
(22) 출원일자 1995년11월29일

(65) 공개번호 특1996-0024806
(43) 공개일자 1996년07월20일

(30) 우선권주장 08/355302 1994년12월12일 미국(US)

(73) 특허권자 아드밴스트 마이크로 디이바이시스 인코포레이티드
미합중국 캘리포니아주 94088 서니베일시 원 에이엠디이 플레이스

(72) 발명자 스티븐씨.크로머
미합중국텍사스오스틴위클리프레인12418

(74) 대리인 박장원

심사관 : 오상균

(54) 배수클럭옵션을갖는마이크로프로세서에서의자기구성속도경로

요약

내부 클럭 주파수로서 배수 클럭 주파수들 중에서 하나를 선택할 수 있는 옵션을 갖는 마이크로프로세서가 개시된다. 이 마이크로프로세서는 내부 클럭 주파수를 선택하는 데에 이용되는 클럭 선택 신호에 기초하여 내부 기능 회로의 속도 경로를 재구성한다. 이러한 방식으로, 특정한 내부 주파수가 선택될지라도, 기능 회로의 기능을 수행하는 데에 최소수의 내부 클럭 주기들이 이용된다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명의 실시예에 따른 마이크로프로세서를 예시한 도면.
제 2A 도 내지 제 2D 도는 본 발명에 따른 제 2 실시예의 동작을 예시한 도면.
제 3A 도 및 제 3B 도는 본 발명의 실시예에 따른 곱셈 회로를 예시한 도면.
제 4 도는 본 발명의 다른 실시예를 예시한 도면.
제 5 도는 본 발명의 또 다른 실시예를 예시한 도면.
*** 도면의 주요부분에 대한 부호의 설명 ***
1: 마이크로프로세서 3: 내부 클럭 발생 회로
5: 클럭 선택 신호 7, 38, 57: 멀티플렉서
13: 캐시 19: 메모리
30: 곱셈 회로 31: 곱셈기
32, 36: 가산기 40: 카운터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 배수 클럭 주파수 옵션(multiple clock frequency option)을 갖는 마이크로프로세서에서 이용하기 위한 자기 구성 속도 경로(self configuring speed path)에 관한 것이다. 특히, 본 발명은 배수 클럭 주파수 옵션을 갖는 마이크로프로세서에서 클럭 선택 신호에 응답하여, 통상적인 속도 경로의 동작력 보다 높은 주파수를 갖는 클럭 신호에 이용하기 위한 속도 경로를 구성하는 재구성가능한 속도 경로에 관한 것이다.
배수 클럭 옵션을 갖는 마이크로프로세서에 있어서, 예를 들어 25MHz의 제 1 주파수의 외부 클럭이 마이크로프로세서 내의 회로에 인가되며, 이 회로는 외부 클럭의 배수인 다수의 클럭 주파수들을 출력한다. 따라서, 이와 같은 클럭이 인가되는 마이크로프로세서는, 외부로부터 인가되는 클럭 주파수의 다수의 배수들중 하나로 내부 클럭을 출력하는 회로를 갖는다. 예를 들어, 25MHz 클럭의 경우, 사용자는 25MHz, 50MHz 또는 75MHz의 내부 클럭을 선택할 수 있을 것이다. 내부 클럭은 마이크로프로세서의 개별적인 기능 회로에 의해 이용된다. 일반적으로, 전체 시스템의 최상의 성능을 이끌어내는 클럭 배수를 선택하는 것이 바람직하다.
이러한 종래의 장치들에 관련된 문제는, 클럭 주파수가 더 높은 배수의 주파수들중 하나로 선택될 때에 발생하는데, 그 이유는 특정한 기능 회로가 그의 기능을 수행하기 위해서는 하나 이상의 클럭 주기를 필요로 하기 때문이다. 이는 속도 경로를 야기시킨다. 이 속도 경로는 프로세서의 다른 경로들 보다도 처리해야할 시간이 많이 걸리는 경로이다. 이러한 속도 경로는 프로세서의 내부 클럭 주파수에 최대 한계를 부과한다. 이러한 문제점을 극복하기 위하여, 더욱 빠른 속도 경로를 설계하는 데에 많은 노력을 기울여왔다. 왜냐하면, 최악의 속도 경로의 타이밍은 결국 마이크로프로세서의 최고 동작 주파수를 제한하기 때문이다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 일 목적은 자기 구성 속도 경로를 이용함으로써, 종래의 배수 클럭 마이크로프로세서에 관련된 상기 문제들을 극복하는 데에 있다.
본 발명의 다른 목적은 배수 클럭 옵션을 갖는 통상적인 마이크로프로세서에서 경험되는 동작 주파수에 대한 속도 경로 한계를 피하기 위하여, 배수 클럭 옵션을 갖는 마이크로프로세서에서 클럭 구성을 이용하여 속도 경로를 재구성하는 데에 있다.
상기 및 다른 목적들을 달성하기 위하여, 외부 클럭을 수신하는 클럭 입력과; 클럭 선택 신호에 응답하여 주파수의 선택된 배수로 내부 클럭을 제공하는 배수 클럭 회로와; 그리고 가능한 내부 클럭 배수들중 어느 것에 상응하는 시간 주기보다 긴 시간 주기 동안 기능을 수행하는 내부 회로를 갖는 마이크로프로세서를 제공한다. 내부 회로는 클럭 선택 신호에 응답하여, 선택된 배수의 클럭 주파수에상응하는 수의 상태들을 통해 동작한다.
본 발명의 다른 실시예에 따르면, 외부 클럭 및 클럭 선택 신호를 수신하도록 연결되어, 상기 클럭 선택 신호에 따라 다수의 클럭 주파수들중 하나로 내부 클럭을 발생시키는 내부 클럭 발생 회로, 및 상기 클럭 선택 신호의 제 1 값에 따라서는 제 1 수의 래치 단계들로, 상기 클럭 선택 신호의 제 2 값에 따라서는 제 2 수의 래치 단계들로 기능을 수행하는 상태 머신(state machine)으로서 구성된 내부 회로를 포함하는 마이크로프로세서가 제공된다.
본 발명의 다른 실시예에 따르면, 클럭 입력과; 클럭 선택 신호에 응답하여 클럭 입력에 인가되는 주파수의 선택된 배수들로 내부 클럭을 제공하는 출력을 갖는 배수 클럭 회로와; 선택된 배수들중 하나가 선택될 때, 상기 내부 클럭에 상응하는 제 2 시간 주기 보다 긴 제 1 시간 주기 동안 기능을 수행하여 결과를 출력하는 내부 회로와; 내부 회로와 클럭 선택 신호에 연결되어, 미리 정해진 수의 클럭 주기들을 카운트하는 카운트 회로를 포함하는 마이크로프로세서가 제공되는 바, 상기 카운트 회로는 미리 정해진 수의 클럭 주기들이 카운트되면, 상기 내부 회로로 부터의 결과가 유효한 것임을 나타내는 신호를 출력한다.
본 발명의 특징은 이하 설명되는 바람직한 실시예의 상세한 설명 및 첨부 도면으로부터 더욱 명백히 이해될 것이다.

발명의 구성 및 작용

제 1 도는 본 발명의 일 실시예에 따른 배수 클럭 주파수 옵션을 갖는 마이크로프로세서를 도시한다. 제 1 도에서, 외부 클럭(CLK)이 마이크로프로세서(1)에 인가된다. 이 외부 클럭(CLK)의 주파수의 배수들을 출력하는 배수 주파수 내부 클럭 발생 회로(3)가 마이크로프로세서(1) 내에 제공된다. 제 1 도의 예에서, 외부 클럭(CLK)은 25MHz의 클럭 주파수로 제공된다. 배수 주파수의 내부 클럭 발생 회로(3)는 클럭 선택선(5)을 통해 입력되는 클럭 선택 신호와 함께 외부 클럭(CLK)을 수신한다. 내부 클럭 주파수는 마이크로프로세서(1)의 바람직한 용도에 따라 선택될 것이다. 따라서, 배수 클럭 옵션을 갖는 마이크로프로세서의 궁극적인 용도에 따라, 내부 클럭 발생 회로(3)의 부분들(3a, 3b 또는 3c)중 하나가 선택된다. 내부 클럭 발생 회로(3)는 각각 25MHz, 50MHz 또는 75MHz를 출력한다. 이러한 선택은 클럭 선택선(5)을 통해 클럭 선택 신호를 수신하는 멀티플렉서(2)에 의해 이루어진다.

프로세서의 내부 클럭은 신호선(9) 상의 멀티플렉서의 출력이다. 이후, 신호선(9) 상의 내부 클럭은 개별적인 기능 회로들(11, 13, 15)에 인가된다. 상기 설명한 바와 같이, 외부 클럭 주파수는 25MHz이지만, 신호선(9) 상의 외부 클럭 주파수는 25MHz, 50MHz 또는 75MHz가 될 수 있다. 주목할 사항으로서, 제 1 도는 3배까지의 클럭 주파수의 배수들만을 도시했지만, 어떠한 배수의 클럭 주파수라도 이용될 수 있다. 상술한 바와 같이, 마이크로프로세서의 성능을 향상시키기 위해서는, 기능 회로들(11, 13, 15)에 의해 수용될 수 있는 최대의 가능한 주파수를 선택하는 것이 바람직하다. 그러나, 이러한 경우, 하나 또는 그 이상의 기능 회로들(11, 13, 15)은 클럭 주파수가 더 높은 배수들중 하나로 선택될 때, 그의 기능을 수행하기 위해서는 하나 이상의 클럭 주기들을 필요로 한다.

더 높은 내부 클럭 클럭 속도에 대응하여 위하여, 본 발명의 제 1 실시예에서, 속도 경로 회로, 즉 내부 회로는 클럭 배수들의 수가 상태들의 수가 되는 상태 머신으로 구성될 수 있다. 예를 들어, 회로(11)가 50MHz의 속도로 한 클럭 주기에서 수행될 수 있는 기능을 수행한다고 가정하자. 따라서, 멀티플렉서(2)에 의해 출력된 신호선(9) 상의 내부 클럭이 25MHz(3a) 또는 50MHz(3b)로 선택된다면, 회로(11)는 적당하게 동작할 것이다. 이는 50MHz에서 동작하고 한 클럭 주기 내에서 기능을 완료하는 회로(17a)를 이용하여 달성될 수 있다.

반대로, 이용자가 신호선(9) 상의 내부 클럭으로서 75MHz를 선택하는 클럭 선택 신호를 클럭 선택선(5)을 통해 입력하면, 블록(17a) 내의 50MHz 회로(11)는 한 클럭 주기 내에서 처리를 완료하지 못할 것이다. 따라서, 2개의 주기가 사용되어야 한다. 이는 75MHz에서 2개의 클럭 주기 동안 동일한 기능을 수행하는 회로(17b)를 이용함으로써 달성될 수 있다. 회로(17a 또는 17b)의 사용 여부를 결정하는 것은 클럭 선택선(5)에 공급되는 클럭 선택 신호에 기초하여 이루어진다. 이러한 방식으로, 마이크로프로세서 내의 나머지 회로는 더 높은 주파수(예를 들어, 75MHz)에서 계속해서 동작하고, 기능 블록(11) 내의 회로는 2개의 클럭 펄스를 취하도록 재구성되어, 실질적으로 37.5MHz로 동작한다.

제 2A 도 내지 제 2D 도는 제 1 도와 관련된 다중 상태 머신의 상황에서의, 본 발명에 따른 제 2 실시예를 예시한 도면이다. 제 2 실시예에서, 기능 회로(13)는 메모리(19)에 대한 스누프 기능(snoop function)을 수행하는 캐시이다. 이러한 스누프 기능은, 캐시 메모리(13)가 캐시 내의 정보가 최신의 것 인지를 결정하기 위해 메모리(19)를 검사할 때 이용된다. 스누프 기능에 대한 상세한 내용은 이미 일반적으로 알려져있는 것으로서, 이는 본 발명의 부분이 아니다. 따라서, 따라서, 본원에서는 스누프 기능에 대해 상세히 설명하지 않는다.

제 2A 도는 다양한 상태 머신의 구성을 예시하기 위해 배수 주파수 클럭들(즉, 25MHz, 50MHz 및 75MHz)를 예시한 도면이다. 제 2B 도는 캐시(13)가 메모리(19)를 스누프하고, 캐시의 내용에 대해 정보를 비교 또는 검사하고, 부가적인 아이들링 시간(idle time)을 가질 수 있는 충분한 시간이 있는 25MHz에서의 상 태를 예시한 도면이다. 따라서, 캐시는 25MHz 또는 외부 클럭의 1배수의 단일 상태 머신이다.

제 2C 도는, 예를 들어 50MHz로 존재할 수 있는 제 2 조건을 예시한다. 이러한 경우, 제 1 클럭 주기 동안 스누핑 및 검사 동작들이 완료되며, 스누프 동작은 제 2 클럭 주기 동안에는 아이들링 상태가 된다. 이러한 경우, 캐시 머신은 외부 클럭 주파수의 2배수에 상응하는 2-상태 머신으로 구성된다.

제 2D 도는, 예를 들어 75MHz로 존재할 수 있는 제 3 조건을 예시한다. 이러한 경우, 제 1 클럭 주기 동안에는 스누프를 완료하고, 제 2 클럭 주기 동안에는 검사를 완료하며, 제 3 클럭 주기 동안에는 상태 머신은 아이들링 상태이다. 따라서, 외부 클럭의 3배의 경우, 상태 머신은 3개의 상태를 갖는다. 주목할 사항으로서, 아이들링 주기 동안에는, 다른 동작이 수행될 수 있다. 따라서, 제 2C 도 및 제 2D 도의 아이들링 주기들 동안, 상태 머신은 다른 어떠한 작업에 이용될 수 있다. 또한, 스누핑 및 검사가 제 2D 도에서의 한 클럭 주기에서 수행될 수 있다면, 2개의 아이들링 상태들은 다른 용도에 이용될 수 있다.

제 3A 도 및 제 3B 도는 본 발명에 따른 제 3 실시예를 예시한다. 제 3A 도는 입력들(I_1, I_2)을 갖는 통상적인 곱셈 회로(30a)를 예시한다. 곱셈 회로(30a)는 I_1 및 I_2 를 수신하는 곱셈기(31)와 이 곱셈기(31)의 출력을 수신하는 가산기(32)를 포함한다. 곱셈기(31)와 가산기(32)의 기능이 결합되어 곱셈 회로(30a)의 출력(33)을 발생시킨다. 25MHz에서는, 한 클럭 주기 동안 전체 곱셈 및 덧셈을 완료할 수 있어, 결과적으로 단일 상태 머신을 야기시킨다. 그러나, 50MHz에서는, 곱셈기(31)의 곱셈과 가산기(32)의 덧셈을 단일 주기 내에서 모두 완료할 수 없다. 따라서, 종래의 회로는 내부 동작 주파수를 25MHz로 제한하는 속도 경로가 될 수 있다.

제 3B 도는 본 발명의 실시예에 따른 곱셈 회로(30b)를 예시한다. 통상적인 회로가 50MHz에서 동작을 완료할 수 없는 반면, 이는 제 1 주기 동안 곱셈을 수행하고 제 2 주기 동안 덧셈을 수행할 수 있다. 제 3B 도에 도시한 바와 같이, 곱셈기(31)의 출력은 제 1 클럭 주기 동안 래치(34)에 인가된다. 그런 다음, 가산기들(32, 36)이 이용되고, 클럭 선택 신호(5)의 상태에 따라, 멀티플렉서(38)는 가산기(32)(25MHz의 상태에서)의 출력 또는 가산기(36)(50MHz 상태에서의) 출력을 선택한다. 이러한 방식으로, 곱셈 회로(30b)는 내부 클럭의 주파수에 따라 단일 클럭 주기 또는 2개의 클럭 주기들에서 곱셈을 수행할 수 있도록, 클럭 선택 신호(5)에 응답하여 스스로를 적절하게 구성한다.

제 4 도는 실행 홀딩(execution holding) 기능을 이용하는 본 발명의 또 다른 실시예를 예시한다. 제 4 도의 실시예에서, 제 1 도의 이중 회로들(17a, 17b)는 적절한 주파수에 대해 스스로를 구성하는 단일 회로로 대체된다. 제 4 도에서, 이 회로는 입력을 수신하는데, 이 입력은 내부 클럭의 제 1 위상(Φ_1)으로 래치(46)에 래치되고, 다음 클럭의 제 2 위상(Φ_2)으로 트리거되는 출력 래치(45)에 래치된다.

제 4 도에 도시한 실시예에서, 속도 경로가 사용되면, 이 속도 경로에 필요한 내부 클럭 주기의 수를 카운트하는 카운터(40)에 클럭 구성이 로드된다. 카운터(40)는 클럭 선택 신호(5)에 응답한다. 카운터(40)가 속도 경로를 처리하기 위해 적절한 수의 클럭을 카운트할 때 까지, 신호선(42)의 상태는 AND 게이트(43)의 출력이 로우로 유지되게 한다. 카운터가 필요한 클럭 주기들의 수가 끝났다고 결정하면, 라인(42) 상의 신호는 하이가 되고, 위상(Φ_2)의 클럭이 래치(45)에 도달하게 된다. 요구되는 클럭 주기들의 수는 래치(46)로부터 입력을 수신하는 기능 블록(44)에 의해 수행되는 기능에 의해 결정된다. 결과적으로, 기능 회로(44)의 출력은 'n'개의 주기들이 완료되어야만 비로소 래치되며, 기능의 실행이 완료된다.

도 5는 본 발명에 따른 또 다른 실시예를 예시한다. 제 5 도는 제 3 도에 도시한 실시예에 대한 더욱 일반적인 응용이다. 이러한 실시예에서는, 서로 다른 회로들에 서로 다른 내부 클럭 주파수들이 제공되도록 다수의 회로들이 설계된다. 제 5 도에서, 입력(51)은 전체 기능 회로(50)에 제공된다. 기능 회로(50)는 3개의 개별적인 동작 경로들(52, 53, 54)로 구성되는 바, 그 각각은 동일한 기능의 동작을 수행하도록 설계된다. 각 회로들(52, 53, 54)은 특정한 내부 주파수에 관련되고, 속도 경로를 형성하는 데에 필요한 최소수의 클럭 주기들을 이용하여 기능을 수행하도록 설계된다. 예를 들어, 회로들(52, 53, 54)은 각각 25MHz, 50MHz 및 75MHz의 선택된 배수로 동작하도록 설계된다. 회로들(52, 53, 54)의 출력들은 멀티플렉서(57)에 제공된다. 멀티플렉서(57)는 클럭 선택 신호에 기초하여 출력들 중 하나를 선택한다. 이러한 방식으로, 선택된 내부 주파수에 대해 최소수의 클럭 주기로 바람직한 기능을 수행하는 특정한 회로에 대한 출력이 선택된다.

제 5 도의 실시예는, 다수의 명령들이 동작 경로의 서로 다른 기능부들에서 동작할 수 있기 때문에, 파이프라인 환경에 특히 적합하다. 예를 들어, 동작 경로(52)는 각각 클럭(Φ_1, Φ_2)에 따라 동작하는 래치들(521, 523)을 포함한다. 기능 회로(522)는 기능(F_{AB})을 수행한다. 이 경로는 25MHz의 내부 주파수로 동작하기 때문에, 전체 기능(F_{AB})을 수행할 시간이 충분하다. 대안적으로, 동작 경로(53)는 래치들(531 및 533) 및 기능 회로들(F_A 및 F_B)을 포함한다. 동작 경로(53)는 50MHz로 동작하기 때문에, 전체 기능(F_{AB})을 한 주기에서 완료할 수 없다. 따라서, 기능은 전체 기능(F_{AB})으로 결합되는 2 단계들(F_A, F_B)로 분리된다. 이러한 방식에서, F_A는 Φ_1의 제 1 클럭 주기에서 처리될 것이고, F_B는 Φ_1의 제 2 클럭 주기에서 처리될 것이다. 회로가 파이프라인으로 동작하면, 기능(F_B)이 현재의 명령에 대해 수행되는 동안, 기능(F_A)이 다음 명령에 대해 수행될 수 있다. 즉, 전체 기능(F_{AB})의 부분들이 다중 명령들로 동시에 수행될 수 있다. 따라서, 제 5 도의 실시예가 제 4 도의 실시예보다 더 많은 공간을 이용하기는 하지만, 동작 경로들에 의해 1개 이상의 명령이 동시에 동작될 수 있기 때문에 성능이 향상된다.

상기 실시예는 본 발명의 특징을 예시한 것으로서, 본 발명의 개시된 실시예들에 한정되지 않는다. 개시된 내용들을 참조하여, 본 발명의 특징의 수 많은 변형이 당업자들에게 명백해질 것이다. 따라서, 본 발명은 첨부된 특허청구범위에 의해 서만 한정된다.

(57) 청구의 범위

청구항 1.

관련된 클럭 주파수를 갖는 클럭 신호를 수신하도록 구성된 클럭 입력과;

상기 클럭 입력에 결합되고, 클럭 선택 신호에 응답하여 상기 클럭 입력에 인가된 주파수의 선택된 배수로 내부 클럭을 제공하는 배수 클럭 회로 -상기 클럭 주파수의 선택된 각 배수들은 상기 클럭 주파수의 상응하는 선택된 배수의 역으로서 정의되는 관련된 내부 클럭 주기를 가지며- 와; 그리고

상기 배수 클럭 회로로부터의 상기 내부 클럭 및 상기 클럭 선택 신호를 수신하도록 구성된 내부 회로를 포함하며,

상기 내부 회로는 상기 선택된 배수들중 적어도 하나가 선택될 때, 상기 내부 클럭의 클럭 주파수의 선택된 배수들중 하나에 상응하는 관련된 내부 클럭 주기보다 긴 시간 주기에서 기능을 수행하도록 구성되며,

상기 내부 회로는 상기 클럭 선택 신호에 응답하여 상기 선택된 배수들중 하나에 상응하는 상태들의 수를 통해 동작하는 것을 특징으로 하는 마이크로프로세서.

청구항 2.

외부 클럭 및 클럭 선택 신호를 수신하도록 연결되어, 상기 클럭 선택 신호에 따라 다수의 클럭 주파수들중 하나로 내부 클럭을 발생시키도록 구성되는 내부 클럭 발생 회로와; 그리고

상기 클럭 선택 신호의 제 1 값에 따라서는 제 1 상태수로, 그리고 상기 클 럭 선택 신호의 제 2 값에 따라서는 제 2 상태수로 기능을 수행하는 상태 머신으로서 구성되는 내부 회로로 이루어지는 것을 특징으로 하는 마이크로프로세서.

청구항 3.

클럭 주파수를 갖는 클럭 신호를 수신하도록 구성된 클럭 입력과;

상기 클럭 입력과 연결되어, 클럭 선택 신호에 응답하여 상기 클럭 입력에 인가된 클럭 주파수의 선택된 배수들로 내부 클럭을 제공하는 출력을 갖는 배수 클럭 회로와;

상기 배수 클럭 회로에 연결되어, 상기 선택된 배수들중 하나가 선택될 때, 상기 내부 클럭의 클럭 주파수의 역에 상응하는 제 2 시간 주기 보다 긴 제 1 시간 주기 동안 기능을 수행하고 결과를 출력하도록 구성된 내부 회로와; 그리고

상기 내부 회로 및 상기 클럭 선택 신호에 연결되어, 소정수의 클럭 주기들을 카운트하도록 구성된 카운터 회로를 포함하며, 상기 카운터 회로는 상기 소정수의 클럭 주기들이 카운트되면 상기 내부 회로로부터의 출력이 유효함을 나타내는 신호를 출력하는 것을 특징으로 하는 마이크로프로세서.

청구항 4.

클럭 선택 신호에 따라 다수의 클럭 주파수들로부터 선택된 내부 클럭 주파수에서 내부적으로 동작하는 마이크로프로세서로서,

각각 동일한 기능을 수행하도록 설계된, 상기 마이크로프로세서 내부의 다수의 회로들 -상기 다수의 클럭 주파수들중 한 주파수에 상응하는 상기 다수의 각 회로들은 상기 상응하는 클럭 주파수의 최소의 클럭수로 상기 동일한 기능을 수행하 며- 과; 그리고

상기 다수의 각 회로들로부터의 출력을 수신하고, 상기 다수의 회로들 중에서 상기 내부 클럭 주파수에 상응하는 한 회로로부터의 출력을 선택하도록 연결된 선택기를 포함하는 것을 특징으로 하는 마이크로프로세서.

청구항 5.

제 3 항에 있어서,
상기 소정수의 클럭 주기들은 시간적으로 상기 제 1 시간 주기에 n을 곱한 것에 상응하고, 여기서 n은 정수이며;
상기 제 2 시간 주기에 (n-1)을 곱한 것은 상기 제 1 시간 주기 보다 작으며; 그리고
상기 제 2 시간 주기에 n을 곱한 것은 상기 제 1 시간 주기 보다 크거나 같은 것을 특징으로 하는 마이크로프로세서.

청구항 6.

제 1 항에 있어서, 상기 배수 클럭 회로는,
상기 클럭 신호를 수신하고, 상기 클럭 신호를 출력하도록 구성된 제 1 부분과;
상기 클럭 신호를 수신하고, 상기 클럭 신호에 제 1 정수값을 곱하며, 그 결과로서 관련된 제 1 곱셈된 클럭 주파수를 갖는 제 1 곱셈된 클럭 신호를 출력하도록 구성된 제 2 부분과;
상기 클럭 신호를 수신하고, 상기 클럭 신호에 상기 제 1 정수값과 다른 제 2 정수값을 곱하며, 그 결과로서 관련된 제 2 곱셈된 클럭 주파수를 갖는 제 2 곱셈된 클럭 신호를 출력하도록 구성된 제 3 부분과;
제어 입력부를 통해 상기 클럭 선택 신호를 수신하도록 구성되고, 제 1 입력 포트로부터 상기 클럭 신호를, 제 2 입력 포트로부터 상기 제 1 곱셈된 클럭 신호를, 그리고 제 3 입력 포트로부터 상기 제 2 곱셈된 클럭 신호를 수신하도록 구성된 멀티플렉서를 포함하며, 상기 멀티플렉서는 상기 클럭 선택 신호의 상태에 따라, 상기 클럭 신호, 상기 제 1 곱셈된 클럭 신호 및 상기 제 2 곱셈된 클럭 신호 중 하나를 출력하는 것을 특징으로 하는 마이크로프로세서.

청구항 7.

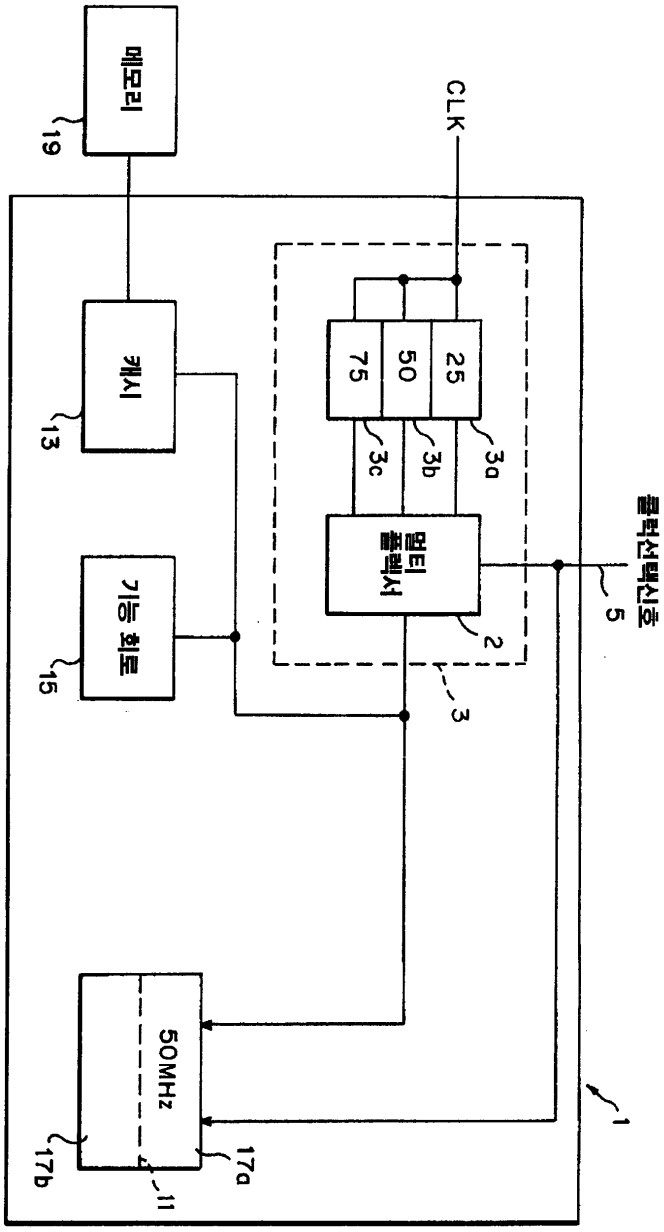
제 6 항에 있어서,
상기 내부 회로는, 상기 클럭 주파수에서 제 1 다수의 클럭 주기들 동안 상기 기능을 수행하도록 구성된 제 1 부분과, 상기 제 1 곱셈된 클럭 주파수에서 제 2 다수의 클럭 주기들 동안 상기 기능을 수행하도록 구성된 제 2 부분과, 상기 제 2 곱셈된 클럭 주파수에서 제 3 다수의 클럭 주기들 동안 상기 기능을 수행하도록 구성된 제 3 부분을 가지며, 상기 내부 회로의 상기 제 1, 2 및 3 부분들중 하나가 상기 클럭 선택 신호의 상태에 기초하여 상기 기능을 수행하기 위해 선택되며; 그리고
상기 제 1 다수는 상기 제 2 다수 보다 작고, 상기 제 2 다수는 상기 제 3 다수 보다 작은 것을 특징으로 하는 마이크로프로세서.

청구항 8.

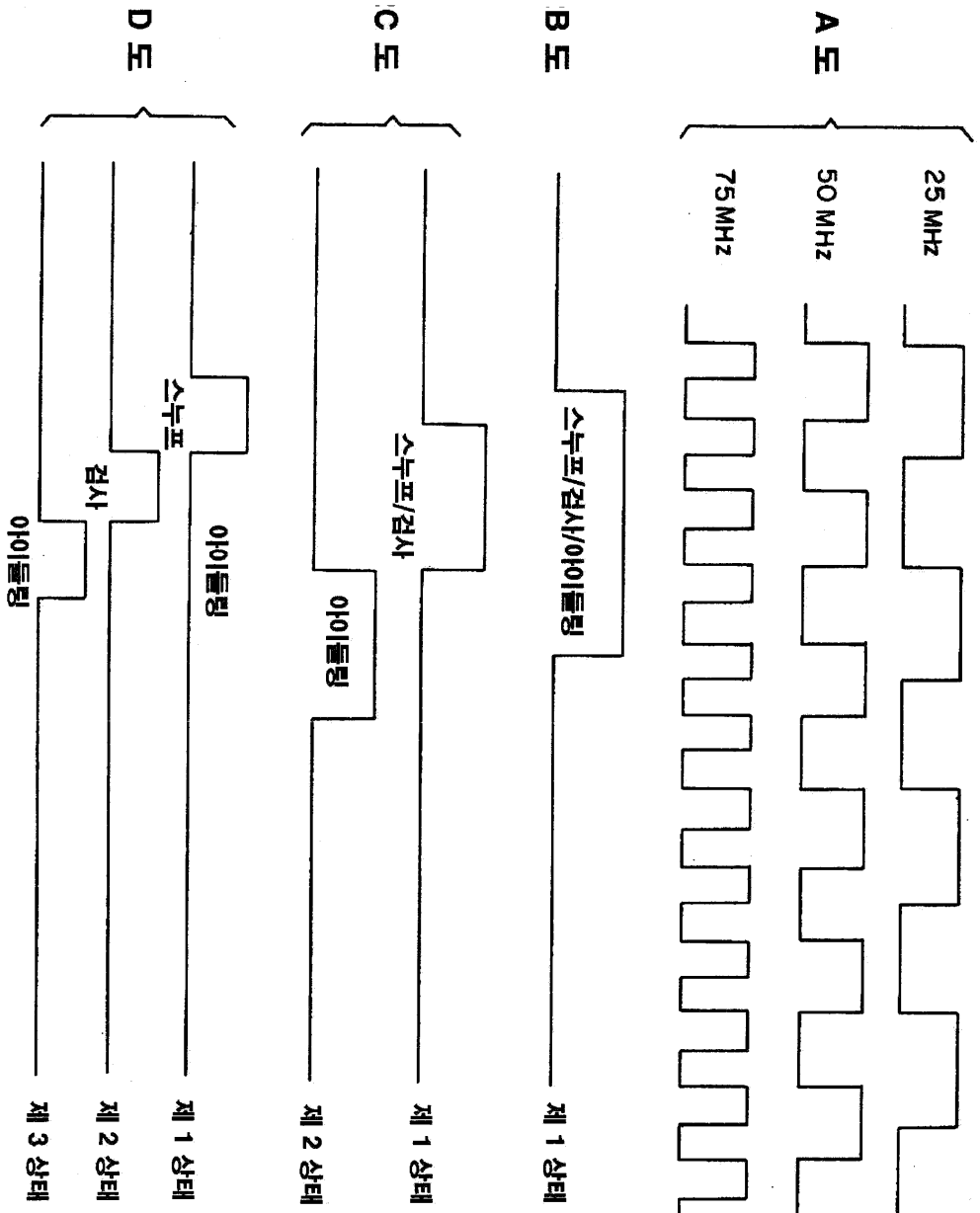
제 7 항에 있어서,
상기 내부 회로는 캐시 메모리이고, 상기 캐시 메모리에 의해 수행되는 기능은 스누프 기능, 검사 기능 및 아이들링 기능을 포함하며,
상기 캐시 메모리는 제 1 상태, 제 2 상태 및 제 3 상태중 하나에서 동작할 수 있는 바, 상기 제 1 상태에서 상기 캐시 메모리는 상기 클럭 주파수의 역으로서 정의되는 제 1 클럭 주기 동안 상기 스누프 기능, 상기 검사 기능 및 상기 아이들링 기능을 모두 수행하고; 상기 제 2 상태에서 상기 캐시 메모리는 상기 제 1 곱셈된 클럭 주파수의 역으로서 정의되는 제 2 클럭 주기 동안 상기 아이들링 기능을 제외한 상기 스누프 기능 및 상기 검사 기능을 수행하고, 다음의 제 2 클럭 주기 동안 상기 아이들링 기능을 수행하며; 그리고 상기 제 3 상태에서 상기 캐시 메모리는 상기 제 2 곱셈된 클럭 주파수의 역으로서 정의되는 제 3 클럭 주기 동안 상기 스누프 기능 만을 수행하고, 다음의 제 3 클럭 주기 동안 상기 검사 기능을 수행하며, 그 다음의 제 3 클럭 주기 동안 상기 아이들링 기능을 수행하며; 그리고
상기 클럭 선택 신호의 상태가 상기 캐시 메모리의 상기 제 1, 2 및 3 상태 들중에서 어떤 것이 선택될 것인 지를 결정하는 것을 특징으로 하는 마이크로프로세서.

도면

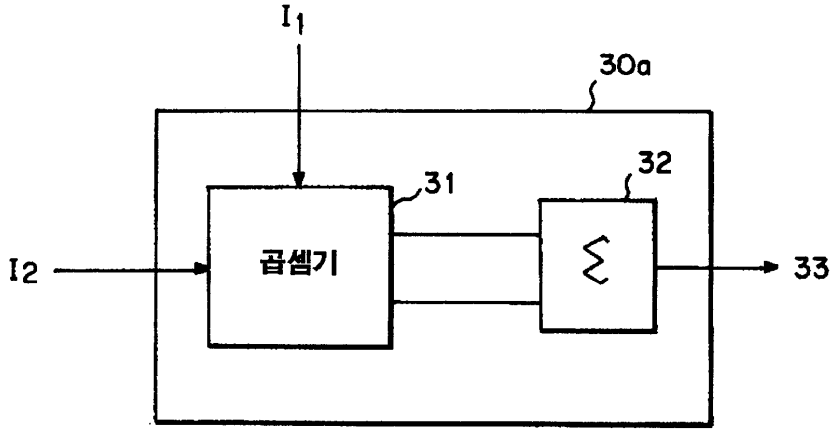
도면1


메모리
19
CLK
캐시
13
75
50
25
3c
3b
3a
멀티
플렉서
2
클럭선택신호
5
기능 회로
15
3
50MHz
17b
17a
11
1

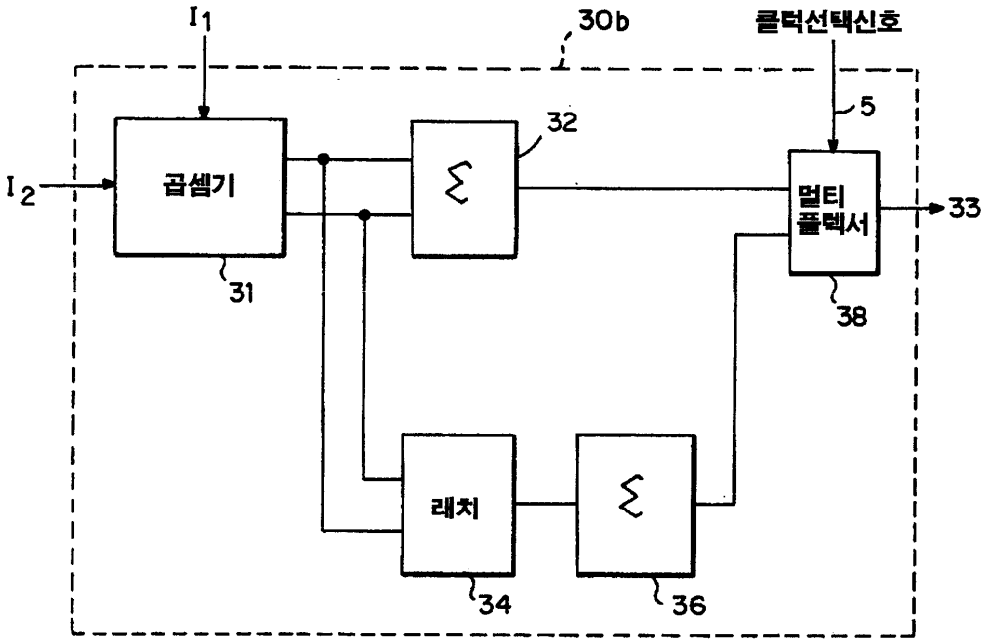
도면2


A 도
B 도
C 도
D 도
25 MHz
50 MHz
75 MHz
스누프/검사/아이들링
스누프/검사
아이들링
스누프
검사
아이들링
제 1 상태
제 2 상태
제 1 상태
제 1 상태
제 2 상태
제 3 상태

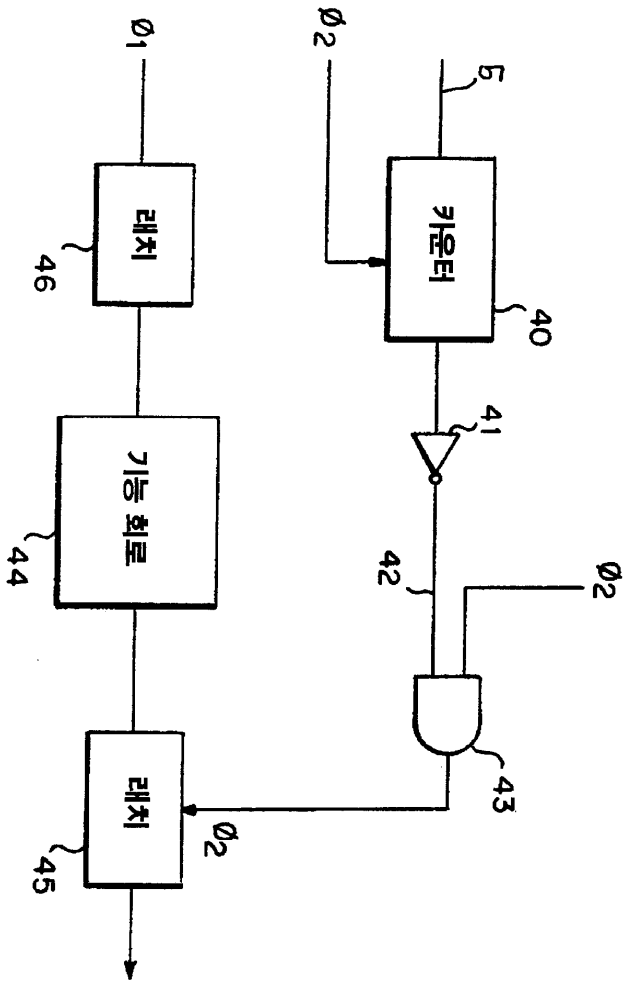
도면3a


I1
30a
31
32
I2
곱셈기
33

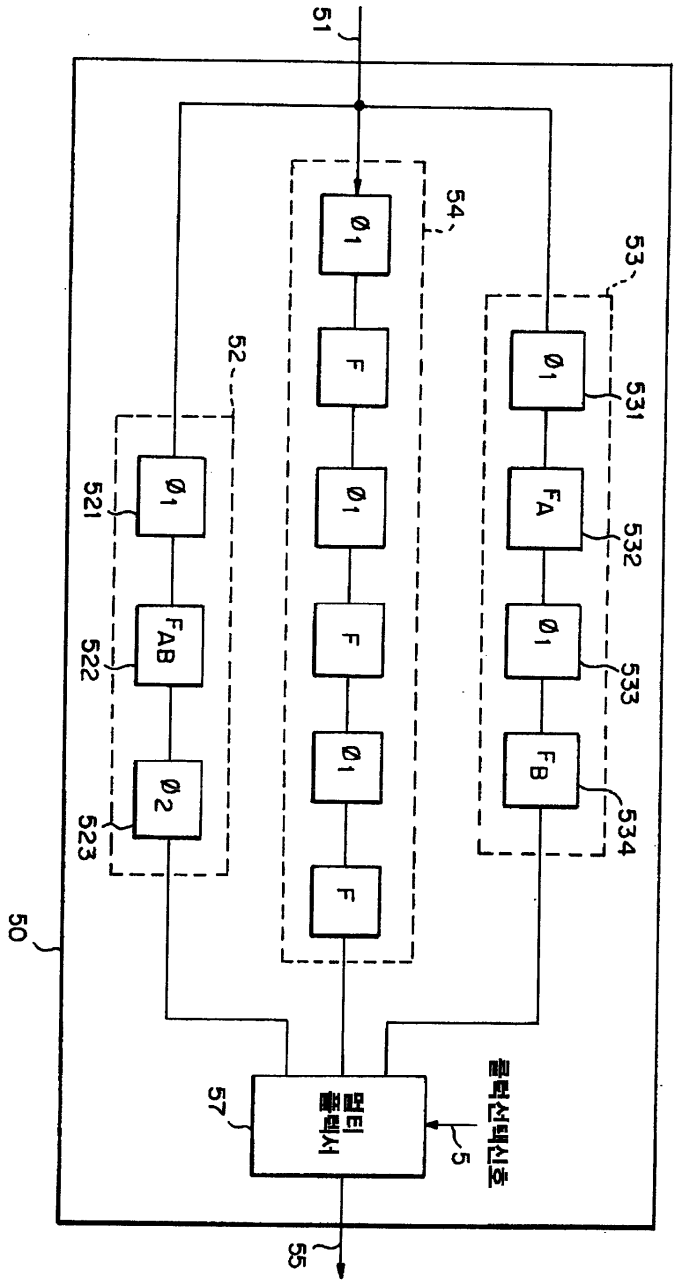
도면3b


I1
30b
클럭선택신호
5
I2
곱셈기
31
32
멀티
플렉서
33
38
래치
34
36

도면4


Ø1
Ø2
5
래치
46
카운터
40
41
기능 회로
44
42
Ø2
래치
45
Ø2
43

도면5


51
54
53
52
531
532
533
534
521
522
523
50
57
55
5
멀티플렉서
클럭선택신호
Ø1
F
FA
FB
FAB
Ø2