



- (73) 특허권자
켈컴 인코퍼레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
박, 성현
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- 왕, 셴**
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- 김, 용 곤**
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남앤남

심사관 : 신우열

(54) 발명의 명칭 PLL 루프 필터 커패시터에 대한 커패시터 누설 보상

충전 펌프의 출력 부분은, 위상 주파수 검출기로부터 제어 신호들을 수신하고, 이에 응답하여 양의 전류 펄스들 및 음의 전류 펄스들을 루프 필터에 출력한다. 양의 전류 펄스들 및 음의 전류 펄스들의 크기들이 동일하게 되도록, 충전 펌프의 전류 제어 부분이 출력 부분을 제어한다. 전류 제어 부분 내에, CPOVRN("Charge Pump Output Voltage Replica Node")이 존재한다. 이러한 CPOVRN 상의 전압은, 충전 펌프 출력 노드 상에서의 전압과 동일하게 유지된다. 커패시터 누설 보상 회로는 간접적으로, CPOVRN 상에서 전압을 감지함으로써 루프 필터의 누설 커패시터 양단의 전압을 감지한다. 보상 회로는, 감지된 전압을 복제 커패시터 양단에 부과하고, 복제를 통해서 누설되는 전류를 미러링하고, 그리고 미러링된 전류를 보상 전류의 형태로 누설 커패시터에 공급한다.

- 1 -

명세서

청구범위

청구항 1

회로로서,

커패시터를 포함하는 루프 필터;

충전 펌프 출력 노드, 제 1 연산 증폭기, 및 충전 펌프 출력 전압 복제 노드(CPOVRN; Charge Pump Output Voltage Replica Node)를 포함하는 충전 펌프 - 상기 충전 펌프 출력 노드는 상기 루프 필터에 커플링되고, 그리고 상기 CPOVRN은 상기 제 1 연산 증폭기의 고 임피던스 비반전 입력 리드(noninverting input lead)에 직접 커플링됨 -; 및

제 2 연산 증폭기 및 출력 노드를 갖는 커패시터 누설 보상 회로를 포함하고,

상기 제 2 연산 증폭기는 비반전 입력 리드, 반전 입력 리드, 및 출력 리드를 포함하고, 상기 반전 입력 리드는 상기 CPOVRN에 직접 커플링되고, 상기 비반전 입력 리드는 복제 커패시터에 직접 커플링되고 그리고 상기 커패시터 누설 보상 회로의 출력 노드는 상기 루프 필터의 커패시터에 커플링되고, 상기 커패시터 누설 보상 회로는 상기 CPOVRN 상에 존재하는 감지 전압을 감지하고 그리고 상기 복제 커패시터에 걸쳐(across) 상기 감지 전압을 부과하고, 상기 커패시터 누설 보상 회로는 상기 커패시터의 플레이트 상에 보상 전류를 공급하고, 그리고 상기 복제 커패시터에 걸친 상기 감지 전압은 상기 커패시터에 걸친 전압과 실질적으로 동일한,

회로.

청구항 2

제 1 항에 있어서,

상기 충전 펌프는 출력 부분 및 전류 제어 부분을 포함하고,

상기 CPOVRN은 상기 전류 제어 부분 내의 노드이고,

상기 출력 부분은 상기 충전 펌프 출력 노드를 통해 상기 루프 필터에 양의(positive) 전류 펄스들 및 음의(negative) 전류 펄스들을 공급하고, 그리고

상기 전류 제어 부분은, 상기 양의 전류 펄스들이 상기 음의 전류 펄스들과 실질적으로 동일한 크기를 갖도록, 상기 출력 부분을 제어하는,

회로.

청구항 3

제 2 항에 있어서,

상기 커패시터 누설 보상 회로는:

게이트, 소스, 및 드레인을 갖는 제 1 트랜지스터 - 상기 드레인은 상기 복제 커패시터에 커플링됨 -;

게이트, 소스, 및 드레인을 갖는 제 2 트랜지스터 - 상기 드레인은 상기 루프 필터의 상기 커패시터의 상기 플레이트에 커플링됨 -; 및

상기 제 2 연산 증폭기를 더 포함하고,

상기 제 2 연산 증폭기의 상기 출력 리드는 상기 제 1 트랜지스터의 게이트에 커플링되고 그리고 상기 제 2 트랜지스터의 게이트에 커플링되는,

회로.

청구항 4

제 2 항에 있어서,

상기 루프 필터는:

상기 충전 펌프 출력 노드와 상기 커패시터의 상기 플레이트 사이에 커플링된 저항기를 더 포함하는,
회로.

청구항 5

제 2 항에 있어서,

상기 루프 필터는:

상기 충전 펌프 출력 노드와 전압 제어 발진기(VCO; Voltage Controlled Oscillator)의 입력 리드 사이에 커플링된 패시브(passive) 저역 통과 필터를 더 포함하는,

회로.

청구항 6

제 2 항에 있어서,

상기 충전 펌프의 상기 전류 제어 부분은 상기 제 1 연산 증폭기를 포함하고,

상기 전류 제어 부분의 상기 제 1 연산 증폭기는 제 1 입력 리드 및 제 2 입력 리드를 갖고,

상기 제 1 입력 리드는 상기 충전 펌프 출력 노드에 커플링되고, 그리고

상기 제 2 입력 리드는 상기 제 1 연산 증폭기의 상기 고 임피던스 비반전 입력 리드를 포함하는,

회로.

청구항 7

제 2 항에 있어서,

상기 루프 필터의 상기 커패시터의 상기 플레이트는, 적어도 하나의 패시브 저역 통과 필터를 통해 전압 제어 발진기(VCO)의 입력 리드에 커플링되는,

회로.

청구항 8

제 2 항에 있어서,

상기 루프 필터의 상기 커패시터의 상기 플레이트는, 2개의 직렬-접속된 패시브 저역 통과 필터들을 통해 전압 제어 발진기(VCO)의 입력 리드에 커플링되는,

회로.

청구항 9

제 2 항에 있어서,

상기 충전 펌프의 상기 전류 제어 부분은, 제 1 P-채널 트랜지스터, 제 2 P-채널 트랜지스터, 및 제 1 N-채널 트랜지스터, 및 제 2 N-채널 트랜지스터를 포함하고,

상기 제 1 및 제 2 P-채널 트랜지스터들 및 상기 제 1 및 제 2 N-채널 트랜지스터들은, 공급 전압 컨덕터로부터 상기 CPOVRN을 통해서 접지 컨덕터로 전류 경로를 설정하도록 직렬로 함께 커플링되는,

회로.

청구항 10

제 9 항에 있어서,

상기 제 1 P-채널 트랜지스터의 게이트는 접지되고,
 상기 제 2 N-채널 트랜지스터의 게이트 상에 공급 전압이 존재하고,
 상기 제 1 N-채널 트랜지스터의 게이트 상에 바이어스 전압이 존재하고, 그리고
 상기 제 1 N-채널 트랜지스터의 드레인은 상기 CPOVRN에 커플링되는,
 회로.

청구항 11

제 10 항에 있어서,
 상기 전류 제어 부분은 상기 제 1 연산 증폭기를 더 포함하고,
 상기 전류 제어 부분의 상기 제 1 연산 증폭기는, 상기 제 2 P-채널 트랜지스터의 게이트에 커플링된 출력 리드, 상기 충전 펌프 출력 노드에 커플링된 제 1 입력 리드, 및 제 2 입력 리드를 갖고, 상기 제 2 입력 리드는 상기 제 1 연산 증폭기의 상기 고 임피던스 비반전 입력 리드를 포함하는, 회로.

청구항 12

방법으로서,
 (a) 충전 펌프로부터 충전 펌프 출력 노드를 통해 루프 필터에 양의 전류 펄스들 및 음의 전류 펄스들을 공급하는 단계 - 상기 충전 펌프는 제 1 연산 증폭기를 포함함 -;
 (b) 상기 루프 필터를 이용하여 상기 양의 전류 펄스들 및 상기 음의 전류 펄스들을 필터링하는 단계 - 상기 루프 필터는 커패시터를 포함함 -;
 (c) 상기 충전 펌프 내에서 CPOVRN(Charge Pump Output Voltage Replica Node) 상에 존재하는 감지 전압을 감지하는 단계 - 상기 감지 전압은 커패시터 누설 보상 회로의 입력 노드 상에서 수신되고, 상기 커패시터 누설 보상 회로는 비반전 입력 리드, 반전 입력 리드, 및 출력 리드를 포함하는 제 2 연산 증폭기를 포함하고, 상기 반전 입력 리드는 상기 CPOVRN에 직접 커플링되고, 상기 비반전 입력 리드는 복제 커패시터에 직접 커플링되고, 그리고 상기 CPOVRN은 상기 제 1 연산 증폭기의 고 임피던스 비반전 입력 리드에 직접 커플링됨 -;
 (d) 복제 전류가 상기 복제 커패시터를 통해서 누설되도록 상기 복제 커패시터에 걸쳐 상기 감지 전압을 부과하는 단계 - 상기 복제 커패시터는, 상기 루프 필터의 상기 커패시터의 복제이지만, 상기 루프 필터의 상기 커패시터보다 작은 커패시턴스를 가짐 -;
 (e) 상기 복제 전류를 미러링함으로써 보상 전류를 발생시키는 단계; 및
 (f) 상기 커패시터 누설 보상 회로의 출력 노드로부터 상기 루프 필터의 상기 커패시터의 플레이트 상에 상기 보상 전류를 공급하는 단계를 포함하고,
 상기 커패시터 누설 보상 회로의 출력 노드는 상기 커패시터의 상기 플레이트에 커플링되는,
 방법.

청구항 13

제 12 항에 있어서,
 상기 제 2 연산 증폭기는, 상기 제 2 연산 증폭기의 상기 반전 입력 리드 상에서 상기 감지 전압을 수신함으로써 상기 (c)의 감지하는 것을 수행하고,
 상기 제 2 연산 증폭기의 상기 출력 리드는 전류 미러에 커플링되고, 그리고
 상기 전류 미러는 상기 보상 전류를 발생시키는,
 방법.

청구항 14

제 13 항에 있어서,

(g) 상기 CPOVRN 상의 상기 감지 전압을, 상기 충전 펌프 출력 노드 상에 존재하는 전압과 실질적으로 동일하게 유지하기 위해 상기 제 1 연산 증폭기를 이용하는 단계 — 상기 제 1 연산 증폭기의 반전 입력 리드는 상기 충전 펌프 출력 노드에 커플링됨 — 를 더 포함하는,

방법.

청구항 15

제 14 항에 있어서,

(h) 공급 컨덕터로부터 상기 CPOVRN을 통해서 접지 컨덕터로 전류를 전도하는 단계를 더 포함하는,

방법.

청구항 16

제 12 항에 있어서,

상기 루프 필터는, 상기 충전 펌프 출력 노드와 상기 루프 필터의 상기 커패시터의 상기 플레이트 사이에 커플링된 저항기를 더 포함하는,

방법.

청구항 17

제 12 항에 있어서,

상기 루프 필터는, 상기 루프 필터의 상기 커패시터의 상기 플레이트와 전압 제어 발진기(VCO)의 입력 리드 사이에 직렬로 커플링된 2개의 패시브 저역통과 필터들을 더 포함하는,

방법.

청구항 18

제 12 항에 있어서,

상기 충전 펌프는 전류 제어 부분 및 출력 부분을 포함하고,

상기 방법은:

(g) 상기 출력 부분으로부터 상기 충전 펌프 출력 노드를 통해 상기 루프 필터에 양의 전류 펄스들 및 음의 전류 펄스들을 공급하는 단계; 및

(h) 상기 양의 전류 펄스들이 상기 음의 전류 펄스들과 동일한 크기를 갖도록, 상기 출력 부분을 제어하는 단계 — 상기 전류 제어 부분은, 적어도 부분적으로 상기 CPOVRN 상의 상기 감지 전압을 상기 충전 펌프 출력 노드 상에 존재하는 전압과 실질적으로 동일하게 유지함으로써 상기 제어하는 것을 수행함 — 를 더 포함하는,

방법.

청구항 19

회로로서,

커패시터를 포함하는 루프 필터;

출력 부분, 제 1 연산 증폭기, 및 전류 제어 부분을 포함하는 충전 펌프 — 상기 출력 부분은 충전 펌프 출력 노드를 통해 상기 루프 필터에 양의 전류 펄스들 및 음의 전류 펄스들을 공급하고, 그리고 상기 전류 제어 부분은 상기 양의 전류 펄스들이 상기 음의 전류 펄스들과 동일한 크기를 갖도록 상기 출력 부분을 제어함 —; 및

상기 충전 펌프의 상기 전류 제어 부분 내에서 CPOVRN(Charge Pump Output Voltage Replica Node) 상에 존재하는 감지 전압을 감지하고 그리고 복제 커패시터에 걸쳐 상기 감지 전압을 부과하기 위한 수단 — 상기 수단은, 비반전 입력 리드, 반전 입력 리드, 및 출력 리드를 포함하는 제 2 연산 증폭기를 포함하고, 상기 반전 입력 리

드는 상기 CPOVRN에 직접 커플링되고, 상기 비반전 입력 리드는 상기 복제 커패시터에 직접 커플링되고, 상기 수단은 또한, 상기 복제 커패시터에 걸친 상기 감지 전압이 상기 커패시터 양단의 전압과 실질적으로 동일하도록, 상기 커패시터의 플레이트 상에 보상 전류를 공급하기 위한 것이고, 상기 CPOVRN은 상기 제 1 연산 증폭기의 고 임피던스 비반전 입력 리드에 직접 커플링되고, 그리고 상기 수단은 상기 CPOVRN에 커플링되는 입력 노드 및 상기 커패시터에 커플링되는 출력 노드를 가짐 을 포함하는,

회로.

청구항 20

제 19 항에 있어서,

상기 전류 제어 부분은, 제 1 P-채널 트랜지스터, 제 2 P-채널 트랜지스터, 제 1 N-채널 트랜지스터, 및 제 2 N-채널 트랜지스터를 포함하고,

상기 제 1 및 제 2 P-채널 트랜지스터들 및 상기 제 1 및 제 2 N-채널 트랜지스터들은, 공급 전압 컨덕터로부터 상기 CPOVRN을 통해서 접지 컨덕터로 전류 경로를 설정하기 위해 직렬로 함께 커플링되고, 그리고

상기 전류 제어 부분은, 제 1 입력 리드 및 제 2 입력 리드를 갖는 상기 제 1 연산 증폭기를 더 포함하고, 상기 제 1 연산 증폭기의 상기 제 1 입력 리드는 상기 충전 펌프 출력 노드에 커플링되고, 그리고 상기 제 2 입력 리드는 상기 제 1 연산 증폭기의 상기 고 임피던스 비반전 입력 리드를 포함하는,

회로.

청구항 21

제 19 항에 있어서,

상기 루프 필터는, 상기 루프 필터의 상기 커패시터의 상기 플레이트와 전압 제어 발진기(VCO)의 입력 리드 사이에 직렬로 커플링된 2개의 패시브 저역 통과 필터들을 더 포함하는,

회로.

청구항 22

제 19 항에 있어서,

상기 루프 필터는, 상기 루프 필터의 상기 커패시터의 상기 플레이트와 상기 충전 펌프 출력 노드 사이에 커플링된 저항기를 더 포함하는,

회로.

청구항 23

제 1 항에 있어서,

상기 루프 필터는 오직 패시브 회로만을 포함하는,

회로.

청구항 24

제 1 항에 있어서,

상기 커패시터 누설 보상 회로의 입력 노드는 전압 제어 발진기(VCO)에 직접적으로 커플링되지 않는,

회로.

청구항 25

제 1 항에 있어서,

상기 커패시터 누설 보상 회로의 입력 노드는 상기 커패시터에 직접적으로 커플링되지 않는,

회로.

청구항 26

제 1 항에 있어서,

상기 커패시터 누설 보상 회로의 입력 노드는 상기 충전 펌프 출력 노드에 직접적으로 커플링되지 않는, 회로.

발명의 설명

기술 분야

[0001] 본 개시물은, 위상-동기 루프들(PLL들; Phase-Locked Loops)에서의 커패시터 누설 보상 회로들에 관한 것이다.

배경 기술

[0002] 위상-동기 루프(PLL)의 루프 필터는, 비교적 큰 커패시턴스를 갖는 커패시터를 수반할 수 있다. 집적 회로 형태 내에 이러한 커패시터를 실현하는 것은, 집적 회로 상에서 바람직하지 않게 많은 양의 면적을 소모할 수 있다. 커패시터는 다양한 방식으로 구현될 수 있다. 커패시터가 일 방식으로 구현되면, 커패시터는 더 많은 양의 집적 회로 면적을 점유할 것이지만, 오직 작은 정도로만 누설할 것이다. 한편, 커패시터가 다른 방식으로 구현되면, 커패시터는 더 적은 양의 집적 회로 면적을 점유할 수 있지만, 더 많은 정도로 누설할 것이다. 일부 경우에는, 커패시터가 비교적 작지만 누설이 있는 커패시터로서 구현된다 하더라도 커패시터 누설 보상 회로가 제공된다. 커패시터 누설 보상 회로는 "복제(replica)" 커패시터로 지칭되는 작은 버전의 누설 커패시터를 포함한다. 더 큰 커패시터 및 복제 커패시터들의 누설은 전압의 함수로서 동일하지만, 오직 복제 커패시터만이 더 큰 커패시터보다 얼마나 많이 더 작은지에 비례하여 덜 누설한다. 커패시터 누설 보상 회로는, 루프 필터가 동작하고 있을 때 루프 필터의 누설 커패시터 양단의 전압과 동일한, 복제 커패시터 양단의 전압을 유지하도록 동작한다. 그러나, 커패시터 누설 보상 회로는, 복제 커패시터를 통해서 누설되는 전류를 검출한다. 루프 필터 내에서 누설 커패시터와 복제 커패시터 사이에서 크기에 있어서의 관계가 알려져 있기 때문에, 보상 회로는 검출된 양의 누설 전류의 배수를 루프 필터 내의 누설 커패시터에 공급하도록 동작한다. 이상적으로, 이러한 보상 전류의 크기는 루프 필터의 누설 커패시터를 통해서 누설하는 전류의 크기와 동일하다. 이러한 커패시터 누설 전류 보상 회로는, 루프 필터의 커패시터가 상대적으로 누설이 있는 더 작은 유형의 커패시터로서 실현되도록 허용하고, 이에 의해 누설이 적은(less) 더 큰 유형의 커패시터를 이용하여 구현되는 루프 필터였던 그 루프 필터가 가질 수 있었던 크기에 비해 집적 회로 면적을 절약한다. 누설 커패시터와 보상 회로의 조합에 대한 소모되는 집적 회로 면적의 전체량, 전류 소모의 전체량, 및 성능은, 더 크지만 누설이 적은 커패시터를 통해서 구현되는 루프 필터의 집적 회로 면적의 양, 전류 소모의 양, 및 성능보다 대안적으로(alternative) 바람직할 것이다.

[0003] 커패시터 누설 보상 회로의 제 1 예시는, 미국 특허 번호 제6,956,417호의 도 10에 설명되어 있다. 이 커패시터 누설 보상 회로(190)는, 위상 검출기, 충전 펌프, 루프 필터, 전압 제어 발진기, 및 루프 분할기를 수반하는 위상-동기 루프의 일부일 수 있다. 저항기 R_{REF} 및 커패시터 C1가 루프 필터를 구성한다. 커패시터 C1는 누설 커패시터이다. 커패시터 C4는 복제 커패시터이다. 전압 V_C 는 누설 커패시터 양단의 전압이다. 커패시터 누설 보상 회로(190)는, 이 전압을 감지하고, 이 동일한 노드 V_C 에 다시 보상 전류를 공급한다. 이 회로는, 누설 커패시터 그 자체의 전압을 감지하기 때문에, "직접 감지" 회로로 종종 지칭되는 것의 일례이다.

[0004] 커패시터 누설 보상 회로의 제 2 예시는, 미국 특허 번호 제6,963,232호의 도 4에 설명되어 있다. 참조 번호 (54)는 누설 커패시터를 식별한다. 전류(57)는, 커패시터(54)를 통해서 누설하는 전류이다. 커패시터(59)는 복제 커패시터이다. 누설 보상 회로(39)는, VCO(42)의 입력에서 누설 커패시터 양단의 전압을 간접적으로 감지하고, 이 전압을 복제 커패시터 양단에 위치시키고, 복제 커패시터를 통해 누설하는 전류(70)를 검출하며, 검출된 누설 전류의 배수를 보상 전류(58)의 형태로 노드(67)에 공급한다. 보상 전류(58)는, 접지로 커패시터(54)를 통해서 누설되는 전류(57)에 대해 보상한다. 이 회로는, 누설 보상 회로가 누설 커패시터 상에서 간접적으로 전압을 감지하는 "간접 감지"의 일례이다.

발명의 내용

- [0005] 위상-동기 루프(PLL)는, 위상 주파수 검출기(PFD; Phase Frequency Detector), 충전 펌프(CP; Charge Pump), 루프 필터, 전압 제어 발진기(VCO; Voltage Controlled Oscillator), 루프 분할기, 및 커패시터 누설 보상 회로를 포함한다. 충전 펌프는, 전류 제어 부분 및 출력 부분을 포함한다. 출력 부분은, PFD로부터 제어 신호들을 수신하고, 이에 응답하여 충전 펌프 출력 노드를 통해서 루프 필터에 양의(positive) 전류 펄스들 및 음의(negative) 전류 펄스들을 출력한다. 전류 제어 부분은, 양의 전류 펄스들의 크기와 음의 전류 펄스들의 크기가 동일하도록, 출력 부분을 제어한다. 전류 제어 부분 내에서, 충전 펌프 출력 전압 복제 노드(CPOVRN; "Charge Pump Output Voltage Replica Node")로서 본원에서 지칭되는 노드가 존재한다. 충전 펌프 출력 노드 상의 전압의 복제는 CPOVRN 상에 존재한다. 일례에서, 전류 제어 부분 내의 연산 증폭기는, 이러한 CPOVRN 상의 전압을 충전 펌프 출력 노드 상의 전압과 실질적으로 동일하게 유지하도록 동작한다.
- [0006] 루프 필터는, 충전 펌프 출력 노드로부터 양의 전류 펄스들 및 음의 전류 펄스들을 수신하고, 이러한 펄스들을 필터링하여, 결과적인 제어 전압 신호 VTUNE를 VCO의 제어 입력 리드(lead)에 공급한다. 루프 필터 내에 비교적 큰 커패시터가 존재한다. 이러한 큰 커패시터는, PLL이 동작중에 있을 때, 상당한 누설을 경험한다. 일례에서, 루프 필터의 이러한 누설 커패시터는 얇은 산화물 금속 산화물 반도체 커패시터(MOSCAP)이다. 커패시터 누설 보상 회로는, 충전 펌프의 전류 제어 부분 내에서 CPOVRN 상의 전압을 감지함으로써 간접적으로 이러한 누설 커패시터 양단의 전압을 검출한다. 커패시터 누설 보상 회로는 감지된 전압을 복제 커패시터 양단에 부과하고, 여기서 복제 커패시터는, 복제 커패시터가 실질적으로 더 작은 크기 및 커패시턴스를 갖는다는 것을 제외하고는, 루프 필터의 누설 커패시터의 복제이다. 전류는 복제 커패시터를 통해서 누설된다. 이러한 누설 전류는, 전류 미러가 보상 전류의 형태로 복제 커패시터 누설 전류의 배수를 출력하도록, 커패시터 누설 보상 회로의 전류 미러로 공급된다. 보상 전류는, 루프 필터의 누설 커패시터의 플레이트에 있는 노드로 공급된다. 루프 필터의 누설 커패시터의 플레이트에 공급되는 보상 전류는, 루프 필터의 누설 커패시터를 통해서 누설되는 전류와 실질적으로 동일하다.
- [0007] 루프 필터는, 2개의 패시브 저역 통과 필터들을 더 포함한다. 이러한 2개의 저역 통과 필터들은, 누설 커패시터의 플레이트에 있는 노드와 VCO의 제어 입력 리드 사이에 직렬로 커플링된다. 커패시터 누설 보상 회로의 전류 미러로부터 루프 필터를 통해서 VCO의 제어 입력 리드로 통과하는 원치않는 잡음은, 이러한 2개의 저역 통과 필터들을 통과하는 것 덕분에 약화된다. 또한, 커패시터 누설 보상 회로의 입력으로부터, 다시 충전 펌프를 통해서, 충전 펌프 출력 노드를 통해서, 루프 필터를 통해서, VCO의 제어 입력으로 통과되는 원치않는 잡음이 존재할 수 있다. 일례에서, 이러한 경로에서의 잡음은, 충전 펌프의 연산 증폭기(CPOVRN 상의 감지 전압을 충전 펌프 출력 노드 상의 전압과 동일하게 유지하도록 동작하는 연산 증폭기)에 의해 그리고 루프 필터의 저역 통과 필터들 중 하나에 의해 약화된다.
- [0008] 전술한 사항은, 발명의 내용(summary)이며, 이에 따라, 필요에 의해, 세부사항들의 단순화, 일반화 및 생략을 포함하고; 그 결과, 당업자들은, 이 발명의 내용이 오직 예시적이며 임의의 방식으로 한정하는 것으로 의미하지 않는다는 것을 인식할 것이다. 오직 청구항들에 의해 단독으로 정의된 바와 같이, 본원에 설명된 디바이스들 및/또는 프로세스들의 다른 양상들, 발명의 특징들, 및 이점들은 본원에 설명된 비-제한적인 상세한 설명에서 명백하게 될 것이다.

도면의 간단한 설명

- [0009] 도 1은, 일 신규의 양상에 따른 아날로그 위상-동기 루프(PLL)의 도면이다.
- 도 2는, 도 1의 PLL의 충전 펌프, 루프 필터 및 커패시터 누설 보상 회로를 더욱 상세하게 나타내는 도면이다.
- 도 3은, 도 1의 PLL의 충전 펌프 및 커패시터 누설 보상 회로의 다른 도면이다.
- 도 4는, 도 1의 PLL에서 커패시터 누설 보상 회로 내의 잡음 소스로부터 VCO의 입력 리드로 통과하는데 잡음이 포함(take in)될 수 있는 2개의 가능한 경로들을 나타내는 도면이다.
- 도 5는, 루프 필터의 커패시터가 어떠한 커패시터 누설 보상 회로도 없이 두꺼운 산화물 MOSCAP으로서 실현될 때, 그리고 그 커패시터가 도 2의 커패시터 누설 보상 회로를 갖는 누설이 있는 얇은 산화물 MOSCAP으로서 실현될 때 점유되는 집적 회로 면적의 양을 비교하는 도면이다.
- 도 6은, 두꺼운 산화물 MOSCAP을 이용하고 어떠한 커패시터 누설 보상 회로도 이용하지 않는 것과 비교하여, 도

2의 커패시터 누설 보상 회로를 이용하는 것에서 실현되는 백분율 면적 절감을 나타내는 도면이다.

도 7은, PLL이 어떠한 커패시터 누설 보상 회로도 갖지 않는 두꺼운 산화물 MOSCAP을 이용하는 구현인 경우에 VTUNE의 주파수 성분들을 나타내는 도면이다.

도 8은, PLL이 도 1의 PLL이고 도 2의 커패시터 누설 보상 회로를 수반하는 경우에 VTUNE의 주파수 성분들을 나타내는 도면이다.

도 9는, PLL이 두꺼운 산화물 MOSCAP 커패시터를 이용하고 어떠한 커패시터 누설 보상 회로도 갖지 않는, PLL의 VCO 출력 신호에서의 폐쇄 루프 위상 잡음을 나타내는 도면이다.

도 10은, PLL이 얇은 산화물 MOSCAP을 이용하고 도 2의 커패시터 누설 보상 회로를 수반하는, 도 1의 PLL의 VCO 출력 신호에서의 폐쇄 루프 위상 잡음을 나타내는 도면이다.

도 11은, 하나의 신규의 양상에 따른 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 도 1은, 일 신규의 양상에 따라서 단일 집적 회로에 집적되는 아날로그 위상-동기 루프(PLL)(100)의 도면이다. PLL(100)은, 컨덕터(102) 상에서 기준 클럭 신호 FREF(101)를 수신하고, 컨덕터(104) 상에서 출력 신호 VCO_OUT(103)을 출력한다. 출력 신호 VCO_OUT의 주파수는, 입력 신호 FREF(101)의 주파수의 원하는 정수배이다. 피드백 분할기(105)를 나누는 정수를 변경함으로써, 출력 신호 VCO_OUT(103)의 주파수는 약 1GHz 내지 약 3GHz의 범위에서 변경될 수 있다. PLL(100)은 위상 주파수 검출기(PFD)(106), 충전 펌프(CP)(107), 루프 필터(108), 전압 제어 발진기(VCO)(109), 피드백 분할기(105), 및 커패시터 누설 보상 회로(110)를 포함한다. PFD(106)는, 피드백 신호 FDIV(111)의 엣지의 시간을 입력 신호 FREF(101)의 엣지의 시간과 비교하고, 제어 신호들(UP, UPB, DN 및 DNB)을 출력한다. 제어 신호들은 2개의 엣지들 사이에서의 상대적 시간차를 나타낸다.
- [0011] 예를 들어, 피드백 신호 FDIV(111)의 엣지가 입력 신호 FREF(101)의 엣지를 뒤따른다고 PFD(106)가 검출하면, 엣지들 사이에서의 시간 동안 제어 신호들(UP, UPB, DN 및 DNB)이 어써팅된다(assert). FDIV(111)의 엣지와 FREF(101)의 엣지 사이에서의 시간차가 길수록, 제어 신호들(UP, UPB, DN 및 DNB)이 어써팅되는 시간이 길어진다. 충전 펌프(107)는 어써팅된 제어 신호들을 충전 펌프 출력 노드(113)로 출력되는 전류 ICP(112)의 대응하는 양의 펄스로 변환한다.
- [0012] 예를 들어, 피드백 신호 FDIV(111)의 엣지가 입력 신호 FREF(101)의 엣지를 앞선다고 PFD(106)가 검출하면, 충전 펌프(107)가 충전 펌프 출력 노드(113)로부터 전류 ICP(112)의 펄스를 드로잉하게 제어하도록, FDIV(111)의 엣지와 FREF(101)의 엣지 사이에서의 그 시간 동안 제어 신호들(UP, UPB, DN 및 DNB)이 발생된다. 노드(113)로부터의 전류 펄스의 드로잉은, 전류의 음의 펄스를 노드(113)에 공급하는 것과 동일하다.
- [0013] 전류의 이러한 양의 펄스들 및 전류의 이러한 음의 펄스들은, 비교적 느리게 변화하는 제어 신호 VTUNE(115)가 루프 필터의 출력에 있는 노드(116) 상으로 발생되도록, 루프 필터(108)의 커패시터(114)(및 커패시터들(130 및 131))상에 통합된다. VTUNE(115)는 VCO(109)의 제어 입력 리드(117) 상에 공급된다. VCO(109)는 출력 리드(118) 상에 발진 출력 신호 VCO_OUT(103)을 발생시킨다. 신호 VCO_OUT의 주파수는 VTUNE(115)의 레벨에 의해 결정된다. VTUNE의 레벨을 상승시키는 것은 VCO가 신호 VCO_OUT(103)의 주파수를 증가시키도록 야기하는 반면, VTUNE의 레벨을 낮추는 것은 VCO가 신호 VCO_OUT(103)의 주파수를 감소시키도록 야기한다. 신호 VCO_OUT(103)은 피드백 분할기(105)의 입력 리드(119)에 공급된다. 피드백 분할기(105)는, 정수 나눗수(integer divisor)로 VCO_OUT 신호를 주파수 분할하고, 결과적인 더 낮은 주파수 신호 FDIV(111)를 자신의 출력 리드(120)로부터 출력한다. 피드백 신호 FDIV(111)는 PFD(106)의 제 2 입력 리드(122)로 컨덕터(121)를 통해 공급된다. PFD(106)는 PFD(106)의 제 1 입력 리드(123) 상에서 입력 기준 신호 FREF(101)를 수신한다. PLL(100)이 로킹 상태에 있을 때, FDIV 신호(111)의 주파수 및 위상은 FREF 신호(101)의 주파수 및 위상으로 로킹된다.
- [0014] 루프 필터(108)는, 충전 펌프 출력 노드(113)를 통해서 충전 펌프(107)로부터 전류 ICP(112)의 양의 펄스들 및 음의 펄스들을 수신하고, 결과적인 필터링된 신호 VTUNE(115)를 노드(116) 상에 출력한다. 루프 필터(108)는, 큰 커패시터(114)뿐만 아니라, 2개의 저항기들(128 및 129), 및 2개의 더 작은 커패시터들(130 및 131)을 포함한다. 일례에서, PLL은 100kHz 미만의 루프 대역폭을 갖고, 커패시터들(114, 130 및 131)은 각각 500pF, 20pF 및 10pF의 커패시턴스들을 가지며, 저항기들(128 및 129)은 각각 40kΩ 및 20kΩ의 저항들을 갖는다. 저항기(128)는, 예시된 바와 같이, 충전 펌프 출력 노드(113)와 큰 커패시터(114) 사이에 커플링된다.

저항기(128)는, 충전 펌프 출력 노드(113)에 직접 접속된 제 1 리드 그리고 큰 커패시터(114)에 직접 접속된 제 2 리드를 갖는다.

[0015] 본 예시에서, 큰 커패시터(114)는 얇은 산화물을 갖는 온-칩 금속 산화물 반도체 커패시터(MOSCAP)로서 실현된다. MOSCAP의 게이트 금속과, 하부 반도체 재료 내의 공간 전하 공핍 구역 사이에 커패시턴스가 형성된다. 다른 한편으로, 커패시터들(130 및 131)은 커패시터(114)보다 훨씬 더 작은 커패시턴스들을 갖는 커패시터들이다. 이러한 커패시터들(130 및 131)은 또한 MOSCAP 커패시터들로서 실현되지만, 그들의 더 작은 커패시턴스들로 인해, 이러한 커패시터들은 너무 많은 집적 회로 면적을 희생하지 않으면서도 두꺼운 산화물 MOSCAP들로서 실현된다. 본 예시에서, 주어진 커패시턴스의 얇은 산화물 MOSCAP은 동일한 커패시턴스의 두꺼운 산화물 MOSCAP이 소모할 집적 회로 면적의 대략 절반을 소모할 것이지만, 얇은 산화물 MOSCAP 커패시터는 두꺼운 산화물 MOSCAP 커패시터에 비해 더 높은 전류 누설을 나타낼 것이다. 커패시터(114) 양단의 전압 V1은, PLL 제어 루프가 FDIV 신호(111)의 위상을 FREF 신호(101)의 위상과 함께 로킹 상태로 유지하도록 동작함에 따라 증가하고 감소한다. 그러나, 커패시터(114) 양단의 주어진 전압의 경우, 커패시터(114)는 누설 전류(132)를 자신의 제 1 플레이트(133)로부터 자신의 제 2 플레이트(134)로 누설할 것이다. 커패시터(114) 양단의 전압 V1이 변화함에 따라서, 이러한 누설 전류(132)는 변화하지만, 커패시터(114)는 항상 누설한다. 누설 보상이 없으면, 커패시터(114)를 통한 일정 전류의 누설은 VTUNE을 적절하지 않게 낮게 만듦으로써 PLL 동작에 부정적인 영향을 줄 수 있다. 그러나, PLL 제어 루프가 동작하는 경우, 제어 루프는 누설에 대해 보상하도록 시도하고, 이러한 보상은 그 자신을 증가하는 VTUNE 전압으로서 드러내 보인다. VTUNE은, 요구되는 경우 고정 값이 아닌 적절한 VTUNE 값에 대해 증가하고 감소하는 것으로 보여진다. VTUNE에서의 (리플로서 지칭되는) 결과적인 변동은, PLL 출력 신호 내에서 대응하는 원치않는 추가적인 주파수 성분을 야기한다. 그러므로, 커패시터 누설 보상 회로(110)는 노드(136)에서 커패시터(114)를 통해서 접지로 누설되는 누설 전류(132)에 대해 보상하기 위해 보상 전류(135)를 노드(136)에 공급하도록 동작한다. 이하에 더욱 상세하게 설명되는 바와 같이, 커패시터 누설 보상 회로(110)는, 충전 펌프(107) 내에 CPOVRN("Charge Pump Output Voltage Replica Node") 상에 존재하는 감지 전압(137)을 감지함으로써 간접적으로 커패시터(114) 양단의 전압을 검출한다. CPOVRN으로부터의 감지 전압(137)은 커패시터(114) 양단의 전압 V1을 나타낸다. 커패시터 누설 보상 회로(110)는, 자신의 입력(138)으로 감지 전압(137)을 수신하고, 감지 전압(137)을 이용하여 출력(139)를 통해서 노드(136)로 공급되는 보상 전류(135)의 크기를 제어한다.

[0016] 도 2는, 충전 펌프(107), 루프 필터(108) 및 커패시터 누설 보상 회로(110)를 더욱 상세하게 나타내는 도면이다. 충전 펌프(107)는 전류 제어 부분(141) 및 출력 부분(142)을 포함한다. 충전 펌프(107)는 입력 리드들(124-127)을 통해서 PFD(106)로부터 제어 신호들(UP, UPB, DN 및 DNB)을 각각 수신한다. 충전 펌프(107)는 충전 펌프 출력 리드(140)로부터 전류 펄스들을 출력한다.

[0017] 가끔, PFD(106)가 제어 신호들을 어썬팅하지 않을 때, 신호 UP는 디지털 로직 로우(low)에 있을 것이고, 신호 UPB는 디지털 로직 하이(high)에 있을 것이며, 신호 DN은 디지털 로직 로우에 있을 것이며, 신호 DNB는 디지털 로직 하이에 있을 것이다. 그러므로, P-채널 전계 효과 트랜지스터(143)는 on될 것이며, N-채널 전계 효과 트랜지스터(144)는 on될 것이다. P-채널 트랜지스터(145)는 off될 것이다. N-채널 트랜지스터(146)는 off될 것이다. VDD 공급 전압 컨덕터(147)로부터 트랜지스터(145)를 통해서 충전 펌프 출력 노드(113)로의 임의의 전류 경로는 깨질 것이며, 접지 컨덕터(148)로부터 트랜지스터(146)를 통해서 충전 펌프 출력 노드(113)로의 임의의 전류 경로도 깨질 것이다. 충전 펌프(107)는 이러한 시간들 동안 노드(113) 상에서 커패시턴스를 충전하지도 방전하지도 않는다.

[0018] 가끔, PFD(106)가 양의 전류 펄스 ICP를 발생시키기 위해 제어 신호를 어썬팅할 때, 신호 UP는 디지털 로직 하이에 있을 것이고, 신호 UPB는 디지털 로직 로우에 있을 것이며, 신호 DN는 디지털 로직 로우에 있을 것이고, 신호 DNB는 디지털 로직 하이에 있을 것이다. 따라서, P-채널 트랜지스터(145)는 on일 것이고, N-채널 트랜지스터(146)는 off일 것이다. 트랜지스터(143)는 off일 것이다. 이에 따라, 공급 컨덕터(147)로부터, 트랜지스터(145)를 통하고, 트랜지스터(149)를 통해서 노드(113)로의 전류 경로가 확립된다. P-채널 트랜지스터(149)가 on이고 도전성인 정도는, 양의 전류 펄스 ICP의 크기를 결정한다. P-채널 트랜지스터(149)가 도전성인 정도는, 트랜지스터(149)의 게이트, 소스 및 드레인 상의 전압들에 의해 결정되고, 이러한 전압들은 전류 제어 부분(141)에 의해 제어된다. 양의 전류 펄스 ICP의 지속기간은, 제어 신호들(UP, UPB, DN 및 DNB)의 어썬팅을 생기기 했던, 신호 FDIV(111)의 엣지와 신호 FREF(101)의 엣지 사이의 시간차에 의해 결정된다.

[0019] 가끔, PFD(106)가 음의 전류 펄스 ICP를 발생시키기 위해 제어 신호를 어썬팅할 때, 신호 DN는 디지털 로직 하이에 있을 것이고, 신호 DNB는 디지털 로직 로우에 있을 것이며, 신호 UP는 디지털 로직 로우에 있을 것이고,

신호 UPB는 디지털 로직 하이에 있을 것이다. N-채널 트랜지스터(146)는 on일 것이고, P-채널 트랜지스터(145)는 off일 것이다. 트랜지스터(144)는 off일 것이다. 이에 따라, 전류 경로는 노드(113)로부터, 트랜지스터(150)를 통과하고, 트랜지스터(146)를 통해서 접지 컨덕터(148)로 확립된다. N-채널 트랜지스터(150)가 도전성인 정도는, 음의 전류 펄스 ICP의 크기를 결정한다. N-채널 트랜지스터(150)가 도전성인 정도는, 트랜지스터(150)의 게이트, 소스, 및 드레인 상의 전압들에 의해 결정되고, 이러한 전압은 전류 제어 부분(141)에 의해 결정된다. 음의 전류 펄스 ICP의 지속기간은, 제어 신호들(UP, UPB, DN 및 DNB)의 어썬팅을 생기게 했던, 신호 FDIV(111)의 엣지와 신호 FREF(101)의 엣지 사이의 시간차에 의해 결정된다.

[0020] 충전 펌프(107)의 전류 제어 부분(141)은 트랜지스터들(151-154) 및 연산 증폭기(156)를 포함한다. 트랜지스터들(151-154)은 VDD 컨덕터(147)로부터 CPOVRN("Charge Pump Output Voltage Replica Node")(159)를 통해서 접지 컨덕터(148)로의 전류 경로를 형성한다. 트랜지스터들(151-154)은, P-채널 트랜지스터(151)가 항상 on이도록 접속되고 N-채널 트랜지스터(154)가 항상 on이도록 접속되는 것을 제외하고는, 출력 부분(142)의 트랜지스터들(145, 149, 150 및 146)에 대응한다. 전류 제어 부분(141)의 트랜지스터(153)의 게이트 및 출력 부분(142)의 N-채널 트랜지스터(150)의 게이트에는 바이어스 전압 VBIAS가 공급된다. 이러한 VBIAS 전압은 주로 트랜지스터(150)의 도전성을 결정하고, 이에 따라 충전 펌프에 의해 발생된 음의 전류 펄스들의 크기를 설정한다.

[0021] 연산 증폭기(156)의 높은 임피던스 입력 리드(158) 안으로 또는 밖으로 매우 적은 전류 흐름이 존재한다. 이에 따라, P-채널 트랜지스터(152)를 통한 소스-드레인 전류 흐름은 N-채널 트랜지스터(153)를 통해 흐르는 전류와 동일하다. 트랜지스터(145)가 on이면 이러한 동일한 양의 전류가 P-채널 트랜지스터(149)를 통해서 흐를 것이고, 그리고 트랜지스터(146)가 on이면 이러한 동일한 양의 전류가 N-채널 트랜지스터(150)를 통해 흐르게 되도록, 이 전류를 출력 부분(142)에 카피하는 것이 바람직하다. P-채널 트랜지스터(149)의 소스, 게이트 및 드레인 전압들이 P-채널 트랜지스터(152)의 대응하는 소스, 게이트 및 드레인 전압들과 동일하면, 이러한 전류 카피가 발생할 것이다. 따라서, 트랜지스터들(152 및 149)의 게이트 전압들이 동일하게 되도록, 트랜지스터들(152 및 149)의 게이트들이 함께 커플링되고 연산 증폭기(156)의 출력 리드(155)에 커플링된다. 트랜지스터(145)가 on이 되도록 제어될 때, 전체적으로-on인 P-채널 트랜지스터(145) 양단에 전압 강하가 존재하기 때문에, 전체적으로-on인 P-채널 트랜지스터(151) 양단의 전압 강하는 매우 작다. 이에 따라, 트랜지스터들(152 및 149)의 소스 전압들은 (공급 전압 VDD에 가까운 전압으로) 본질적으로 동일하다. 연산 증폭기(156)는, 트랜지스터(149) 상의 드레인 전압을 트랜지스터(152) 상의 드레인 전압과 동일하게 유지하도록 동작한다. 연산 증폭기(156)가 음의 피드백 루프에서 동작할 때, 그의 반전 입력 리드(157) 및 그의 비반전 입력 리드(158) 상에서의 전압들은 실질적으로 동일하다. 트랜지스터(149)의 소스, 게이트 및 드레인 전압들이 트랜지스터(152)의 소스, 게이트, 드레인 전압들과 동일하기 때문에, 2개의 트랜지스터들(152 및 149)은 동일하게 바이어싱되고, 전류 제어 부분(141)을 통해서 흐르는 전류가 출력 부분(142) 내의 트랜지스터(149)를 통해서 흐르도록 카피된다. 동일한 방식으로, N-채널 트랜지스터(150)의 게이트, 소스 및 드레인 전압들은 N-채널 트랜지스터(153)의 대응하는 게이트, 소스 및 드레인 전압들과 동일하다. 이에 따라, 트랜지스터(146)가 on일 때, 충전 펌프의 출력 부분(142)의 트랜지스터(150)를 통한 전류 흐름은 충전 펌프의 전류 제어 부분(141)의 트랜지스터(153)를 통한 전류 흐름과 동일하다. 따라서, 충전 펌프의 전류 제어 부분(141)은, 양의 전류 펄스들 ICP의 크기들이 음의 전류 펄스들 ICP의 크기들과 동일하게 되도록, 트랜지스터들(149 및 150)을 제어한다. VBIAS를 증가시키는 것은 ICP(112)의 양의 펄스들 및 음의 펄스들 둘 다의 크기를 증가시킨다. VBIAS를 감소시키는 것은 ICP(112)의 양의 펄스들 및 음의 펄스들 둘 다의 크기를 감소시킨다. 본 예시에서의 VBIAS는 고정 전압이지만, 다른 예시들에서는 가변적일 수 있다.

[0022] 루프 필터(108)는 2개의 입력들(160 및 161) 및 하나의 출력(162)을 갖는 것으로 고려될 수 있다. 예시된 바와 같이, 루프 필터(108)는 2개의 패시브 RC 저역 통과 필터들(177 및 178)을 포함한다. 저항기(128) 및 커패시터(130)는 제 1 패시브 RC 저역 통과 필터(177)를 형성한다. 저항기(129) 및 커패시터(131)는 제 2 패시브 RC 저역 통과 필터(178)를 형성한다. 2개의 패시브 RC 저역 통과 필터들(177 및 178)은 노드(136)와 VCO(109)의 입력 리드(117) 사이에서 직렬로 함께 커플링된다. 커패시터 누설 보상 회로(110)에 의해 노드(136) 상에 발생된 잡음은, VCO(109)의 제어 입력 리드(117)에 도달하기 위해, 이러한 2개의 패시브 RC 저역 통과 필터들(177 및 178) 둘 다를 지나 통과해야만 한다.

[0023] 커패시터 누설 보상 회로(110)는 입력(138)을 가지며, 이 입력(138)을 통해, 커패시터 누설 보상 회로(110)는 충전 펌프(107) 내의 CPOVRN 노드(159)로부터의 감지 전압(137)을 수신한다. 커패시터 누설 보상 회로(110)는 출력(139)을 가지며, 이 출력(139)으로부터, 커패시터 보상 회로(110)는 루프 필터의 커패시터(114)의 플레이트(133)로 보상 전류(135)를 공급한다. 커패시터 누설 보상 회로(110)는, 예시된 바와 같이 상호접속되는, 연산

증폭기(163), 2개의 P-채널 전계 효과 트랜지스터들(164 및 165), 및 복제 커패시터(166)를 포함한다. 연산 증폭기(163)의 출력 리드(167)는, 트랜지스터(164)의 게이트(168)에 그리고 트랜지스터(165)의 게이트(169)에 커플링된다. 트랜지스터(164)의 소스(170) 및 트랜지스터(165)의 소스(171)는 둘 다 VDD 공급 컨덕터(147)에 커플링된다. 트랜지스터(164)의 드레인(172)은, 연산 증폭기(163)의 반전 입력 리드(175) 상의 전압이 복제 커패시터(166) 양단에서 유지되도록, 복제 커패시터(166)의 플레이트(173)에 그리고 연산 증폭기(163)의 비반전 입력 리드(174)에 커플링된다. 복제 커패시터(166) 양단에 부과된 전압은 전압 V2로 나타난다. 트랜지스터들(164 및 165)은 전류 미러를 형성한다. 트랜지스터(165)를 통해서 흐르는 전류는 트랜지스터(164)를 통해서 흐르는 전류의 N배 만큼이 되도록 미러링된다. N은, 약 20 내지 약 30의 범위에 있고, 본 예시에서는 21이다. 커패시터들 둘 다에 걸쳐 동일한 전압이 존재하고 그리고 커패시터들 둘 다가 동일한 얇은 산화물 MOSCAP 구조를 갖는 것으로 가정하면, 복제 커패시터(166)는 루프 필터의 누설 커패시터(114)의 1/N 크기이며, 그래서 복제 커패시터(166)는 커패시터(114)가 누설하는 전류의 1/N만큼 누설한다. 복제 커패시터(166)를 통해서 누설되는 전류는 전류 미러의 트랜지스터(164)를 통해 전도된다. 전류 미러의 동작으로 인해, 이러한 복제 커패시터 누설 전류의 N배가 트랜지스터(165)의 드레인(176)으로부터 노드(136)로 보상 전류(135)의 형태로 흐르게 된다.

[0024] 도 3은, 충전 펌프(107), 커패시터 누설 보상 회로(110), 및 루프 필터(108)의 일부의 다른 도면이다. 도 3의 도면은, 전류 ICP(112)의 양의 전류 펄스(179)를 나타낸다. 양의 전류 펄스(179)는 화살표(180)에 의해 표시된 전류 경로를 통해서 흐른다. 앞서 설명된 바와 같이, 이러한 전류 펄스(179)의 크기(181)는 충전 펌프의 전류 제어 부분(141)에 의해 결정된다. 이 도면은 또한 전류 ICP(112)의 음의 전류 펄스(182)를 나타낸다. 화살표(183)는 이러한 펄스의 경로가 접지 컨덕터(148)에서 노드(113)로 연장하는 것으로 나타내지만, 펄스는 전류의 음의 펄스인 것으로 이해된다. 실제 전류 흐름의 방향은 노드(113)로부터 접지 컨덕터(148)로이다. 앞서 설명된 바와 같이, 음의 전류 펄스(182)의 크기(186)는 충전 펌프의 전류 제어 부분(141)에 의해 결정된다.

[0025] 후술하는 바와 같이, 커패시터 누설 보상 회로(110)는 커패시터(114) 양단의 전압 V1을 간접적으로 감지한다. 안정적인 상태의 동작 동안, 저항기(128) 양단에 매우 적은 전류 흐름이 존재한다. 따라서, 충전 펌프 출력 노드(113) 상의 전압은 노드(136) 상의 전압에 매우 가깝다. 연산 증폭기(156)가 안정적인 상태의 동작에서 동작할 때, 연산 증폭기(156)의 2개의 입력 리드들(157 및 158) 상의 전압들 사이에서 매우 적은 전압차가 존재한다. 연산 증폭기는, 자신의 비반전 입력 리드(158) 상의 전압을 자신의 반전 입력 리드(157) 상에 존재하는 전압과 동일하게 유지하도록 동작한다. 따라서, 노드(159)는, 이 노드 상의 전압이 충전 펌프 출력 노드(113) 상의 전압의 복제라는 점에서, CPOVRN("Charge Pump Output Voltage Replica Node")(159)로 지칭된다. 하나의 신규의 양상에 따르면, CPOVRN(159)은 커패시터 누설 보상 회로(110)의 연산 증폭기(163)의 반전 입력 리드(175)에 직접 접속된다. 커패시터 누설 보상 회로(110)는 CPOVRN(159) 상의 감지 전압(137)을 감지함으로써 간접적으로 커패시터(114) 양단의 전압 V1을 감지한다. 커패시터 누설 보상 회로(110)의 연산 증폭기(163)의 감지 입력 리드는, VCO(109)의 제어 입력 리드(117)에 직접 접속되기도, 누설 커패시터(114)에 있는 노드(136)에 직접 접속되기도 않고, 루프 필터 내의 임의의 다른 노드에 직접 접속되기도, 노드(113)에 있는 충전 펌프의 출력에 직접 접속되기도 않는다. 충전 펌프(107)의 전류 제어 부분(141) 내에서 CPOVRN(159) 상에 존재하는 전압을 감지함으로써의 누설 커패시터(114) 양단의 전압 V1의 간접 감지는, 미국 특허 번호 제6,956,417호 및 제6,963,232호의 종래 기술 회로들에 대한 이점들을 갖는다.

[0026] 도 4는, 커패시터 누설 보상 회로(110) 내의 잡음 소스로부터 통과할 때 그리고 VCO(109)의 제어 입력 리드(117)로 통과할 때 잡음이 포함될 수 있는 2개의 가능한 경로들을 나타내는 도면이다. 잡음은, 예를 들어, 연산 증폭기(163)의 입력 스테이지에 의해 발생될 수 있다. 이러한 잡음은, 커패시터 누설 보상 회로(110)에 의해 출력되는 보상 전류 신호(135)에서 나타날 수 있다. 이에 더해, 컨덕터(147)로부터의 전력 공급 잡음은 또한, 커패시터 누설 보상 회로(110)에 의해 출력되는 보상 전류 신호(135)에 존재할 수 있다. 화살표(184)는, VCO(109)의 제어 입력 리드(117)에 도달하기 위해 이러한 잡음을 포함해야만 하는 경로를 나타낸다. 잡음은 두(both) 패시브 저역 통과 필터들(177 및 178)을 통과해야 했을 것이다. 필터들(177 및 178)은 바람직하게 이러한 잡음을 약화시킨다. 다른 한편으로, 미국 특허 번호 제6,956,417호의 회로에서, 누설 보상 회로의 전류 미러의 드레인이 VCO의 입력에 직접 접속된다. 중간 필터들에 의한 어떠한 잡음 약화도 존재하지 않는다. 잡음은 VCO의 입력으로 직접 주입된다.

[0027] 또한, 커패시터 누설 보상 회로(110)로부터의 잡음이 VCO(109)의 제어 입력 리드(117)에 도달할 수 있는 제 2 경로가 존재한다. 연산 증폭기(163)의 입력 스테이지에서 발생된 잡음은, 감지 연산 증폭기의 반전 입력 리드(175) 밖으로 전달될 수 있고(pass out of), 화살표(185)로 표시된 경로를 따라서 VCO(109)의 제어 입력 리드(117)로 전달될 수 있다. 연산 증폭기(156) 및 제 2 패시브 저역 통과 필터(178) 둘 다 이 경로(185)에 있다.

연산 증폭기(156) 및 제 2 저역 통과 필터(178)를 포함하는, 이 경로(185)에서의 회로는, CPOVRN 노드(159) 상에서의 잡음이 VCO 입력에 도달하는 것을 방지하도록 돕기 위해 원하는 측정치(measure)의 감소를 제공한다. 감지 연산 증폭기의 반전 입력 리드가 미국 특허 번호 제6,963,232에서의 종래기술에서와 같이 VCO의 입력에 직접 접속되기 보다는, 도 4의 회로에서의 감지 연산 증폭기(163)의 반전 입력 리드(175)는 CPOVRN 노드(159)에 접속된다.

[0028] 도 3의 회로는, 패시브 루프 필터를 이용한다는 점에서 미국 특허 번호 제6,956,417호의 회로와 유사하지만, 자신의 잡음이 VCO 입력에 커플링되기 전에, 자신의 보상 회로들(자신의 입력 경로 및 출력 경로 둘 다)이 필터링된다는 점에 있어서는 상이하다. 도 3의 회로는, 보상 회로의 출력이 필터링된다는 점에서 미국 특허 번호 제 6,963,232호의 회로와 유사하지만, 자신의 출력이 더욱 효율적으로 필터링되고(미국 특허 번호 제6,956,417호의 회로에서, 보상 회로의 출력이 명확히 저역 통과 필터링임은 알 수 없음), 자신의 입력 잡음이 필터링되고, 그리고 패시브 필터(미국 특허 번호 제6,963,232호의 회로는 액티브 필터를 가짐)를 수반한다는 점에 있어서는 상이하다.

[0029] 도 5는, 커패시터(114)가 어떠한 커패시터 누설 보상 회로도 없이 두꺼운 산화물 MOSCAP으로서 실현될 때, 그리고 커패시터(114)가 도 2의 커패시터 누설 보상 회로(110)를 갖는 얇은 산화물 MOSCAP으로서 실현될 때 점유되는 집적 회로 면적의 양을 비교하는 도면이다. 라인(200)은, 커패시터(114)가 두꺼운 산화물 MOSCAP로서 실현될 때 그리고 어떠한 커패시터 누설 보상 회로도 제공되지 않는 경우에 소모되는 집적 회로 면적의 양을 나타낸다. 라인(201)은, 커패시터(114)가 얇은 산화물 MOSCAP로서 실현되는 경우에 그리고 도 2의 커패시터 누설 보상 회로(110)가 제공되는 경우(여기서 $N=21$ 이며, 커패시터(114)의 커패시턴스는 500pF임)에 소모되는 전체 집적 회로 면적을 나타낸다. 이러한 상황에서, 커패시터 누설 보상 회로(110)는 약 70미크론×70미크론의 집적 회로 면적을 점유한다. 커패시터 누설 보상 회로(110)의 전류 소모는 50 마이크로암페어이다. 저항기(128)를 통하는 평균 누설 전류는 약 0.03 마이크로암페어이다. 위상 여유도(phase margin)는 89도(PVT에 대해 60도 내지 127도)이다. 저주파수 루프 이득은 25dB(PVT에 대해 2dB 내지 53dB임)이다. 2dB 루프 이득 값은, 누설이 가장 작은 느린 프로세스 코너에 대한 것인 반면, 53dB 루프 이득 값은 누설이 더 큰 빠른 프로세스 코너에 대한 것이다. 백분율 누설 정정 에러가 더 클 때 작은 루프 이득을 갖는 것은, 실제 누설 전류 값이 작기 때문에 괜찮다. 커패시터 누설 보상 회로(110)가 디스에이블되었다면, 저항기(128)를 통한 평균 전류 흐름으로 나타낸 바와 같은 누설 전류(132)는 약 4.5 마이크로암페어일 것이다.

[0030] 라인(202)은, 1) 어떠한 커패시터 누설 보상 회로도 없이 커패시터(114)에 대해 두꺼운 산화물 MOSCAP을 이용하는 것과, 2) 도 2의 커패시터 누설 보상 회로와 함께, 커패시터(114)에 대해 얇은 산화물 MOSCAP을 이용하는 것 사이에서의 집적 회로 면적에 있어서의 차이를 나타낸다. 도 5의 예시들에서, 실제로 고려되는 각각의 MOSCAP은 MOSCAP 구조 위에 직접 배치되는 측벽 커패시턴스 RTMOM 커패시터 구조를 포함하고, 여기서 추가의 RTMOM 커패시터 구조에 의해 제공되는 측벽 커패시턴스는 1개에서 4개의 금속층들을 수반하는 가깝게 이격된 금속 컬럼들 사이에 있다.

[0031] 도 6은, 두꺼운 산화물 MOSCAP을 이용하고 어떠한 커패시터 누설 보상 회로도 이용하지 않는 것과 비교하여 도 2의 커패시터 누설 보상 회로(110)를 이용하는 것에서 실현된 백분율 면적 절감을 나타내는 도면이다. 라인(203)은, 절감된 백분율 면적이 작은 값들의 커패시터(114)에 대해 작다는 것을 나타낸다. 이는, 커패시터(114)의 크기와는 상관없이, 커패시터 누설 보상 회로(110)를 실현하기 위해 요구되는 상대적으로 고정된 양의 집적 회로 면적이 존재하기 때문에 그렇다.

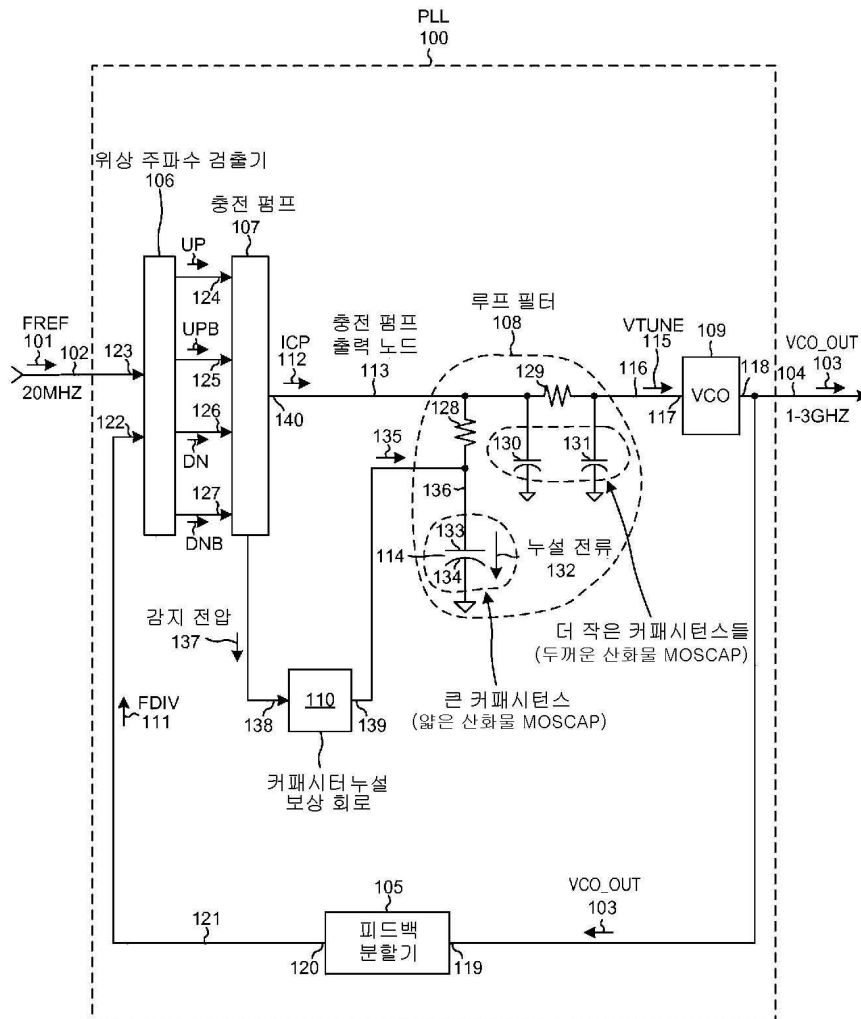
[0032] 도 7은 VTUNE의 주파수 성분들을 나타내는 도면이고, 여기서 PLL은 안정적인 상태이고, FREF 신호(101)는 20MHz 이고, PLL은 커패시터(114)에 대해 두꺼운 산화물 MOSCAP을 이용한 구현이며, 어떠한 커패시터 누설 보상 회로도 존재하지 않는다. 이상적으로, VTUNE은 어떠한 비-제로 주파수 성분들도 갖지 않는 DC 신호일 수 있지만, 실제로, 커패시터 누설 및 다른 팩터들의 결과로서 VTUNE 신호에서의 리플로 인해 더 높은 주파수 성분들이 존재한다. 도 7은, 20MHz에서 신호 VTUNE의 볼트 피크(리플의 피크-투-피크 전압의 절반)가 최악의 경우 -117dBVp임을 나타낸다.

[0033] 도 8은, 도 1의 PLL이 안정한 상태에서 동작할 때 VTUNE의 주파수 성분들을 나타내는 도면이며, 여기서 FREF 신호(101)는 20MHz이다. 20MHz에서 신호 VTUNE의 볼트 피크(리플의 피크-투-피크 전압의 절반)는 최악의 경우 -112dBVp이다. 이에 따라, 도 8은, 도 7에 나타낸 바와 같이 커패시터(114)에 대해 두꺼운 산화물 MOSCAP을 이용하는 경우에서보다, 도 1의 PLL에서의 VTUNE에서 리플이 약간 더 존재하지만, 증가된 리플의 양은 경미함을 나타낸다.

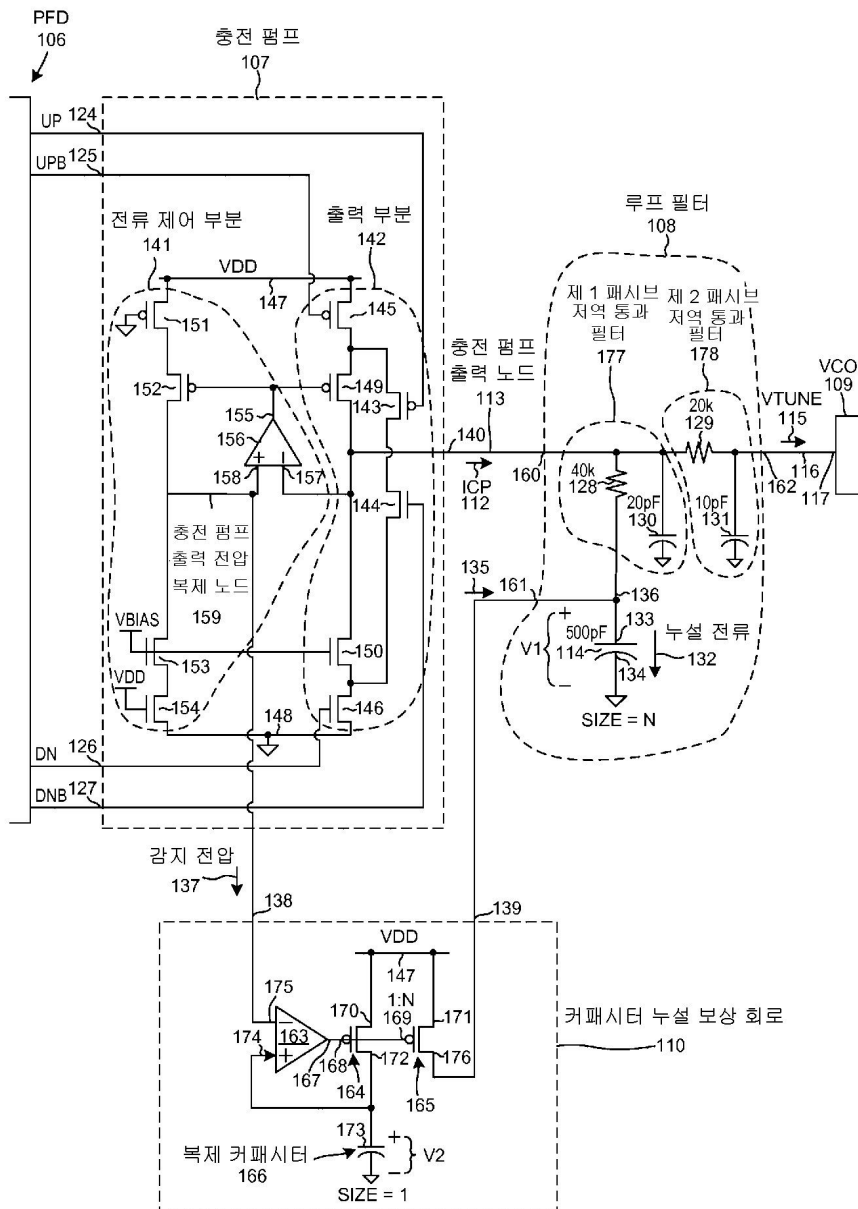
- [0034] 도 9는, PLL의 VCO 출력 신호에서의 페쇄 루프 위상 잡음을 나타내는 도면이고, 여기서 PLL은 커패시터(114)에 대한 두꺼운 산화물 MOSCAP을 이용하고, PLL은 어떠한 커패시터 누설 보상 회로도 갖지 않는다.
- [0035] 도 10은, 도 1의 PLL의 VCO 출력 신호 VCO_OUT(103)에서의 페쇄 루프 위상 잡음을 나타내는 도면이고, 여기서 PLL(100)은 커패시터(114)에 대해 얇은 산화물 MOSCAP을 이용하고, PLL(100)은 도 2의 커패시터 누설 보상 회로(110)를 수반한다. 도 10에 나타난 위상 잡음은, 도 9에서 나타난 위상 잡음보다 오직 약간만 나쁘다. 도 9 및 도 10의 그래프들에서 제시된 비교 데이터는, 잡음이 없는 VCO들을 갖는 PLL 회로들을 시뮬레이팅함으로써 획득되었다. 도 9 및 도 10 둘 다에 나타난 소량의 위상 잡음은 너무 작아서, 실제 PLL에서는, VCO에 의해 발생된 잡음이 지배적일 것이다. 이에 따라, 도 2의 커패시터 누설 보상 회로(110)를 PLL에 부가하는 것은 전체 PLL 위상 잡음을 증가시키지 않는다.
- [0036] 도 11은, 일 신규 양상에 따른 방법(300)의 흐름도이다. 양의 전류 펄스들 및 음의 전류 펄스들은 충전 펌프로부터 충전 펌프 출력 노드를 통해서 루프 필터로 공급된다(단계 301). 일례에서, 양의 전류 펄스들 및 음의 전류 펄스들은 함께 도 2에서 ICP로 나타난 전류 신호(112)이다. 전류 펄스들은 루프 필터를 통해 필터링되고(단계 302), 여기서 루프 필터는 누설 커패시터를 포함한다. 일례에서, 루프 필터는 도 2의 루프 필터(108)이고, 누설 커패시터는 도 2의 커패시터(114)이다. 충전 펌프 내의 CPOVRN("Charge Pump Output Voltage Replica Node") 상의 감지 전압이 감지된다(단계 303). 일례에서, 감지 전압은 도 2의 감지 전압(137)이고, CPOVRN은 도 2의 노드(159)이다. 감지 전압은, 도 2의 커패시터 누설 보상 회로(110)의 연산 증폭기(163)에 의해 감지된다. 충전 펌프 내의 회로는, CPOVRN 상의 감지 전압을 충전 펌프 출력 노드 상의 전압과 동일하게 유지하도록 기능한다. 일례에서, VCOVRN 상의 전압을 충전 펌프 출력 노드 상의 전압과 동일하게 유지시키는 회로가 연산 증폭기(156)이다. 감지 전압이 복제 커패시터 양단에 부과된다(단계 304). 복제 커패시터 누설 전류는 복제 커패시터를 통해서 누설된다. 일례에서, 복제 커패시터는 도 2의 커패시터(166)이다. 복제 커패시터 누설 전류는 미러링되어(단계 305) 이에 의해 보상 전류가 발생된다. 일례에서, 미러링은 트랜지스터들(164 및 165)을 수반하는 도 2의 전류 미러에 의해 수행된다. 보상 전류가 누설 커패시터에 공급된다(단계 306). 일례에서, 보상 전류는 도 2의 전류(135)이다. 이 전류(135)는 도 2의 노드(136)에 공급된다. 일례에서, 단계들(303-306)은 도 2의 커패시터 누설 보상 회로(110)에 의해 수행된다. 도 11의 방법의 단계들이 흐름도에 있는 것으로서 예시되지만, 단계들의 동작들은 실제로 모두 동시에 수행된다.
- [0037] 교육적 목적을 위해 특정 실시예들이 앞서 설명되었지만, 본 특허 문헌의 교시들은 일반적인 적용가능성을 가지며, 앞서 설명된 특정 실시예들로 한정되지 않는다. 이에 따라, 설명된 특정 실시예들의 다양한 특징들의 다양한 변형들, 적응들, 조합들이 이하 설명되는 청구항들의 범위에서 벗어나지 않고 실행될 수 있다.

도면

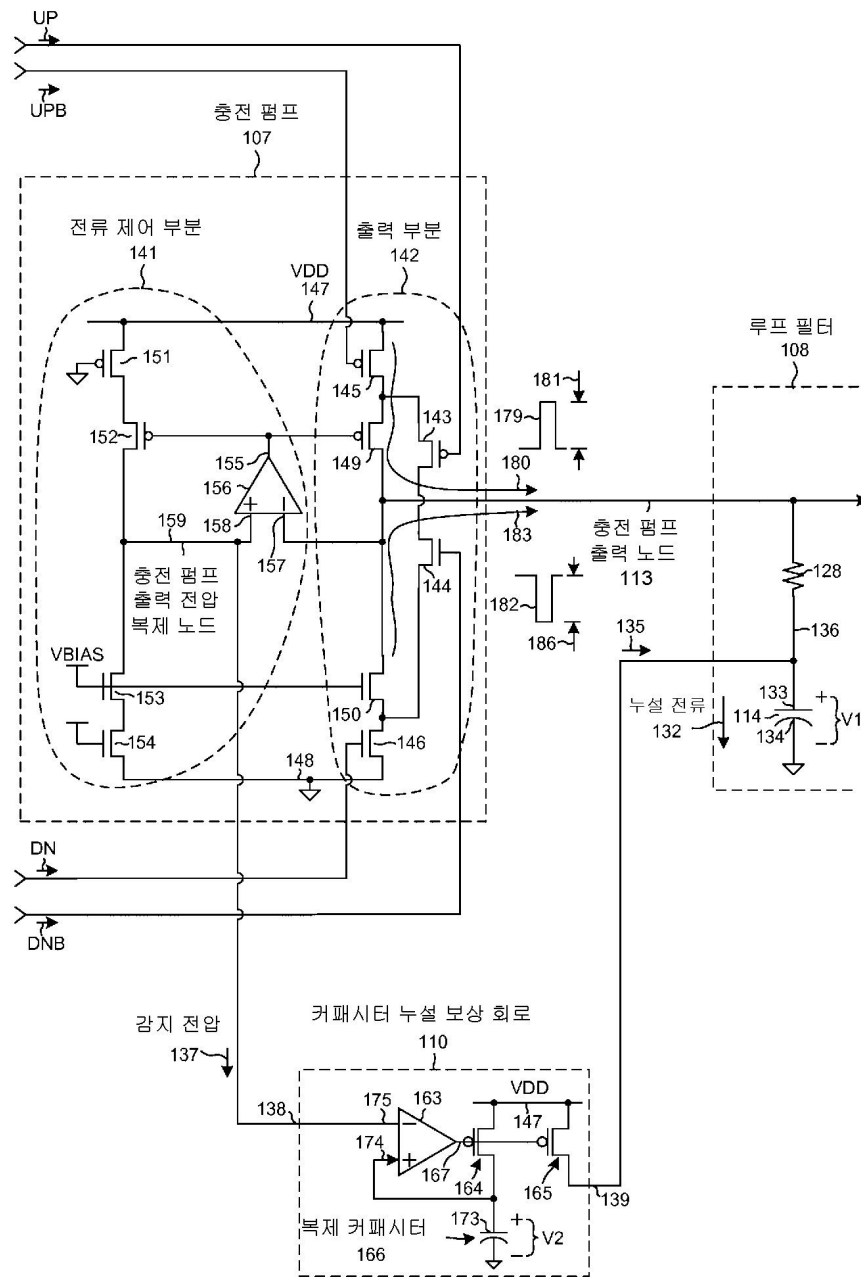
도면1



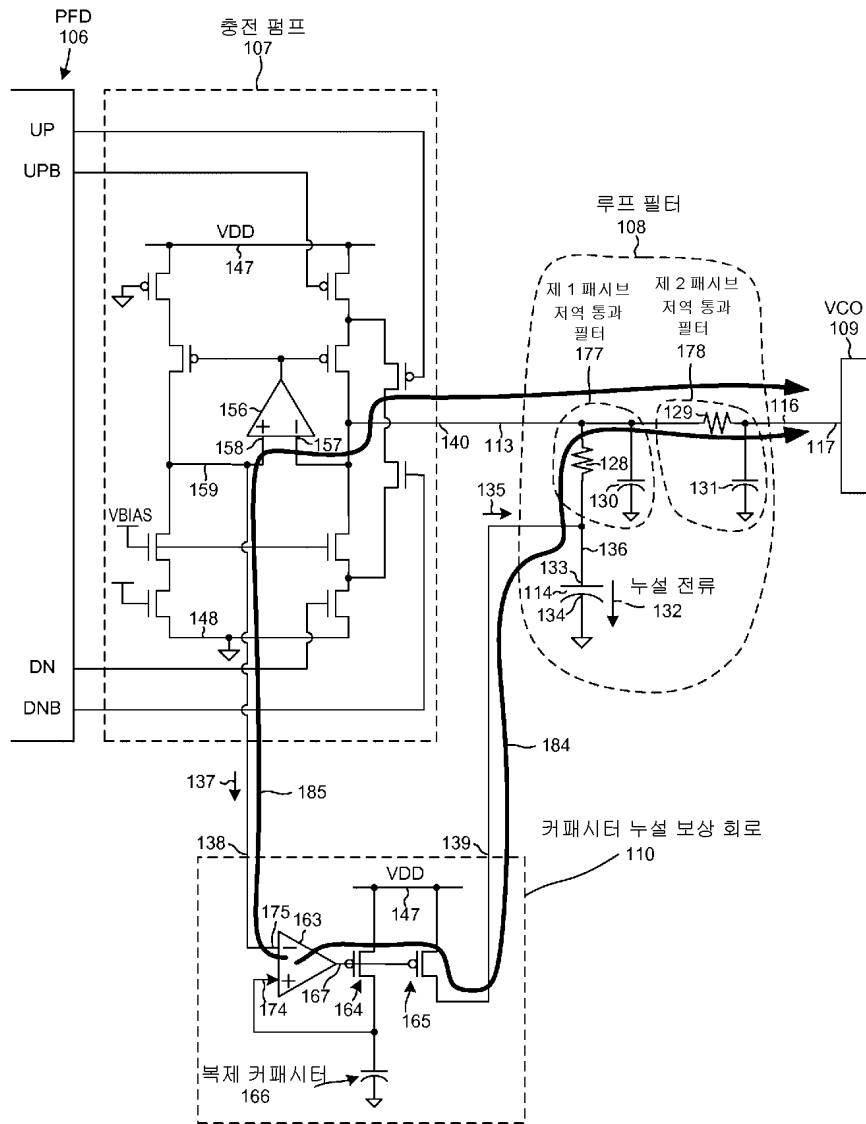
도면2



도면3

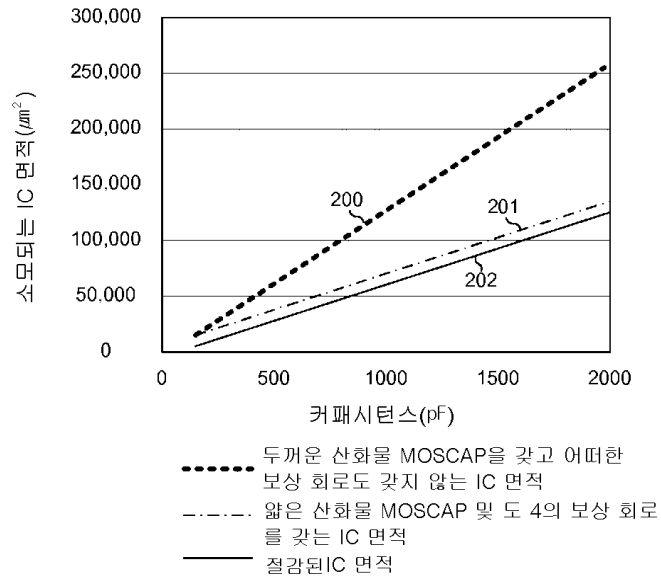


도면4

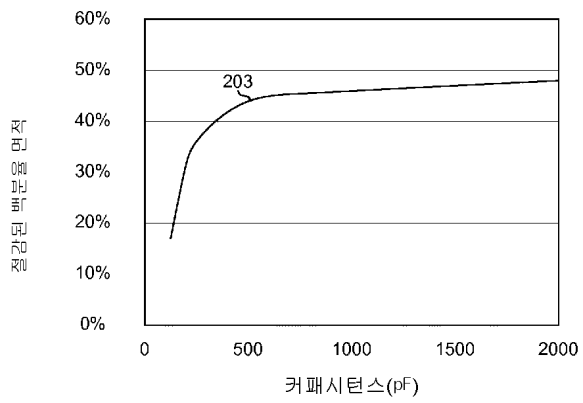


VCO 입력으로의 잡음 경로들

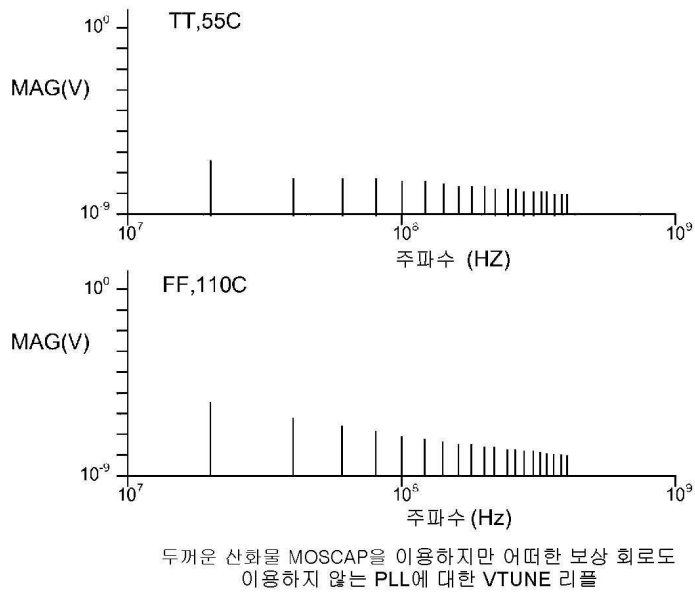
도면5



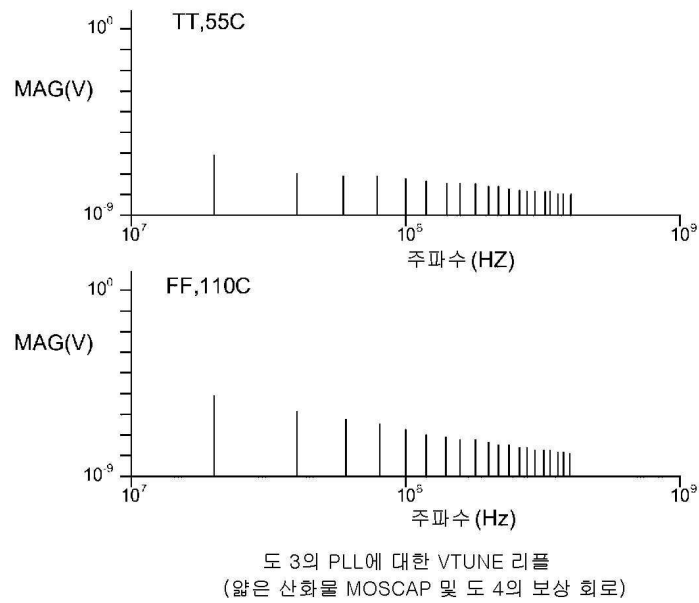
도면6



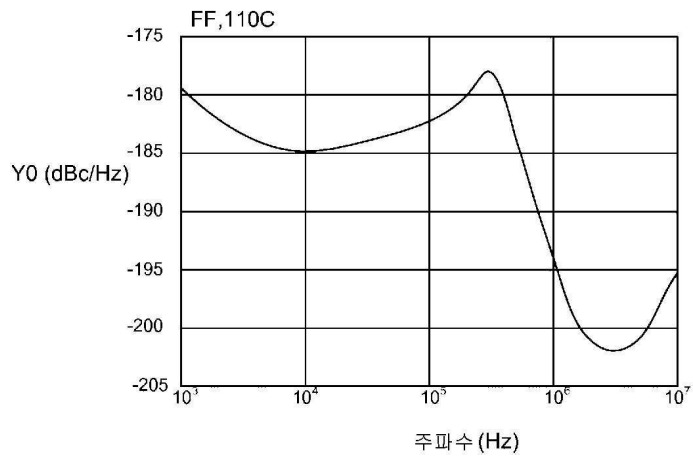
도면7



도면8

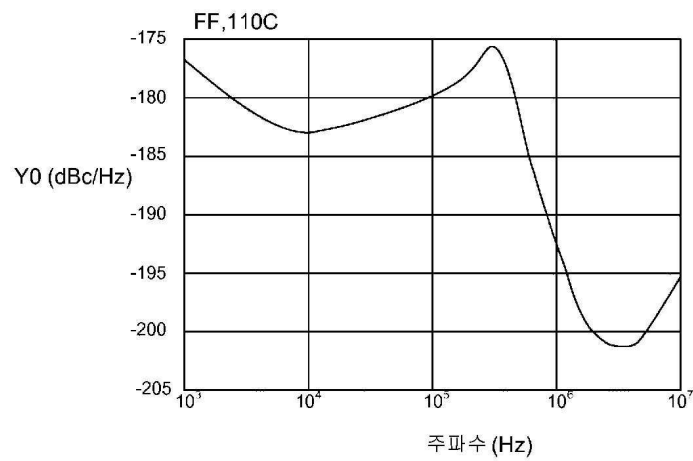


도면9



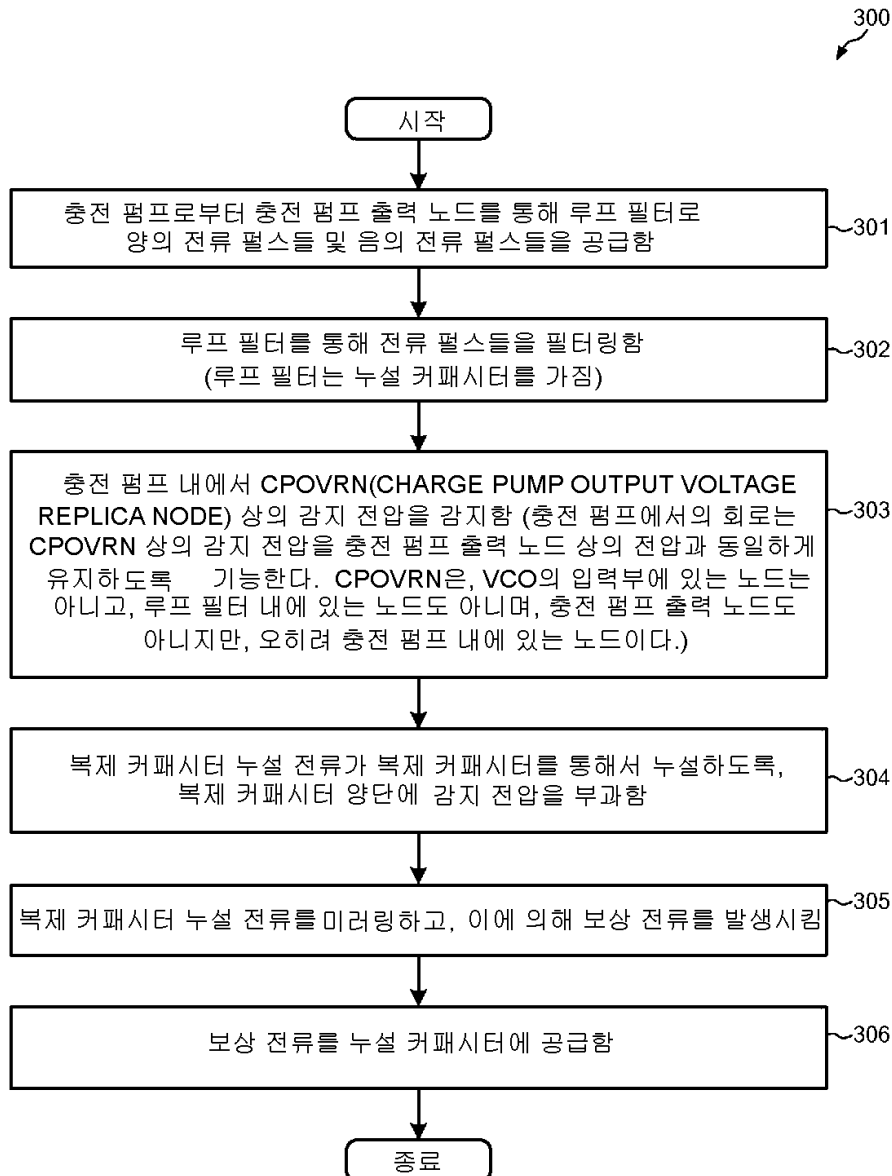
두꺼운 산화물 MOSCAP을 이용하지만
어떠한 보상 회로도 이용하지 않는 PLL에 대한 위상 잡음

도면10



도 3의 PLL에 대한 위상 잡음
(얇은 산화물 MOSCAP 및 도 4의 보상 회로)

도면11



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 11항

【변경전】

포함하는, 회로.

【변경후】

포함하는, 회로.