



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201610707 A

(43)公開日：中華民國 105 (2016) 年 03 月 16 日

(21)申請案號：104118382

(22)申請日：中華民國 104 (2015) 年 06 月 05 日

(51)Int. Cl.：

G06F15/76 (2006.01)

G06F1/22 (2006.01)

G06F13/28 (2006.01)

G06F13/38 (2006.01)

(30)優先權：2014/06/05

美國

62/008,265

2015/06/03

美國

14/729,402

(71)申請人：微晶片科技公司 (美國) MICROCHIP TECHNOLOGY INCORPORATED (US)
美國

(72)發明人：克里斯 布萊恩 KRIS, BRYAN (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：4 共 18 頁

(54)名稱

用於多處理器核心裝置分配裝置引腳功能之裝置及方法

DEVICE AND METHOD TO ASSIGN DEVICE PIN FUNCTIONALITY FOR MULTI-PROCESSOR
CORE DEVICE

(57)摘要

一種嵌入式裝置具有複數個處理器核心，其等之各者具有複數個周邊裝置，其中各周邊裝置可具有一輸出；具有複數個可分配外部引腳之一殼體；及各處理核心之複數個周邊引腳選擇模組，其中各周邊引腳選擇模組經組態以經程式化而將一可分配外部引腳分配至處理器核心之一者之複數個周邊裝置之一者。

An embedded device has a plurality of processor cores, each with a plurality of peripheral devices, wherein each peripheral device may have an output, a housing with a plurality of assignable external pins, and a plurality of peripheral pin selection modules for each processing core, wherein each peripheral pin selection module is configured to be programmable to assign an assignable external pin to one of the plurality of peripheral devices of one of the processor cores.

指定代表圖：

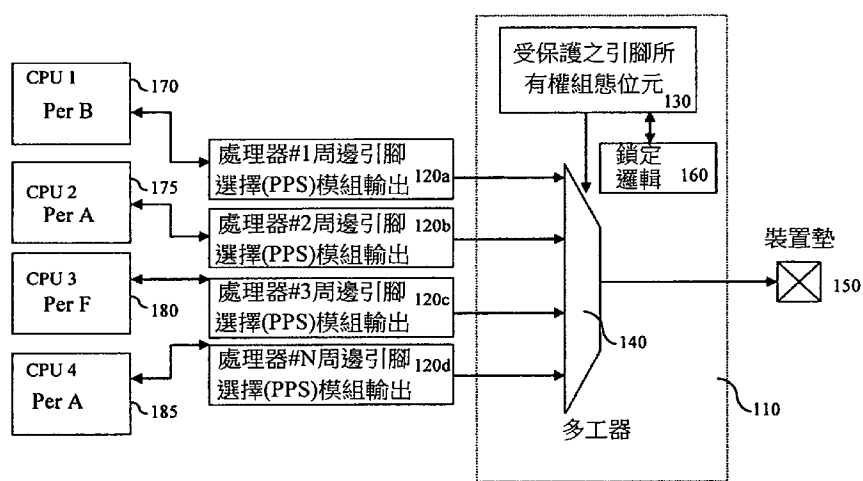


圖1

符號簡單說明：

- 110 . . . 邏輯/區塊
- 120a . . . 周邊引腳選擇(PPS)模組
- 120b . . . 周邊引腳選擇(PPS)模組
- 120c . . . 周邊引腳選擇(PPS)模組
- 120d . . . 周邊引腳選擇(PPS)模組
- 130 . . . 組態暫存器
- 140 . . . 多工器
- 150 . . . 引腳
- 160 . . . 鎖定機構
- 170 . . . 第一周邊裝置
- 175 . . . 第二周邊裝置
- 180 . . . 第三周邊裝置

發明摘要

※ 申請案號：10411838 ✓

※ 申請日：104.6.5

※IPC 分類：

G06F 15/176 (2006.01)

G06F 1/22 (2006.01)

G06F 13/38 (2006.01)

G06F 13/38 (2006.01)

【發明名稱】

用於多處理器核心裝置分配裝置引腳功能之裝置及方法

DEVICE AND METHOD TO ASSIGN DEVICE PIN

FUNCTIONALITY FOR MULTI-PROCESSOR CORE DEVICE

【中文】

一種嵌入式裝置具有複數個處理器核心，其等之各者具有複數個周邊裝置，其中各周邊裝置可具有一輸出；具有複數個可分配外部引腳之一殼體；及各處理核心之複數個周邊引腳選擇模組，其中各周邊引腳選擇模組經組態以經程式化而將一可分配外部引腳分配至處理器核心之一者之複數個周邊裝置之一者。

【英文】

An embedded device has a plurality of processor cores, each with a plurality of peripheral devices, wherein each peripheral device may have an output, a housing with a plurality of assignable external pins, and a plurality of peripheral pin selection modules for each processing core, wherein each peripheral pin selection module is configured to be programmable to assign an assignable external pin to one of the plurality of peripheral devices of one of the processor cores.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 110 邏輯/區塊
- 120a 周邊引腳選擇(PPS)模組
- 120b 周邊引腳選擇(PPS)模組
- 120c 周邊引腳選擇(PPS)模組
- 120d 周邊引腳選擇(PPS)模組
- 130 組態暫存器
- 140 多工器
- 150 引腳
- 160 鎖定機構
- 170 第一周邊裝置
- 175 第二周邊裝置
- 180 第三周邊裝置

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於多處理器核心裝置分配裝置引腳功能之裝置及方法

DEVICE AND METHOD TO ASSIGN DEVICE PIN

FUNCTIONALITY FOR MULTI-PROCESSOR CORE DEVICE

相關申請案之交叉參考

本申請案主張2014年6月5日申請之共同擁有之美國臨時專利申請案第62/008,265號之優先權，該案之全文以引用之方式併入本文中。

【技術領域】

本發明係關於多處理器核心裝置，特定言之，本發明係關於多處理器核心微控制器。

【先前技術】

一微控制器係一晶片上之一系統且不僅包括一中央處理單元(CPU)，還包括記憶體、I/O埠及複數個周邊裝置。諸如一多核心微控制器之一多處理器核心裝置不僅包括一CPU還包括兩個或兩個以上中央處理核心。此一裝置提供增加之效能，增加之安全性及輔助軟體開發。在嵌入式裝置中，此等裝置需要使用具有大量引腳之一殼體。

大多數多核心裝置係設計用於其中處理器核心經設計在功能或目的方面無「不同」之對稱多處理器核心操作。此等系統無需具有一特定處理器核心以控制一特定裝置引腳。具有不對稱多處理器核心之其他裝置通常將其他「(若干)核心」用於專屬功能，諸如無需接達裝置引腳之浮動點。

然而，具有多處理器核心之其他裝置在其中特定裝置引腳可分

配至特定處理器核心之高引腳數封裝中實施。

【發明內容】

因此，具有一較高靈活性之多核心裝置需要將外部引腳分配至各種嵌入式周邊裝置。

根據一實施例，一嵌入式裝置可包括複數個處理器核心，其等之各者包括複數個周邊裝置，其中各周邊裝置可包括一輸出；一殼體，其包括複數個可分配外部引腳；及各處理核心之複數個周邊引腳選擇模組，其中各周邊引腳選擇模組經組態以經程式化而將一可分配外部引腳分配至處理器核心之一者之複數個周邊裝置之一者。

根據一進一步實施例，各周邊引腳選擇模組可僅藉由相關處理核心而程式化。根據一進一步實施例，各周邊引腳選擇模組可包括將一輸出信號提供至一單一外部引腳之一多工器及與一單一處理核心之周邊裝置之輸出耦合之複數個輸入。根據一進一步實施例，各處理核心可包括不可藉由其他處理核心存取之記憶體。根據一進一步實施例，該記憶體可包括快閃記憶體及隨機存取記憶體(RAM)。根據一進一步實施例，可藉由一特殊功能暫存器控制各周邊引腳選擇模組。根據一進一步實施例，該特殊功能暫存器可記憶體映射至RAM。根據一進一步實施例，各處理核心可具有專門分配至其之數個外部引腳。根據一進一步實施例，嵌入式裝置可進一步包括經程式化而將一外部引腳分配至複數個處理核心之任何者之所有權邏輯。根據一進一步實施例，一外部引腳之所有權可程式化於儲存至快閃記憶體中之組態位元中。

根據另一實施例，用於選擇包括多處理核心之一嵌入式裝置之外部引腳之輸出功能之一方法可包括以下步驟：將複數個處理器核心及複數個相關周邊裝置配置於具有複數個外部引腳之一殼體內之一單一晶片上，其中各周邊裝置可包括一輸出；將用於各處理核心之複

數個周邊引腳選擇模組配置於該單一晶片上，且藉由一相關處理核心程式化該等周邊引腳選擇模組之至少一者以將一可分配外部引腳耦合至各自處理核心之複數個周邊裝置之一者。

根據該方法之一進一步實施例，各周邊引腳選擇模組僅藉由相關處理核心而程式化。根據該方法之一進一步實施例，各周邊引腳選擇模組可包括將一輸出信號提供至一單一外部引腳之一多工器及與一單一處理核心之周邊裝置之輸出耦合之複數個輸入。根據該方法之一進一步實施例，各處理核心可包括不可藉由其他處理核心存取之記憶體。根據該方法之一進一步實施例，該記憶體可包括快閃記憶體及隨機存取記憶體(RAM)。根據該方法之一進一步實施例，該方法可進一步包括藉由一特殊功能暫存器控制各周邊引腳選擇模組之步驟。根據該方法之一進一步實施例，該方法可進一步包括將特殊功能暫存器記憶體映射至RAM中之步驟。根據該方法之一進一步實施例，各處理核心可具有專門分配至其之數個外部引腳。根據該方法之一進一步實施例，該方法可進一步包括提供經程式化而將一外部引腳分配至複數個處理核心之任何者之所有權邏輯之步驟。根據該方法之一進一步實施例，該方法可進一步包括將一外部引腳之所有權資料程式化於儲存至快閃記憶體之組態位元中之步驟。

【圖式簡單說明】

圖1展示一引腳分配邏輯之一實施例之一方塊圖；

圖2展示根據圖1之周邊引腳選擇模組之一實施例；

圖3展示一例示性雙核心微控制器之一方塊圖；及

圖4展示具有預分配之外部引腳之一雙核心微控制器之另一實施例。

【實施方式】

因此，根據各種實施例，當維持應用靈活性時，有限之數個裝

置引腳可分配至裝置中之各處理器之(若干)周邊裝置，且提供保護免受一處理器之不經意之影響另一處理器之(若干)裝置引腳之功能之干擾。

根據各種實施例，一周邊引腳選擇(PPS)功能模組允許將某些可變外部引腳分配至內部功能。PPS模組經實施用於裝置上之各處理器之裝置中之各功能性引腳。

根據一實施例，可設計配置於具有比處理核心之各者之一匯流排寬度更少之引腳之一殼體中之一多處理器微控制器。因此，一28引腳殼體可包括(例如)其中各核心係一32位元微處理器核心之一雙核心微控制器。

圖1展示具有(例如)四個處理器核心(圖1中未展示)之一單一晶片微控制器之一實施例。提供有限之複數個可分配外部引腳150。此外，此一裝置當然可具有其等功能不可被改變之某些固定功能引腳，諸如(例如)電源引腳。各處理器核心與各外部可分配引腳之其之本身之周邊引腳選擇(PPS)模組120a、b、c、d有關聯。各PPS模組110a、b、c、d包括各功能性裝置引腳150之各處理器之邏輯110(圖1中每個處理核心僅展示一個)。因此，各功能性裝置引腳150及各處理核心存在一引腳所有權邏輯(POL)區塊110。

邏輯可(例如)包括控制選擇選為驅動一裝置引腳150之周邊裝置之輸出之一多工器140之一組態暫存器130。根據各種實施例，輸出選擇經複製使得其他電路可判定哪個處理器之周邊裝置實際上接達各自裝置引腳150。

圖1展示四個例示性周邊裝置，其中各者被四個處理核心之一者所擁有。然而，各處理核心可包括複數個周邊裝置或模組。周邊裝置可具有輸入及/或輸出功能。儘管輸入可路由至各種周邊裝置，即使係與不同處理核心有關聯之周邊裝置，但一所選擇之周邊裝置之僅一

輸出功能可被分配至一外部引腳，否則將發生一碰撞或衝突。與一處理核心有關聯之一I/O埠根據各種實施例可被視為一周邊裝置或模組且其之輸出功能因此可分配至一外部引腳。

在圖1之特定實施例中，第一周邊裝置170與CPU1有關聯，第二周邊裝置175與CPU2有關聯，第三周邊裝置180與CPU3有關聯且第四周邊裝置與CPU4有關聯。各自周邊引腳選擇模組120a、b、c、d經程式化以選擇複數個周邊裝置之一者。圖1僅展示該所選擇之周邊裝置。然而，當各PPS模組120經設計以實際上從其之周邊裝置之集區中選擇一周邊裝置或模組時，各PPS模組120可連接至一相關CPU之複數個周邊裝置或模組，如將參考圖2所詳細解釋。

圖1進一步展示與裝置中之各功能性引腳150有關聯之POL(引腳所有權邏輯)邏輯之一典型例項，其具有經指示之區塊110。各引腳150具有藉由位於(例如)受保護之記憶體(諸如快閃記憶體)中之組態位元130控制之一多工器140。此等組態位元130藉由使用者經程式化而指定哪個處理器可接達在一特定裝置引腳150上的輸出。組態位元130控制從由所選擇之處理器擁有之一預先選擇之周邊裝置中選擇資料之各自多工器140。此POL區塊110經複製用於各功能性裝置引腳。

圖2展示一典型PPS模組120之一實施例之另一圖式。其展示一單一PPS模組內之一例示性邏輯。各處理器可擁有一或多個周邊裝置210、220、230、240。此等周邊裝置之一些或全部可與藉由一暫存器250控制之一多工器260耦合。根據一些實施例，暫存器250專屬於擁有該等周邊裝置之各自處理器。多工器260之輸出270與多處理器核心引腳所有權邏輯110耦合。

根據各種實施例，包括一多處理器核心之一嵌入式系統可設計用於十分低之引腳數封裝，例如，一28引腳殼體可用於具有一雙核心之微控制器。在此一低引腳殼體中，裝置引腳係一稀缺物品，因此根

據各種實施例提供一機構以允許一使用者分配周邊裝置引腳功能。

根據各種實施例，一方法論可經提供使得一不對稱多處理器核心裝置中之各處理器核心指定其之哪些周邊裝置功能連接至一功能性裝置引腳。術語「不對稱」意謂各處理核心可具有與其有關聯之不同周邊裝置，其中某些周邊裝置可係單的僅具有一核心而其他周邊裝置可嵌入至一個以上或全部核心中。

為此，一多核心裝置中之各處理器具有：

各引腳之一PPS多工器260。各PPS多工器具有指定至裝置引腳之周邊裝置連接之暫存器250。暫存器250可係可僅藉由一處理核心存取之一特殊功能暫存器，即各自周邊裝置之所有者。特殊功能暫存器250較佳可被記憶體映射至隨機存取記憶體(RAM)。此特殊功能暫存器可類似於控制如以下所解釋之所有權之組態暫存器而操作。

此外，與各裝置引腳150有關聯之引腳所有權組態位元130根據各種實施例較佳位於快閃及/或RAM記憶體中。此等引腳所有權組態位元130可控制哪個處理器核心有權輸出各裝置引腳150上之一信號。例如，此一暫存器在一個四處理核心裝置中可具有四位元。內部控制邏輯可允許一次僅設置一位元。例如，設置一位元可自動清除所有其他位元。其他機構亦可，例如，使用其中一所儲存之值表示與一各自核心之一關聯之一二位元暫存器。若一組態暫存器具有比所需更多之位元，則無效設置可能僅係將一各自引腳分配至不特定處理器。此一引腳接著可僅用於輸入。

所有處理器核心可同時將一裝置引腳用於輸入功能，但客戶經由引腳所有權組態位元130指定輸出一特定裝置引腳上之一信號之能力。

根據一些實施例，各功能性裝置引腳具有：

非揮發性快閃記憶體中之相關引腳所有權組態位元；及

藉由引腳組態位元控制之相關引腳多工器。

快閃記憶體可包括防止意外引腳組態改變之寫入鎖定邏輯。使用者在(例如)程式化期間組態引腳所有權位元。因此，根據此一實施例，引腳所有權可僅在程式化期間改變且不可在程式控制下動態地改變。在重設中，引腳組態資訊傳送至MUX控制。

因此，各種實施例提供一保護之手段來界定哪個處理器擁有哪些裝置引腳以用於輸出。

根據進一步實施例，控制軟體可進一步包含只要(例如)圖1中展示之一鎖定機構160不被致動用於一引腳則允許分配之一改變之常式。因此，可阻礙某些引腳之一再分配。因此，若已藉由一處理器核心完成某一任務時，可僅再分配一引腳。

仍根據一進一步實施例，此一阻礙功能可建立於一相關控制暫存器160中。例如，複數個位元可指示阻礙功能被提供至哪個處理器核心。仍根據一進一步實施例，僅已致動阻礙功能之經分配之處理器核心能夠重設該阻礙功能。因此，可僅藉由用於引腳之當前經分配之處理器提升一引腳分配之阻礙。

圖3展示一單一殼體中之一雙核心微控制器之一實施例之一方塊圖。如所可見，該裝置基本上包括兩個分離處理核心310及340，其等之各者具有複數個相關周邊裝置及其本身之記憶體。該等處理核心可係具有分離程式記憶體(例如，快閃記憶體及資料記憶體)之一哈佛(Harvard)結構。然而，其他架構可適用。關於此等元件，微控制器不共享其等資源之任何者。因此，積體電路裝置基本上包括兩個分離微控制器，其等之各者包括一CPU310，340、快閃記憶體320，360、隨機存取記憶體330，350及與各自CPU310或340有關聯之複數個周邊裝置或模組(周邊裝置A、周邊裝置B...周邊裝置N)。各處理核心310，320之周邊裝置可通過可較佳記憶體映射至各自RAM330及360之各自

特殊功能暫存器來控制。特別係圖2中所展示之PPS控制暫存器250可記憶體映射至RAM。因此，當其他處理核心不接達未分配至其等之任何記憶體時可確保各自核心之專屬性。

如圖3中所指示，快閃記憶體可各自包含可控制PPO模組370之設置之組態暫存器325及365。PPO模組在圖3中展示為一區塊且可含有各對一單一外部引腳負責之複數個PPO單元。圖3根據快閃記憶體325及365中之組態位元之一設置而藉由將某些周邊裝置之輸出與外部引腳150之一部分連接之虛線指示程式化於單元370中之一例示性設置。然而，其他組態方法可適用，諸如配置於RAM或單獨於主要記憶體之揮發性或非揮發性暫存器。

圖4展示無受保護之引腳所有權模組110之一實施例。在此實施例中，數個預定(例如50%)可用之可分配外部引腳150被分配至第一處理核心310且剩下50%分配至第二處理核心340。各處理核心可將輸出功能分配至外部引腳150之各自組群內之其之周邊裝置之任何者。輸入功能可再次被提供至多重周邊裝置，甚至係不被一單一處理核心所擁有之周邊裝置。圖4僅展示一單一PPS。然而，經指定以提供一輸出功能之任何外部引腳具有一相關PPS。同時，在一些實施例中，各處理核心可具有數個不同PPS且不係所有外部引腳可用於各處理核心。

【符號說明】

110	邏輯/區塊
120	PPS模組
120a	周邊引腳選擇(PPS)模組
120b	周邊引腳選擇(PPS)模組
120c	周邊引腳選擇(PPS)模組
120d	周邊引腳選擇(PPS)模組
130	組態暫存器

140	多工器
150	引腳
160	鎖定機構
170	第一周邊裝置
175	第二周邊裝置
180	第三周邊裝置
210	周邊裝置
220	周邊裝置
230	周邊裝置
240	周邊裝置
250	暫存器
260	多工器
270	輸出
310	處理核心/CPU
320	快閃記憶體
325	組態暫存器/快閃記憶體
330	隨機存取記憶體
340	處理核心/CPU
350	隨機存取記憶體
360	快閃記憶體
365	組態暫存器/快閃記憶體
370	PPO模組
Per.A	周邊裝置
Per.B	周邊裝置
Per.N	周邊裝置

申請專利範圍

1. 一種嵌入式裝置，其包括：

複數個處理器核心，其等之各者包括複數個周邊裝置，其中各周邊裝置可包括一輸出；

一殼體，其包括複數個可分配外部引腳；及

各處理核心之複數個周邊引腳選擇模組，其中各周邊引腳選擇模組經組態以經程式化而將一可分配外部引腳分配至該等處理器核心之一者之複數個周邊裝置之一者。

2. 如請求項1之嵌入式裝置，其中各周邊引腳選擇模組僅藉由該相關處理核心而程式化。

3. 如請求項2之嵌入式裝置，其中各周邊引腳選擇模組包括將一輸出信號提供至一單一外部引腳之一多工器及與一單一處理核心之周邊裝置之輸出耦合之複數個輸入。

4. 如請求項2之嵌入式裝置，其中各處理核心包括不可藉由其他處理核心存取之記憶體。

5. 如請求項4之嵌入式裝置，其中該記憶體包括快閃記憶體及隨機存取記憶體(RAM)。

6. 如請求項4之嵌入式裝置，其中藉由一特殊功能暫存器控制各周邊引腳選擇模組。

7. 如請求項6之嵌入式裝置，其中該特殊功能暫存器記憶體映射至該RAM。

8. 如請求項1之嵌入式裝置，其中各處理核心具有專門分配至其之數個外部引腳。

9. 如請求項1之嵌入式裝置，其進一步包括經程式化而將一外部引腳分配至複數個處理核心之任何者之所有權邏輯。

10. 如請求項9之嵌入式裝置，其中一外部引腳之所有權經程式化於儲存至快閃記憶體中之組態位元中。

11. 一種用於在包括多處理核心之一嵌入式裝置中選擇外部引腳之輸出功能之方法，其包括：

將複數個處理器核心及複數個相關周邊裝置配置於具有複數個外部引腳之一殼體內之一單一晶片上，其中各周邊裝置可包括一輸出；

將用於各處理核心之複數個周邊引腳選擇模組配置於該單一晶片上，且

藉由一相關處理核心程式化該等周邊引腳選擇模組之至少一者以將一可分配外部引腳耦合至各自處理核心之複數個周邊裝置之一者。

12. 如請求項11之方法，其中各周邊引腳選擇模組僅藉由該相關處理核心而程式化。

13. 如請求項12之方法，其中各周邊引腳選擇模組包括將一輸出信號提供至一單一外部引腳之一多工器及與一單一處理核心之周邊裝置之輸出耦合之複數個輸入。

14. 如請求項12之方法，其中各處理核心包括不可藉由其他處理核心存取之記憶體。

15. 如請求項14之方法，其中該記憶體包括快閃記憶體及隨機存取記憶體(RAM)。

16. 如請求項14之方法，其進一步包括藉由一特殊功能暫存器控制各周邊引腳選擇模組之該步驟。

17. 如請求項16之方法，其進一步包括將該特殊功能暫存器記憶體映射至該RAM中之該步驟。

18. 如請求項1之方法，其中各處理核心具有專門分配至其之數個外

部引腳。

19. 如請求項1之方法，其進一步包括提供經程式化而將一外部引腳分配至複數個處理核心之任何者之所有權邏輯之步驟。
20. 如請求項19之方法，其進一步包括將一外部引腳之所有權資料程式化於儲存至快閃記憶體之組態位元中之步驟。

圖式

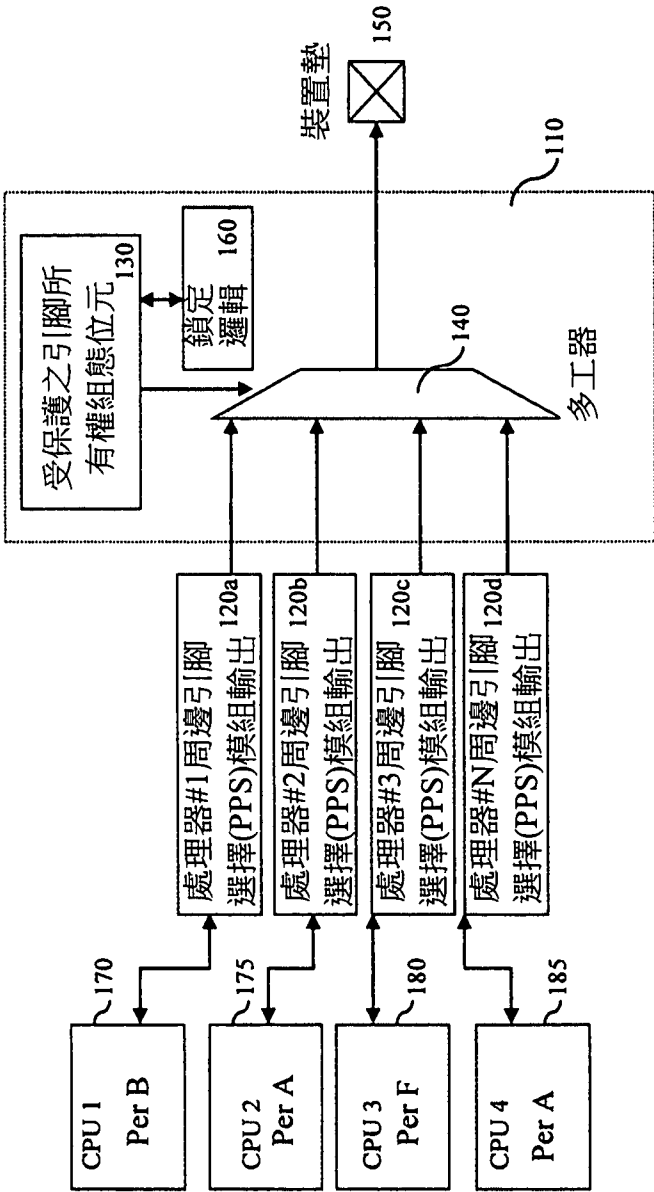


圖1

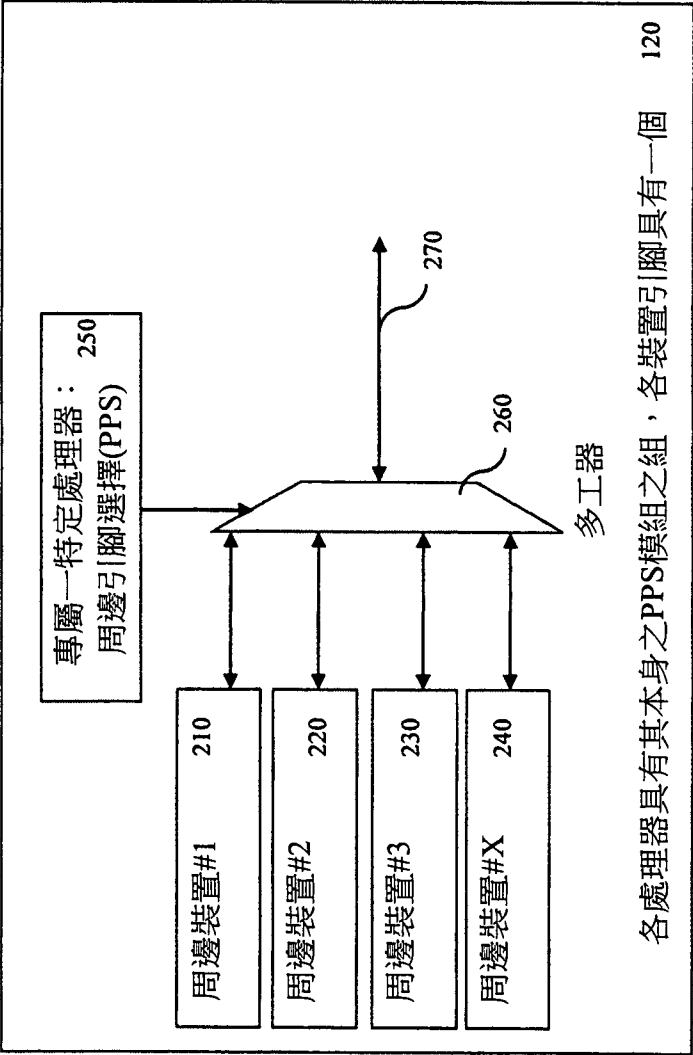


圖2



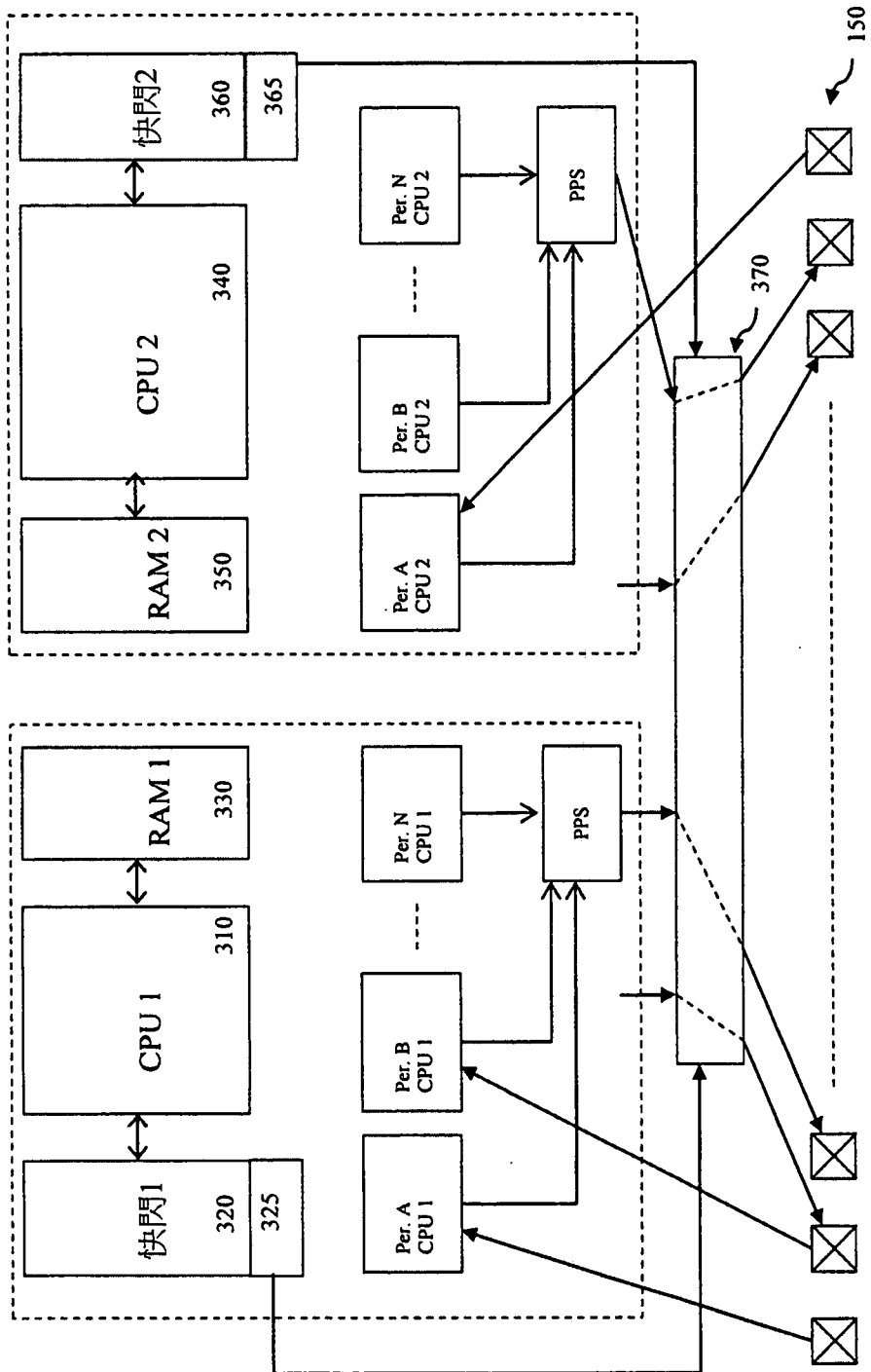


圖3

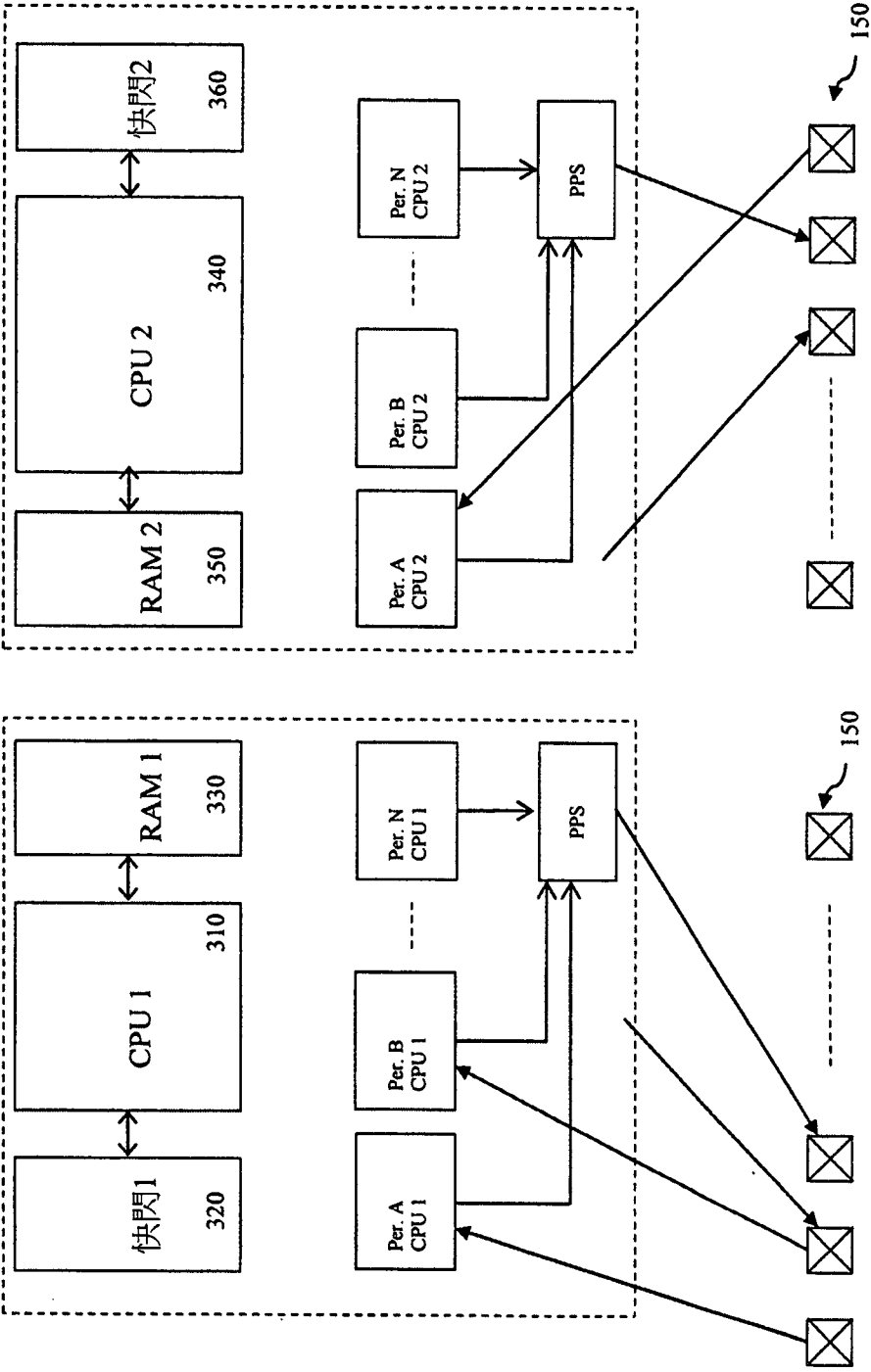


圖4