

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/252790 A1

(51) 国際特許分類:

F16K 31/02 (2006.01) *H10N 30/20* (2023.01)
H02N 2/06 (2006.01)

(21) 国際出願番号: PCT/JP2024/014958

(22) 国際出願日: 2024年4月15日(15.04.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-092375 2023年6月5日(05.06.2023) JP

(71) 出願人: 株式会社堀場エステック (**HORIBA
STEC, CO., LTD.**) [JP/JP]; 〒6018116 京都府京
都市南区上鳥羽鉾立町 1 1 番地 5 Kyoto (JP).

(72) 発明者: 宮本 英顕 (**MIYAMOTO, Hideaki**);

〒6018116 京都府京都市南区上鳥羽鉾立町 1
1 番地 5 株式会社堀場エステック内 Kyoto
(JP). 四方 大地(**SHIKATA, Daichi**); 〒6018116
京都府京都市南区上鳥羽鉾立町 1 1 番地 5 株
式会社堀場エステック内 Kyoto (JP).

(74) 代理人: 西村 竜平, 外(**NISHIMURA, Ryuhei et**

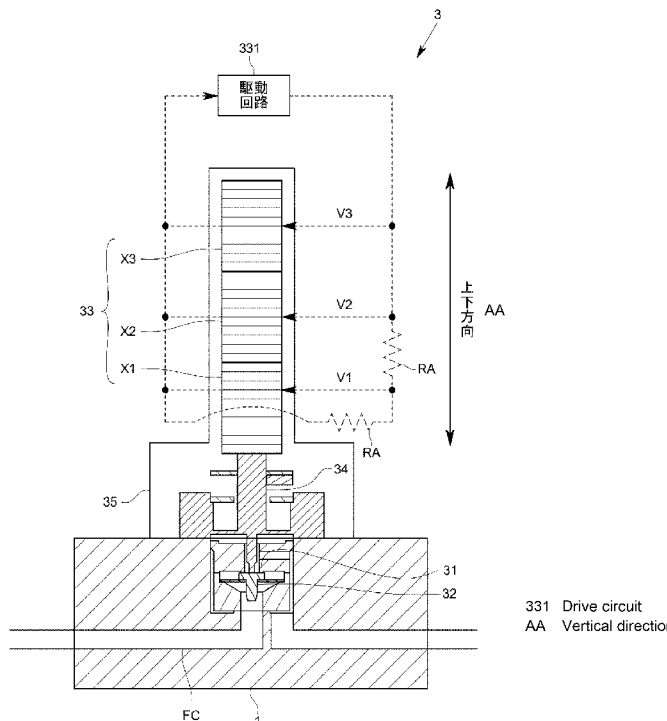
al.); 〒6008441 京都府京都市下京区四条町 3 4
7 番地 1 CUBE西烏丸9階 Kyoto (JP).

(81) 指定国(表示のない限り、全ての種類の国内保

護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) **Title:** FLUID CONTROL VALVE, FLUID CONTROL DEVICE, AND PROTECTION METHOD FOR FLUID CONTROL VALVE

(54) 発明の名称: 流体制御弁、流体制御装置、及び、流体制御弁の保護方法



(57) **Abstract:** According to the present invention, a fluid control valve uses a piezo actuator that is formed by layering a plurality of piezo stacks. The fluid control valve applies drive voltage to the actuator to make the piezo stacks extend and contract and thereby makes a valve body contact and separate from a valve seat. To disperse the stress that acts on the piezo stacks during extension and contraction and suppress deterioration of a piezo stack that is close to the valve body, a first drive voltage that is applied to the piezo stack that is closest to the valve body is, over at least a prescribed period,

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

lower than a second drive voltage that is applied to any one of the other piezo stacks.

(57) 要約: ピエゾアクチュエータを用いた流体制御弁において、伸縮時にピエゾスタックに作用する応力を分散しつつ、弁体に近いピエゾスタックの劣化を抑制するべく、複数のピエゾスタックが積層されてなるアクチュエータに駆動電圧を印加して、前記ピエゾスタックを伸縮させることにより、弁体を弁座に対して接離させるように構成された流体制御弁であって、前記弁体に最も近い前記ピエゾスタックに印加される第1駆動電圧が、少なくとも所定期間に亘り、その他の前記ピエゾスタックいずれか一つに印加される第2駆動電圧よりも低くなるようにした。

明 細 書

発明の名称：

流体制御弁、流体制御装置、及び、流体制御弁の保護方法

技術分野

[0001] 本発明は、流体制御弁、流体制御装置、及び、流体制御弁の保護方法に関するものである。

背景技術

[0002] 特許文献1には、複数のpiezoelectricスタックが積層されてなるpiezoelectricアクチュエータに駆動電圧を印加して、piezoelectricスタックを伸縮させることで、弁開度を調整する流体制御弁が記載されている。

[0003] このように複数のpiezoelectricスタックを伸縮させて弁開度を調整する構成にすることで、単一のpiezoelectricスタックを伸縮させて弁開度を調整する構成に比べて、伸縮時にpiezoelectricスタックに作用する応力を分散させることができる。

[0004] しかしながら、piezoelectricスタックは高温高電圧下で劣化しやすいところ、上述したpiezoelectricアクチュエータを用いて高温の流体を制御する場合、その流体の流路に近いpiezoelectricスタック、言い換えれば、流体制御弁を構成する弁体に最も近いpiezoelectricスタックが、他のpiezoelectricスタックよりも高温になり、例えば、そのpiezoelectricスタックが劣化により短絡して、流体制御弁全体の機能が損なわれてしまう恐れがある。

先行技術文献

特許文献

[0005] 特許文献1：特開2020-089037号公報

発明の概要

発明が解決しようとする課題

[0006] そこで本発明は、上述した課題を解決するべくなされたものであり、伸縮時にpiezoelectricスタックに作用する応力を分散しつつ、弁体に近いpiezoelectricスタックの劣化を抑制することをその主たる課題とするものである。

課題を解決するための手段

[0007] すなわち、本発明に係る流体制御弁は、弁座と、弁座に対して接離する弁体と、複数のピエゾスタックが積層されてなり、駆動電圧が印加されて弁体を駆動させるアクチュエータとを備え、前記弁体に最も近い前記ピエゾスタックに印加される第1駆動電圧が、少なくとも所定期間に亘り、その他の前記ピエゾスタックいずれか一つに印加される第2駆動電圧よりも低いことを特徴とするものである。

[0008] このような流体制御弁であれば、複数のピエゾスタックを積層することで伸縮時にピエゾスタックに作用する応力を分散させることができる。また、弁体に最も近い前記ピエゾスタックに印加される第1駆動電圧を、その他の前記ピエゾスタックいずれか一つに印加される第2駆動電圧よりも低くしているので、高温の流体を制御する場合であっても、弁体に近いピエゾスタックの劣化を抑制することができる。

[0009] 第1駆動電圧が、少なくとも所定期間に亘り、その他のピエゾスタックいずれに印加される駆動電圧よりも低いとよい。

これならば、弁体に最も近い前記ピエゾスタックに印加される第1駆動電圧が、各ピエゾスタックに印加される駆動電圧の中で一番低くなるので、より確実に弁体に近いピエゾスタックの劣化を抑制することができる。

[0010] 高温の流体による熱影響は、弁体に最も近いピエゾスタックだけでなく、弁体に近いその他のピエゾスタックにも及びうる。具体的には、弁体に近いピエゾスタックほど、大きな熱影響を受け得る。

そこで、前記アクチュエータは、3以上のピエゾスタックを有し、前記その他のピエゾスタックのうち、前記弁体に近いピエゾスタックに印加される駆動電圧が、少なくとも所定期間に亘り、前記弁体から遠いピエゾスタックに印加される駆動電圧よりも低いことが好ましい。

これならば、例えば、弁体からの距離に応じて駆動電圧を変えることで、熱影響を考慮した上で弁体に最も近いピエゾスタック以外の各ピエゾスタックの劣化も抑制できる。

[0011] 部品点数やコストの削減を図るためには、前記複数のピエゾスタックが、共通の電源に並列で接続されていることが好ましい。

[0012] 前記電源と、前記弁体に最も近いピエゾスタックとの間に介在する分圧回路を備えることが好ましい。

これならば、単純な回路構成で、第1駆動電圧を第2駆動電圧よりも低くすることができる。

[0013] ところで、分圧回路を用いたとしても、第1駆動電圧及び第2駆動電圧の大元の電圧が高くなれば、第1駆動電圧も高電圧になり、弁体に近いピエゾスタックの劣化を思う程は抑制できない恐れがある。

そこで、前記電源と、前記弁体に最も近いピエゾスタックとの間に介在し、前記第1駆動電圧を前記第2駆動電圧よりも低く保つ定電圧回路を備えることが好ましい。

これならば、大元の電圧が高くなっても、第1駆動電圧は所定の電圧以下に保たれるので、弁体に近いピエゾスタックの劣化をより確実に抑制することができる。

[0014] ところで、所定期間に亘って第1駆動電圧を第2駆動電圧よりも低くしても、仮に、それ以外の期間において、第2駆動電圧よりも高い第1駆動電圧が長期間に亘って印加されていたら、弁体に近いピエゾスタックの劣化は、思う程は抑制することができない。

そこで、前記アクチュエータの駆動開始から駆動終了までの駆動期間に印加する前記第1駆動電圧の平均値が、該駆動期間に印加する前記第2駆動電圧の平均値よりも低いことが好ましい。

これならば、ピエゾスタックに駆動電圧が印加される駆動期間において、第1駆動電圧が第2駆動電圧よりも平均して低くなるので、弁体に近いピエゾスタックの劣化を抑制することができる。

[0015] また、本発明に係る流体制御弁は、弁座と、前記弁座に対して接離する弁体と、複数のピエゾスタックが積層されてなり、駆動電圧が印加されて前記弁体を駆動させるアクチュエータとを備え、前記複数のピエゾスタックに含

まれる2つのピエゾスタックのうち、前記弁体に近いピエゾスタックに印加される駆動電圧が、前記弁体から遠いピエゾスタックに印加される駆動電圧よりも低いことを特徴とするものである。

このような流体制御弁であれば、複数のピエゾスタックを積層することで、伸縮時にピエゾスタックに作用する応力を分散させることができるうえ、弁体に近いピエゾスタックが、弁体から遠いピエゾスタックよりも劣化が早く進むのを抑制できる。

[0016] また、本発明に係る流体制御弁は、弁座と、弁座に対して接離する弁体と、複数のピエゾスタックが積層されてなり、駆動電圧が印加されて弁体を駆動させるアクチュエータと、前記アクチュエータよりも前記弁体に近い側に積層されている診断用ピエゾスタックと、前記診断用ピエゾスタックに前記駆動電圧とは別の診断電圧を印加する劣化診断回路とを備えていることを特徴とするものである。

このような流体制御弁であれば、複数のピエゾスタックを積層することで、伸縮時にピエゾスタックに作用する応力を分散させることができるうえ、診断用ピエゾスタック及び劣化診断回路を用いてアクチュエータよりも弁体に近い側のピエゾスタックの劣化を診断することで、高温の流体を制御する場合には、アクチュエータを構成するピエゾスタックのうち、弁体に近いピエゾスタックの劣化度合いを予測しつつ、そのピエゾスタックの劣化を抑制することが可能となる。

[0017] 前記診断電圧が印加される際に、前記弁体に最も近い前記ピエゾスタックからのリーク電流を検知するセンサを備えていることが好ましい。

これならば、弁体に最も近いピエゾスタックの内部抵抗の低下を、そのピエゾスタックの劣化度合いとして利用することができる。

[0018] さらに、本発明に係る流体制御装置は、上述した流体制御弁を備えることを特徴とするものである。

このような流体制御装置であれば、上述した流体制御弁と同様の作用効果を奏し得る。

[0019] 加えて、本発明に係る流体制御弁の保護方法は、弁座と、前記弁座に対して接離する弁体と、複数のピエゾスタックが積層されてなり、駆動電圧が印加されて前記弁体を駆動させるアクチュエータとを備える、流体制御弁の保護方法であって、前記弁体に最も近い前記ピエゾスタックに印加される第1駆動電圧が、少なくとも所定期間に亘り、その他の前記ピエゾスタックいずれか一つに印加される第2駆動電圧よりも低いことを特徴とする方法である。

このような方法によれば、複数のピエゾスタックを積層することで、伸縮時にピエゾスタックに作用する応力を分散させることができるうえ、第1駆動電圧を第2駆動電圧よりも低くしているので、高温の流体を制御する場合であっても、弁体に近いピエゾスタックの劣化を抑制することができる。

[0020] また、本発明に係る流体制御弁の保護方法は、弁座と、前記弁座に対して接離する弁体と、複数のピエゾスタックが積層されてなり、駆動電圧が印加されて前記弁体を駆動させるアクチュエータとを備える、流体制御弁の保護方法であって、前記アクチュエータよりも前記弁体に近い側に積層されている診断用ピエゾスタックに、前記駆動電圧とは別の診断電圧が印加されることを特徴とする方法である。

このような方法によれば、複数のピエゾスタックを積層することで、伸縮時にピエゾスタックに作用する応力を分散させることができるうえ、診断用ピエゾスタック及び劣化診断回路を用いてアクチュエータよりも弁体に近い側のピエゾスタックの劣化を診断することで、高温の流体を制御する場合には、アクチュエータを構成するピエゾスタックのうち、弁体に近いピエゾスタックの劣化度合いを予測しつつ、そのピエゾスタックの劣化を抑制することが可能となる。

発明の効果

[0021] このように構成した本発明によれば、伸縮時にピエゾスタックに作用する応力を分散しつつ、弁体に近いピエゾスタックの劣化を抑制することができる。

図面の簡単な説明

[0022] [図1]本発明の第1実施形態に係る流体制御装置の全体模式図。

[図2]同実施形態に係る流体制御弁の全体模式図。

[図3]同実施形態に係る駆動回路の回路図。

[図4]同実施形態の変形例に係る駆動回路の回路図。

[図5]同実施形態の変形例に係る駆動回路の回路図。

[図6]同実施形態の変形例に係る駆動回路の回路図。

[図7]第2実施形態に係る流体制御弁の全体模式図。

[図8]同実施形態に係る駆動回路及び劣化診断回路の模式図。

発明を実施するための形態

[0023] <第1実施形態の装置構成>

本発明に係る流体制御弁3の第1実施形態について図面を参照して説明する。

[0024] 本実施形態の流体制御弁3は、例えば、半導体製造プロセスにおいて、チャンバに供給するプロセスガス等の流体の流量を制御する流体制御装置100に用いられるものである。

[0025] 図1に示すように、流体制御装置100は、内部流路FCが形成されたブロック1と、内部流路FCを流れる流体の流量を検知する流量検知機構2と、その流体を制御する流体制御弁3と、流体制御弁3と電氣的に接続された駆動回路331と、流量検知機構2及び流体制御弁3及び駆動回路331を収容する筐体4と、流体制御弁3の動作を制御する制御部5と、を備えている。

[0026] ブロック1には、流量検知機構2と、流体制御弁3と、筐体4とが取り付けられている。

本実施形態では、ブロック1の内部流路FCには高温（例えば100度以上）のプロセスガスが流れており、そのガスが冷却されてしまわないように、このブロック1は、図示しないヒータによって高温に加熱されている。

[0027] 流量検知機構2は、ここでは熱式流量検知センサを有しており、内部流路

F Cを流れるプロセスガスの流量を測定するものである。流量検知センサは、差圧式、コリオリ式、又は超音波式などを用いても良い。

[0028] 流体制御弁3は、内部流路F Cのプロセスガスを制御するピエゾバルブであり、ここでは流量検知機構2の下流側に設けられている。流体制御弁3は、流量検知機構2の上流側に設けられていても良い。

[0029] 流体制御弁3は、図2に示すように、弁座31と、弁体32と、ピエゾアクチュエータ33と、プランジャ34と、ケーシング35と、を備え、ピエゾアクチュエータ33が伸縮することにより、弁体32が弁座31に対して接離するように構成されたノーマルクローズ型の流体制御弁である。

[0030] より具体的には、ピエゾアクチュエータ33は、ケーシング35の一端側に保持されて、ケーシング35の他端側に伸長することで、プランジャ34を介して弁体32を押して弁座31と弁体32との間に距離を生じさせる。ここで、ケーシング35の他端側は、内部流路F Cが形成されたブロック1が設けられている側（言い換えれば、弁座31及び弁体32が設けられている側）である。

[0031] ピエゾアクチュエータ33は、0 Vより大きい駆動電圧が印加されることで伸縮する複数のピエゾスタックXを有しており、これらのピエゾスタックXは、ピエゾアクチュエータ33の伸縮方向に沿って積層されている。

駆動回路331から駆動電圧が印加される際に、これらのピエゾスタックXが伸縮することで、ピエゾアクチュエータ33は伸縮する。

[0032] 本実施形態のピエゾアクチュエータ33は、図2に示すように、上下方向に沿って下から上に順に配置された3つのピエゾスタックX1、X2、X3を備えている。ここで、上方向及び下方向は、それぞれケーシング35の一端側方向及び他端側方向を示す。ピエゾスタックX1の下方に弁座31及び弁体32が配置されており、ピエゾスタックX1は、ここでは、弁体32に最も近いピエゾスタックXである。

図2のピエゾスタックXは上下方向に沿って配置されたものであったが、鉛直方向と交差する方向、例えば水平方向に沿って配置されてもよい。

[0033] ピエゾスタックXは、例えば、piezo素子を複数枚積層して形成されたものであり、各piezoスタックXは、それぞれ同一方向に沿って伸縮するように一列に並べられている。

[0034] また、本実施形態のpiezoアクチュエータ33は、寸法や性能などが統一された3つのpiezoスタックXを備えているが、寸法や性能は各piezoスタックXで異なっても良く、2以上のpiezoスタックXを備えたpiezoアクチュエータ33であれば良い。

[0035] 駆動回路331は、図2に示すように、駆動電圧を各piezoスタックXに印加するものである。この駆動電圧は、後述する制御部5からの駆動信号に応じて制御される。

本実施形態では、3つのpiezoスタックX1、X2、X3に印加される駆動電圧を、それぞれ駆動電圧V1、V2、V3と呼んで区別する。

[0036] また駆動回路331は、図3に示すように、各piezoスタックXが並列に接続される共通の電源PSを有している。

[0037] 制御部5は、CPU、メモリ、入出力インターフェース等を備えたコンピュータであり、メモリの所定領域に記憶させた所定のプログラムにしたがって、CPUや周辺機器を協働させることにより、図2に示すように、少なくとも、流量算出部51及びバルブ制御部52としての機能を備えている。

本実施形態の制御部5は筐体4に収容されている。

[0038] 流量算出部51は、図1に示すように、流量検知機構2の出力値に基づいて、内部流路FCを流れるプロセスガスの流量を算出する。

[0039] バルブ制御部52は、図1に示すように、外部から入力される設定流量と、流量算出部51が算出した算出流量とに基づいて、駆動回路331に駆動信号を出力し、各piezoスタックXに駆動電圧を印加させて、流体制御弁3の開度を調整するものである。

[0040] ところで、本実施形態では、piezoアクチュエータ33の下方には、高温のプロセスガスが流れる内部流路FCと、ガスの液化防止用のヒータによって加熱されているブロック1とがあり、これらに最も近い位置に配置される

、弁体 3 2 に最も近いピエゾスタック X 1 は、他のピエゾスタック X 2 及び X 3 と比べて高温状態になりやすい。

[0041] しかして、流体制御弁 3 は、ピエゾアクチュエータ 3 3 が有する複数のピエゾスタック X のうち、弁体 3 2 に最も近いピエゾスタック X 1 に印加される駆動電圧 V 1 を第 1 駆動電圧とし、その他のピエゾスタック X 2 又は X 3 のいずれか一つに印加される駆動電圧 V 2 又は V 3 を第 2 駆動電圧とすると、第 1 駆動電圧が、少なくとも所定期間に亘り、第 2 駆動電圧よりも低くなるように構成されている。

特に本実施形態では、駆動電圧 V 2 及び V 3 の両方が第 2 駆動電圧であり、つまり駆動電圧 V 1 は、各ピエゾスタック X 1、X 2、X 3 いずれに印加される駆動電圧 V 1、V 2、V 3 よりも低くなるように（第 1 駆動電圧が、各ピエゾスタックに印加される駆動電圧の中で一番低くなるように）構成されている。

但し、第 1 駆動電圧は、各ピエゾスタック X に印加される駆動電圧の中で一番低いものである必要はなく、少なくとも他のピエゾスタック X のいずれか一つに印加される第 2 駆動電圧よりも低いものであれば良い。

[0042] 所定期間は、弁体 3 2 に最も近いピエゾスタック X 1 の劣化が、その他のピエゾスタック X 2 又は X 3 の劣化よりも抑制されるような長さであればよく、例えば、アクチュエータの駆動開始から駆動終了までの駆動期間の半分以上であればよい。

ここで、駆動期間とは、駆動電圧が印加され始めてから、その駆動電圧の印加が終了するまでの期間であっても良いし、複数回に亘るパルス的な駆動電圧が印加され始めてから、その複数回の駆動電圧の印加が終了するまでの期間であっても良いし、例えば半導体製造プロセスにおける一工程に必要な期間等であっても良い。

[0043] また、ピエゾスタック X 2 又は X 3 に高い駆動電圧 V 2 又は V 3（第 2 駆動電圧）が印加されている期間、例えば、ピエゾスタック X の定格電圧と第 2 駆動電圧との差が一定値以下となる期間や、その定格電圧と第 2 駆動電圧

との比が一定値以下となる期間を所定期間としてもよい。

[0044] ところで、所定期間に亘って第1駆動電圧を第2駆動電圧よりも低くしても、仮に、それ以外の期間において、第2駆動電圧よりも高い第1駆動電圧が長期間に亘って印加されていたら、弁体32に近いピエゾスタックX1の劣化は、思う程は抑制することができない。

[0045] そこで、アクチュエータの駆動期間に印加する第1駆動電圧の平均値が、駆動期間に印加する第2駆動電圧の平均値よりも低くなるとよい。

[0046] 本実施形態は、図3に示すように、各ピエゾスタックXに駆動電圧を印加する電源PSと、弁体32に最も近いピエゾスタックX1との間に、分圧回路C1を備えていることで、駆動電圧V1（第1駆動電圧）を駆動電圧V2及びV3（第2駆動電圧）よりも低くしている。

[0047] 電源PSから分圧回路C1を介して、弁体32に最も近いピエゾスタックX1に印加される駆動電圧V1が第1駆動電圧であり、電源PSから分圧回路C1を介することなく、その他のピエゾスタックX2又はX3に印加される駆動電圧V2又はV3が第2駆動電圧である。

 このように第1駆動電圧を印加する場合、所定期間は、電源PSから各ピエゾスタックXに駆動電圧が印加されている全期間となる。

[0048] ここで、この分圧回路C1は同じ抵抗値を持つ二つの抵抗器RAを有しており、駆動電圧V1（第1駆動電圧）が駆動電圧V2及びV3（第2駆動電圧）の半分になる。なお、所望の第1駆動電圧を得るために、分圧回路C1を構成する抵抗器RAの種類及び数は適宜変更されてよい。

 抵抗器RAは、可変抵抗器であっても良い。

[0049] <第1実施形態の効果>

 このように構成した本実施形態の流体制御弁3であれば、複数のピエゾスタックXを積層することで、伸縮時にピエゾスタックXに作用する応力を分散させることができるうえ、第1駆動電圧を第2駆動電圧よりも低くしているので、高温の流体を制御する場合であっても、弁体32に近いピエゾスタックX1の劣化を抑制することができる。

[0050] ここで、弁体 3 2 に最も近いピエゾスタック X 1 の劣化防止を図るための他の構成として、弁体 3 2 に最も近いピエゾスタック X 1 と、内部流路 F C 及びブロック 1 との間にスペーサなどを配置することも考えられる。

これと比較して、本実施形態の流体制御弁 3 であれば、第 2 駆動電圧よりも低いながらも、0 V より大きい第 1 駆動電圧を、弁体 3 2 に最も近いピエゾスタック X 1 に印加することができるので、最も近いピエゾスタック X 1 の劣化防止を図りつつ、省スペース化と、ピエゾアクチュエータ 3 3 の伸縮量の担保を両立できる。

[0051] また本実施形態では、駆動期間に印加する第 1 駆動電圧の平均値が、駆動期間に印加する第 2 駆動電圧の平均値よりも低いので、弁体 3 2 に近いピエゾスタック X 1 の劣化を抑制することができる。

[0052] また、複数のピエゾスタック X が共通の電源 P S に並列で接続されているので、部品点数やコストの削減を図ることができる。

[0053] さらに、電源 P S と、弁体 3 2 に最も近いピエゾスタック X 1 との間に介在する分圧回路 C 1 を備えているので、単純な回路構成で、第 1 駆動電圧を、第 2 駆動電圧よりも低くすることができる。

[0054] ところで、複数のピエゾスタック X が共通の電源 P S に並列に接続されるピエゾアクチュエータ 3 3 においては、一つでもピエゾスタック X が短絡などの故障をすると、他のピエゾスタック X が正常であっても、ピエゾアクチュエータ 3 3 全体の機能が損なわれるという問題がある。

そして上述したように、ピエゾスタック X は高温環境下で高電圧を印加されると早く劣化するところ、弁体 3 2 に近いピエゾスタック X 1 は高温状態にはなりやすいものである。

しかしながら、本実施形態の流体制御弁 3 であれば、駆動電圧 V 1 (第 1 駆動電圧) を駆動電圧 V 2 及び V 3 (第 2 駆動電圧) よりも低くしているので、弁体 3 2 に最も近いピエゾスタック X 1 が、他のピエゾスタック X 2 又は X 3 よりも早く故障して、ピエゾアクチュエータ 3 3 全体としての機能が損なわれることを回避できる。

[0055] <第1実施形態の変形例>

前記実施形態は、第1駆動電圧を第2駆動電圧よりも低くするために、分圧回路C1を用いたが、別の方法を用いてもよい。

[0056] 例えば、 piezoアクチュエータ33に複数の電源PSを設けて、それぞれ異なる電源PSから、第1駆動電圧と第2駆動電圧とを作成してもよい。

これならば、所定期間に亘って、第2駆動電圧よりも低く、0Vよりも高い第1駆動電圧を自由に作成することができ、弁体32に最も近いピエゾスタックX1の伸縮を自由に調整して弁開度の調整に利用しつつ、このピエゾスタックX1が劣化するのを抑制することができる。

また、仮に弁体32に最も近いピエゾスタックX1が劣化により短絡したとしても、他のピエゾスタックX2又はX3と並列に電源に接続されていないので、piezoアクチュエータ33全体としては他のピエゾスタックX2又は3によって駆動することができる。

この場合、所定期間は自由に設定することができる。

[0057] また図4に示すように、電源PSと、弁体32に最も近いピエゾスタックX1との間に、分圧回路C1ではなく、駆動電圧V1（第1駆動電圧）を駆動電圧V2及びV3（第2駆動電圧）よりも低く保つ定電圧回路C2を介在させても良い。

分圧回路C1を用いて第1駆動電圧を作成していたのでは、駆動電圧の大元の電圧が高くなると、第1駆動電圧も高電圧になってしまう。一方で、定電圧回路C2を用いて第1駆動電圧を作成すれば、第1駆動電圧は所定の電圧より高くないので、大元の電圧が高くなっても、弁体32に近いピエゾスタックX1の劣化をより確実に抑制することができる。

[0058] 所定の電圧は、例えばピエゾスタックXの定格電圧よりも小さい値に設定するとよい。他にも、弁開度を最大又は最小にするために必要な駆動電圧に基づいて設定されてもよい。

この場合、所定期間は、駆動電圧の大元の電圧が定電圧回路C2で設定されている所定の電圧より高くなっている期間となる。

[0059] 定電圧回路C 2の具体的な回路構成としては、ツェナーダイオードZ Dを利用したものが考えられる。なお、定電圧回路C 2は、例えば、三端子レギュレータを用いたものであっても良い。

[0060] また、駆動電圧V 1（第1駆動電圧）を駆動電圧V 2及びV 3（第2駆動電圧）よりも低くするために、図5に示すように、弁体3 2に最も近いピエゾスタックX 1に、例えばツェナーダイオードZ Dを直列に接続してもよいし、図6に示すように、弁体3 2に最も近いピエゾスタックX 1と、ツェナーダイオードZ Dとに、抵抗器R Aを直列に接続しても良い。

[0061] 例えば、図6では、ツェナーダイオードZ Dが電源側に配置されているが、各要素の位置関係は適宜変更してよい。

これらの場合、所定期間は、電源P Sから各ピエゾスタックXに駆動電圧が印加されている全期間となる。

[0062] また前記実施形態では、分圧回路C 1により所定期間において第1駆動電圧が0より大きく保たれていたが、第1駆動電圧は0 Vでもよい。つまり、第1駆動電圧を印加するということは、所定期間に亘って駆動電圧を印加しないことも含むものとする。

これならば、弁体3 2に近いピエゾスタックX 1の劣化をより確実に抑制することができる。

[0063] また、弁体3 2に最も近いピエゾスタックX 1に常に駆動電圧が印加されない構成であっても良く、例えば、ピエゾスタックX 1が、電源P Sに接続されていなくても良い。

これならば、弁体3 2に最も近いピエゾスタックX 1が、その他のピエゾスタックX 2及びX 3と並列に電源に接続されていないので、弁体3 2に近いピエゾスタックX 1が熱影響を受けて短絡等したとしても、ピエゾアクチュエータ3 3全体の弁開度調節機能が害されない。

また、これならば回路構成を変更するだけで、従来の流体制御弁の構造を大きく変化させることなく、弁体3 2に最も近いピエゾスタックX 1を、スパーサのように利用でき、弁体3 2に近いその他のピエゾスタックXの劣化

を抑制できる。

[0064] ところで、前記実施形態では、弁体 3 2 に最も近いピエゾスタック X 1 に印加される第 1 駆動電圧のみに注目したが、高温の流体による熱影響は、弁体 3 2 に最も近いピエゾスタック X 1 だけでなく、弁体 3 2 に近いその他のピエゾスタック X 2 又は X 3 にも及びうる。

具体的には、弁体 3 2 に二番目に近いピエゾスタック X 2 は、二番目に大きな熱影響を受け得る。

[0065] そこで前記実施形態のように、ピエゾアクチュエータ 3 3 が 3 つのピエゾスタック X を有している場合、その他のピエゾスタック X 2 又は X 3 のうち、弁体 3 2 に近いピエゾスタック X 2 に印加される駆動電圧 V 2 が、少なくとも所定期間に亘り、前記弁体 3 2 から遠いピエゾスタック X 3 に印加される駆動電圧 V 3 よりも低いことが好ましい。

これならば、弁体 3 2 に最も近いピエゾスタック X 1 のみならず、弁体 3 2 に二番目に近いピエゾスタック X 2 の劣化をも抑制することができる。

[0066] また、弁体 3 2 に最も近いピエゾスタック X 1 を含んだ連続して積層されている複数のピエゾスタック X にまとめて第 1 駆動電圧を印加しても良く、例えば、前記実施形態でいう、ピエゾスタック X 1 及び X 2 に印加される駆動電圧 V 1 及び V 2 を第 1 駆動電圧としても良い。

これならば、弁体 3 2 に近い側に配置される複数のピエゾスタック X の劣化をまとめて抑制できる。

[0067] 前記実施形態のピエゾアクチュエータ 3 3 は、3 つのピエゾスタック X 1、X 2、X 3 で構成されるものであったが、アクチュエータを構成するピエゾスタック X の数は 2 でも、4 以上でもよく、複数であれば良い。

[0068] 前記実施形態で、駆動期間に印加する第 1 駆動電圧の平均値を、駆動期間に印加する第 2 駆動電圧の平均値よりも低くする構成について述べたが、このような構成になっていなくても、所定期間において第 1 駆動電圧が第 2 駆動電圧よりも低いことで、弁体 3 2 に近いピエゾスタック X 1 の劣化が抑制されるものであれば良い。

[0069] 前記実施形態の流体制御弁 3 は、ノーマルクローズ型であったが、ノーマルオープン型のものであっても良い。

[0070] 前記実施形態は、弁体 3 2 に最も近いピエゾスタック X 1 に、少なくとも他のピエゾスタック X のいずれか一つに印加される第 2 駆動電圧よりも低い、第 1 駆動電圧が印加されるものであったが、その代わりに複数のピエゾスタック X に含まれる 2 つのピエゾスタック X のうち、弁体 3 2 に近い一方のピエゾスタック X に印加される駆動電圧が、弁体 3 2 から遠い他方のピエゾスタック X に印加される駆動電圧よりも低くなるように構成されたものであっても良い。

このような構成であっても、複数のピエゾスタック X を積層することで、伸縮時にピエゾスタック X に作用する応力を分散させることができるうえ、弁体 3 2 に近い一方のピエゾスタック X が、弁体 3 2 から遠い他方のピエゾスタック X よりも劣化が早く進むのを抑制できる。

[0071] <第 2 実施形態の装置構成>

次に、本発明に係る流体制御弁 3 の第 2 実施形態について図面を参照して説明する。

[0072] 第 2 実施形態の流体制御弁 3 は、診断用ピエゾスタック Y と、劣化診断回路 C 3 をさらに備える点と、制御部 5 が劣化診断機能を備える点とにおいて、第 1 実施形態と異なっている。

以下で、これらの相違点について説明し、共通している部分についての説明は適宜省略する。

[0073] 第 2 実施形態の流体制御弁 3 は、図 7 に示すように、ピエゾアクチュエータ 3 3 よりも弁体 3 2 に近い側に積層されている診断用ピエゾスタック Y を備えている。

本実施形態の診断用ピエゾスタック Y は、ピエゾアクチュエータ 3 3 の下方に位置しており、ピエゾアクチュエータ 3 3 と、弁体 3 2 の間に挟まれている。

本実施形態の診断用ピエゾスタック Y は、ピエゾアクチュエータ 3 3 を構

成する複数のpiezostack Xと一体的に設けられているが、別体として設けられていても良い。

[0074] この診断用piezostack Yに、劣化診断回路C 3は、駆動電圧とは別の診断電圧Dを印加する。

劣化診断回路C 3は、図8に示すように、診断用piezostack Yが接続される電源PS 2と、この診断用piezostack Yからのリーク電流を検知する電流センサAとを有している。

[0075] ここでリーク電流とは、診断用piezostack Yが劣化して、その抵抗が小さくなることによって増大する、診断用piezostack Yを流れる電流である。

[0076] この劣化診断回路C 3は、図7に示すように、後述する制御部5からの診断信号に応じて、診断電圧Dを診断用piezostack Yに印加する。そして、診断電圧Dが印加される際に、この診断用piezostack Yからリークする電流を、電流センサAは検出して、その検出値を示す信号を制御部5に出力する。

診断電圧Dは、診断用piezostack Yに対して、所定の電圧で継続的に印加しても良いし、断続的に印加しても良い。また、診断したいときのみ印加するようにしても良い。

診断電圧Dは、診断用piezostack Yが早く劣化してしまわないように、駆動電圧よりも低い電圧であることが望ましい。

[0077] 本実施形態では、図7及び図8に示すように、診断用piezostack Yには、駆動回路3 3 1が接続されておらず、駆動電圧が印加されない。

[0078] 第2実施形態の制御部5は、少なくとも、流量算出部5 1、バルブ制御部5 2、診断電圧制御部5 3、メモリ部5 4、及び、劣化診断部5 5としての機能を備えている。

[0079] 診断電圧制御部5 3は、外部から入力される診断指令に基づいて劣化診断回路C 3に診断信号を出力し、診断電圧Dを制御するものである。

[0080] メモリ部5 4は、piezostack Xの劣化度合いを診断するための基準値

を記憶するものである。

[0081] 劣化診断部 55 は、劣化診断回路 C3 から信号が示す検出値と、メモリ部 54 に記憶される基準値とを比較して、診断用ピエゾスタック Y の劣化度合いを診断する。

劣化診断部 55 は、診断用ピエゾスタック Y の劣化度合いを、診断結果として出力する。また、診断用ピエゾスタック Y の劣化度合いから、ピエゾアクチュエータ 33 を構成するピエゾスタック X の劣化度合いを予測して診断結果として出力しても良い。

[0082] <第 2 実施形態の効果>

このように構成した本実施形態の流体制御弁 3 であれば、複数のピエゾスタック X を積層することで、伸縮時にピエゾスタック X に作用する応力を分散させることができるうえ、劣化診断回路 C3 を用いて、ピエゾアクチュエータ 33 よりも弁体 32 に近い側に積層されている診断用ピエゾスタック Y の劣化を診断することで、高温の流体を制御する場合には、ピエゾアクチュエータ 33 を構成するピエゾスタック X のうち、弁体に近いピエゾスタック X の劣化度合いを予測しつつ、そのピエゾスタック X の劣化を抑制することが可能となる。

[0083] また、診断用ピエゾスタック Y からのリーク電流を検知するセンサを備えているので、診断用ピエゾスタック Y の内部抵抗の低下を、ピエゾアクチュエータ 33 を構成するピエゾスタック X の劣化度合いとして診断に利用できる。

[0084] <第 2 実施形態の変形例>

前記実施形態は、診断用ピエゾスタック Y には、駆動電圧が印加されないものであったが、駆動電圧が印加されるものであっても良い。

[0085] 前記実施形態の診断用ピエゾスタック Y は、ピエゾアクチュエータ 33 の下方に一つだけ配置されるものであったが、追加の診断用ピエゾスタック Y が同じ位置、又は、他の位置に設けられていても良い。

例えば、追加の診断用ピエゾスタック Y が、ピエゾアクチュエータ 33 の

上方に設けられていれば、ピエゾアクチュエータ 3 3 を構成する複数のピエゾスタック X の内、弁体に遠い位置にあるピエゾスタック X の劣化度合いも予測でき、弁体に近いピエゾスタックとの劣化度合いの差について知ることができる。

また、追加の診断用ピエゾスタック Y が、ピエゾアクチュエータ 3 3 を構成する複数のピエゾスタック X の間に挟まって設けられていれば、追加の診断用ピエゾスタック Y と隣り合う 2 つのピエゾスタック X の劣化度合いを予測できる。

産業上の利用可能性

[0086] 本発明によれば、複数のピエゾスタックを積層することで伸縮時にピエゾスタックに作用する応力を分散させることができる。また、弁体に最も近い前記ピエゾスタックに印加される第 1 駆動電圧を、その他の前記ピエゾスタックいずれか一つに印加される第 2 駆動電圧よりも低くしているので、高温の流体を制御する場合であっても、弁体に近いピエゾスタックの劣化を抑制することができる。

符号の説明

[0087] 1 0 0 . . . 流体制御装置
F C . . . 内部流路
1 . . . ブロック
2 . . . 流量センサ
3 . . . 流体制御弁
3 1 . . . 弁座
3 2 . . . 弁体
3 3 . . . ピエゾアクチュエータ
3 3 1 . . . 駆動回路
4 . . . 筐体
5 . . . 制御部
C 1 . . . 分圧回路

C 2 . . . 定電圧回路

C 3 . . . 劣化診断回路

P S . . . 電源

P S 2 . . . 電源

A . . . リーク電流センサ

X . . . ピエゾスタック

X 1 . . . 弁体に最も近いピエゾスタック

X 2 . . . 他のピエゾスタック

X 3 . . . 他のピエゾスタック

Y . . . 診断用ピエゾスタック

請求の範囲

- [請求項1] 弁座と、
 前記弁座に対して接離する弁体と、
 複数のピエゾスタックが積層されてなり、駆動電圧が印加されて前記弁体を駆動させるアクチュエータとを備え、
 前記弁体に最も近い前記ピエゾスタックに印加される第1駆動電圧が、少なくとも所定期間に亘り、その他の前記ピエゾスタックいずれか一つに印加される第2駆動電圧よりも低いことを特徴とする流体制御弁。
- [請求項2] 前記第1駆動電圧が、少なくとも所定期間に亘り、前記その他のピエゾスタックいずれに印加される駆動電圧よりも低いことを特徴とする請求項1に記載の流体制御弁。
- [請求項3] 前記アクチュエータは、3以上のピエゾスタックを有し、
 前記その他のピエゾスタックのうち、前記弁体に近いピエゾスタックに印加される駆動電圧が、少なくとも所定期間に亘り、前記弁体から遠いピエゾスタックに印加される駆動電圧よりも低いことを特徴とする請求項1に記載の流体制御弁。
- [請求項4] 前記複数のピエゾスタックが、共通の電源に並列で接続されていることを特徴とする請求項1又は2に記載の流体制御弁。
- [請求項5] 前記各ピエゾスタックに駆動電圧を印加する電源と、前記弁体に最も近いピエゾスタックとの間に介在する分圧回路を備えることを特徴とする請求項3に記載の流体制御弁。
- [請求項6] 前記各ピエゾスタックに駆動電圧を印加する電源と、前記弁体に最も近いピエゾスタックとの間に介在し、前記第1駆動電圧を前記第2駆動電圧よりも低く保つ定電圧回路を備えることを特徴とする請求項3に記載の流体制御弁。
- [請求項7] 前記アクチュエータの駆動開始から駆動終了までの駆動期間に印加する前記第1駆動電圧の平均値が、該駆動期間に印加する前記第2駆

動電圧の平均値よりも低いことを特徴とする請求項 1 乃至 5 のうちいずれか一項に記載の流体制御弁。

[請求項8] 弁座と、
 前記弁座に対して接離する弁体と、
 複数のピエゾスタックが積層されてなり、駆動電圧が印加されて前記弁体を駆動させるアクチュエータとを備え、
 前記複数のピエゾスタックに含まれる 2 つのピエゾスタックのうち、
 前記弁体に近いピエゾスタックに印加される駆動電圧が、前記弁体から遠いピエゾスタックに印加される駆動電圧よりも低いことを特徴とする流体制御弁。

[請求項9] 弁座と、
 前記弁座に対して接離する弁体と、
 複数のピエゾスタックが積層されてなり、駆動電圧が印加されて前記弁体を駆動させるアクチュエータと、
 前記アクチュエータよりも前記弁体に近い側に積層されている診断用ピエゾスタックと、
 前記診断用ピエゾスタックに前記駆動電圧とは別の診断電圧を印加する劣化診断回路とを備えていることを特徴とする流体制御弁。

[請求項10] 前記診断電圧が印加される際に、前記弁体に最も近い前記ピエゾスタックからのリーク電流を検知するセンサを備えていることを特徴とする請求項 7 に記載の流体制御弁。

[請求項11] 前記請求項 1 乃至 8 のうちいずれか一項に記載の流体制御弁を備える流体制御装置。

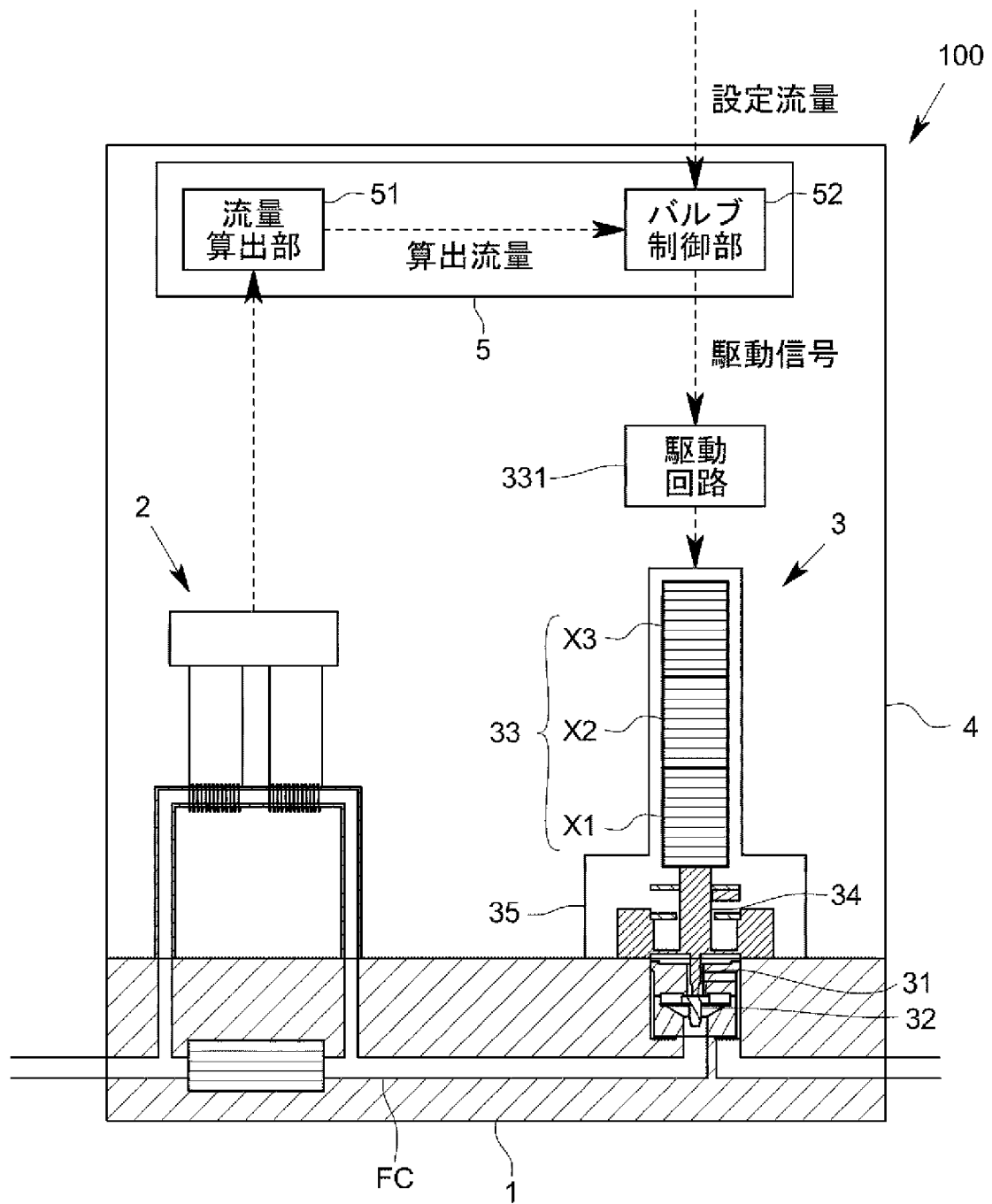
[請求項12] 弁座と、前記弁座に対して接離する弁体と、複数のピエゾスタックが積層されてなり、駆動電圧が印加されて前記弁体を駆動させるアクチュエータとを備える、流体制御弁の保護方法であって、
 前記弁体に最も近い前記ピエゾスタックに印加される第 1 駆動電圧

が、少なくとも所定期間に亘り、その他の前記ピエゾスタックいずれか一つに印加される第2駆動電圧よりも低いことを特徴とする流体制御弁の保護方法。

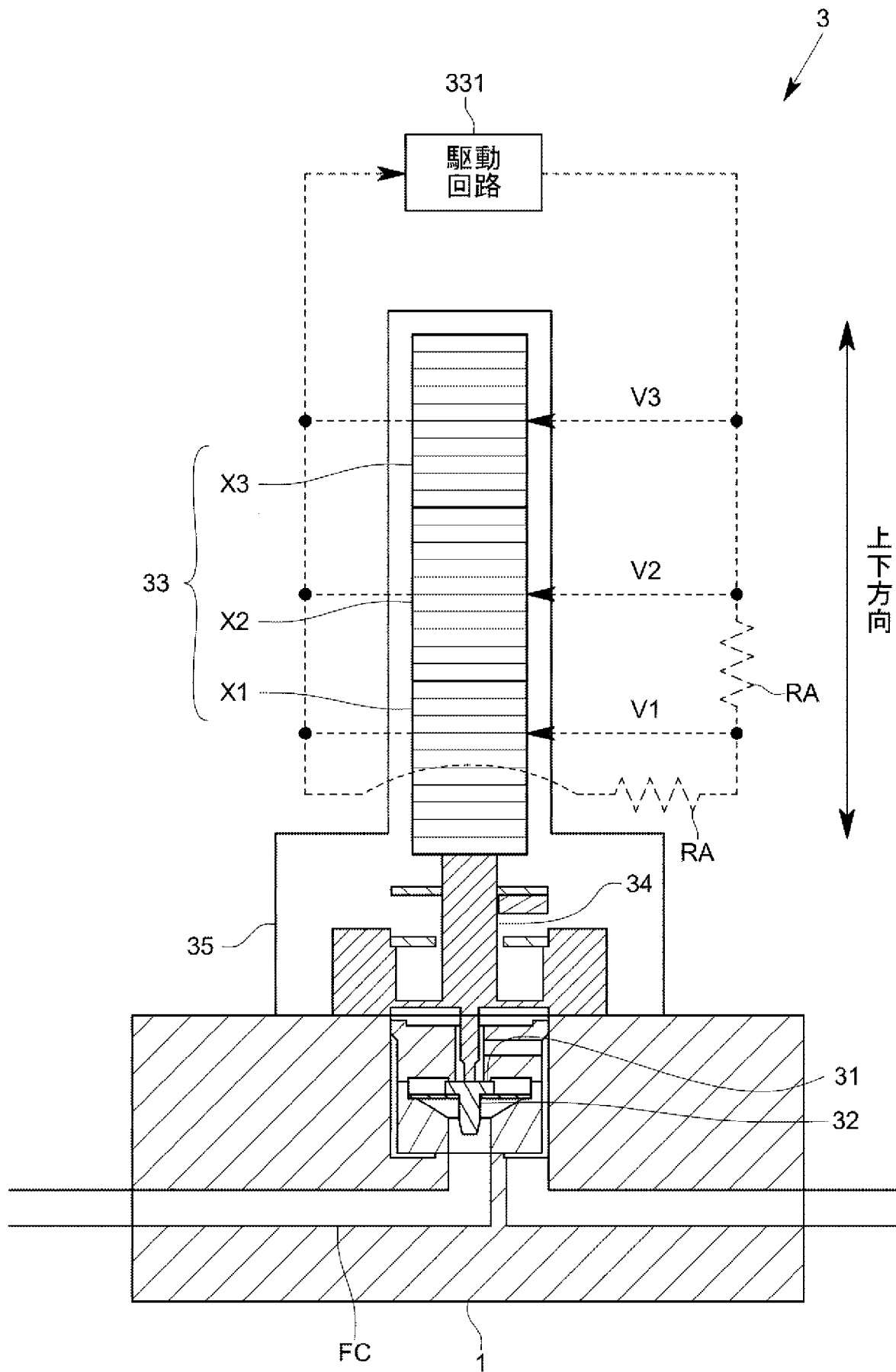
[請求項13] 弁座と、前記弁座に対して接離する弁体と、複数のピエゾスタックが積層されてなり、駆動電圧が印加されて前記弁体を駆動させるアクチュエータとを備える、流体制御弁の保護方法であって、

前記アクチュエータよりも前記弁体に近い側に積層されている診断用ピエゾスタックに、前記駆動電圧とは別の診断電圧が印加されることを特徴とする流体制御弁の保護方法。

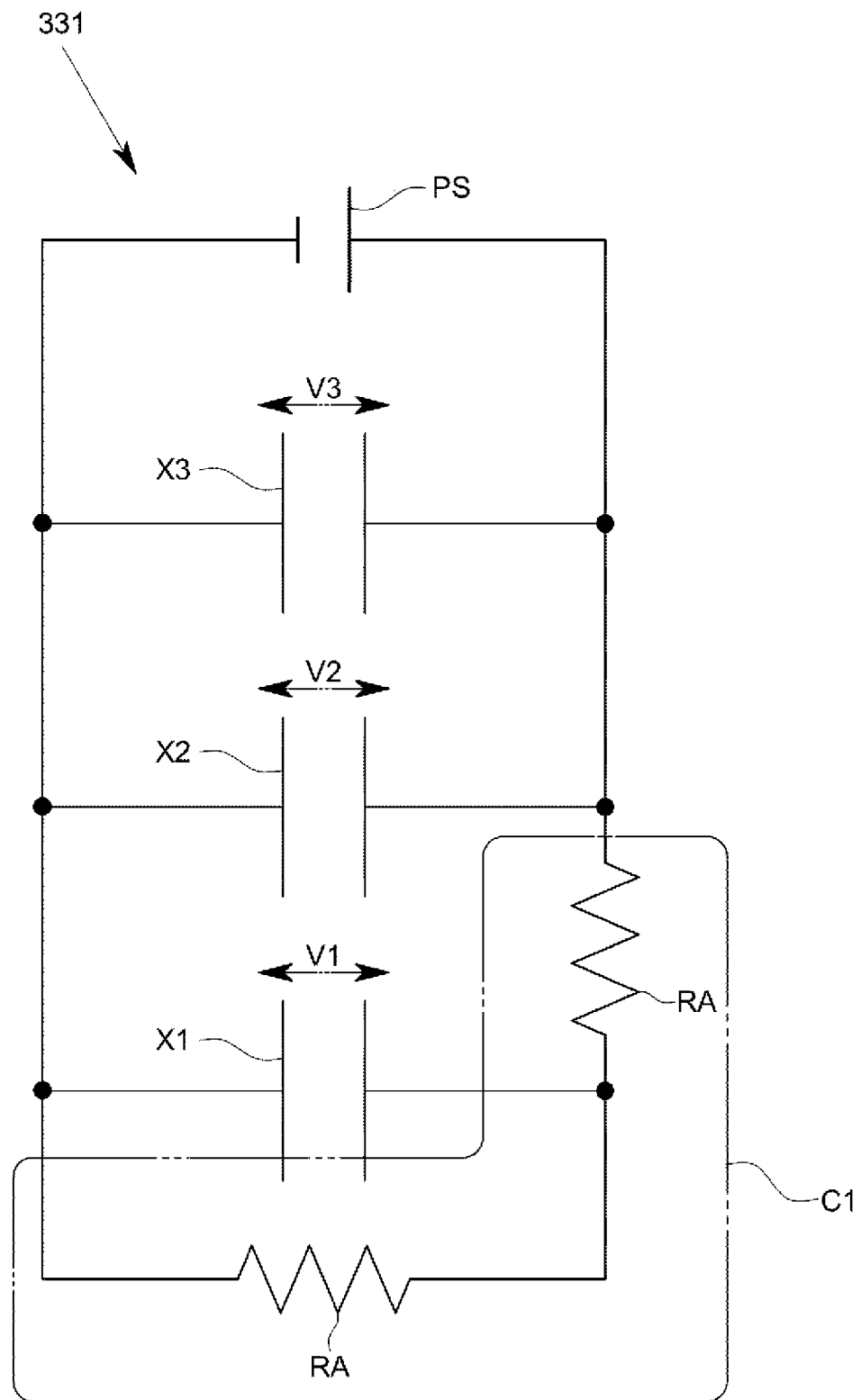
[図1]



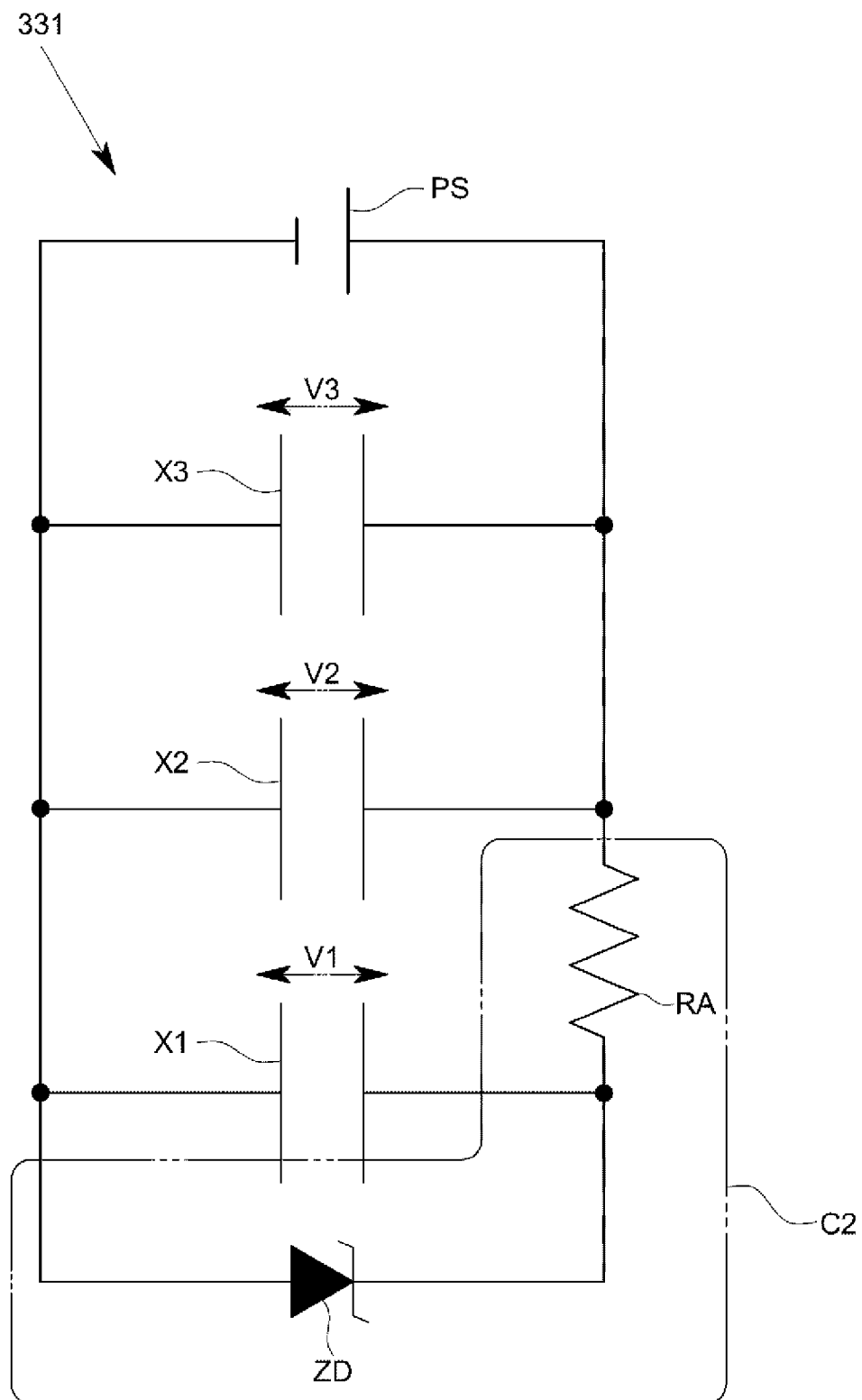
[図2]



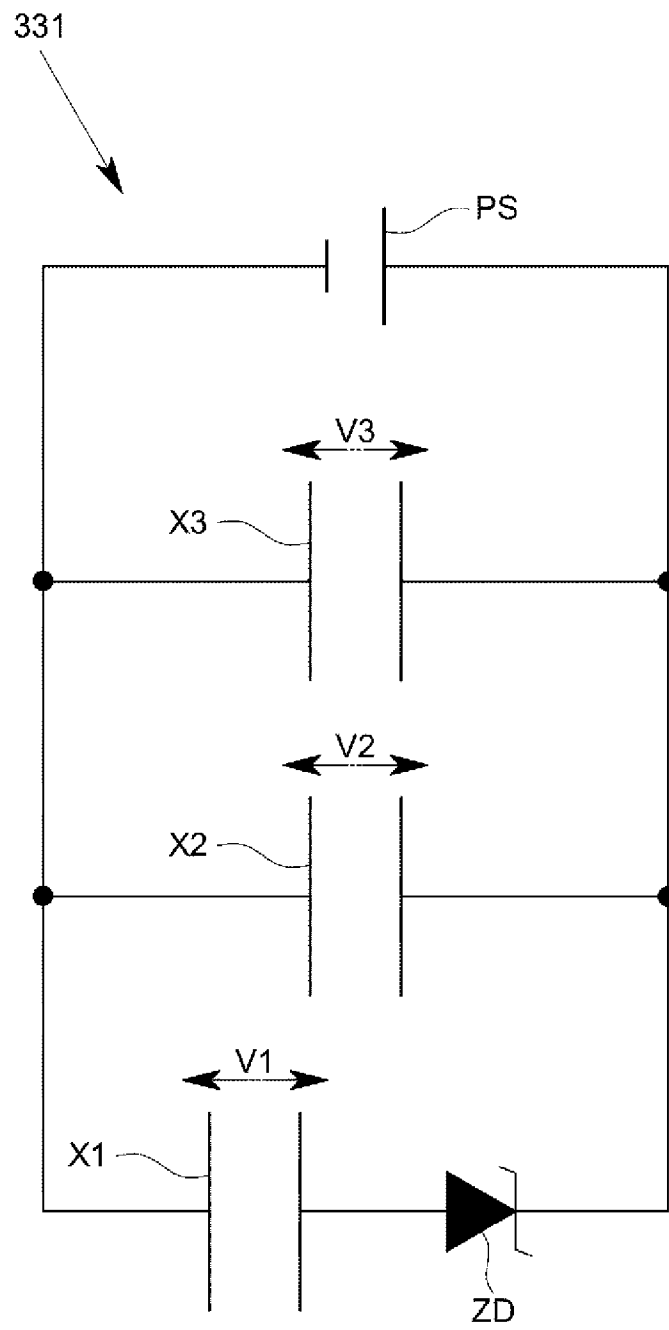
[図3]



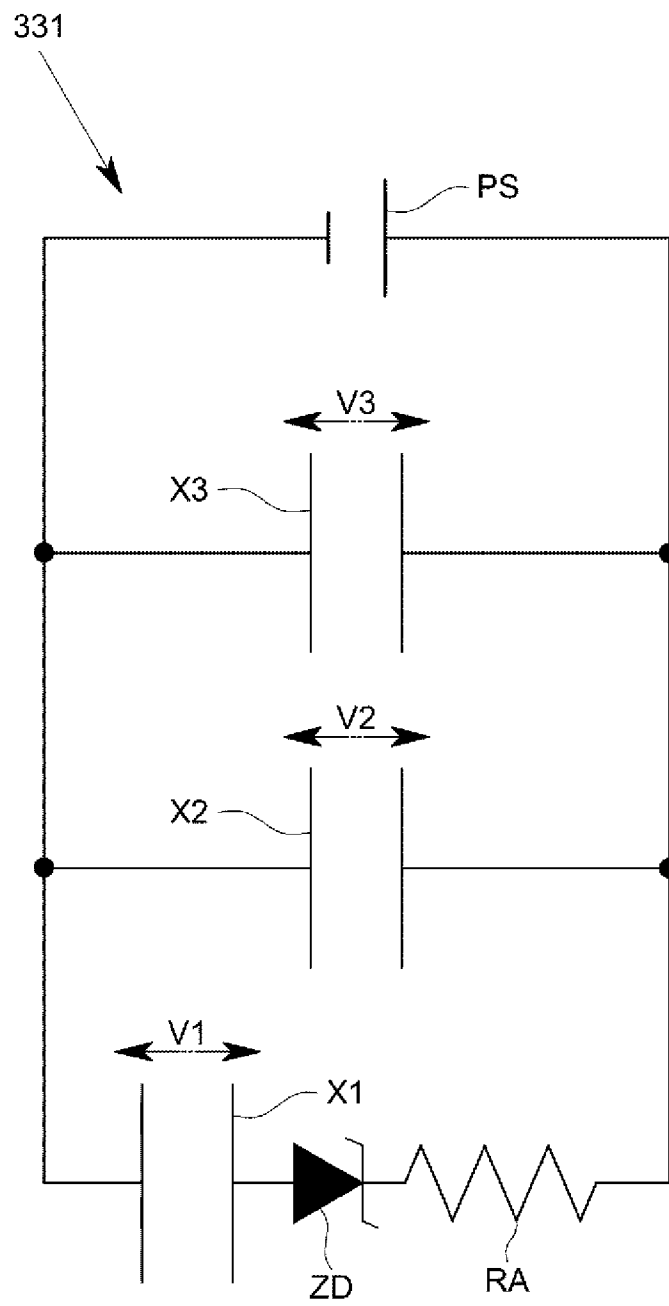
[図4]



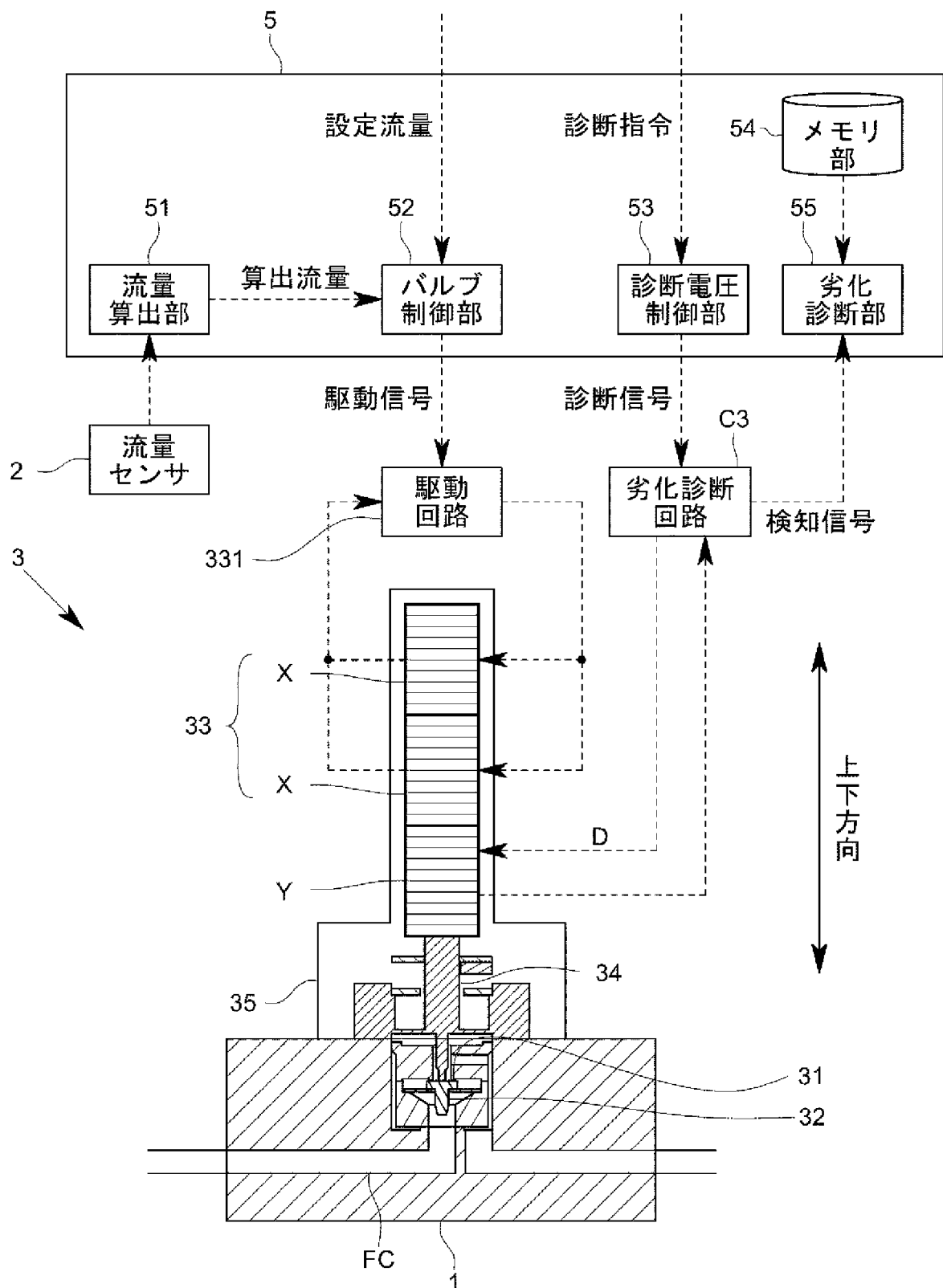
[図5]



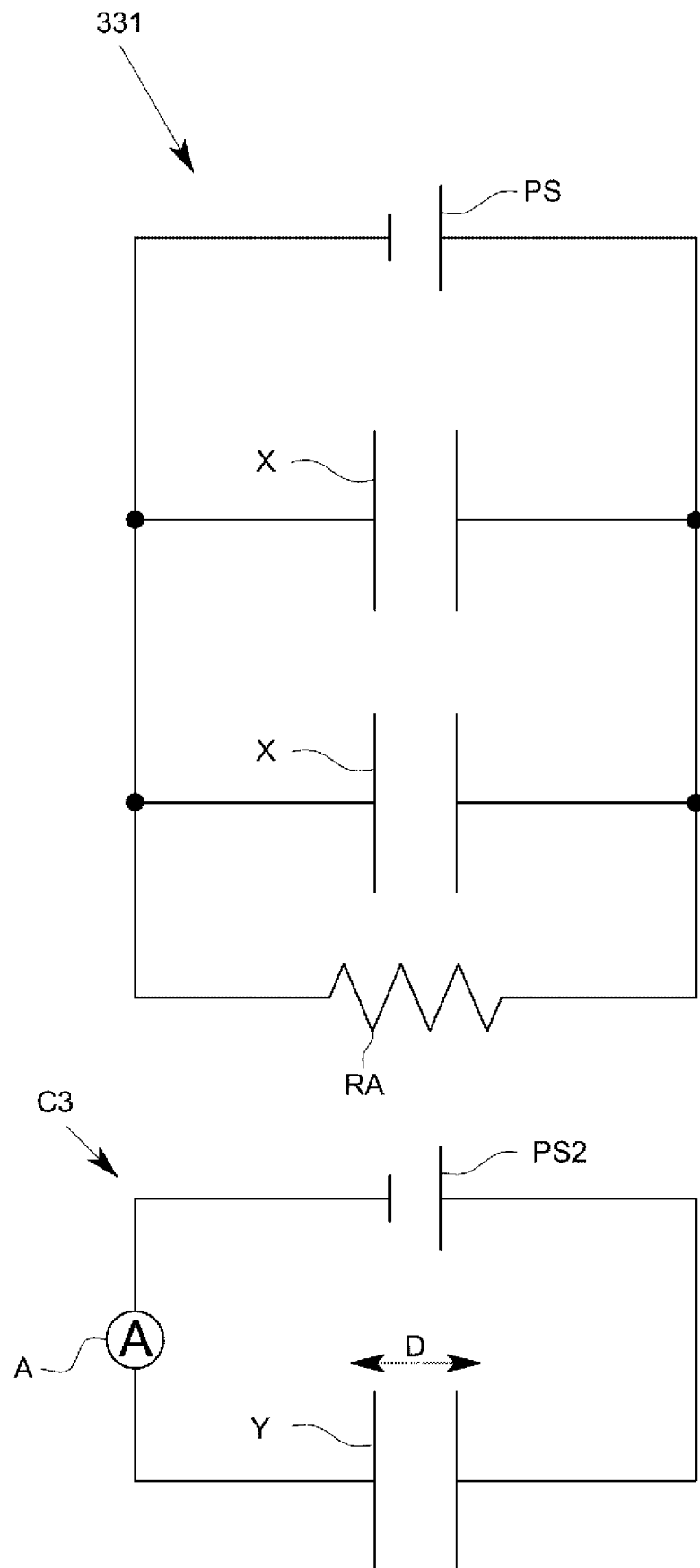
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/014958

A. CLASSIFICATION OF SUBJECT MATTER <i>F16K 31/02</i> (2006.01)i; <i>H02N 2/06</i> (2006.01)i; <i>H10N 30/20</i> (2023.01)i FI: F16K31/02 A; H02N2/06; H10N30/20 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) F16K31/00-31/05; H02N2/00-2/18; H10N30/20 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2021-76131 A (HORIZON STEC, CO., LTD.) 20 May 2021 (2021-05-20) paragraphs [0001], [0011], [0030], fig. 3	1-13
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 21 June 2024		Date of mailing of the international search report 02 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2024/014958

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2021-76131 A	20 May 2021	US 2021/0131587 A1 paragraphs [0001], [0012], [0036], fig. 3 CN 112780820 A KR 10-2021-0054460 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

F16K 31/02(2006.01)i; H02N 2/06(2006.01)i; H10N 30/20(2023.01)i

FI: F16K31/02 A; H02N2/06; H10N30/20

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

F16K31/00-31/05; H02N2/00-2/18; H10N30/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2021-76131 A（株式会社堀場エステック）20.05.2021（2021 - 05 - 20） 段落0001, 0011, 0030, 図3	1-13

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

21.06.2024

国際調査報告の発送日

02.07.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

北村 一 30 3734

電話番号 03-3581-1101 内線 3356

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際出願番号
PCT/JP2024/014958

引用文献			公表日	パテントファミリー文献	公表日
JP	2021-76131	A	20.05.2021	US 2021/0131587 A1 段落 0 0 0 1, 0 0 1 2, 0 0 3 6, 図 3 CN 112780820 A KR 10-2021-0054460 A	