

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年5月19日(19.05.2022)



(10) 国際公開番号

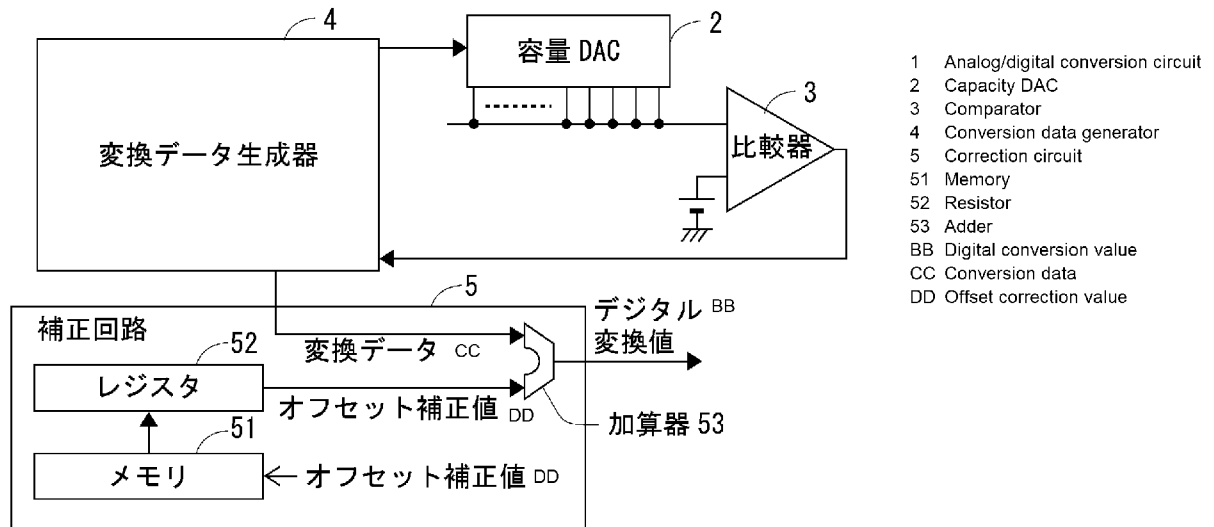
WO 2022/102002 A1

- (51) 国際特許分類:
H03M 1/10 (2006.01) *H03K 5/08* (2006.01)
H03M 1/46 (2006.01)
- (72) 発明者: 林 秀樹(HAYASHI, Hideki); 〒3528666
埼玉県新座市北野3丁目6番3号 サンケ
ン電気株式会社内 Saitama (JP).
- (21) 国際出願番号: PCT/JP2020/041990
- (74) 代理人: 堀 城之, 外 (HORI, Shiroyuki et al.);
〒1050002 東京都港区愛宕1-6-7 愛宕
山弁護士ビル8階 Tokyo (JP).
- (22) 国際出願日: 2020年11月11日(11.11.2020)
- (25) 国際出願の言語: 日本語
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
- (26) 国際公開の言語: 日本語
- (71) 出願人: サンケン電気株式会社 (SANKEN
ELECTRIC CO.,LTD.) [JP/JP]; 〒3528666 埼玉
県新座市北野3丁目6番3号 Saitama (JP).

(54) Title: ANALOG/DIGITAL CONVERSION CIRCUIT

(54) 発明の名称: アナログデジタル変換回路

アナログデジタル変換回路 1



(57) **Abstract:** Provided is an A/D conversion circuit with which it is possible to eliminate an offset error without in-
creasing the layout area or the consumed current, even when a memory-cell-overwriting comparator is used. A sequen-
tial-comparison analog/digital conversion circuit (1) comprising a capacity DAC (2) that generates a potential for each
bit on the basis of an analog input, a comparator (3) that compares the potentials generated by the capacity DAC (2),
and a conversion data generator (4) that generates conversion data of a resolution bit on the basis of the result of compar-
ison by the comparator (3), the analog/digital conversion circuit (1) converting the analog input to a digital conversion
value and outputting the digital conversion value, wherein the comparator (3) is a memory-cell-overwriting comparator
provided with a first-stage current-mirror-type operational amplifier (10) and a second-stage memory cell (20), and the

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

analog/digital conversion circuit (1) also comprises a correction circuit (5) that corrects an output error of the conversion data originating from an offset error in the comparator (3) through addition/subtraction of an offset correction value, which is a fixed value, and that outputs the corrected conversion data as the digital conversion value.

(57) 要約: メモリセル書き換え型の比較器を採用しても、レイアウト面積や消費電流を増大させることなくオフセット誤差を解消することができるA/D変換回路を提供する。アナログ入力に基づいてb i t毎の電位を生成する容量DAC (2) と、容量DAC (2) で生成された電位を比較する比較器 (3) と、比較器 (3) の比較結果に基づいて分解能b i tの変換データを生成する変換データ生成器 (4) とを備え、前記アナログ入力をデジタル変換値に変換して出力する逐次比較型のアナログデジタル変換回路 (1) であって、比較器 (3) は、1段目のカレントミラー型のオペアンプ (10) と2段目のメモリセル (20) とを備えたメモリセル書き換え型であり、比較器 (3) のオフセット誤差に起因する変換データの出力誤差を固定値であるオフセット補正值の加減算で補正し、補正した変換データをデジタル変換値として出力する補正回路 (5) を備えている。

明 細 書

発明の名称：アナログデジタル変換回路

技術分野

[0001] 本発明は、逐次比較型のアナログデジタル変換回路（以下、A／D変換回路と称す）に関するものである。

背景技術

[0002] A／D変換回路は、入力したアナログ「電圧」を、デジタル処理を行う目的で「数値化」する装置であり、高速性、面積、消費電力のバランスが良い逐次比較型がよく使用される。

[0003] 逐次比較型のA／D変換回路は、アナログ入力した電位を基に容量DACで生成した電位を比較器で比較し、その比較結果を変換データ生成器へフィードバックし、近似データ候補を容量DACに伝える。この繰り返しを分解能bit分（nビット：n回）繰り返し、デジタル変換値を得る。

[0004] 比較器は、A／D変換器の中で消費電流の大きい回路であり、消費電流が小さく、高速化できるメモリセル書き換え型が用いられている（例えば、特許文献1、2参照）。メモリセル書き換え型の比較器は、図4に示すように、1段目のカレントミラー型のオペアンプ10と、2段目のメモリセル20とを備え、オペアンプ10の出力がメモリセル20の「L」、「R」に接続されている。そして、メモリセル20をクロックによって電源を入れた瞬間の「L」、「R」のわずかな電位の違いでメモリセル20の0／1が確定する。

先行技術文献

特許文献

[0005] 特許文献1：特開平05－346441号公報

特許文献2：特開2010－109937号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、メモリセル書き換え型の比較器は、オフセット誤差が大きく、オフセット誤差を回避または小さくするために様々な提唱がされている。

[0007] 1つには、比較器を構成する素子のゲート幅を大きくすることである。例えば、1段目のオペアンプ10のMOSのゲート幅については、ゲート幅の2乗分の1に反比例してオフセット誤差が小さくなることが知られている。

[0008] しかし、ゲート幅を大きくすると電流は反比例して小さくなり、ゲート容量が比例して大きくなるため、同等の速度を得ようとすればゲート長を長くしなくてはならず、レイアウト面積は増大し、また、消費電流も増大する。

[0009] また、メモリセル書き換え型の比較器においては、「L」と「R」のノードの配線などによる寄生容量の違いもオフセット誤差を生むことが知られている。この作用を利用して「L」と「R」のノードに可変化した容量を付加してオフセット補正をする方法が知られているが、スイッチ付きの容量素子というレイアウト的に巨大な仕組みを複数組み込むことになり、レイアウト面積の増大を招く。

[0010] このように、オフセット誤差が小さくなるように回路設計を行なうと、レイアウト面積が大きく、また、消費電流が大きな回路となってしまう。また、アナログ回路的にオフセット誤差を補正するための回路を付加すると、比較器回路よりも大きなレイアウト面積の回路を追加することになってしまう。

[0011] 本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、メモリセル書き換え型の比較器を採用しても、レイアウト面積や消費電流を増大させることなくオフセット誤差を解消することができるA/D変換回路を提供する点にある。

課題を解決するための手段

[0012] 本発明に係るA/D変換回路は、上記の目的を達成するため、次のように構成される。

本発明に係るA/D変換回路は、アナログ入力に基づいてbit毎の電位

を生成する容量DACと、前記容量DACで生成された電位を比較する比較器と、前記比較器の比較結果に基づいて分解能bitの変換データを生成する変換データ生成器とを備え、前記アナログ入力をデジタル変換値に変換して出力する逐次比較型のA/D変換回路であって、前記比較器は、1段目のカレントミラー型のオペアンプと2段目のメモリセルとを備えたメモリセル書き換え型であり、前記比較器のオフセット誤差に起因する前記変換データの出力誤差を固定値であるオフセット補正值の加減算で補正し、補正した前記変換データを前記デジタル変換値として出力する補正回路を具備することを特徴とする。

本発明に係るA/D変換回路の出力設定方法は、アナログ入力に基づいてbit毎の電位を生成する容量DACと、前記容量DACで生成された電位を比較する比較器と、前記比較器の比較結果に基づいて分解能bitの変換データを生成する変換データ生成器とを備え、前記アナログ入力をデジタル変換値に変換して出力する逐次比較型のアナログデジタル変換回路の出力設定方法であって、1段目のカレントミラー型のオペアンプと2段目のメモリセルとを備えたメモリセル書き換え型の前記比較器のオフセット誤差に起因する前記変換データの出力誤差を、不揮発性メモリにオフセット補正值として格納させておき、レジスタに前記不揮発性メモリに格納された前記オフセット補正值を格納するか否かの設定し、デジタル加算器は、前記変換データに対して前記レジスタに格納された値を加減算して前記デジタル変換値として出力することを特徴とする。

発明の効果

- [0013] 本発明のA/D変換回路は、オフセット補正值の加減算で変換データの出力誤差を補正できるため、メモリセル書き換え型の比較器におけるオフセット誤差を許容でき、比較器のレイアウト面積や消費電流を増大させることなく、消費電流が小さい高速なA/D変換回路を実現することができるという効果を奏する。

図面の簡単な説明

[0014] [図1]本発明に係るA／D変換回路の実施の形態の構成を示すブロック図である。

[図2]図1に示す変換データ生成器から出力される変換データの出力誤差を示す図である。

[図3]図1に示す補正回路で補正されてデジタル変換値の出力誤差を示す図である。

[図4]メモリセル書き換え型の比較器の構成を示す図である。

発明を実施するための形態

[0015] 以下に、本発明の好適な実施の形態を添付図面に基づいて説明する。

[0016] 本実施の形態のA／D変換回路1は、逐次比較型であり、図1を参照すると、容量DAC2と、比較器3と、変換データ生成器4と、補正回路5とを備えている。

[0017] A／D変換回路1では、アナログ入力した電位を基に容量DAC2で生成した電位を比較器3で比較し、その結果を変換データ生成器4へフィードバックし、近似データ候補を容量DAC2に伝える。この繰り返しを分解能bit分（nビット：n回）繰り返し、変換データ生成器4は、分解能bitの変換データを出力する。

[0018] 比較器3は、1段目にカレントミラー型のオペアンプ10を備え、2段目にメモリセル20を備えたメモリセル書き換え型である。そして、比較器3を構成する素子のゲート幅は、ICプロセスの最小のゲート幅（例えば、ゲート幅0.1 μ m）、もしくはそれに近いゲート幅（ゲート幅0.2 μ m以下）で構成され、小さくないオフセット誤差が許容されている。例えば、ゲート幅0.1 μ mの場合、オフセット誤差は、 ± 60 mVとなる。これは12ビット分解能に換算して最大206 LSB（1 LSBは0.29 mV）に相当する大きな出力誤差である。

[0019] 補正回路5は、変換データ生成器4から出力される変換データから比較器3のオフセット誤差に起因する出力誤差を補正する回路であり、メモリ51と、レジスタ52と、加算器53とを備えている。

- [0020] メモリ 5 1 は、フラッシュメモリ等の不揮発性メモリであり、出荷検査において測定された変換データ生成器 4 から出力される変換データの出力誤差がオフセット補正值として格納されている。
- [0021] レジスタ 5 2 は、メモリ 5 1 から読み出されたオフセット補正值が格納される一時記憶回路である。レジスタ 5 2 にオフセット補正值を格納するか否かは、設定可能に構成されている。例えば、メモリ 5 1 からのオフセット補正值の読み出し、レジスタ 5 2 へのオフセット補正值の格納は、プログラム制御で動作する上位装置によって実行する場合、ユーザーがプログラムによってレジスタ 5 2 にオフセット補正值を格納するか否かを設定できる。なお、オフセット補正值が格納されていないレジスタ 5 2 の値は「0」である。
- [0022] 加算器 5 3 は、デジタル加算器であり、変換データ生成器 4 から出力される変換データに対してレジスタ 5 2 に格納されている値をデジタル加算して A/D 変換回路 1 のデジタル変換値として出力する。従って、レジスタ 5 2 にオフセット補正值が格納されている場合、変換データ生成器 4 から出力される変換データに対してオフセット補正值をデジタル加算した値が A/D 変換回路 1 のデジタル変換値として出力され、レジスタ 5 2 にオフセット補正值が格納されていない場合、変換データ生成器 4 から出力される変換データがそのまま A/D 変換回路 1 のデジタル変換値として出力される。
- [0023] 図 2 は、比較器 3 をプロセスで許容される最小の幅のゲート幅で構成した場合の変換データ生成器 4 から出力される変換データの出力誤差である。図 2 を参照すると、 $\pm 120 \text{ LSB}$ 程度の大きな誤差が観測された。これは回路個々の素子特性のばらつきや配線寄生容量のばらつきに起因するものである。
- [0024] 図 2 の出力誤差を精査した結果、本発明者は、入力電位によらず出力誤差が一定であることを見出した。しかも、この出力誤差は、温度に左右されることなく、一定であった。出力誤差が一定であれば（出力誤差の大きさがわかっている）、出荷検査において変換データ生成器 4 から出力される変換データの出力誤差を測定し、測定した出力誤差をオフセット補正值として変換

データ生成器 4 から出力される変換データに対して単に加減算することで補正できる。

[0025] 図 3 は、補正回路 5 から出力される A/D 変換回路 1 のデジタル変換値である。図 3 を参照すると、変換データ生成器 4 から出力される変換データの出力誤差が補正されて良好な結果が得られることが分かる。

[0026] 以上説明したように、本実施の形態は、アナログ入力に基づいて $b\ i\ t$ 毎の電位を生成する容量 D A C 2 と、容量 D A C 2 で生成された電位を比較する比較器 3 と、比較器 3 の比較結果に基づいて分解能 $b\ i\ t$ の変換データを生成する変換データ生成器 4 とを備え、前記アナログ入力をデジタル変換値に変換して出力する逐次比較型の A/D 変換回路 1 であって、比較器 3 は、1 段目のカレントミラー型のオペアンプ 10 と 2 段目のメモリセル 20 とを備えたメモリセル書き換え型であり、比較器 3 のオフセット誤差に起因する変換データの出力誤差を固定値であるオフセット補正值の加減算で補正し、補正した変換データをデジタル変換値として出力する補正回路 5 を備えている。

この構成により、オフセット補正值の加減算で変換データの出力誤差を補正できるため、メモリセル書き換え型の比較器 3 におけるオフセット誤差を許容でき、比較器 3 のレイアウト面積や消費電流を増大させることなく、消費電流が小さい高速な A/D 変換回路 1 を実現することができる。

[0027] さらに、本実施形態において、オフセット補正值は、出荷検査において測定された変換データ生成器 4 から出力される変換データの出力誤差である。

この構成により、出荷検査において変換データ生成器 4 から出力される変換データの出力誤差を測定するだけで、オフセット補正值を設定することができる。

[0028] さらに、本実施形態において、補正回路 5 は、オフセット補正值が格納された不揮発性メモリ（メモリ 51）と、メモリ 51 に格納されたオフセット補正值を選択的に格納可能なレジスタ 52 と、変換データに対して前記レジスタに格納された値を加減算するデジタル加算器（加算器 53）とを備えて

いる。

この構成により、変換データ生成器4から出力される変換データをオフセット補正するか否かをユーザーが選択することができる。

例えば、ユーザーがA/D変換回路1から出力されるデジタル変換値を絶対的な値ではなく、相対的な値として取り扱いたい場合、すなわち、「A/D変換回路1から出力されるデジタル変換値”D”に対して」「”D”が”D-10”から”D+10”の間にあるように制御したい」という場合、「オフセット補正」を必要としないので、オフセット補正値をメモリ51から読み出してレジスタ52に格納する動作を省略することができる。

一方、ユーザーがA/D変換値を絶対的な値として取り扱いたい場合、すなわち「A/D変換回路1によって得られるデジタル変換値”D”が」「1.0V（”D”=3413:12ビットのA/D変換回路1の変換範囲が0-1.2Vである場合）になるように制御したい」場合はデジタル変換値の値は絶対的である必要があるので、オフセット補正値をメモリ51から読み出してレジスタ52に格納する動作の実行が必要になる。

[0029] さらに、本実施形態において、比較器3を構成する素子のゲート幅は、0.2 μ m以下である。

この構成により、比較器3のレイアウト面積や消費電流を少なくすることができる。

[0030] さらに、本実施形態において、比較器3を構成する素子のゲート幅は、1Cプロセスの最小のゲート幅である。

この構成により、比較器3のレイアウト面積や消費電流をより少なくすることができる。

[0031] なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は適宜変更され得ることは明らかである。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。なお、同一構成要素には、各図において、同一符号を付している。

符号の説明

- [0032] 1 A／D変換回路（アナログデジタル変換回路）
2 容量DAC
3 比較器
4 変換データ生成器
5 補正回路
10 オペアンプ
20 メモリセル
51 メモリ
52 レジスタ
53 加算器

請求の範囲

- [請求項1] アナログ入力に基づいて $b\ i\ t$ 毎の電位を生成する容量 $D\ A\ C$ と、前記容量 $D\ A\ C$ で生成された電位を比較する比較器と、前記比較器の比較結果に基づいて分解能 $b\ i\ t$ の変換データを生成する変換データ生成器とを備え、前記アナログ入力をデジタル変換値に変換して出力する逐次比較型のアナログデジタル変換回路であって、
- 前記比較器は、1 段目のカレントミラー型のオペアンプと 2 段目のメモリセルとを備えたメモリセル書き換え型であり、
- 前記比較器のオフセット誤差に起因する前記変換データの出力誤差を固定値であるオフセット補正値の加減算で補正し、補正した前記変換データを前記デジタル変換値として出力する補正回路を具備することを特徴とするアナログデジタル変換回路。
- [請求項2] 前記オフセット補正値は、出荷検査において測定された前記変換データ生成器から出力される前記変換データの出力誤差であることを特徴とする請求項 1 に記載のアナログデジタル変換回路。
- [請求項3] 前記補正回路は、
- 前記オフセット補正値が格納された不揮発性メモリと、
- 前記不揮発性メモリに格納された前記オフセット補正値を選択的に格納可能なレジスタと、
- 前記変換データに対して前記レジスタに格納された値を加減算するデジタル加算器と、を具備することを特徴とする請求項 1 又は 2 に記載のアナログデジタル変換回路。
- [請求項4] 前記比較器を構成する素子のゲート幅は、 $0.2\ \mu m$ 以下であることを特徴とする請求項 1 乃至 3 のいずれかに記載のアナログデジタル変換回路。
- [請求項5] 前記比較器を構成する素子のゲート幅は、 $1\ C$ プロセスの最小のゲート幅であることを特徴とする請求項 1 乃至 3 のいずれかに記載のアナログデジタル変換回路。

[請求項6] アナログ入力に基づいてb i t 毎の電位を生成する容量D A Cと、前記容量D A Cで生成された電位を比較する比較器と、前記比較器の比較結果に基づいて分解能b i t の変換データを生成する変換データ生成器とを備え、前記アナログ入力をデジタル変換値に変換して出力する逐次比較型のアナログデジタル変換回路の出力設定方法であって、

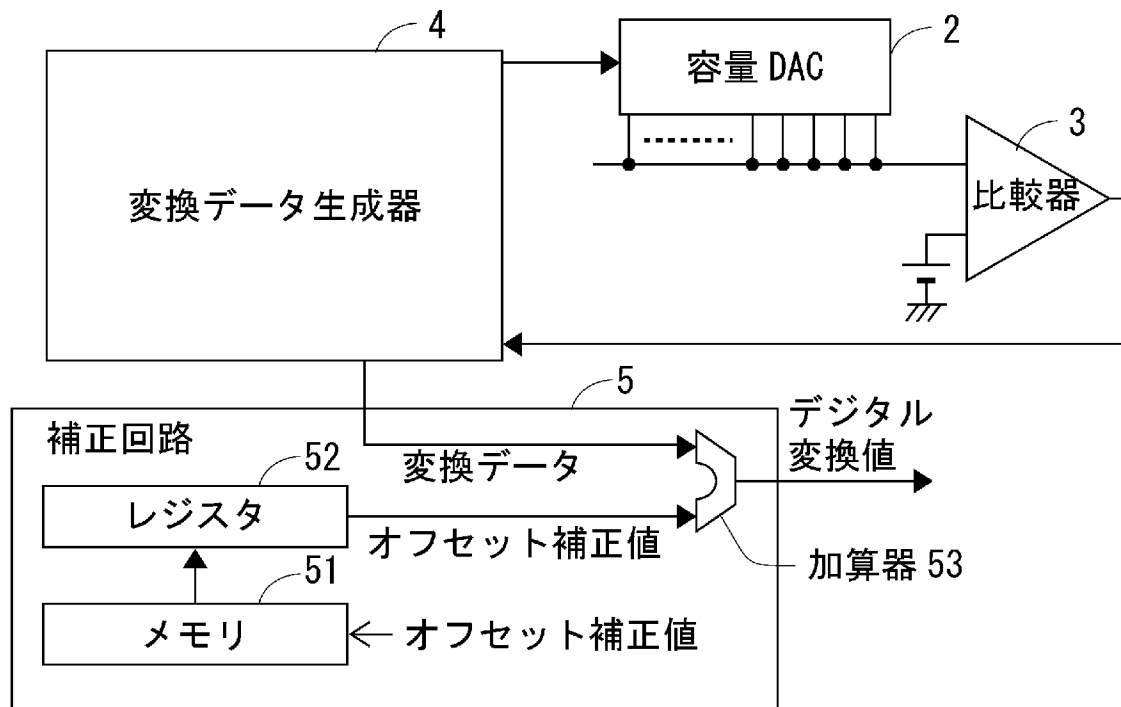
1 段目のカレントミラー型のオペアンプと2 段目のメモリセルとを備えたメモリセル書き換え型の前記比較器のオフセット誤差に起因する前記変換データの出力誤差を、不揮発性メモリにオフセット補正值として格納させておき、

レジスタに前記不揮発性メモリに格納された前記オフセット補正值を格納するか否かの設定し、

デジタル加算器は、前記変換データに対して前記レジスタに格納された値を加減算して前記デジタル変換値として出力することを特徴とするアナログデジタル変換回路の出力設定方法。

[図1]

アナログデジタル変換回路 1



[図2]

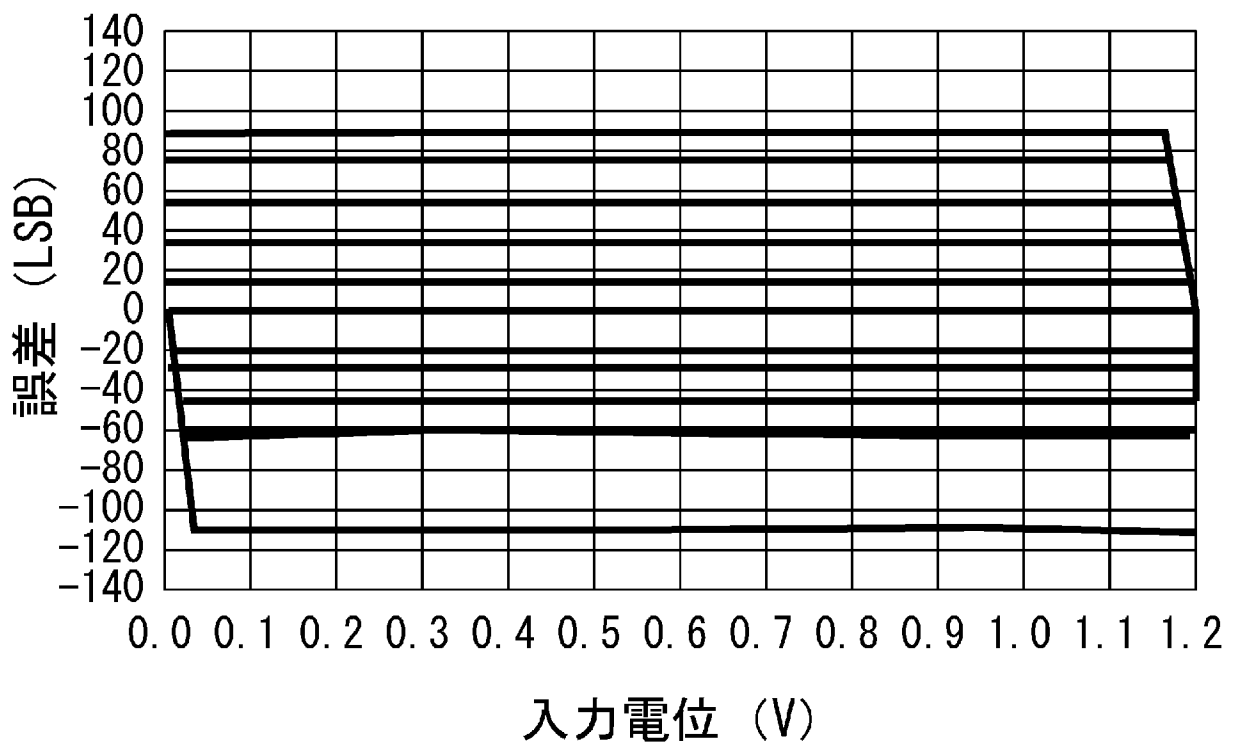


Figure 10 is a line graph showing the error (誤差) in LSB versus the input voltage (入力電位) in V. The y-axis ranges from -140 to 140 LSB, and the x-axis ranges from 0.0 to 1.2 V. The graph shows a sharp drop in error from approximately 100 LSB at 0.0 V to near 0 LSB at 0.05 V, remaining stable until about 1.15 V, where it drops sharply to approximately -90 LSB at 1.2 V.

[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/041990

A. CLASSIFICATION OF SUBJECT MATTER

H03M 1/10 (2006.01) i; H03M 1/46 (2006.01) i; H03K 5/08 (2006.01) i
FI: H03M1/46; H03M1/10 A; H03K5/08 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/10; H03M1/46; H03K5/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 7-86947 A (HITACHI, LTD.) 31 March 1995 (1995-03-31) paragraphs [0001]-[0004], [0007]-[0019], [0058], fig. 1, 13	1-4, 6 5
Y A	US 2013/0021189 A1 (KABIR et al.) 24 January 2013 (2013-01-24) paragraphs [0001]-[0007], [0080], fig. 1	1-4, 6 5
Y A	JP 59-97220 A (NEC CORP.) 05 June 1984 (1984-06-05) page 1, lower right column, line 11 to page 1, lower right column, line 15, page 3, upper left column, line 19 to page 4, upper left column, line 4, fig. 5	1-4, 6 5
Y A	JP 2002-111494 A (SONY CORP.) 12 April 2002 (2002-04-12) paragraphs [0001]-[0030], fig. 1-3	2-4, 6 5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 February 2021 (02.02.2021)

Date of mailing of the international search report
09 February 2021 (09.02.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/041990

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-88166 A (TOSHIBA CORP.) 30 March 1999 (1999-03-30) paragraphs [0001]-[0013], fig. 1	2-4, 6 5
Y A	US 2009/0195424 A1 (INTERUNIVERSITAIR MICROELEKTRONICA CENTRUM (IMEG)) 06 August 2009 (2009-08-06) paragraphs [0001], [0025]-[0026], fig. 2	4 5
Y A	JP 2007-318457 A (SONY CORP.) 06 December 2007 (2007-12-06) paragraphs [0001]-[0005], [0076]-[0081], fig. 4, 6	4 5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/041990

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 7-86947 A	31 Mar. 1995	(Family: none)	
US 2013/0021189 A1	24 Jan. 2013	(Family: none)	
JP 59-97220 A	05 Jun. 1984	US 4602167 A column 1, line 62 to column 2, line 2, column 4, line 39 to column 6, line 37, fig. 5	
JP 2002-111494 A	12 Apr. 2002	EP 111230 A1 (Family: none)	
JP 11-88166 A	30 Mar. 1999	(Family: none)	
US 2009/0195424 A1	06 Aug. 2009	WO 2007/088175 A1 paragraphs [0001], [0025]-[0026], fig. 2	
JP 2007-318457 A	06 Dec. 2007	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03M 1/10(2006.01)i; H03M 1/46(2006.01)i; H03K 5/08(2006.01)i FI: H03M1/46; H03M1/10 A; H03K5/08 E		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03M1/10; H03M1/46; H03K5/08		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 7-86947 A (株式会社日立製作所) 31.03.1995 (1995 - 03 - 31) 段落[0001]-[0004], [0007]-[0019], [0058], 図1, 13	1-4, 6 5
Y A	US 2013/0021189 A1 (KABIR et al.) 24.01.2013 (2013 - 01 - 24) 段落[0001]-[0007], [0080], 図1	1-4, 6 5
Y A	JP 59-97220 A (日本電気株式会社) 05.06.1984 (1984 - 06 - 05) 第1頁右下欄第11行-第1頁右下欄第15行, 第3頁左上欄第19行-第4頁左上欄第4行, 第5図	1-4, 6 5
Y A	JP 2002-111494 A (ソニー株式会社) 12.04.2002 (2002 - 04 - 12) 段落[0001]-[0030], 図1-3	2-4, 6 5
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの		
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）		
“O” 口頭による開示、使用、展示等に言及する文献		
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		
国際調査を完了した日 02.02.2021	国際調査報告の発送日 09.02.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-88166 A (株式会社東芝) 30.03.1999 (1999 - 03 - 30) 段落[0001]-[0013], 図1	2-4, 6
A		5
Y	US 2009/0195424 A1 (INTERUNIVERSITAIR MICROELEKTRONICA CENTRUM (IMEC)) 06.08.2009 (2009 - 08 - 06) 段落[0001], [0025]-[0026], 図2	4
A		5
Y	JP 2007-318457 A (ソニー株式会社) 06.12.2007 (2007 - 12 - 06) 段落[0001]-[0005], [0076]-[0081], 図4, 6	4
A		5

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/041990

引用文献			公表日	パテントファミリー文献	公表日
JP	7-86947	A	31.03.1995	(ファミリーなし)	
US	2013/0021189	A1	24.01.2013	(ファミリーなし)	
JP	59-97220	A	05.06.1984	US 4602167 A 第1欄第62行-第2欄第2行, 第4欄第39行-第6欄第37行, 第5図 EP 111230 A1	
JP	2002-111494	A	12.04.2002	(ファミリーなし)	
JP	11-88166	A	30.03.1999	(ファミリーなし)	
US	2009/0195424	A1	06.08.2009	W0 2007/088175 A1 段落[0001], [0025]- [0026], 図2	
JP	2007-318457	A	06.12.2007	(ファミリーなし)	