

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010年6月3日(03.06.2010)

(10) 国際公開番号  
**WO 2010/061616 A1**

PCT

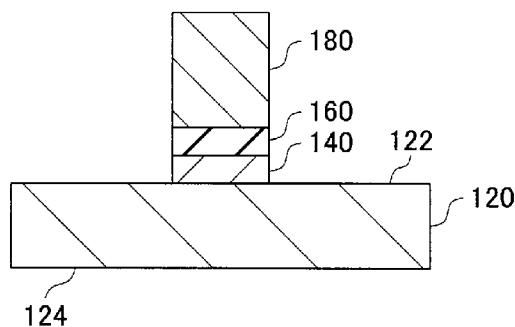
- (51) 国際特許分類:  
H01L 21/20 (2006.01) H01L 21/8248 (2006.01)  
H01L 21/02 (2006.01) H01L 27/06 (2006.01)  
H01L 21/205 (2006.01) H01L 27/08 (2006.01)  
H01L 21/331 (2006.01) H01L 27/088 (2006.01)  
H01L 21/8222 (2006.01) H01L 27/12 (2006.01)  
H01L 21/8234 (2006.01) H01L 29/737 (2006.01)
- (21) 国際出願番号: PCT/JP2009/006404
- (22) 国際出願日: 2009年11月26日(26.11.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2008-305415 2008年11月28日(28.11.2008) JP
- (71) 出願人(米国を除く全ての指定国について): 住友化学株式会社(SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目27番1号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 山中 貞則(YAMANAKA, Sadanori) [JP/JP]; 〒3050005 茨城県つくば市天久保2-13-10-305 Ibaraki (JP). 秦雅彦(HATA, Masahiko) [JP/JP]; 〒3000845 茨城県土浦市乙戸南2-20-6 Ibaraki (JP). 高田 朋幸(TAKADA, Tomoyuki) [JP/JP]; 〒3050045 茨城県つくば市梅園2-13-1-4-102 Ibaraki (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631105 東京都新宿区西新宿6-22-1 新宿スクエアタワー5階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,

[続葉有]

(54) Title: SEMICONDUCTOR SUBSTRATE, ELECTRONIC DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR SUBSTRATE

(54) 発明の名称: 半導体基板、電子デバイス、および半導体基板の製造方法

[図1]



110

(57) Abstract: A semiconductor substrate is provided with a base substrate, a seed crystal provided on the base substrate, a compound semiconductor provided above the seed crystal, and a high resistance layer which is provided between the seed crystal and the compound semiconductor and has resistivity higher than that of the seed crystal. The seed crystal and the compound semiconductor are lattice-matched or quasi-lattice-matched.

(57) 要約: ベース基板と、ベース基板上に設けられたシード結晶と、シード結晶の上方に設けられた化合物半導体と、シード結晶と化合物半導体との間に設けられ、シード結晶よりも大きな抵抗率を有する高抵抗層とを備え、シード結晶と化合物半導体とが格子整合または擬格子整合している半導体基板を提供する。



WO 2010/061616 A1



SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,  
ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

### 発明の名称：

### 半導体基板、電子デバイス、および半導体基板の製造方法

### 技術分野

[0001] 本発明は、半導体基板、電子デバイス、および半導体基板の製造方法に関する。

### 背景技術

[0002] 近年、活性領域にGaAs等の化合物半導体を用いた各種の高機能電子デバイスが開発されている。上記化合物半導体の結晶性は、電子デバイスの性能に大きく影響するので、結晶性に優れた化合物半導体を形成することが求められている。例えば、特許文献1は、シリコン基板上に成長させた低欠陥密度のGaAsを用いた半導体デバイスを開示する。

[0003] 特許文献1では、シリコン基板上にシリコン酸化物層が形成され、当該シリコン酸化物層に設けられた開口の内部にゲルマニウムシリコン合金が形成されることで、当該ゲルマニウムシリコン合金の上層に、転位欠陥密度の極めて小さなゲルマニウム面が形成される。上記ゲルマニウム面に成長したGaAsは、欠陥密度が小さい。特許文献1では、上記GaAsに形成された発光素子および受光素子と、上記シリコン基板に形成された集積回路とが金属リードにより結合されて、半導体デバイスが形成される。

### 先行技術文献

### 特許文献

[0004] 特許文献1：特開平4-233720号公報

### 発明の概要

### 発明が解決しようとする課題

[0005] しかしながら、上述した半導体デバイスは、シリコン基板、ゲルマニウムシリコン合金、およびGaAsが、シリコン基板の主面に垂直な方向に、この順に配置される。また、ゲルマニウムシリコン合金およびGaAsがシリ

コン基板上に複数形成される。一般的にゲルマニウムシリコン合金は、半導体としての禁制帯幅が $0.7 \sim 1.1 \text{ eV}$ と小さく、 $10^5 \Omega \text{ cm}$ 以上の高い抵抗率を得ることが困難である。またGaAsの構成成分とゲルマニウムシリコン合金の構成成分は、相互に電気的活性不純物であることから、各成分の相互拡散によりドーピングされ、抵抗率がさらに低下し易い。ゲルマニウムシリコン合金層の抵抗率が低下した結果、GaAsとシリコン基板との間の絶縁が十分でなく、半導体デバイスの動作が不安定になる場合がある。

### 課題を解決するための手段

- [0006] 上記課題を解決するために、本発明の第1の態様においては、ベース基板と、ベース基板上に設けられたシード結晶と、シード結晶の上方に設けられた化合物半導体と、シード結晶と化合物半導体との間に設けられ、シード結晶よりも大きな抵抗率を有する高抵抗層とを備え、シード結晶と化合物半導体とが格子整合または擬格子整合している半導体基板を提供する。一例として、ベース基板の主面に平行な方向における化合物半導体の格子間距離が、主面に平行な方向におけるシード結晶の格子間距離と略同一である。また、高抵抗層がシード結晶に格子整合または擬格子整合し、化合物半導体が高抵抗層に格子整合または擬格子整合していてもよい。ベース基板は、例えばSi基板、SOI基板、またはGOI基板である。
- [0007] 半導体基板は、ベース基板上に形成され、シード結晶の前駆体が結晶に成長することを阻害する阻害層をさらに備え、阻害層をベース基板にまで貫通する開口が形成されており、シード結晶が開口の内部に設けられていてもよい。シード結晶は、例えば $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ( $0 \leq x < 1$ ) を含む。
- [0008] 当該半導体基板において、高抵抗層は、例えば酸化物誘電体を含む。酸化物誘電体は化合物半導体の一部を選択的に酸化して形成されていてもよい。酸化物誘電体はAlを含む3-5族化合物半導体を酸化して形成されていてもよい。高抵抗層は、例えば、Bを含む3-5族化合物半導体、または、酸素がドーパされ、Alを含む3-5族化合物半導体を有する。
- [0009] シード結晶はp型半導体であり、化合物半導体はn型半導体であり、高抵

抗層は化合物半導体の空乏層であってもよい。例えば、シード結晶は、高濃度 p 型 Ge であり、化合物半導体は低濃度 n 型  $Al_yGa_{1-y}As$  ( $0 \leq y \leq 1$ ) である。また、シード結晶は低濃度 p 型  $SiGe$  であり、化合物半導体は低濃度 n 型  $In_zGa_{1-z}P$  ( $0 \leq z \leq 1$ ) であってもよい。

[0010] 半導体基板は、ベース基板上にシード結晶を設け、シード結晶に格子整合または擬格子整合する前駆体層を結晶成長させ、前駆体層に格子整合または擬格子整合する化合物半導体を結晶成長させ、前駆体層を選択的に酸化して高抵抗層を形成することによって製造されてもよい。例えば、シード結晶は  $Si_xGe_{1-x}$  結晶 ( $0 \leq x < 1$ ) を含み、前駆体層は Al を含む 3-5 族化合物半導体を含む。

[0011] また、半導体基板は、シード結晶の前駆体が結晶に成長することを阻害する阻害層をベース基板上に形成し、阻害層をベース基板にまで貫通する開口を阻害層に形成し、シード結晶を開口の内部に設け、シード結晶に格子整合または擬格子整合する前駆体層を結晶成長させ、前駆体層に格子整合または擬格子整合する化合物半導体を結晶成長させ、前駆体層を選択的に酸化して高抵抗層を形成することによって製造されてもよい。半導体基板は、前駆体層と開口の内壁との間に空隙が形成されており、前駆体層の空隙に接する面から酸素を導入し、前駆体層を選択的に酸化することによって製造されてもよい。半導体基板は、前駆体層を阻害層の表面よりも凸に結晶成長させ、前駆体層を核として、化合物半導体を阻害層に沿って成長させ、前駆体層を選択的に酸化することによって製造されてもよい。

[0012] 本発明の第 2 の態様においては、ベース基板と、ベース基板上に設けられたシード結晶と、シード結晶の上方に設けられた化合物半導体と、シード結晶と化合物半導体との間に設けられ、シード結晶よりも大きな抵抗率を有する高抵抗層と化合物半導体に形成された第 1 の電子素子とを備え、シード結晶と化合物半導体とが格子整合または擬格子整合している電子デバイスが提供される。例えば、当該電子デバイスにおいては、ベース基板上に形成され、シード結晶の前駆体が結晶に成長することを阻害する阻害層をさらに備え

、阻害層には、阻害層をベース基板にまで貫通する開口が形成されており、シード結晶が開口の内部に形成されている。

[0013] 当該電子デバイスは、ベース基板上に形成された第2の電子素子をさらに備え、阻害層は第2の電子素子の上方に形成されていてもよい。高抵抗層は、例えば、化合物半導体の一部を選択的に酸化して形成されている。

[0014] 本発明の第3の態様においては、ベース基板を準備する段階と、ベース基板上にシード結晶を設ける段階と、シード結晶に格子整合または擬格子整合する前駆体層を結晶成長させる段階と、前駆体層に格子整合または擬格子整合する化合物半導体を結晶成長させる段階と、前駆体層を選択的に酸化する段階とを備える半導体基板の製造方法を提供する。前駆体層は、例えばAlを含む3-5族化合物半導体を含む。当該製造方法は、ベース基板上に、シード結晶の前駆体が結晶に成長することを阻害する阻害層を形成する段階と、阻害層をベース基板にまで貫通する開口を阻害層に形成する段階と、開口の内部にシード結晶を設ける段階とをさらに備えてもよい。

[0015] 当該製造方法においては、シード結晶は $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ( $0 \leq x < 1$ ) を含み、シード結晶を設ける段階は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体をエピタキシャル成長法により結晶に成長させる段階と、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶をアニールする段階とを有してもよい。また、当該製造方法は、ベース基板を準備する段階と、ベース基板上にシード結晶を設ける段階と、シード結晶よりも抵抗率が大きく、シード結晶に格子整合または擬格子整合する高抵抗層を設ける段階と、高抵抗層に格子整合または擬格子整合する化合物半導体を結晶成長させる段階とを備えてもよい。

### 図面の簡単な説明

[0016] [図1]半導体基板110の断面の一例を概略的に示す。

[図2A]半導体基板210の断面の一例を概略的に示す。

[図2B]半導体基板210の断面の一例を概略的に示す。

[図2C]半導体基板210の断面の一例を概略的に示す。

[図3]半導体基板310の断面の一例を概略的に示す。

[図4]半導体基板410の断面の一例を概略的に示す。

[図5]電子デバイス500の断面の一例を概略的に示す。

[図6]電子デバイス500の製造方法の一例を表すフローチャートを示す。

[図7]半導体基板510の製造過程の一例を概略的に示す。

[図8]半導体基板510の製造過程の一例を概略的に示す。

[図9]半導体基板510の製造過程の一例を概略的に示す。

[図10]半導体基板1010の一例を概略的に示す。

[図11]半導体基板510の断面の一例を概略的に示す。

[図12]半導体基板1010の一例を概略的に示す。

[図13]電子デバイス500においてHBTが形成された部分を観察した断面TEM写真である。

### 発明を実施するための形態

[0017] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。以下、図面を参照して、実施形態について説明するが、図面の記載において、同一または類似の部分には同一の参照番号を付して重複する説明を省く場合がある。なお、図面は模式的なものであり、厚みと平面寸法との関係、比率等は現実のものとは異なる場合がある。また、説明の都合上、図面相互間においても互いの寸法の関係又は比率が異なる部分が含まれる場合がある。

[0018] 図1は、半導体基板110の断面の一例を概略的に示す。半導体基板110は、ベース基板120、シード結晶140、高抵抗層160、および化合物半導体180を備える。ベース基板120は、第1主面122および第2主面124を有する。シード結晶140はベース基板120上に設けられる。高抵抗層160はシード結晶140に接して設けられる。

[0019] 化合物半導体180は、シード結晶140の上方に、高抵抗層160に接して設けられる。本例では、化合物半導体180およびシード結晶140は

、高抵抗層 160 を挟んで設けられる。シード結晶 140 と化合物半導体 180 とは、格子整合または擬格子整合する。ここで、本明細書において、「A の上方」とは、「A」を起点としてベース基板 120 から離れる方向に延伸する線上における、「A」の面上を含む任意の位置をいう。

- [0020] 「A」は、例えば、シード結晶 140 または第 2 の電子素子 580 である。例えば、「シード結晶 140 の上方」とは、シード結晶 140 の表面を起点として、ベース基板 120 から離れる方向に延伸する線上の位置をいう。「A の下方」とは、「A」を起点としてベース基板 120 から離れる方向と反対の方向に延伸する線上における任意の位置をいう。

- [0021] また、本明細書において、「擬格子整合」とは、完全な格子整合ではないが、2 つの半導体の格子定数の差が小さく、格子不整合による欠陥の発生が顕著でない範囲で、2 つの半導体を積層できる状態をいう。このとき、各半導体の結晶格子が、弾性変形できる範囲内で変形することで、上記格子定数の差が吸収される。例えば、Ge と GaAs との積層状態は、擬格子整合と呼ばれる。なお、2 つの半導体が接していない場合であっても、2 つの半導体の格子定数が同一、または、格子定数の差が上述したように小さい場合には、2 つの半導体が「格子整合」または「擬格子整合」とすると称する。

- [0022] 例えば、シード結晶 140 と化合物半導体 180 とが格子整合または擬格子整合している場合には、ベース基板 120 の第 1 主面 122 に平行な面における化合物半導体 180 の格子間距離が、第 1 主面 122 に平行な面におけるシード結晶 140 の格子間距離と略同一である。ベース基板 120 の第 1 主面 122 に平行な面における化合物半導体 180 の格子間距離と第 1 主面 122 に平行な面におけるシード結晶 140 の格子間距離との差は、それぞれの格子間距離の 3 % 以内であることが好ましい。高抵抗層 160 はシード結晶 140 に格子整合または擬格子整合していてもよい。また、化合物半導体 180 は、高抵抗層 160 に格子整合または擬格子整合していてもよい。

- [0023] ベース基板 120 は、例えば、Si 基板、SOI (silicon-on



—insulator) 基板、Ge 基板、GOI (germanium-on-insulator) 基板、およびGaAs 基板のうちの何れか1つの基板である。Si 基板は単結晶Si 基板であってもよい。ベース基板120は、サファイア基板、ガラス基板、およびPETフィルム等の樹脂基板であってもよい。

[0024] シード結晶140は、ベース基板120の第1主面122に接する。シード結晶140は、化合物半導体180の結晶成長に良好なシード面を提供する。シード結晶140は、ベース基板120または第1主面122に存在する不純物が、高抵抗層160または化合物半導体180の結晶性に悪影響を及ぼすことを抑制する。シード結晶140は、例えば、半導体の結晶を含む。具体的には、シード結晶140は $\text{Si}_x\text{Ge}_{1-x}$ 結晶層を有してもよい。ここで $x$ は、 $0 \leq x < 1$ を満たす実数を表す。シード結晶140は複数の層を含んでもよい。

[0025] シード結晶140は、例えば、エピタキシャル成長法により形成できる。シード結晶140は、例えば、化学気相析出法(CVD法と称する場合がある。)、有機金属気相成長法(MOCVD法と称する場合がある。)、分子線エピタキシ法(MBE法と称する場合がある。)、または原子層成長法(ALD法と称する場合がある。)により形成できる。上記の方法により半導体の結晶層が形成された後、当該結晶層がエッチング等のフォトリソグラフィ法によりパターニングされて、ベース基板120の一部にシード結晶140が形成されてもよい。

[0026] シード結晶140はアニールされることが好ましい。シード結晶140の内部には、ベース基板120とシード結晶140との格子定数の違い等により、格子欠陥等の欠陥が発生する場合がある。上記欠陥は、例えば、シード結晶140を加熱してアニールを施すことにより、シード結晶140の内部を移動する。上記欠陥は、シード結晶140の内部を移動して、シード結晶140の界面もしくは表面、またはシード結晶140の内部にあるゲッタリングシンク等に捕捉される。即ち、シード結晶140にアニールを施すこと

により、シード結晶 140 の結晶性を向上させることができる。シード結晶 140 は、非晶質または多結晶の  $\text{Si}_x\text{Ge}_{1-x}$  結晶がアニールされて形成されてもよい。

[0027] 上記アニールは、複数段階のアニールであってもよい。例えば、シード結晶 140 の融点に達しない温度での高温アニールを実施した後、高温アニールの温度より低い温度での低温アニールを実施する。このような２段階のアニールが複数回繰り返されてもよい。高温アニールの温度および時間は、シード結晶 140 が  $\text{Si}_x\text{Ge}_{1-x}$  ( $0 \leq x < 1$ ) を有する場合には、例えば、 $850 \sim 900^\circ\text{C}$  で  $2 \sim 10$  分間である。低温アニールの温度および時間は、例えば、 $650 \sim 780^\circ\text{C}$  で  $2 \sim 10$  分間である。このような２段階アニールが、例えば 10 回繰り返される。

[0028] 図 1 において、高抵抗層 160 はシード結晶 140 に接する。しかし、高抵抗層 160 とシード結晶 140 との間に、他の層が配置されてもよい。例えば、高抵抗層 160 は、シード結晶 140 に格子整合または擬格子整合するバッファ層に格子整合または擬格子整合する。

[0029] 高抵抗層 160 の抵抗率は、シード結晶 140 の抵抗率より大きい。また、ベース基板 120 の第 1 主面 122 に垂直な方向における高抵抗層 160 の抵抗値は、シード結晶 140 の抵抗値より大きくてよい。これにより、高抵抗層 160 が、ベース基板 120 と化合物半導体 180 とを電氣的に分離する。その結果、ベース基板 120 に形成された複数の化合物半導体 180 のそれぞれに電子素子が形成された場合に、電子素子間が絶縁分離される。

[0030] 高抵抗層 160 は、例えば酸化物誘電体を有する。高抵抗層 160 は、Al を含む 3-5 族化合物半導体を酸化して得られる酸化物誘電体を有してもよい。Al を含む 3-5 族化合物半導体は、例えば、AlGaAs または AlInGaP である。Al を含む 3-5 族化合物半導体は、例えば、MOCVD 法等のエピタキシャル成長法により形成できる。Al を含む 3-5 族化合物半導体は、化合物半導体 180 を形成した後で酸化されてもよい。高抵抗層 160 は、例えば、酸素がドーピングされ Al を含む 3-5 族化合物半導体

を有する。高抵抗層 160 は、B を含む 3-5 族化合物半導体を有してもよい。

[0031] なお、本明細書において、抵抗率とは比抵抗を意味する。半導体における抵抗率は、当該半導体にオーミック性電極を取り付け、四端子法により計測する。ベース基板 120 と化合物半導体 180 を電氣的に分離するには、高抵抗層 160 は、禁制帯幅が  $1.4 \text{ eV}$  以上であり、少なくとも  $10^5 \Omega \text{ cm}$  以上の抵抗率を有することが好ましく、より好ましくは禁制帯幅が  $1.6 \text{ eV}$  以上であり、 $10^7 \Omega \text{ cm}$  以上の抵抗率を有する。さらに好ましくは禁制帯幅が  $1.8 \text{ eV}$  以上、抵抗率が  $10^9 \Omega \text{ cm}$  以上であれば、高電圧が印加される半導体デバイスを含む幅広い用途に適用できる。このような高抵抗層 160 を用いることにより、ベース基板 120 と化合物半導体 180 との間のリーク電流密度を、 $1 \text{ A/cm}^2$  以下に抑制することができる。

[0032] 化合物半導体 180 は高抵抗層 160 に接する。化合物半導体 180 は、シード結晶 140 と格子整合または擬格子整合する。化合物半導体 180 は、高抵抗層 160 によりベース基板 120 と電氣的に分離される。ここで、「電氣的に分離される」とは、ベース基板 120 と化合物半導体 180 とが完全に絶縁されることまでは要求されない。化合物半導体 180 およびベース基板 120 が電氣的に分離される程度は、化合物半導体 180 に形成された電子素子が安定に動作する程度であってよい。

[0033] 以上のとおり、高抵抗層 160 を挟んで、格子整合または擬格子整合するシード結晶 140 および化合物半導体 180 を形成することで、ベース基板 120 と化合物半導体 180 とを電氣的に分離しつつ、結晶性に優れた化合物半導体 180 が得られる。

[0034] また、高抵抗層 160 として、酸化されることで抵抗率が増加する化合物半導体を用いてよい。当該化合物半導体と格子整合または擬格子整合する化合物半導体 180 を形成した後で当該化合物半導体を酸化することで、ベース基板 120 と化合物半導体 180 とを電氣的に分離することができる。即ち、高抵抗層 160 は、化合物半導体 180 の形成時には、シード結晶 14

0と化合物半導体180とが格子整合または擬格子整合することを妨げない。これにより、ベース基板120と化合物半導体180とを電氣的に絶縁しつつ、より結晶性に優れた化合物半導体180が得られる。

[0035] 図2Aは、半導体基板210の断面の一例を概略的に示す。半導体基板210は、ベース基板120、シード結晶140、高抵抗層160、化合物半導体180、および阻害層250を備える。ベース基板120は、第1主面122および第2主面124を有する。阻害層250には開口256が形成される。半導体基板210は、開口256の内部にシード結晶140が設けられる点で、半導体基板110と相違する。

[0036] 阻害層250は、シード結晶140および化合物半導体180の前駆体が結晶に成長を阻害する。例えば、エピタキシャル成長法により化合物半導体180の結晶が成長する場合において、阻害層250の表面では、化合物半導体180がエピタキシャル成長することが阻害される。阻害層250は、例えば、ベース基板120の第1主面122に接して形成される。

[0037] 阻害層250は、例えば、酸化シリコン層、酸化アルミニウム層、窒化シリコン層、酸窒化シリコン層、窒化タンタル層もしくは窒化チタン層、またはこれらを積層した層である。阻害層250の厚みは、例えば0.05~5 $\mu\text{m}$ である。阻害層250は、例えばCVD法により形成される。

[0038] 開口256は、ベース基板120の第1主面122に略垂直な方向に、阻害層250を貫通する。これにより、開口256は第1主面122を露出させる。開口256の内部には、ベース基板120に接するシード結晶140が設けられる。シード結晶140がエピタキシャル成長法により形成される場合、阻害層250の表面ではシード結晶140の前駆体が結晶に成長することが阻害される。その結果、シード結晶140の前駆体は、開口256の内部で選択的に結晶に成長する。開口256は、例えば、エッチング等のフォトリソグラフィ法により形成される。ここで、本明細書において、「略垂直な方向」とは、厳密に垂直な方向だけでなく、基板および各部材の製造誤差を考慮して、垂直からわずかに傾いた方向をも含む。

- [0039] 開口 256 は、例えば  $(\sqrt{3}) / 3$  以上のアスペクト比を有する。 $(\sqrt{3}) / 3$  以上のアスペクト比を有する開口 256 の内部に、ある程度の厚さを有する結晶が形成されると、当該結晶に含まれる格子欠陥等の欠陥が開口 256 の壁面でターミネートされる。その結果、開口 256 に露出した上記結晶の表面は、当該結晶が形成された時点で優れた結晶性を備える。
- [0040] ここで、本明細書において、「開口のアスペクト比」とは、「開口の深さ」を「開口の幅」で除した値をいう。例えば、電子情報通信学会編、「電子情報通信ハンドブック 第 1 分冊」751 ページ、1988 年、オーム社発行、によると、アスペクト比として（エッチング深さ／パターン幅）と記載されている。本明細書においても、同様の意義でアスペクト比の用語を用いる。
- [0041] なお、「開口の深さ」とは、基板上に薄膜を積層した場合の積層方向の深さをいい、「開口の幅」は、積層方向に垂直な方向の幅をいう。開口の幅が複数ある場合には、開口のアスペクト比の算出にあたり、最小の幅を用いる。たとえば、開口の積層方向から見た形状が長方形である場合、長方形の短辺の長さをアスペクト比の計算に用いる。
- [0042] 高抵抗層 160 は、例えば、開口 256 の内部に設けられる。化合物半導体 180 は、開口 256 の内部の高抵抗層 160 に接して成長する。高抵抗層 160 および化合物半導体 180 は優れた結晶性を有する。また、化合物半導体 180 は、障害層 250 の表面よりも凸に形成される。
- [0043] 図 2 B は、半導体基板 210 の断面の他の例を概略的に示す。同図において、高抵抗層 160 は、開口 256 の内部のシード結晶 140 に接して成長して、障害層 250 の表面よりも凸に形成される。化合物半導体 180 は、障害層 250 の表面よりも凸に形成された高抵抗層 160 を核として、障害層 250 の表面に沿って結晶成長してもよい。
- [0044] 図 2 B においては、化合物半導体 180 は障害層 250 の表面に沿ってラテラル成長している。図 2 B に示すように、化合物半導体 180 が高抵抗層 160 の上面を露出させた状態で障害層 250 の表面に沿って成長する場合

には、化合物半導体 180 の形成後に、高抵抗層 160 を容易に酸化することができる。化合物半導体 180 は、高抵抗層 160 の上方に結晶成長して高抵抗層 160 を覆ってもよい。

[0045] 図 2C は、半導体基板 210 の断面の他の例を概略的に示す。同図において、シード結晶 140 は、開口 256 の内部でベース基板 120 に接して、障害層 250 の表面よりも凸になるまで結晶成長させることにより形成されてもよい。高抵抗層 160 は、障害層 250 の表面よりも凸に結晶成長したシード結晶 140 を核として、障害層 250 の表面に沿ってラテラル成長してもよい。

[0046] この場合に、化合物半導体 180 は、高抵抗層 160 を核として、障害層 250 に沿ってラテラル成長する。化合物半導体 180 が高抵抗層 160 を覆わないので、化合物半導体 180 の形成後に、高抵抗層 160 を容易に酸化できる。つまり、容易に高抵抗層 160 を酸化して高抵抗層 160 の抵抗率を増加させることができる。

[0047] 図 3 は、半導体基板 310 の断面の一例を概略的に示す。半導体基板 310 は、GOI 基板 320、高抵抗層 160、化合物半導体 180、および障害層 250 を備える。GOI 基板 320 は、基板 322、誘電体 324、および  $\text{Si}_x\text{Ge}_{1-x}$  結晶層 326 を有する。GOI 基板 320 は、 $\text{Si}_x\text{Ge}_{1-x}$  結晶層 326 が配置される表面 302 と裏面 304 とを有する。半導体基板 310 は、シード結晶 140 の代わりに GOI 基板 320 の  $\text{Si}_x\text{Ge}_{1-x}$  結晶層 326 が用いられる点で、半導体基板 210 と相違する。

[0048] 基板 322、誘電体 324、 $\text{Si}_x\text{Ge}_{1-x}$  結晶層 326、および障害層 250 は、GOI 基板 320 の表面 302 に略垂直な方向に、この順に配置される。障害層 250 は、 $\text{Si}_x\text{Ge}_{1-x}$  結晶層 326 の前駆体が結晶に成長することを阻害する。障害層 250 には  $\text{Si}_x\text{Ge}_{1-x}$  結晶層 326 にまで貫通する開口 256 が形成される。また、開口 256 の内部に、高抵抗層 160 が設けられる。基板 322、誘電体 324、 $\text{Si}_x\text{Ge}_{1-x}$  結晶層 326、高抵抗層 160、および化合物半導体 180 は、GOI 基板 320 の表面 30

2に略垂直な方向に、この順に配置される。

[0049] 基板322は、例えば単結晶Si基板である。誘電体324は、基板322と $\text{Si}_x\text{Ge}_{1-x}$ 結晶層326とを電氣的に分離する。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶層326は、シード結晶140に対応して、化合物半導体180の結晶成長に良好なシード面を提供する。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶層326は、シード結晶140と同様のアニールが施されることが好ましい。これにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶層326の結晶性が向上する。当該アニールは、例えば、開口256から露出する部分に選択的に実施される。

[0050] 高抵抗層160は、開口256の内部に設けられ、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶層326に接する。高抵抗層160の抵抗率は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶層326の抵抗率より大きい。化合物半導体180は高抵抗層160に接する。化合物半導体180は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶層326との間に高抵抗層160が設けられた状態で、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶層326と格子整合または擬格子整合する。これにより、化合物半導体180と $\text{Si}_x\text{Ge}_{1-x}$ 結晶層326とが電氣的に分離される。その結果、化合物半導体180は、GOI基板320と電氣的に分離される。また、化合物半導体180は、基板322と電氣的に分離される。その他の点については、高抵抗層160および化合物半導体180は、半導体基板210における場合と同様の構成を有する。

[0051] 図4は、半導体基板410の断面の一例を概略的に示す。半導体基板410は、ベース基板120、シード結晶140、阻害層250、および化合物半導体480を備える。ベース基板120は、第1主面122および第2主面124を有する。阻害層250には開口256が形成される。化合物半導体480には分離部460が形成される。半導体基板410は、高抵抗層160を有しない点、および、化合物半導体480に分離部460が形成される点で、半導体基板210と相違する。

[0052] 化合物半導体480と化合物半導体180とは同等である。化合物半導体480は、開口256の内部でシード結晶140に接する。シード結晶140および化合物半導体480の材質を選択することで、化合物半導体480

の内部におけるシード結晶 140 との界面近傍に、空乏層が形成される。上記空乏層は、化合物半導体 480 とベース基板 120 とを電氣的に分離する分離部 460 の一例である。これにより、化合物半導体 480 は、ベース基板 120 と電氣的に分離される。なお、上記空乏層は、シード結晶 140 の内部に形成されてもよい。

[0053] 例えば、シード結晶 140 が高濃度 p 型ゲルマニウムであって、化合物半導体 480 が低濃度の n 型  $Al_yGa_{1-y}As$  ( $0 \leq y \leq 1$ ) である場合には、化合物半導体 480 の内部に分離部 460 としての空乏層が形成される。また、例えば、シード結晶 140 が低濃度 p 型シリコンゲルマニウムであって、化合物半導体 480 が高濃度 n 型  $In_zGa_{1-z}P$  ( $0 \leq z \leq 1$ ) である場合には、シード結晶 140 の内部に分離部 460 としての空乏層が形成される。 $z$  は 0.48 に対して 10% 以内の値であることが好ましい。

[0054] 図 5 は、電子デバイス 500 の断面の一例を概略的に示す。電子デバイス 500 は、半導体基板 510、第 2 の電子素子 580、配線 592、配線 594、および配線 596 を備える。半導体基板 510 は、ベース基板 520、阻害層 554、シード結晶 562、および化合物半導体 566 を有する。阻害層 554 には、開口 556、開口 593、および開口 595 が形成される。

[0055] ベース基板 520 は、第 1 主面 522 および第 2 主面 524 を有する。ベース基板 520 には第 1 の電子素子 570 が形成される。第 1 の電子素子 570 は、ウェル 571、ソース領域 572、ドレイン領域 574、ゲート電極 576、およびゲート絶縁膜 578 を有する。

[0056] 第 2 の電子素子 580 は化合物半導体 566 に形成される。第 2 の電子素子 580 は、入出力電極 587、入出力電極 588、およびゲート電極 589 を有する。

[0057] ベース基板 520、第 1 主面 522、および第 2 主面 524 と、ベース基板 120、第 1 主面 122、および第 2 主面 124 とは同等である。そこで、ベース基板 520、第 1 主面 522、および第 2 主面 524 については、



説明を省略する。阻害層 5 5 4 および開口 5 5 6 と、阻害層 2 5 0 および開口 2 5 6 とは同等である。そこで、阻害層 2 5 0 および開口 2 5 6 との相違点以外については、説明を省略する。阻害層 5 5 4 は、阻害層 2 5 0 と比較して、開口 5 9 3 および開口 5 9 5 を有する点で相違する。

[0058] 開口 5 9 3 および開口 5 9 5 は、第 1 主面 5 2 2 に略垂直な方向に阻害層 5 5 4 を貫通する。開口 5 9 3 および開口 5 9 5 は、それぞれ、ソース領域 5 7 2 およびドレイン領域 5 7 4 を露出させる。開口 5 9 3 および開口 5 9 5 の内部には、それぞれ、配線 5 9 2 および配線 5 9 4 の一部が形成される。これにより、第 1 の電子素子 5 7 0 は、第 2 の電子素子 5 8 0 等の他の電子素子と電氣的に結合される。開口 5 9 3 および開口 5 9 5 は、例えば、反応性イオンエッチングにより形成できる。

[0059] シード結晶 5 6 2 とシード結晶 1 4 0 とは同様の構成を有する。そこで、シード結晶 1 4 0 と同様の構成については説明を省略する場合がある。シード結晶 5 6 2 は、高抵抗層 5 6 4 が設けられた状態で、化合物半導体 5 6 6 に良好なシード面を提供する。シード結晶 5 6 2 は、ベース基板 5 2 0 または第 1 主面 5 2 2 に存在する不純物が、高抵抗層 5 6 4 または化合物半導体 5 6 6 の結晶性に悪影響を及ぼすことを抑制する。シード結晶 5 6 2 は、開口 5 5 6 の内部に設けられる。シード結晶 5 6 2 は第 1 主面 5 2 2 に接する。シード結晶 5 6 2 は、例えば  $\text{Si}_x\text{Ge}_{1-x}$  結晶である。ここで、 $x$  は、 $0 \leq x < 1$  を満たす実数を表す。

[0060] シード結晶 5 6 2 は、例えば、CVD 法などのエピタキシャル成長法により形成できる。このとき、阻害層 5 5 4 の表面ではシード結晶 5 6 2 の前駆体が結晶に成長することが阻害されるので、シード結晶 5 6 2 は開口 5 5 6 の内部に選択的に成長する。シード結晶 5 6 2 はアニールされることが好ましい。シード結晶 5 6 2 のアニールは、シード結晶 1 4 0 のアニールと同様に実施できる。これにより、シード結晶 5 6 2 の内部の欠陥密度を低減でき、化合物半導体 5 6 6 に対して良好なシード面を提供できる。

[0061] 上記アニールは、例えばランプから電磁波をパルス状に複数回照射させる

フラッシュアニールである。上記アニールにおいて、第1の電子素子570を電磁波から保護する保護層を半導体基板510に形成した後、電磁波を半導体基板510に照射することで、シード結晶562が選択的に加熱される。保護層は、例えば、半導体基板510における開口556以外の部分に形成される。保護層は、電磁波の少なくとも一部を反射する反射層を有してもよい。反射層は、例えば金属薄膜である。保護層は、電磁波の少なくとも一部を散乱する散乱層を有してもよい。散乱層は、例えばコロイダルシリカ等の微粒子を含む層である。

[0062] 上記アニールにおいて、電磁波を吸収して熱を発生してシード結晶562を加熱する吸収層を半導体基板510に形成した後に、電磁波を半導体基板510に照射することで、シード結晶562が選択的に加熱されてもよい。吸収層は、例えばアモルファスシリコンである。上記アニールにおいて、シード結晶562に選択的に吸収される波長の電磁波を半導体基板510に向けて照射して、シード結晶562を選択的に加熱してもよい。

[0063] 高抵抗層564と高抵抗層160とは同様の構成を有する。そこで、高抵抗層160と同様の構成については説明を省略する場合がある。高抵抗層564は、例えばシード結晶562に接する。高抵抗層564の抵抗率は、シード結晶562の抵抗率より大きい。高抵抗層564は、化合物半導体566の一部を選択的に酸化して形成される酸化物誘電体であってもよい。高抵抗層564は、Alを含む3-5族化合物半導体を酸化して得られる酸化物誘電体を有してもよい。

[0064] Alを含む3-5族化合物半導体は、例えばAlGaAsまたはAlInGaPである。AlGaAsまたはAlInGaPは、例えば、MOCVD法等のエピタキシャル成長法により形成できる。なお、ベース基板520が、Ge基板、およびGOI基板のように、第1主面522に $\text{Si}_x\text{Ge}_{1-x}$ 結晶( $0 \leq x < 1$ )を有する基板である場合には、高抵抗層564は、第1主面522に接して形成されてもよい。この場合、シード結晶562はベース基板520に形成されなくてもよい。

- [0065] 化合物半導体 566 と化合物半導体 180 とは同様の構成を有する。そこで、化合物半導体 180 と同様の構成については説明を省略する場合がある。化合物半導体 566 は、例えばシード結晶 562 に格子整合または擬格子整合する。化合物半導体 566 は、高抵抗層 564 に接して、シード結晶 562 に格子整合または擬格子整合してもよい。化合物半導体 566 は、高抵抗層 564 により、シード結晶 562 と電氣的に分離される。これにより、化合物半導体 566 は、ベース基板 520 と電氣的に分離される。
- [0066] 化合物半導体 566 は、例えば GaAs 等の 3-5 族化合物半導体の結晶である。化合物半導体 566 は、複数の層を含んでもよい。化合物半導体 566 と高抵抗層 564 との界面は、開口 556 の内部にあってもよい。化合物半導体 566 は、例えば、MOCVD 法等のエピタキシャル成長法により形成できる。
- [0067] 第 1 の電子素子 570 は、ベース基板 520 において、開口 556 により露出されない領域の少なくとも一部に形成される。第 1 の電子素子 570 は、例えば MOSFET である。第 1 の電子素子 570 は、例えば、第 2 の電子素子 580 の駆動回路、第 2 の電子素子 580 の入出力特性における線形性を改善する補正回路、および、第 2 の電子素子 580 の入力段の保護回路のいずれか 1 つの回路に含まれる電子素子である。
- [0068] 第 1 の電子素子 570 は、MISFET、HBT、および HEMT 等の半導体デバイス、半導体レーザー、発光ダイオード、発光サイリスタ等の発光デバイス、光センサ、受光ダイオード等の受光デバイス、または太陽電池に含まれる能動素子であってもよい。また、第 1 の電子素子 570 は、抵抗、キャパシタ、およびインダクタ等の受動素子であってもよい。
- [0069] 第 2 の電子素子 580 は、化合物半導体 566 に形成される。第 2 の電子素子 580 は、例えば HBT である。第 2 の電子素子 580 は、アナログ電子デバイス、LED 等の発光デバイス、および光センサ等の受光デバイスのいずれか 1 つのデバイスに含まれる電子素子であってもよい。
- [0070] 第 2 の電子素子 580 は、MOSFET、MISFET、HBT、および

HEMT等の半導体デバイス、半導体レーザー、発光ダイオード、発光サイリスタ等の発光デバイス、光センサ、受光ダイオード等の受光デバイス、または太陽電池に含まれる能動素子であってもよい。また、第2の電子素子580は、抵抗、キャパシタ、およびインダクタ等の受動素子であってもよい。

[0071] 入出力電極587、入出力電極588およびゲート電極589の材料は、導電性の材料である。例えば、当該材料は、Al、W、Ti等の金属、または、不純物がドーピングされた半導体である。入出力電極587、入出力電極588、およびゲート電極589は、例えば、真空蒸着法またはめっき法などにより形成できる。

[0072] 配線592、配線594、および配線596は、第1の電子素子570または第2の電子素子580を、他の電子素子等と電気的に結合する。配線592、配線594、および配線596の材料は、導電性の材料であればよく、例えば、Al、W、Ti等の金属、または、不純物がドーピングされた半導体を利用できる。配線592、配線594、および配線596は、例えば、真空蒸着法またはめっき法などにより形成できる。

[0073] なお、半導体基板510は、複数の第1の電子素子570を有してもよい。半導体基板510は、複数の第2の電子素子580を有してもよい。それぞれの第1の電子素子570および第2の電子素子580は、例えば、複数の第1の電子素子570または複数の第2の電子素子580のうちの他のいずれかの電子素子と電気的に結合される。

[0074] 図6は、電子デバイス500の製造方法の一例を表すフローチャートを示す。S602からS614の工程により、半導体基板510が製造される。次に、S616において、半導体基板510の化合物半導体566に第2の電子素子580が形成され、阻害層554に開口593および開口595が形成される。さらに、配線592、配線594、および配線596が形成されて、電子デバイス500が得られる。

[0075] 具体的には、S602の工程においてベース基板520が準備される。ベ

ース基板 520 には第 1 の電子素子 570 が形成されてもよい。S604 の工程においては、ベース基板 520 上に阻害層 554 が形成される。S606 の工程においては、阻害層 554 をベース基板 520 にまで貫通する開口 595 が形成される。S608 の工程においては、開口 595 の内部にシード結晶 562 が設けられる。

[0076] 続いて、S610 の工程においては、高抵抗層 564 の前駆体を含む前駆体層がシード結晶 562 上に設けられる。S612 の工程においては、前駆体層上に化合物半導体 566 を結晶成長させる。S614 の工程においては、前駆体層を選択的に酸化することにより、高抵抗層 564 を得ることができる。最後に、S616 の工程において、化合物半導体 566 に第 2 の電子素子 580 が形成される。

[0077] 本例の高抵抗層 564 は、シード結晶 562 および化合物半導体 566 のいずれとも格子整合または擬格子整合する前駆体層を酸化して得られる層である。また、高抵抗層 564 は、シード結晶 562 および化合物半導体 566 のいずれとも、格子整合または擬格子整合せずともよい。

[0078] 以下、図 7 から図 11 を用いて、半導体基板 510 を製造する方法の一例について説明する。図 7 は、半導体基板 510 の製造過程における基板 710 の一例を概略的に示す。図 7 を用いて、図 6 の S602 の工程について説明する。まず、ベース基板 520 が準備される。次に、第 1 の電子素子 570 の少なくとも一部がベース基板 520 に形成される。ベース基板 520 は、例えば市販の Si 基板または SOI 基板である。

[0079] 図 8 は、半導体基板 510 の製造過程における基板 710 の一例を概略的に示す。図 8 を用いて、図 6 の S604 および S606 の工程について説明する。図 8 に示すとおり、ベース基板 520 の第 1 主面 522 に接して、阻害層 554 が形成される。阻害層 554 は、例えば  $\text{SiO}_2$  である。阻害層 554 の厚みは、例えば  $0.05 \sim 5 \mu\text{m}$  である。阻害層 554 は、一例として CVD 法により形成される。阻害層 554 には、例えば、エッチング等のフォトリソグラフィ法により開口 556 が形成される。開口 556 は、(√

3)  $\nearrow 3$  以上のアスペクト比を有してもよい。

[0080] 図9は、半導体基板510の製造過程における基板710の一例を概略的に示す。図9を用いて、図6のS608およびS610の工程について説明する。図9に示すとおり、エピタキシャル成長法により、開口556の内部にベース基板520に接するシード結晶562が形成される。シード結晶562は、例えば $\text{Si}_x\text{Ge}_{1-x}$ 結晶である。ここで、 $x$ は、 $0 \leq x < 1$ を満たす実数を表す。

[0081] シード結晶562は、例えば、原料ガスの一部にハロゲンを含むCVD法により形成できる。阻害層554の表面ではシード結晶562の前駆体が結晶に成長することが阻害されるので、シード結晶562は開口556の内部で選択的に成長する。このとき、シード結晶562内部には、格子欠陥等の欠陥が発生する場合がある。

[0082] シード結晶562をアニールすることで、シード結晶562の内部の欠陥密度を低減できる。アニールは、シード結晶140のアニールと同様に実施されてよい。上記アニールにより、シード結晶562の欠陥密度が低減して、結晶性に優れたシード結晶562が得られる。シード結晶562の表面にまで貫通する貫通転位の平均転位密度は、 $10^5 \text{ cm}^{-2}$ 以下に低減されることが好ましい。平均転位密度は、エッチピット法または透過型電子顕微鏡による平面断面観察により測定できる。

[0083] 図9に示すとおり、シード結晶562に接して前駆体層964が設けられる。前駆体層964は、酸化されることにより抵抗率が増加して、ベース基板520と化合物半導体566とを電氣的に分離する。即ち、前駆体層964は、酸化されることで高抵抗層564として機能する。例えば、前駆体層964は、Alを含む3-5族化合物半導体である。前駆体層964は、AlGaAsまたはAlInGaPであってもよい。これらのAlを含む前駆体の3族元素成分中におけるGa成分に対するAl成分の分率は、40%以上が好ましく、より好ましくは60%以上である。前駆体層964は、例えば、MOCVD法等のエピタキシャル成長法により形成できる。

- [0084] 図10は、半導体基板1010の一例を概略的に示す。図10を用いて、図6のS612の工程について説明する。図10に示すとおり、前駆体層964に接して、シード結晶562と格子整合または擬格子整合する化合物半導体566が形成される。つまり、シード結晶562および化合物半導体566の双方が前駆体層964と格子整合または擬格子整合するので、シード結晶562および化合物半導体566も互いに格子整合または擬格子整合する。
- [0085] 例えば、化合物半導体566は、GaAs等の3-5族化合物半導体の結晶である。化合物半導体566は、例えば、MOCVD法等のエピタキシャル成長法により形成できる。化合物半導体566を結晶成長させた後に、前駆体層964を選択的に酸化することにより、前駆体層964を高抵抗層564として機能させることができる。
- [0086] 図11は、半導体基板510の断面の一例を概略的に示す。図11を用いて、図6のS614の工程について説明する。図11に示すとおり、前駆体層964が選択的に酸化されて、高抵抗層564が形成される。前駆体層964は、酸化されることで抵抗率が増加する。これにより、高抵抗層564は、シード結晶562と化合物半導体566とを電氣的に分離する。その結果、化合物半導体566とベース基板520とが電氣的に分離され、化合物半導体566に形成された第2の電子素子580およびベース基板520に形成された第1の電子素子570の動作が安定する。
- [0087] 前駆体層964は、例えば、酸素雰囲気下で半導体基板1010に熱処理を施すことで、選択的に酸化される。前駆体層964は、例えば、以下の手順により選択的に酸化される。まず、反応容器内に設置された加熱支持体上に、前駆体層964を含む半導体基板1010を載置して、半導体基板1010を500℃程度に予め加熱する。このとき、反応容器内の圧力は、例えば、100kPaに設定され、反応容器内には、アルゴンガス等の不活性ガスがキャリアガスとして供給される。なお、キャリアガスとしては、前駆体の種類にもよるが、アルゴンガスの他、ヘリウム、ネオン等の希ガス、窒素

、および水素等も利用できる。

[0088] 次に、25℃に保持された水容器に通気させることで水を含ませたアルゴンガスを、例えば500cc／分の流量で、上記キャリアガスとしてのアルゴンガスに添加する。このようにしてキャリアガスに添加された水により、上記半導体基板1010を処理することで、前駆体層964を選択的に酸化できる。上記処理における、基板温度、水容器温度と通気量とで決まる水蒸気分圧、および、処理時間は、前駆体層964の組成、膜厚、および処理すべき面積によって、適宜調整してよい。

[0089] 前駆体層964と開口556の内壁との間に空隙が形成されてもよい。この場合には、半導体基板1010を酸素雰囲気下で熱処理することにより、前駆体層964が当該空隙に接する面から酸素が導入され、前駆体層964が選択的に酸化される。

[0090] 図12は、半導体基板1010の断面の一例を概略的に示す。同図における半導体基板1010は、前駆体層965の形状および化合物半導体567の形状が、図10における半導体基板1010と異なる。前駆体層965と前駆体層964とは同等の材質である。また、化合物半導体567と化合物半導体566とは同等の材質である。

[0091] 前駆体層965は開口556の内壁に接していない。つまり、前駆体層965と開口556の内壁との間には、空隙が形成されている。従って、半導体基板1010を酸素雰囲気中に入れると、空隙に接する前駆体層965の面から酸素が導入されるので、容易に前駆体層965を選択的に酸化することができる。

## 実施例

[0092] (実施例1)

電子デバイス500を、図6に示す手順に従って製作した。ベース基板520として、市販のSOI基板を準備した。第1の電子素子570として、MOSFETをベース基板520のSi結晶層に形成した。これにより、基板710を準備した。障害層554として、ベース基板520の第1主面5



22に接するSiO<sub>2</sub>層を、CVD法により形成した。SiO<sub>2</sub>層の厚さの平均値は1 μmであった。フォトリソグラフィ法により、阻害層554の一部に開口556を形成した。開口556の大きさは、15 μm×15 μmとした。

[0093] この基板710を反応容器の内部に配置して、シード結晶562として、Ge結晶層を形成した。Ge結晶層は、CVD法により、開口556の内部に選択的に形成した。Ge結晶層は、GeH<sub>4</sub>を原料ガスに用いて、反応容器内の圧力が2.6 kPa、成長温度400℃の条件でいったん約20 nm成膜した後、600℃に昇温して、引き続き約1 μmの厚さで成膜した。

[0094] 次に、反応容器中で、Ge結晶層をアニールした。アニールは、850℃で10分間アニールした後、780℃で10分間実施した。アニールは、Ge結晶層を形成した後、基板710を反応容器から取り出すことなく実施した。即ち、本実施例において、Ge結晶の前駆体を結晶に成長させる段階の後、Ge結晶層が大気に曝露されることなく、連続して、Ge結晶層をアニールした。また、Ge結晶層を結晶成長させる段階と、Ge結晶層をアニールする段階とを、同一の反応容器の内部で実行した。

[0095] Ge結晶層をアニールした後、前駆体層964として、AlGaAs層をMOCVD法により形成した。AlGaAs層は、トリメチルアルミニウム、トリメチルガリウム、およびアルシンを原料ガスに用いて、成長温度が620℃、反応容器内の圧力が9.9 kPaの条件で成膜した。AlGaAs層は、開口556の内部で、Ge結晶層の開口556から露出する面をシード面として成長した。なお、このときのAl組成は、AlとGaの和に対して0.8であった。

[0096] 化合物半導体566として、GaAs層をMOCVD法により形成した。GaAs層は、トリメチルガリウムおよびアルシンを原料ガスに用いて、成長温度が650℃、反応容器内の圧力が9.9 kPaの条件で成膜した。GaAs層は、AlGaAs層の特定面をシード面として成長した。GaAs層は、阻害層554の表面よりも凸に成長した。これにより、半導体基板1

010を作製できた。

[0097] 半導体基板1010が配置された反応容器内の温度および圧力を500°C、100kPaに設定して、反応容器内に25°Cに保持された水容器内を通気したアルゴンガスを500cc/分の流量で供給した。半導体基板1010を、上記の条件下で約15分処理して、AlGaAs層を選択的に酸化した。これにより、AlGaAs層が酸化して酸化物誘電体の高抵抗層564となり、半導体基板510が得られた。これにより、半導体基板510を作製できた。

[0098] 得られた半導体基板510の化合物半導体566に、第2の電子素子580として、上記GaAs層を活性層に用いたHBTを形成した。その後、配線を形成して、電子デバイス500を作製した。電子デバイス500の動作試験を実施したところ、電子デバイス500は、1kA/cm<sup>2</sup>コレクタ電流密度における電流増幅率として176を示して、電流増幅素子として正常に動作することが確認された。また、ベース基板520のSi結晶層に形成された第1の電子素子570としてのMOSFETは、初期特性と変わらないしきい値及び電流電圧特性が確認された。また、隣接する開口部に形成された複数のHBTのコレクタ電極間のリーク電流を調べたところ、印加電圧10Vにおいて平均 $2.5 \times 10^{-10}$ A、と極めて低いリーク電流が観測された。

[0099] アニールされたGe結晶層をSEMにより観察したところ、Ge結晶層の厚さは約1μmであり、GaAs層の膜厚は2.5μmであり、設計通りであった。また、エッチピット法によりGaAs層の表面を検査したところ、GaAs層の表面に欠陥は発見されなかった。TEMにより面内断面観察をしたところ、Ge結晶層からGaAs層に貫通する転位は発見されなかった。以上のとおり、基板と当該基板に形成される化合物半導体とを電氣的に絶縁しつつ、結晶性に優れた化合物半導体を備えた半導体基板および電子デバイスを作成できた。

[0100] (実施例2)

高抵抗層 564 として、選択的に酸化された AlGaAs 層を用いる替わりに、Al 組成が Al と Ga の和に対して 0.3 である AlGaAs 層に酸素を原子濃度で約  $5 \times 10^{19} / \text{cm}^3$  添加した AlGaAs 層を用いたこと以外は、実施例 1 と同様にして半導体基板 510 を作製した。なお、酸素源としては、ジブチルエーテルを用いた。25°C に保持されたジブチルエーテル液内に 200 cc/分の流量で通気した水素を原料ガスに添加することで、AlGaAs 層結晶成長時にジブチルエーテルを供給した。当該方法により上記酸素濃度を得た。それ以外は、実施例 1 と同様にして電子デバイス 500 を作製した。

[0101] 隣接する開口部に形成された複数の HBT のコレクタ電極間のリーク電流を調べたところ、印加電圧 10 V において平均  $1.3 \times 10^{-8} \text{ A}$  と極めて低いリーク電流が観測された。以上のとおり、基板と当該基板に形成される化合物半導体とを電氣的に絶縁しつつ、結晶性に優れた化合物半導体を備えた半導体基板および電子デバイスを作成できた。

[0102] (実施例 3)

高抵抗層 564 として、選択的に酸化された AlGaAs 層を用いる代わりに、InGaP 層にホウ素を原子濃度で約  $2 \times 10^{20} / \text{cm}^3$  添加した InGaP 層を用いたこと以外は、実施例 1 と同様にして半導体基板 510 を作製した。なお、ホウ素源としては、トリメチルホウ素を用いた。10°C に保持されたトリメチルホウ素液内に 10 cc/分の流量で通気した水素を原料ガスに添加することで、InGaP 層結晶成長時にトリメチルホウ素を供給した。これにより、上記ホウ素濃度を得た。それ以外は、実施例 1 と同様にして電子デバイス 500 を作製した。

[0103] 隣接する開口部に形成された複数の HBT のコレクタ電極間のリーク電流を調べたところ、印加電圧 10 V において平均  $2.7 \times 10^{-9} \text{ A}$  と極めて低いリーク電流が観測された。以上のとおり、基板と当該基板に形成される化合物半導体とを電氣的に絶縁しつつ、結晶性に優れた化合物半導体を備えた半導体基板および電子デバイスを作成できた。

## [0104] (実施例 4)

高抵抗層 564 として Al 組成が Al と Ga の和に対して 0.3 の AlGaAs 層に酸素を原子濃度で  $2 \times 10^{19} / \text{cm}^3$  添加した以外は実施例 2 と同様に、半導体基板 510 を作製した。得られた半導体基板 510 をもとにして、実施例 2 と同様に電子デバイス 500 を作製した。電子デバイス 500 の動作試験を実施したところ、 $1 \text{ kA} / \text{cm}^2$  コレクタ電流密度における電流増幅率は 123 であった。

[0105] また、隣接する開口部に形成された複数の HBT のコレクタ電極間のリーク電流を調べたところ、印加電圧 10 V において平均  $3.8 \times 10^{-9} \text{ A}$  と極めて低いリーク電流が観測された。

[0106] 図 13 は、電子デバイス 500 において HBT が形成された部分を観察した断面 TEM 写真である。Si 基板の上に Ge 結晶が形成され、さらに酸素ドーピングされた AlGaAs 層が形成されている。酸素ドーピングされた AlGaAs 層の上には InGaP/GaAs 構造の HBT が形成されている。図 13 に示すように、きれいな Ge 結晶および InGaP/GaAs 層が形成されており、Ge 結晶層から InGaP/GaAs 層に貫通する転位は発見されなかった。

## [0107] (比較例 1)

前駆体層 964 を形成しないで、Ge 結晶層の上に化合物半導体層を形成すること以外は実施例 1 と同様に、半導体基板 1010 を作製した。実施例 1 と同様に、得られた半導体基板 1010 の上に電子デバイスを作製した。

[0108] 隣接する開口部に形成された複数の HBT のコレクタ電極間のリーク電流を調べたところ、印加電圧 10 V において平均  $1.8 \times 10^{-6} \text{ A}$ 、のリーク電流が観測された。このリーク電流は、実施例 1 の  $7.2 \times 10^2$  倍、実施例 2 の  $1.4 \times 10^2$  倍、実施例 3 の  $6.7 \times 10^2$  倍であった。

[0109] 以上のとおり、高抵抗層 564 の効果により、ベース基板 520 とベース基板 520 に形成される化合物半導体 566 とを電氣的に絶縁しつつ、結晶

性に優れた化合物半導体 566 を備えた半導体基板 510 および電子デバイス 500 を作成できたことが確認された。

[0110] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0111] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

## 符号の説明

[0112] 110 半導体基板、120 ベース基板、122 第1主面、124 第2主面、140 シード結晶、160 高抵抗層、180 化合物半導体、210 半導体基板、250 阻害層、256 開口、302 表面、304 裏面、310 半導体基板、320 GOI基板、322 基板、324 誘電体、326  $\text{Si}_x\text{Ge}_{1-x}$ 結晶層、410 半導体基板、460 分離部、480 化合物半導体、500 電子デバイス、510 半導体基板、520 ベース基板、522 第1主面、524 第2主面、554 阻害層、556 開口、562 シード結晶、564 高抵抗層、566 化合物半導体、567 化合物半導体、570 第1の電子素子、571 ウェル、572 ソース領域、574 ドレイン領域、576 ゲート電極、578 ゲート絶縁膜、580 第2の電子素子、587 入出力電極、588 入出力電極、589 ゲート電極、592 配線、593 開口、594 配線、595 開口、596 配線、710 基板、964 前駆

体層、9 6 5 前駆体層、1 0 1 0 半導体基板

## 請求の範囲

- [請求項1]           ベース基板と、  
前記ベース基板上に設けられたシード結晶と、  
前記シード結晶の上方に設けられた化合物半導体と、  
前記シード結晶と前記化合物半導体との間に設けられ、前記シード結晶よりも大きな抵抗率を有する高抵抗層と  
を備え、  
前記シード結晶と前記化合物半導体とが格子整合または擬格子整合している半導体基板。
- [請求項2]           前記ベース基板の主面に平行な方向における前記化合物半導体の格子間距離が、前記主面に平行な方向における前記シード結晶の格子間距離と略同一である請求項1に記載の半導体基板。
- [請求項3]           前記高抵抗層が前記シード結晶に格子整合または擬格子整合し、前記化合物半導体が前記高抵抗層に格子整合または擬格子整合している請求項1に記載の半導体基板。
- [請求項4]           前記ベース基板上に形成され、前記シード結晶の前駆体が結晶に成長することを阻害する阻害層をさらに備え、  
前記阻害層を前記ベース基板にまで貫通する開口が形成されており、  
前記シード結晶が前記開口の内部に設けられている請求項1に記載の半導体基板。
- [請求項5]           前記シード結晶は $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）を含む請求項1に記載の半導体基板。
- [請求項6]           前記ベース基板はSi基板、SOI基板、またはGOI基板である請求項1に記載の半導体基板。
- [請求項7]           前記高抵抗層は酸化物誘電体を含む請求項1に記載の半導体基板。
- [請求項8]           前記酸化物誘電体は前記化合物半導体の一部を選択的に酸化して形成されている請求項7に記載の半導体基板。

- [請求項9] 前記酸化物誘電体はAⅠを含む3－5族化合物半導体を酸化して形成されている請求項8に記載の半導体基板。
- [請求項10] 前記高抵抗層は、Bを含む3－5族化合物半導体、または、酸素がドーピングされAⅠを含む3－5族化合物半導体を有する請求項1に記載の半導体基板。
- [請求項11] 前記シード結晶はp型半導体であり、前記化合物半導体はn型半導体であり、前記高抵抗層は前記化合物半導体の空乏層である請求項1に記載の半導体基板。
- [請求項12] 前記シード結晶は高濃度p型Geであり、前記化合物半導体は低濃度n型 $Al_yGa_{1-y}As$  ( $0 \leq y \leq 1$ )である請求項11に記載の半導体基板。
- [請求項13] 前記シード結晶は低濃度p型SiGeであり、前記化合物半導体は低濃度n型 $In_zGa_{1-z}P$  ( $0 \leq z \leq 1$ )である請求項11に記載の半導体基板。
- [請求項14] 前記ベース基板上に前記シード結晶を設け、  
前記シード結晶に格子整合または擬格子整合する前駆体層を結晶成長させ、  
前記前駆体層に格子整合または擬格子整合する前記化合物半導体を結晶成長させ、  
前記前駆体層を選択的に酸化して前記高抵抗層を形成することによって製造された請求項1に記載の半導体基板。
- [請求項15] 前記シード結晶は $Si_xGe_{1-x}$ 結晶 ( $0 \leq x < 1$ ) を含み、  
前記前駆体層はAⅠを含む3－5族化合物半導体を含む請求項14に記載の半導体基板。
- [請求項16] 前記シード結晶の前駆体が結晶に成長することを阻害する阻害層を前記ベース基板上に形成し、  
前記阻害層を前記ベース基板にまで貫通する開口を前記阻害層に形成し、



前記シード結晶を前記開口の内部に設け、

前記シード結晶に格子整合または擬格子整合する前駆体層を結晶成長させ、

前記前駆体層に格子整合または擬格子整合する前記化合物半導体を結晶成長させ、

前記前駆体層を選択的に酸化して前記高抵抗層を形成する

ことによって製造された請求項 1 に記載の半導体基板。

[請求項17]

前記前駆体層と前記開口の内壁との間に空隙が形成されており、

前記前駆体層の前記空隙に接する面から酸素を導入し、前記前駆体層を選択的に酸化することによって製造された請求項 16 に記載の半導体基板。

[請求項18]

前記前駆体層を前記阻害層の表面よりも凸に結晶成長させ、

前記前駆体層を核として、前記化合物半導体を前記阻害層に沿って結晶成長させ、

前記前駆体層を選択的に酸化することによって製造された請求項 16 に記載の半導体基板。

[請求項19]

ベース基板と、

前記ベース基板上に設けられたシード結晶と、

前記シード結晶の上方に設けられた化合物半導体と、

前記シード結晶と前記化合物半導体との間に設けられ、前記シード結晶よりも大きな抵抗率を有する高抵抗層と

前記化合物半導体に形成された第 1 の電子素子と

を備え、

前記シード結晶と前記化合物半導体とが格子整合または擬格子整合している電子デバイス。

[請求項20]

前記ベース基板上に形成され、前記シード結晶の前駆体が結晶に成長することを阻害する阻害層をさらに備え、

前記阻害層には、前記阻害層を前記ベース基板にまで貫通する開口

が形成されており、

前記シード結晶が前記開口の内部に形成されている請求項 19 に記載の電子デバイス。

[請求項21] 前記ベース基板上に形成された第2の電子素子をさらに備え、  
前記阻害層は前記第2の電子素子の上方に形成されている請求項 20 に記載の電子デバイス。

[請求項22] 前記高抵抗層は前記化合物半導体の一部を選択的に酸化して形成されている請求項 19 に記載の電子デバイス。

[請求項23] ベース基板を準備する段階と、  
前記ベース基板上にシード結晶を設ける段階と、  
前記シード結晶に格子整合または擬格子整合する前駆体層を結晶成長させる段階と、  
前記前駆体層に格子整合または擬格子整合する化合物半導体を結晶成長させる段階と、  
前記前駆体層を選択的に酸化する段階と  
を備える半導体基板の製造方法。

[請求項24] 前記前駆体層は AⅢを含む 3-5 族化合物半導体を含む請求項 23 に記載の半導体基板の製造方法。

[請求項25] 前記ベース基板上に、前記シード結晶の前駆体が結晶に成長することを阻害する阻害層を形成する段階と、  
前記阻害層を前記ベース基板にまで貫通する開口を前記阻害層に形成する段階と、

前記開口の内部に前記シード結晶を設ける段階と  
をさらに備える請求項 23 に記載の半導体基板の製造方法。

[請求項26] 前記シード結晶は  $\text{Si}_x\text{Ge}_{1-x}$  結晶 ( $0 \leq x < 1$ ) を含み、  
前記シード結晶を設ける段階は、  
前記  $\text{Si}_x\text{Ge}_{1-x}$  結晶の前駆体をエピタキシャル成長法により結晶に成長させる段階と、

前記  $\text{Si}_x\text{Ge}_{1-x}$  結晶をアニールする段階と  
を有する請求項 23 に記載の半導体基板の製造方法。

[請求項 27]

ベース基板を準備する段階と、

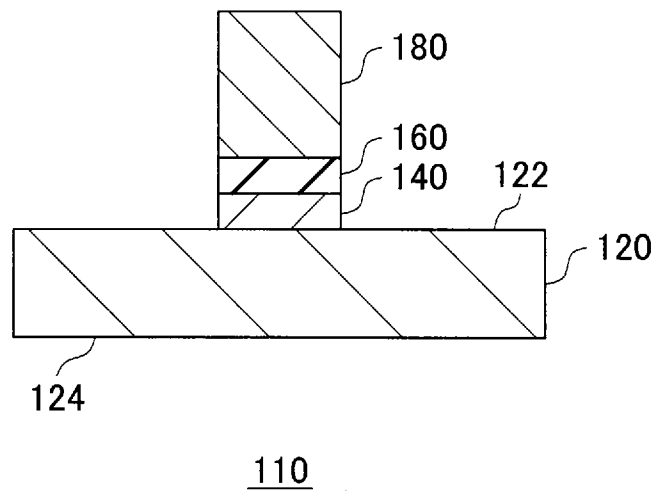
前記ベース基板上にシード結晶を設ける段階と、

前記シード結晶よりも抵抗率が大きく、前記シード結晶に格子整合  
または擬格子整合する高抵抗層を設ける段階と、

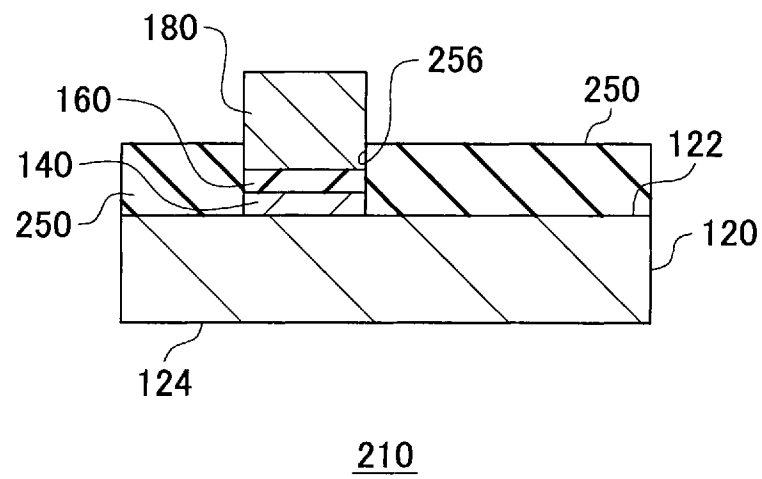
前記高抵抗層に格子整合または擬格子整合する化合物半導体を結晶  
成長させる段階と

を備える半導体基板の製造方法。

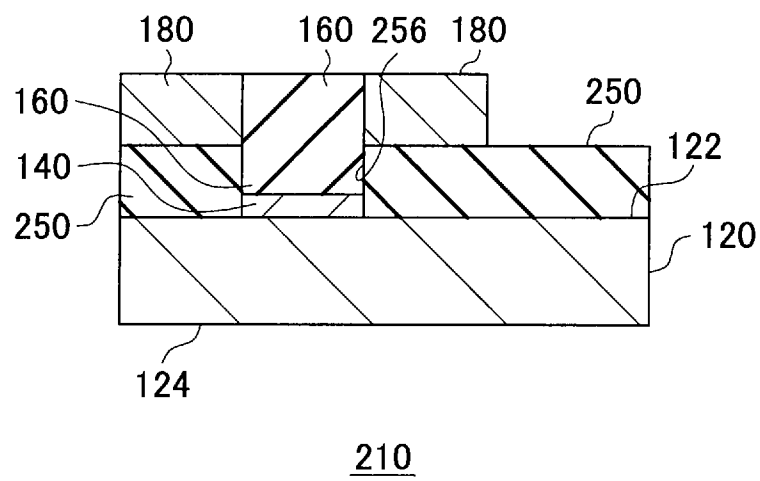
[図1]



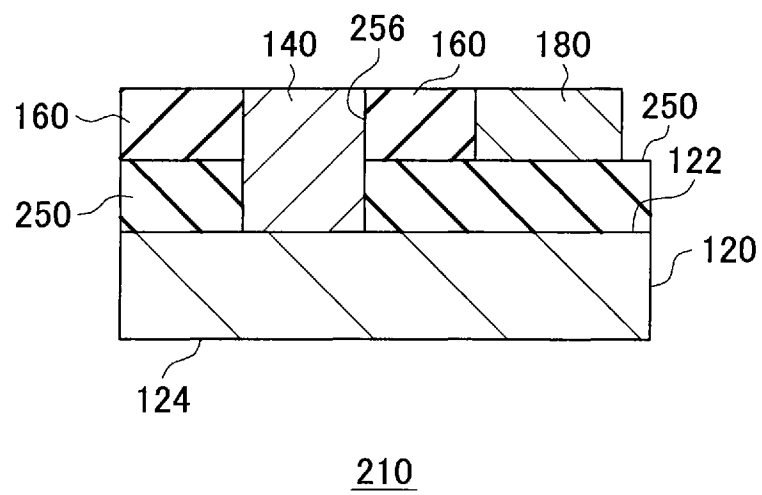
[図2A]



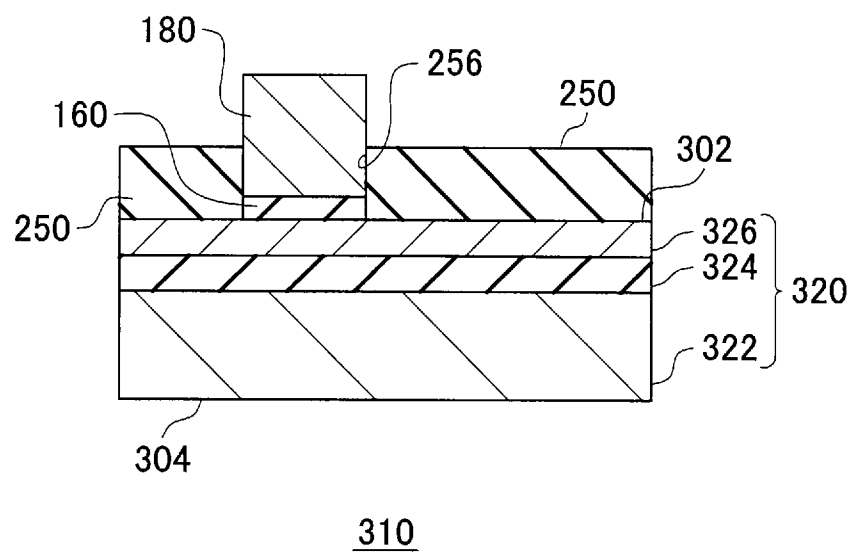
[図2B]



[図2C]

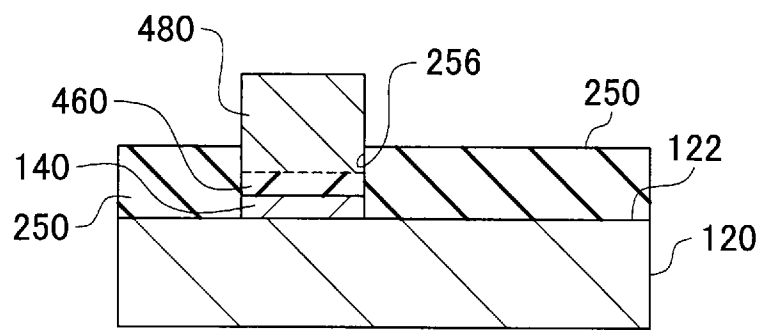


[図3]

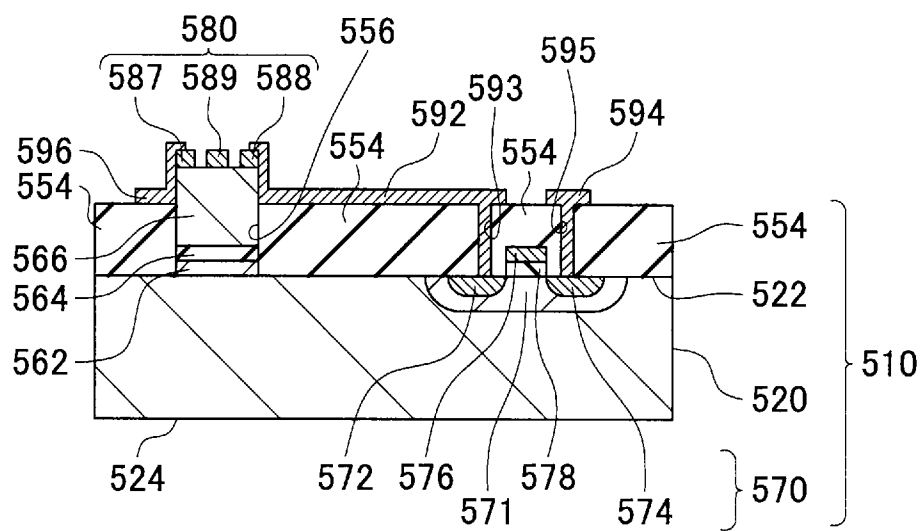




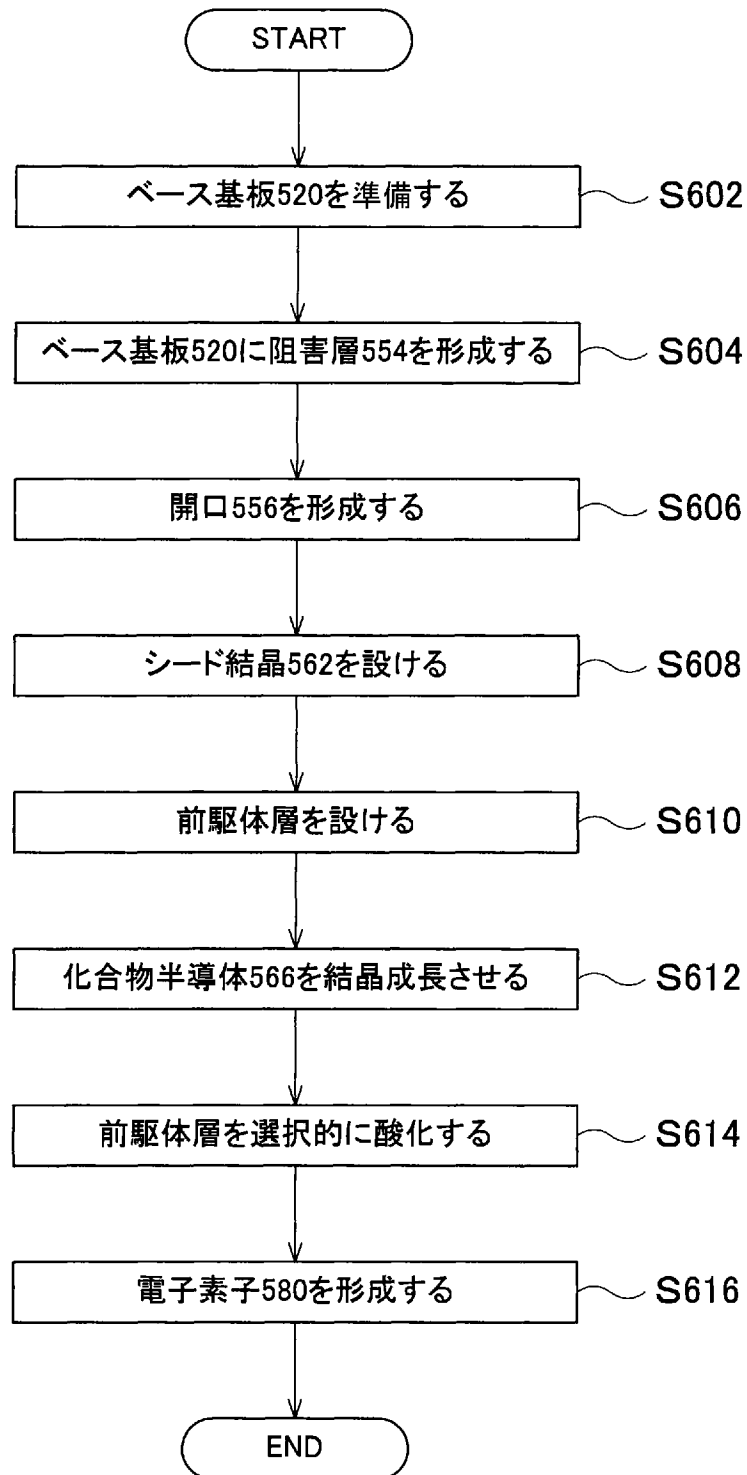
[図4]

410

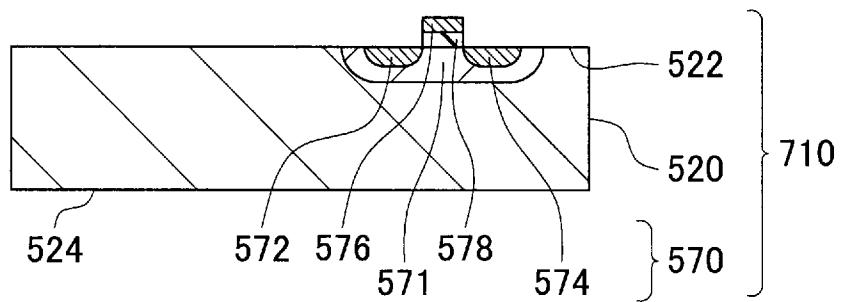
[図5]

500

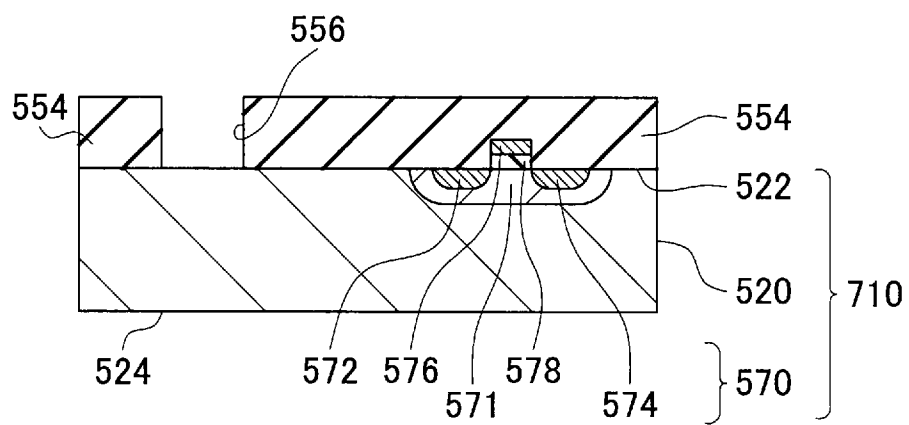
[図6]



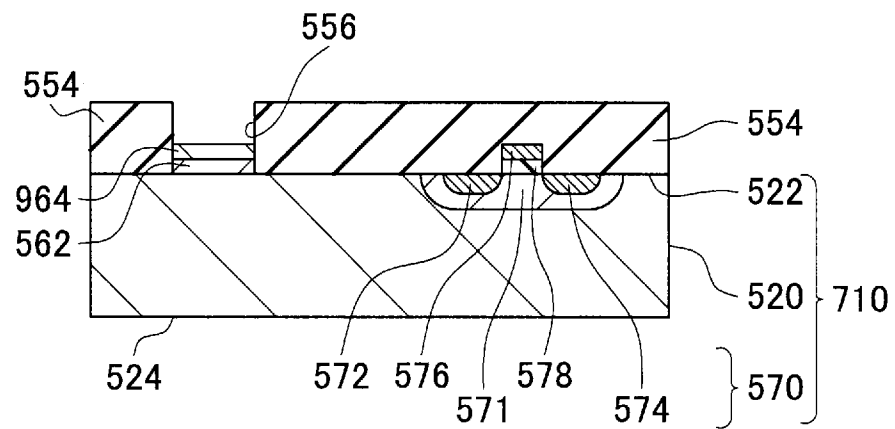
[図7]



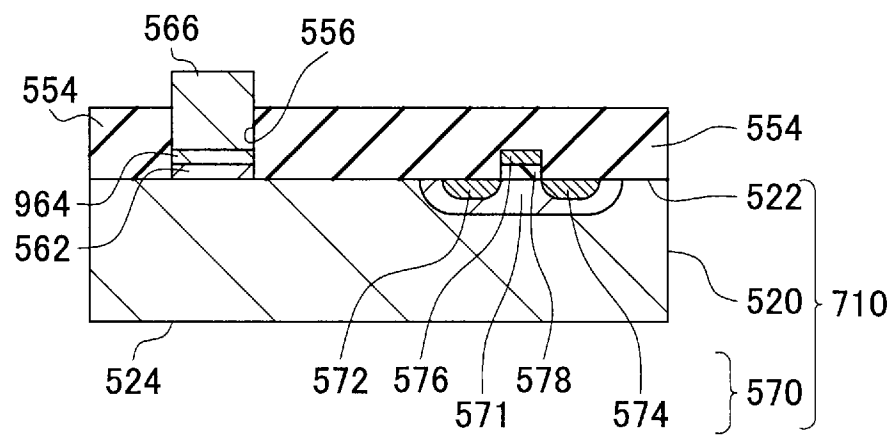
[図8]



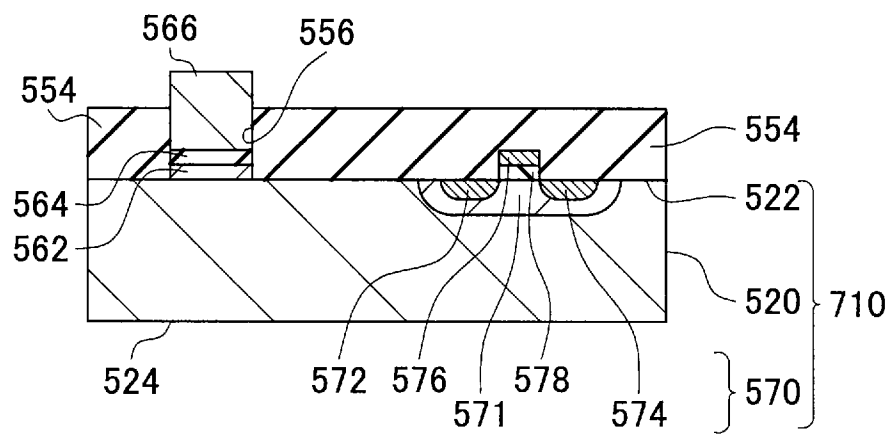
[図9]



[図10]

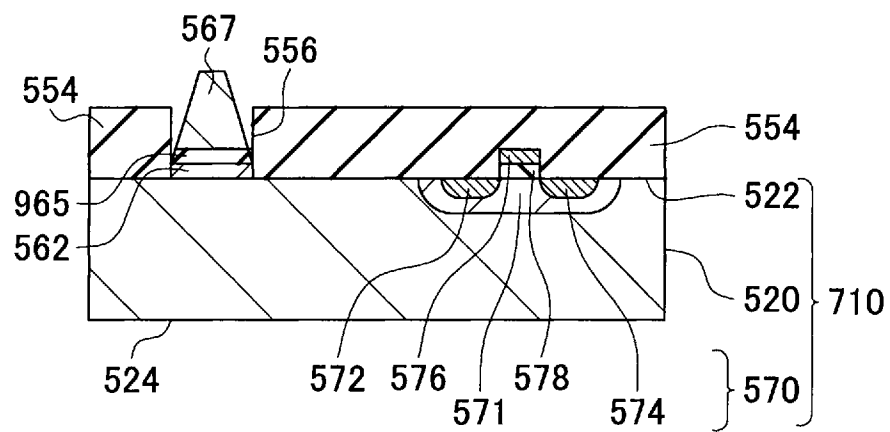
1010

[図11]

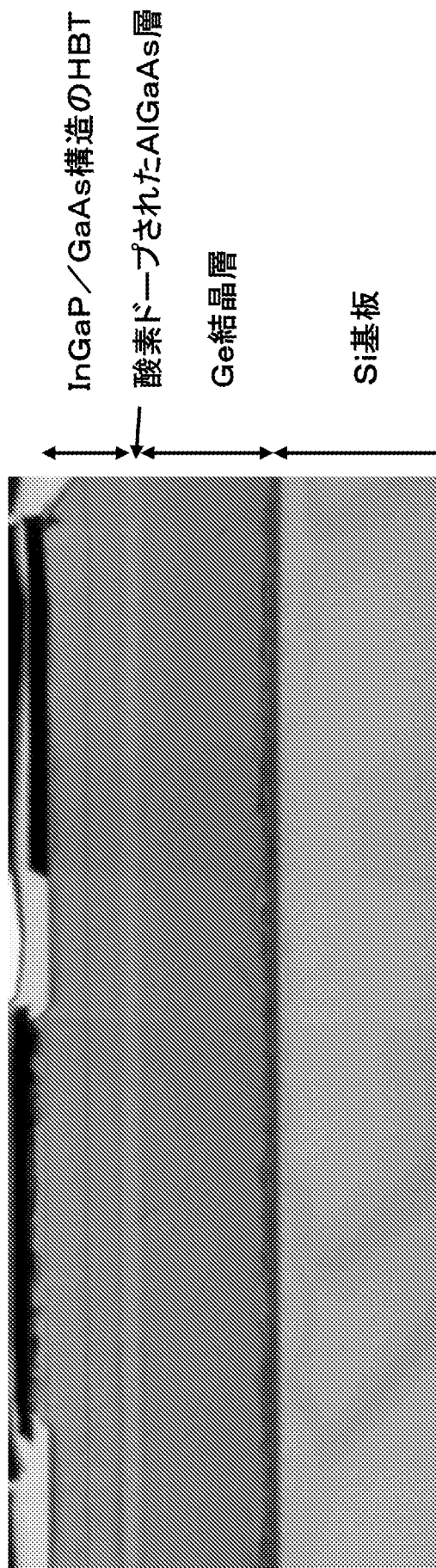
510



[図12]

510

[図13]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006404

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/20(2006.01)i, H01L21/02(2006.01)i, H01L21/205(2006.01)i,  
H01L21/331(2006.01)i, H01L21/8222(2006.01)i, H01L21/8234(2006.01)i,  
H01L21/8248(2006.01)i, H01L27/06(2006.01)i, H01L27/08(2006.01)i,  
According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20, H01L21/02, H01L21/205, H01L21/331, H01L21/8222, H01L21/8234,  
H01L21/8248, H01L27/06, H01L27/08, H01L27/088, H01L27/12, H01L29/737

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2010 |
| Kokai Jitsuyo Shinan Koho | 1971-2010 | Toroku Jitsuyo Shinan Koho | 1994-2010 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                     | Relevant to claim No.                     |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------|
| X         | JP 2000-223420 A (Kyocera Corp.),<br>11 August 2000 (11.08.2000),<br>paragraphs [0019] to [0026]; fig. 1<br>(Family: none)             | 1-3, 6-9, 14,<br>19, 22-24                |
| Y         |                                                                                                                                        | 4, 5, 11-13,<br>15-18, 20, 21,<br>25, 26  |
| X         | JP 06-208963 A (Sumitomo Chemical Co., Ltd.),<br>26 July 1994 (26.07.1994),<br>paragraphs [0025] to [0029]; fig. 3<br>(Family: none)   | 1-3, 6, 10, 19,<br>27                     |
| Y         |                                                                                                                                        | 4, 5, 11-13,<br>15-18, 20, 21,<br>25, 26  |
| Y         | JP 2004-281869 A (Taiyo Yuden Co., Ltd.),<br>07 October 2004 (07.10.2004),<br>paragraphs [0032] to [0039]; fig. 5, 6<br>(Family: none) | 4, 5, 11, 12,<br>15-18, 20, 21,<br>25, 26 |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
18 February, 2010 (18.02.10)

Date of mailing of the international search report  
02 March, 2010 (02.03.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006404

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                 | Relevant to claim No.   |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------|
| Y         | JP 04-084418 A (NEC Corp.),<br>17 March 1992 (17.03.1992),<br>fig. 1 to 4<br>(Family: none)                                                                                                                        | 4, 16-18, 20,<br>21, 25 |
| Y         | Oh HJ, et al., "Integration of GaAs epitaxial<br>layer to Si-based substrate using Ge<br>condensation and low-temperature, JOURNAL OF<br>APPLIED PHYSICS, 2007.09.01, Vol. 102, No. 5,<br>pp. 054306-1 to 054306-6 | 5, 11, 12, 15,<br>26    |
| Y         | JP 01-120013 A (Denso Corp.),<br>12 May 1989 (12.05.1989),<br>page 4, lower left column, lines 8 to 18; fig. 1<br>(Family: none)                                                                                   | 11-13                   |
| Y         | JP 08-321444 A (Nippon Steel Corp.),<br>03 December 1996 (03.12.1996),<br>paragraphs [0018] to [0027]; fig. 1, 2<br>(Family: none)                                                                                 | 11-13                   |
| Y         | JP 06-252046 A (American Telephone and<br>Telegraph Co.),<br>09 September 1994 (09.09.1994),<br>paragraph [0040]<br>& US 5221413 A & US 5442205 A<br>& EP 514018 A2                                                | 13                      |
| Y         | JP 61-135115 A (The United States of America),<br>23 June 1986 (23.06.1986),<br>page 6, upper right column, line 14 to page 7,<br>upper left column, line 4; fig. 6, 7<br>& US 4614564 A                           | 21                      |

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/006404

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

*H01L27/088(2006.01)i, H01L27/12(2006.01)i, H01L29/737(2006.01)i*

(According to International Patent Classification (IPC) or to both national classification and IPC)

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/006404

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:  
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006404

Continuation of Box No.III of continuation of first sheet (2)

Documents 1 and 2 disclose a semiconductor substrate wherein a base substrate, a seed crystal provided on the base substrate, a compound semiconductor provided above the seed crystal, and a high resistance layer which is provided between the seed crystal and the compound semiconductor and has resistivity higher than that of the seed crystal are provided, and the seed crystal and the compound semiconductor are lattice-matched or quasi-lattice-matched. The invention in claim 1 is not novel to the inventions disclosed in the documents 1 and 2, and does not have a special technical feature.

Therefore, there is no feature common to all the inventions in claims 1-27.

Since there is no other common feature considered to be a special technical feature in the meaning of PCT Rule 13.2, second sentence, there is no technical relationship among the inventions in the meaning of PCT Rule 13.2, second sentence.

Consequently, it is clear that the inventions in claims 1-27 do not satisfy the requirement of unity of inventions.

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/20(2006.01)i, H01L21/02(2006.01)i, H01L21/205(2006.01)i, H01L21/331(2006.01)i,  
H01L21/8222(2006.01)i, H01L21/8234(2006.01)i, H01L21/8248(2006.01)i, H01L27/06(2006.01)i,  
H01L27/08(2006.01)i, H01L27/088(2006.01)i, H01L27/12(2006.01)i, H01L29/737(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/20, H01L21/02, H01L21/205, H01L21/331, H01L21/8222, H01L21/8234, H01L21/8248, H01L27/06,  
H01L27/08, H01L27/088, H01L27/12, H01L29/737

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 0 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 0 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 0 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                     | 関連する<br>請求項の番号                           |
|-----------------|-----------------------------------------------------------------------|------------------------------------------|
| X               | JP 2000-223420 A（京セラ株式会社）2000.08.11, 段落【0019】<br>－【0026】，第1図（ファミリーなし） | 1-3, 6-9, 14,<br>19, 22-24               |
| Y               |                                                                       | 4, 5, 11-13,<br>15-18, 20,<br>21, 25, 26 |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 2 . 2 0 1 0

国際調査報告の発送日

0 2 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

萩原 周治

4 L

9 8 3 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8



| C (続き) . 関連すると認められる文献 |                                                                                                                                                                                                       |                                                                   |
|-----------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                     | 関連する<br>請求項の番号                                                    |
| X<br>Y                | JP 06-208963 A (住友化学工業株式会社) 1994. 07. 26, 段落【0025】－【0029】, 第3図 (ファミリーなし)                                                                                                                              | 1-3, 6, 10,<br>19, 27<br>4, 5, 11-13,<br>15-18, 20,<br>21, 25, 26 |
| Y                     | JP 2004-281869 A (太陽誘電株式会社) 2004. 10. 07, 段落【0032】－【0039】, 第5, 6図 (ファミリーなし)                                                                                                                           | 4, 5, 11, 12,<br>15-18, 20,<br>21, 25, 26                         |
| Y                     | JP 04-084418 A (日本電気株式会社) 1992. 03. 17, 第1－4図 (ファミリーなし)                                                                                                                                               | 4, 16-18, 20,<br>21, 25                                           |
| Y                     | Oh HJ, et al., "Integration of GaAs epitaxial layer to Si-based substrate using Ge condensation and low-temperature, JOURNAL OF APPLIED PHYSICS, 2007. 09. 01, Vol. 102, No. 5, pp. 054306-1～054306-6 | 5, 11, 12, 15,<br>26                                              |
| Y                     | JP 01-120013 A (株式会社デンソー) 1989. 05. 12, 第4頁左下欄第8行乃至第18行, 第1図 (ファミリーなし)                                                                                                                                | 11-13                                                             |
| Y                     | JP 08-321444 A (新日本製鐵株式会社) 1996. 12. 03, 段落【0018】－【0027】, 第1, 2図 (ファミリーなし)                                                                                                                            | 11-13                                                             |
| Y                     | JP 06-252046 A (アメリカン テレフォン アンド テレグラフ カムパニー) 1994. 09. 09, 段落【0040】 & US 5221413 A & US 5442205 A & EP 514018 A2                                                                                      | 13                                                                |
| Y                     | JP 61-135115 A (アメリカ合衆国) 1986. 06. 23, 第6頁右上欄第14行乃至第7頁左上欄第4行, 第6, 7図 & US 4614564 A                                                                                                                   | 21                                                                |

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 \_\_\_\_\_ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。  
特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

文献 1, 2 には、ベース基板と、前記ベース基板上に設けられたシード結晶と、前記シード結晶の上方に設けられた化合物半導体と、前記シード結晶と前記化合物半導体との間に設けられ、前記シード結晶よりも大きな抵抗率を有する高抵抗層とを備え、前記シード結晶と前記化合物半導体とが格子整合または擬格子整合している半導体基板が記載されており、請求項 1 に係る発明は、文献 1, 2 に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

それ故、請求の範囲 1 - 2 7 に係る発明すべてに共通の事項はない。

PCT 規則 1 3. 2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの発明の間に規則 1 3. 2 の第 2 文の意味における技術的な関連をみいだすことはできない。

よって、請求の範囲 1 - 2 7 に係る発明は発明の単一性の要件を満たしていないことが明らかである。