

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4572467号
(P4572467)

(45) 発行日 平成22年11月4日(2010.11.4)

(24) 登録日 平成22年8月27日(2010.8.27)

(51) Int. Cl.	F I	
H05K 1/14 (2006.01)	H05K 1/14	H
H01L 23/32 (2006.01)	H01L 23/32	D
H01L 25/10 (2006.01)	H01L 25/14	Z
H01L 25/11 (2006.01)	H05K 1/18	J
H01L 25/18 (2006.01)	H05K 3/36	Z

請求項の数 2 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2001-7847 (P2001-7847)	(73) 特許権者	000004260
(22) 出願日	平成13年1月16日(2001.1.16)		株式会社デンソー
(65) 公開番号	特開2002-217514 (P2002-217514A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成14年8月2日(2002.8.2)	(74) 代理人	100100022
審査請求日	平成19年1月26日(2007.1.26)		弁理士 伊藤 洋二
		(74) 代理人	100108198
			弁理士 三浦 高広
		(74) 代理人	100111578
			弁理士 水野 史博
		(72) 発明者	竹中 久宜
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	近藤 健治
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 マルチチップ半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

電子部品(3~5)が実装された第1及び第2の基板(1、2)を有し、前記第1及び第2の基板がスペーサ(20)を間に配置して積層されてなるマルチチップ半導体装置において、

前記スペーサは、前記第1及び第2の基板を電氣的に接続する複数個のリード(22)と、モールド樹脂により成形されて、複数個のリードを支持する支持部材(21)とを備え、

前記複数個のリードの中央部は、前記支持部材の内部でそれぞれ固定されており、

前記複数個のリードの両端は、前記支持部材のうち前記第2の基板と対向する一面とほぼ同じ高さから側方へそれぞれ突出し、前記支持部材のうち前記第1の基板と対向する他面側に伸ばされ、前記支持部材の反対側に曲げられており、

前記複数個のリードの中央部は、前記第2の基板にそれぞれ接続されており、

前記複数個のリードの両端は、前記支持部材の他面と前記第1の基板との間に隙間を形成するように前記第1の基板にそれぞれ接続されており、

前記複数個のリードは、前記第1及び第2の基板間に生じる熱歪みによってたわむことができるように弾性を有するものであることを特徴とするマルチチップ半導体装置。

【請求項2】

電子部品(3~5)が実装された第1及び第2の基板(1、2)を有し、前記第1及び第2の基板がスペーサ(20)を間に配置して積層され、かつ前記スペーサは、前記第1

10

20

及び第2の基板を電氣的に接続する複数個のリード(22)と、モールド樹脂により成形されて、複数個のリードを支持する支持部材(21)とを備え、

前記複数個のリードの中央部は、前記支持部材の内部でそれぞれ固定されており、

前記複数個のリードの両端は、前記支持部材のうち前記第2の基板と対向する一面とほぼ同じ高さから側方へそれぞれ突出し、前記支持部材のうち前記第1の基板と対向する他面側に伸ばされ、前記支持部材の反対側に曲げられており、

前記複数個のリードの中央部は、前記第2の基板にそれぞれ接続されており、

前記複数個のリードの両端は、前記支持部材の他面と前記第1の基板との間に隙間を形成するように前記第1の基板にそれぞれ接続されており、

前記複数個のリードは、前記第1及び第2の基板間に生じる熱歪みによってたわむことができるように弾性を有するマルチチップ半導体装置の製造方法であって、

前記複数個のリード(22)を型に配置する工程と、

前記型内に軟化状態の樹脂を注入して前記複数個のリード(22)をモールドする工程と、

前記型内の樹脂を硬化して前記複数個のリードの前記支持部材(21)を前記型内で成形する工程と、

前記支持部材(21)および前記複数個のリード(22)を前記スペーサ(20)として前記型内から取り出す工程と、

前記型内から取り出された前記スペーサ(20)の前記複数個のリード(22)を前記第1及び第2の基板のそれぞれに接続する工程と、

を有することを特徴とするマルチチップ半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップや受動部品等を実装した基板を積層してなるマルチチップ半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、電子機器の小型化の要求に応えるため、半導体装置における半導体チップや受動部品等の電子部品の高密度な実装が求められている。その方法の1つとして、実効的な実装面積が上がることの無い3次元実装、つまり、積層構造にしたマルチチップ半導体装置がある。この技術は、特許第2541487号や特許第2728432号において開示されている。

【0003】

図8はこの様なマルチチップ半導体装置の概略断面図である。図8に示すように、複数の基板(図示例では2個)101、102に半導体チップや受動部品等(以下、単に部品という)103が実装されており、これらの基板101、102を棒状の部材(以下、棒体とする)104を介して積層している。

【0004】

図9はこの棒体104を詳細に示す図であって、(a)は平面図であり、(b)は側面図である。図9に示すように、棒体104の表裏面には基板101、102と電氣的に接続するための接続用ランド105が形成されており、表面の接続用ランド105と裏面の接続用ランド105とが棒体104の側面に形成された配線部106により電氣的に接続されている。なお、これらの接続用ランド105と配線部106はメッキ等により形成することができる。

【0005】

そして、図8に示すように、基板101、102に形成された接続用ランド107と棒体104の接続用ランド105とが、半田や導電性ペースト等の接続部材108を介して電氣的に接続されている。

【0006】

10

20

30

40

50

この様な構成になっているため、部品103をマザーボード等の基板に搭載する際の搭載面積は、半導体装置に搭載する部品全ての搭載面積の総和になるのではなく、積層した基板101、102のうち一番下の基板の搭載面積分になる。従って、部品の搭載面積を大幅に削減し、半導体装置において部品を高密度に実装することができる。

【0007】

【発明が解決しようとする課題】

しかしながら、枠体104を挟んだ上下の基板101、102の材質が互いに異なったり、上下の基板に搭載されている部品103の材質が上下の基板101、102同士で互いに異なったりして、半導体装置を作動させたときの上下の基板101、102の熱歪みの程度が異なると、枠体104と基板101、102との接続部において熱応力が集中して、基板間の電気的な接続が劣化し易い。

10

【0008】

この様に、枠体104と基板101、102との接続部において熱応力が集中するのは、積層された基板101、102と枠体104とが完全に固定されており、他に熱応力を分散したり吸収したりすることが無いためである。

【0009】

本発明は、上記問題点に鑑み、部品を実装した基板を積層してなるマルチチップ半導体装置において、基板間の接続の劣化を抑制したマルチチップ半導体装置およびその製造方法を提供することを目的とする。

【0010】

20

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明では、電子部品(3~5)が実装された第1及び第2の基板(1、2)を有し、第1及び第2の基板がスペーサ(20)を間に配置して積層されてなるマルチチップ半導体装置において、

スペーサは、第1及び第2の基板を電氣的に接続する複数個のリード(22)と、モールド樹脂により成形されて、複数個のリードを支持する支持部材(21)とを備え、

複数個のリードの中央部は、支持部材の内部でそれぞれ固定されており、

複数個のリードの両端は、支持部材のうち第2の基板と対向する一面とほぼ同じ高さから側方へそれぞれ突出し、支持部材のうち第1の基板と対向する他面側に伸ばされ、支持部材の反対側に曲げられており、

30

複数個のリードの中央部は、第2の基板にそれぞれ接続されており、

複数個のリードの両端は、支持部材の他面と第1の基板との間に隙間を形成するように第1の基板にそれぞれ接続されており、

複数個のリードは、第1及び第2の基板間に生じる熱歪みによってたわむことができるように弾性を有するものであることを特徴としている。

【0011】

これにより、第1及び第2の基板間で異なる熱歪みが生じた場合に、複数個のリードがたわむことで、この異なる熱歪みに起因する熱応力を吸収することができる。従って、基板とリードとの接続部に過大な熱応力が加わらず接続が確保されるため、基板間の接続の劣化を抑制したマルチチップ半導体装置を提供することができる。

40

【0012】

請求項2に記載の発明では、電子部品(3~5)が実装された第1及び第2の基板(1、2)を有し、第1及び第2の基板がスペーサ(20)を間に配置して積層され、かつスペーサは、第1及び第2の基板を電氣的に接続する複数個のリード(22)と、モールド樹脂により成形されて、複数個のリードを支持する支持部材(21)とを備え、

複数個のリードの中央部は、支持部材の内部でそれぞれ固定されており、

複数個のリードの両端は、支持部材のうち第2の基板と対向する一面とほぼ同じ高さから側方へそれぞれ突出し、支持部材のうち第1の基板と対向する他面側に伸ばされ、支持部材の反対側に曲げられており、

複数個のリードの中央部は、第2の基板にそれぞれ接続されており、

50

複数個のリードの両端は、支持部材の他面と第1の基板との間に隙間を形成するように第1の基板にそれぞれ接続されており、

複数個のリードは、第1及び第2の基板間に生じる熱歪みによってたわむことができるように弾性を有するマルチチップ半導体装置の製造方法であって

複数個のリード(22)を型に配置する工程と、

型内に軟化状態の樹脂を注入して複数個のリード(22)をモールドする工程と、

型内の樹脂を硬化して複数個のリードの支持部材(21)を型内で成形する工程と、

支持部材(21)および複数個のリード(22)をスペーサ(20)として型内から取り出す工程と、

型内から取り出されたスペーサ(20)の複数個のリード(22)を第1及び第2の基板のそれぞれに接続する工程と、を有することを特徴としている。

10

【0013】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0014】

【発明の実施の形態】

(第1実施形態)

以下、図に示す実施形態について説明する。図1は本実施形態のマルチチップ半導体装置の概略断面図である。図1に示すように、複数の基板1、2に電子部品3~5が実装されている。本実施形態では2つの基板1、2を用いており、図1において下側に配置されている基板を第1の基板1とし、上側に配置されている基板を第2の基板2とする。これら第1及び第2の基板1、2としてはプリント基板やセラミック基板を用いることができ、第1の基板1は、例えばマザーボードとなっている。

20

【0015】

第1の基板1の表面には部品用ランド1aが形成され、電子部品としての半導体チップ3がバンプ6を介して部品用ランド1aに対して電氣的に接続されている。この半導体チップ3は、フェースダウンでフリップチップ法により実装されている。このバンプ6としては、半田やAu(金)などを用いることができる。

また、半導体チップ3と第1の基板1との間はアンダーフィル樹脂7が充填されており、半導体チップ3と第1の基板1との熱膨張係数の違いによる接続部の熱疲労寿命を向上させるようにしている。

30

【0016】

第2の基板2の表面には、半導体チップ4がフェースアップで接続部材8を介して接合されている。また、この半導体チップ4と第2の基板2とが、ワイヤボンディング法によりワイヤ9を介して電氣的に接続されている。このワイヤ9としては、AuやAl(アルミニウム)を用いることができる。また、この半導体チップ4及びワイヤ9は樹脂10により封止されて保護(耐湿性向上等)されている。

【0017】

また、第2の基板2の表面には、電子部品としてのチップ抵抗やチップコンデンサなどの受動部品5が実装されている。これらの受動部品5は、第2の基板2の表面に形成された部品ランド2aに対して、半田や導電性ペーストなどの接続部材を介して電氣的に接続されている。また、第2の基板2の裏面に対しても、表面と同様にして受動部品5が実装されている。

40

【0018】

また、第1の基板1と第2の基板2はスペーサ20を間に配置して積層されている。図2はこのスペーサ20の平面図である。図2に示すように、このスペーサ20は枠状の部材(以下、枠体という)21とリード22とから構成されている。そして、枠体21の各辺においてリード22が複数個配置されている。

【0019】

この枠体21は例えばエポキシ樹脂からなり、リード22は電気伝導性の部材からなる。

50

また、リード22は、後述の様に、第1及び第2の基板1、2と接続した際に、第1及び第2の基板1、2間に生じる熱歪みによってたわむことができるように弾性を有するものとなっている。

【0020】

これらのリード22としては、42合金やCu合金などを用いることができる。また、第1及び第2の基板1、2と熱膨張係数が近いものが望ましく、具体的には、第1及び第2の基板1、2としてガラスエポキシ基板を用いる場合は、Cu合金を用いると良い。

【0021】

各々のリード22は中央部が枠体21の内部に配置されて固定され、両端が枠体21のうちの枠体21の厚み方向（第1及び第2の基板1、2の法線方向）の中央部から突出している。そして、リード22の一端が上側に曲げられ、他端が下側に曲げられて、各々のリード22はガルウィング形状になっている。また、両端の先端部は半田等によりメッキされている。

10

【0022】

そして、図1に示すように、第1の基板1の表面と第2の基板2の裏面に複数個の接続用ランド（本発明でいう第1及び第2のランド）1b、2bが形成されて、スペーサ20のリード22を介して、第1の基板1の接続用ランド1bと第2の基板2の接続用ランド2bが電氣的に接続され、第1及び第2の基板1、2が電氣的に接続されている。

【0023】

このリード22と接続用ランド1b、2bとは、半田や導電性ペースト等の接続部材を介して電氣的に接続されている。また、リード22を第1及び第2の基板1、2に接続した状態では、枠体21と第1及び第2の基板1、2の間には隙間が生じている。

20

【0024】

そして、このような構成のマルチチップ半導体装置を作動させ、第1及び第2の基板1、2に異なる熱歪みが生じた場合、リード22がたわむようになっている。

【0025】

本実施形態では、リード22を介して第1及び第2の基板1、2を接続しており、枠体21と第1及び第2の基板1、2とが接合されていないため、第1及び第2の基板2間で異なる熱歪みが生じた場合に、リード22がたわむことができる。

【0026】

従って、この熱歪みに起因する熱応力をリード22により吸収することができるため、第1及び第2の基板1、2とリード22との接続部に過大な熱応力が加わることを防止して、第1及び第2の基板1、2とリード22との接続を確保することができる。そのため、第1及び第2の基板1、2間の接続の劣化を抑制したマルチチップ半導体装置を提供することができる。

30

【0027】

次に、このような構成のマルチチップ半導体装置の製造方法について説明する。

まず、第1及び第2の基板1、2に対して、各種の部品3～5を搭載する。これらの搭載は、周知のフリップチップ法やワイヤボンディング法等により行うことができる。第2の基板2に対しては、表裏面のうち一方の面に部品を搭載した後、もう一方の面に部品を搭載すれば良い。

40

【0028】

また、スペーサ20を用意する。図3～図5はスペーサ20の形成方法を示す図であって、各図において(a)は平面図であり、(b)は(a)におけるA-A断面図である。

【0029】

まず、枠状の空間部を有する型（金型等）を用意する。そして、図3に示すように、複数のリード22が一体化されたリード部材23を型に配置する（型は図示せず）。

【0030】

そして、枠体21を構成する軟化状態の樹脂を型内に注入してリード部材23をモールドする。そして軟化状態の樹脂を硬化させた後、型から取り出して、図4に示す様に、枠体

50

21からリード部材23の両端が突出した状態となる。つまり、QFP(Quad Flat Package)に中子を入れた形でスペーサ20を成形する。

【0031】

その後、リード部材23のうち繋がった部分を切断し、リード22の端部を半田等でメッキする。そして、枠体21から突出したリード22の両端を上側と下側に曲げることにより、図5に示す状態とする。この様にしてスペーサ20が完成する。つまり、モールドパッケージと同様にしてスペーサ20を形成することができる。

【0032】

そして、このスペーサ20を第1の基板1上に配置して、接続部材を介してリード22を第1の基板1に形成された接続用ランド1bに対して接続する。そして、第2の基板2をスペーサ20上に配置して、接続部材を介して第2の基板2の接続用ランド2bとリード22とを接続する。この様にして、本実施形態のマルチチップ半導体装置が完成する。

10

【0033】

(第2実施形態)

本実施形態は第1実施形態と比較してスペーサ20の形状が異なる。以下、主として第1実施形態と異なる部分について述べる。図6は本実施形態のスペーサ20の枠体21の一边を部分的に示す図であって、(a)は平面図であり、(b)は断面図である。

【0034】

図6に示すように、リード22の中央部は枠体21の内部で固定されており、枠体21のうち第2の基板2と対向する一面とほぼ同じ高さからリード22の両端が突出している。そして、リード22の両端は枠体21の一面と反対側の他面側に伸ばされて曲げられている。

20

【0035】

図7はこの様なスペーサ20を用いた場合の第1及び第2の基板1、2との接続構成を示す概略断面図である。図7に示すように、第1及び第2の基板1、2の間にスペーサ20を配置し、第1及び第2の基板1、2とリード22とを各々接続部材を介して接続する。この際、枠体21と第2の基板2とは接触し、枠体21と第1の基板1との間に隙間ができる。

【0036】

この様な構成でも、第1実施形態と同様の効果を発揮することができる。

30

【0037】

(他の実施形態)

上記第2実施形態に示した構成のスペーサ20を図7とは上下を逆にした状態で第1及び第2の基板1、2の間に配置しても良い。また、枠体21の両側からリード22を突出させているが、片側からのみ突出させても良い。また、枠体21と第2の基板2とは接合しても良い。

【0038】

また、上記各実施形態では、スペーサ20が枠体21とリード22とから構成されるものについて示したが、直線状の部材、L形状の部材、或はコの字形状の部材のいずれかとリード22とから構成されるものを用いても良い。

40

【0039】

この場合、必要に応じて直線状の部材を複数個用いたり、L形状の部材を2個用いたり、コの字形状の部材と直線状の部材とを組み合わせたりして、スペーサ20が枠状に配置されるようにしても良い。また、枠状に配置しなくても、コの字形状やL形状に配置したり、直線状の部材を略平行に配置したりしても良い。

【0040】

特に、直線状の部材を用いてスペーサ20を構成する場合は、第2実施形態のように、直線状の部材の一面と同じ高さからリード22の両端を突出させ、直線状部材の他面側に伸ばして曲げるようにすると、スペーサ20を第1及び第2の基板1、2の間に配置する際に安定してスペーサ20を配置することができる。

50

【0041】

また、上記各実施形態ではリード22をガルウィング形状にしているが、更に屈曲させてリード22をしなやかにすると、更に熱応力を吸収し易くなり望ましい。具体的には、各リード22がZ字形状になる様に曲げたり、曲げる回数を増やしたりすることができる。但し、リード22は、第2の基板2をある程度支えることができる程度の強度があるようにする。また、リード22としては、42合金やCu合金以外にも、電気伝導性を有し且つ弾性を有する材質より構成されるものを用いることができる。

【0042】

また、スペーサ20の形成はモールドにより行う場合について示したが、リード22を板状の樹脂により挟み込み接着する等してスペーサ20を形成しても良い。また、枠体21や直線状の部材、L字形状の部材、或はコの字形状の部材としてエポキシ樹脂を用いなくても、セラミック基板を用いてリード22を固定するようにしたスペーサ20を用いても良い。

10

【0043】

また、スペーサ20としては、リード22の中央部分が枠体21や直線状の部材、L字形状の部材、或はコの字形状の部材の内部で固定されるようにしなくても、表面にリード22が出ていても良い。具体的には、第2実施形態で示した様な構成のスペーサ20において、第2の基板2と対向する部位でもリード22が表面に出た状態にし、この表面に出ている部位と第2の基板2の接続用ランド2bとを接続するようにしても良い。

【0044】

また、第1実施形態では、第1及び第2の基板1、2と枠体21とが接触する様な構成にしても良く、第2実施形態では、第1の基板1と枠体21とが接触する様な構成にしても良い。また、2層の基板1、2を積層する例について示したが、3層以上の基板を積層しても良い。

20

【0045】

また、この様なマルチチップ半導体装置を製造する際は、第1の基板1に各種の部品を搭載する際に、同時にスペーサ20を実装しても良い。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るマルチチップ半導体装置の概略断面図である。

【図2】本発明の第1実施形態に係るスペーサの平面図である。

30

【図3】本発明の第1実施形態に係るスペーサの製造方法を示す概略図である。

【図4】図3に続く工程を示す概略図である。

【図5】図4に続く工程を示す概略図である。

【図6】本発明の第2実施形態に係るスペーサの概略図である。

【図7】本発明の第2実施形態に係るマルチチップ半導体装置を部分的に示す概略断面図である。

【図8】従来のマルチチップ半導体装置の概略断面図である。

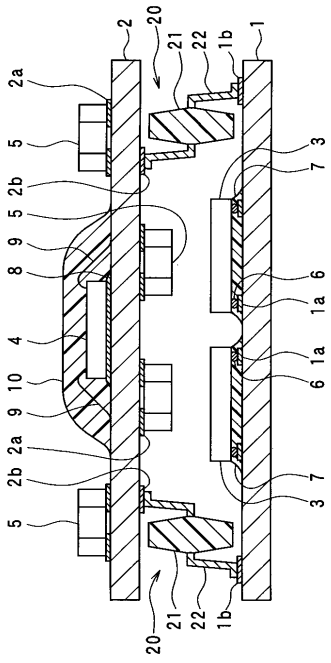
【図9】従来のマルチチップ半導体装置で用いる枠体を示す図である。

【符号の説明】

1...第1の基板、1b...接続用ランド(第1のランド)、2...第2の基板、
2b...接続用ランド(第2のランド)、3~5...電子部品、20...スペーサ、
22...リード。

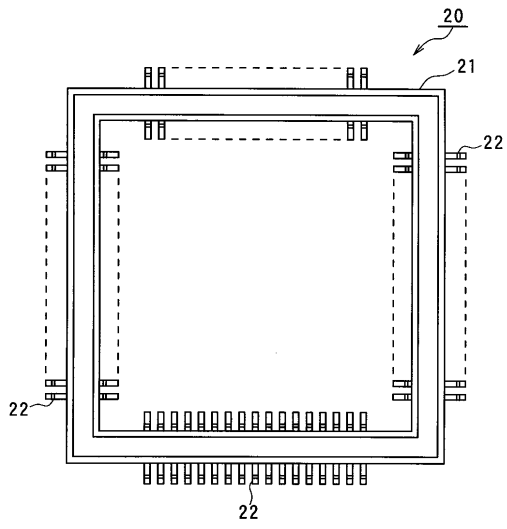
40

【図1】

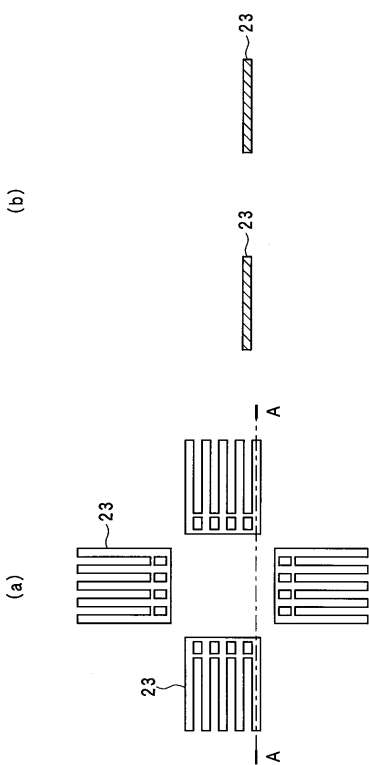


1: 第1の基板 2: 第2の基板 1b, 2b: 導線用ランド
 3~5: 電子部品 20: スペース 22: リード

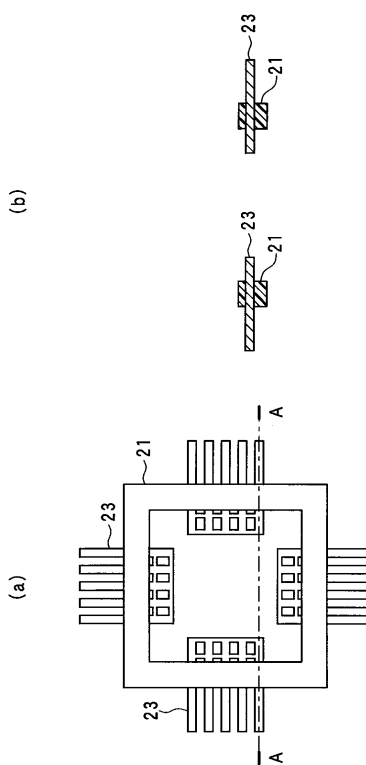
【図2】



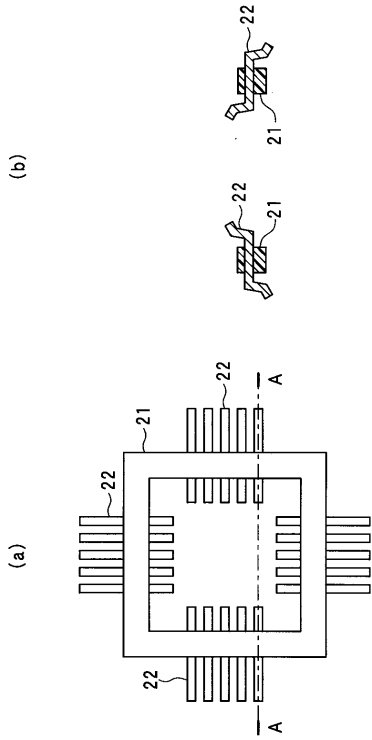
【図3】



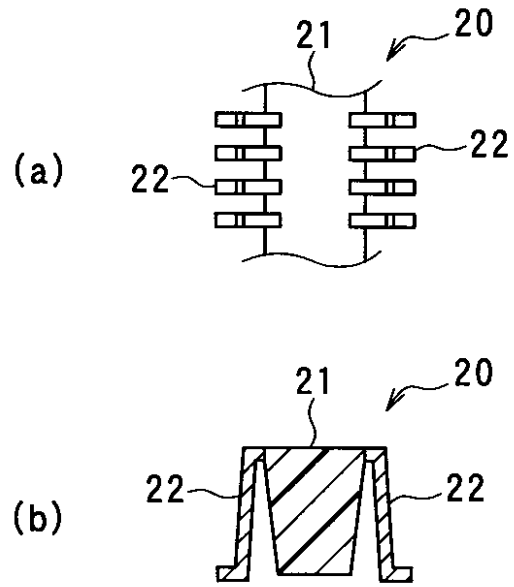
【図4】



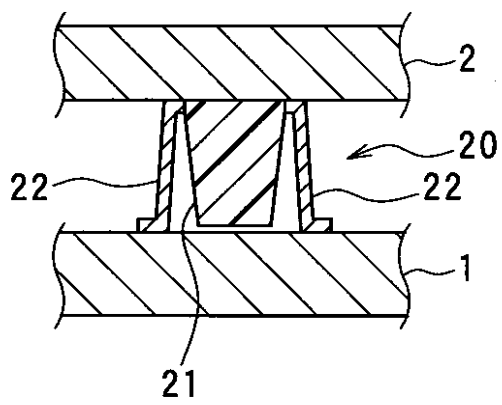
【図 5】



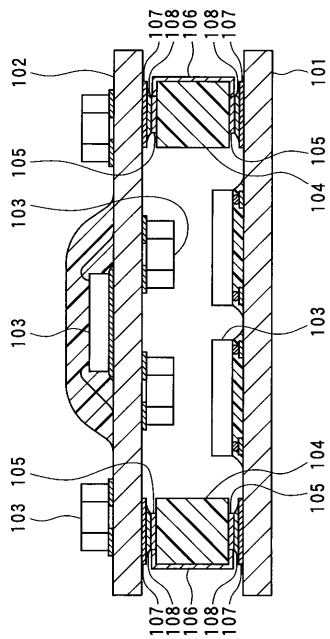
【図 6】



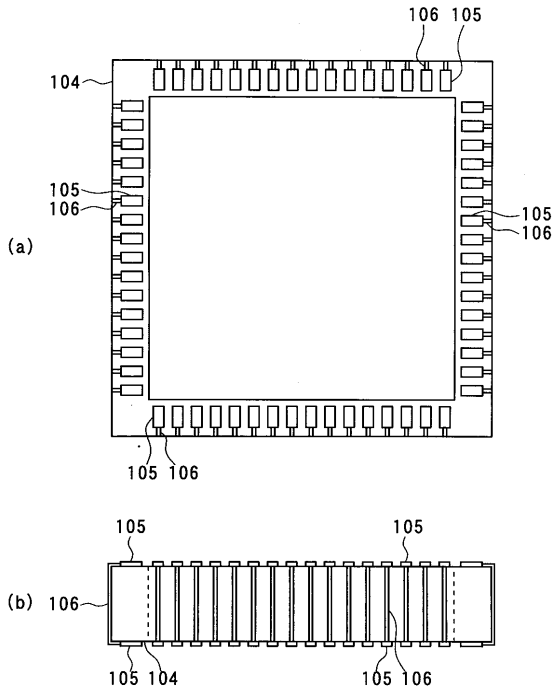
【図 7】



【図 8】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I

H 0 5 K 1/18 (2006.01)

H 0 5 K 3/36 (2006.01)

審査官 川上 佳

(56)参考文献 特開平06-111869(JP,A)
特開平04-249078(JP,A)
特開平11-203946(JP,A)
特開2000-106416(JP,A)
特開平9-266037(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 1/14

H01L 23/32

H01L 25/10

H01L 25/11

H01L 25/18

H05K 1/18

H05K 3/36