



(12) 发明专利

(10) 授权公告号 CN 102509537 B

(45) 授权公告日 2013. 07. 10

(21) 申请号 201110322397. 2

审查员 刘锋

(22) 申请日 2009. 07. 22

(62) 分案原申请数据

200910159190. 0 2009. 07. 22

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 赖威任

(74) 专利代理机构 北京三友知识产权代理有限公司

11127

代理人 任默闻

(51) Int. Cl.

G09G 3/36 (2006. 01)

G11C 19/28 (2006. 01)

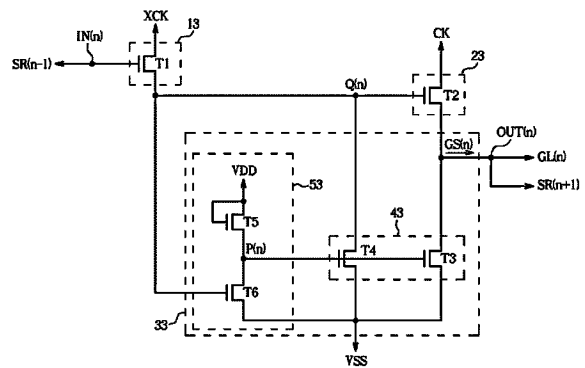
权利要求书3页 说明书6页 附图10页

(54) 发明名称

显示装置的移位寄存器

(57) 摘要

移位寄存器包含复数级串接的移位寄存单元,每一级移位寄存单元包含一输入电路、一提升电路,以及一下拉电路。移位寄存单元于一输入端接收一输入电压,并于一输出端提供一输出电压。输入电路依据输入电压来控制一第一时钟信号和一第一节点之间的信号导通路径。提升电路依据第一节点的电位来控制一第二时钟信号和输出端之间的信号导通路径。下拉电路包含一下拉单元和一控制单元。下拉单元依据第二节点的电位来维持第一节点或输出端的电位。控制单元用来依据一第一偏压和所述第一节点的电位来维持第二节点的电位。在本发明的液晶显示装置中,下拉电路能以较少元件来进行下拉运作,不但能简化电路布局,同时还能有效地维持输出端 OUT 的电位。



1. 一种移位寄存器,其特征在于,所述移位寄存器包含复数级串接的移位寄存单元,其中每一级移位寄存单元包含:

一输入端,用来接收一输入电压;

一输出端,用来提供一输出电压;

一第一节点;

一第二节点;

一输入电路,用来依据所述输入电压的电位来控制一第一时钟信号和所述第一节点之间的信号导通路径;

一提升电路,用来依据所述第一节点的电位来控制一第二时钟信号和所述输出端之间的信号导通路径以提供所述输出电压,其中所述第一和第二时钟信号以一预定周期在一高电位和一低电位之间切换极性,且在同一周期内所述第一和第二时钟信号的极性相反;及

一下拉电路,包含:

一下拉单元,用来依据所述第二节点的电位来维持所述第一节点或所述输出端的电位;及

一控制单元,用来依据一第一偏压和所述第一节点的电位来维持所述第二节点的电位。

2. 如权利要求 1 所述的移位寄存器,其特征在于,所述输入电路包含:

一第一开关,包含:

一第一端,用来接收所述第一时钟信号;

一第二端,耦接于所述第一节点;及

一控制端,耦接于该级移位寄存单元的输入端。

3. 如权利要求 1 所述的移位寄存器,其特征在于,所述提升电路包含:

一第二开关,包含:

一第一端,用来接收所述第二时钟信号;

一第二端,耦接于所述输出端;及

一控制端,耦接于所述第一节点。

4. 如权利要求 1 所述的移位寄存器,其特征在于,所述下拉单元包含:

一第三开关,包含:

一第一端,耦接于所述输出端;

一第二端,用来接收一第二偏压;及

一控制端,耦接于所述第二节点。

5. 如权利要求 1 所述的移位寄存器,其特征在于,所述下拉单元包含:

一第四开关,包含:

一第一端,耦接于所述第一节点;

一第二端,用来接收一第二偏压;及

一控制端,耦接于所述第二节点。

6. 如权利要求 1 所述的移位寄存器,其特征在于,所述控制单元包含:

一第五开关,包含:

一第一端,用来接收所述第一偏压;

- 一第二端,耦接于所述第二节点;及
- 一控制端,耦接于所述第五开关的第一端;及
- 一第六开关,包含:
  - 一第一端,耦接于所述第二节点;
  - 一第二端,用来接收一第二偏压;及
  - 一控制端,耦接于所述第一节点。
- 7. 如权利要求 1 所述的移位寄存器,其特征在于,所述控制单元另包含:
  - 一第七开关,包含:
    - 一第一端,耦接于所述第二节点;
    - 一第二端,用来接收所述第二偏压;及
    - 一控制端,耦接于所述第六开关的控制端。
- 8. 如权利要求 1 所述的移位寄存器,其特征在于,所述输入电路包含:
  - 一第一开关,包含:
    - 一第一端,用来接收所述第一时钟信号;
    - 一第二端,耦接于所述第一节点;及
    - 一控制端,耦接于该级移位寄存单元的输入端;
  - 所述提升电路包含:
    - 一第二开关,包含:
      - 一第一端,用来接收所述第二时钟信号;
      - 一第二端,耦接于所述输出端;及
      - 一控制端,耦接于所述第一节点;
  - 所述下拉单元包含:
    - 一第三开关,包含:
      - 一第一端,耦接于所述输出端;
      - 一第二端,用来接收一第二偏压;及
      - 一控制端,耦接于所述第二节点;
    - 一第四开关,包含:
      - 一第一端,耦接于所述第一节点;
      - 一第二端,用来接收所述第二偏压;及
      - 一控制端,耦接于所述第二节点;且
  - 所述控制单元包含:
    - 一第五开关,包含:
      - 一第一端,用来接收所述第一偏压;
      - 一第二端,耦接于所述第二节点;及
      - 一控制端,耦接于所述第五开关的第一端;及
    - 一第六开关,包含:
      - 一第一端,耦接于所述第二节点;
      - 一第二端,用来接收所述第二偏压;及
      - 一控制端,耦接于所述第一节点。

9. 如权利要求 8 所述的移位寄存器,其特征在于,所述控制单元另包含:

一第七开关,包含:

一第一端,耦接于所述第二节点;

一第二端,用来接收所述第二偏压;及

一控制端,耦接于所述第六开关的控制端。

10. 如权利要求 8 所述的移位寄存器,其特征在于,所述第一偏压的电位高于所述第二偏压的电位。

11. 如权利要求 1 所述的移位寄存器,其特征在于,所述移位寄存器的输入端耦接于前级移位寄存器的输出端以接收所述输入信号。

## 显示装置的移位寄存器

[0001] 本申请是申请号为 2009101591900、申请日为 2009 年 7 月 22 日、发明名称为“显示装置的移位寄存器”的专利申请的分案申请。

### 技术领域

[0002] 本发明相关于一种移位寄存器,尤指一种液晶显示器的移位寄存器。

### 背景技术

[0003] 液晶显示器 (liquid crystal display, LCD) 具有低辐射、体积小及低耗能等优点,已逐渐取代传统的阴极射线管显示器 (cathode ray tube display, CRT),因而被广泛地应用在笔记本电脑、个人数字助理 (personal digital assistant, PDA)、平面电视,或移动电话等资讯产品上。传统液晶显示器的方式是利用外部驱动芯片来驱动面板上的像素以显示影像,但为了减少元件数目并降低制造成本,近年来逐渐发展成将驱动电路的结构直接制作于显示面板上,例如应用将栅极驱动电路 (gate driver) 整合于液晶面板 (gate on array, GOA) 的技术。

[0004] 请参考图 1,图 1 为现有技术中一液晶显示装置 100 的简化模块示意图。图 1 仅显示了液晶显示装置 100 的部分结构,包含复数条栅极线  $GL(1) \sim GL(N)$ 、一移位寄存器 (shift register) 110、一时钟 (clock) 产生器 120 和一电源供应器 130。时钟产生器 120 可提供移位寄存器 110 运作所需的起始脉冲信号 VST 和两时钟信号 CK 和 XCK,而电源供应器 130 可提供移位寄存器 110 运作所需的操作电压 VSS。时钟信号 CK 和 XCK 以预定周期在高低电位之间切换极性,且在同一时间具相反极性。移位寄存器 110 包含有复数级串接的移位寄存单元  $SR(1) \sim SR(N)$ ,每一级移位寄存单元耦接于相对应的栅极线、下一级移位寄存单元的第一输入端 IN1,以及前一级移位寄存单元的第二输入端 IN2。依据时钟信号 CK、XCK 和起始脉冲信号 VST,移位寄存器 110 可分别通过移位寄存单元  $SR(1) \sim SR(N)$  依序输出栅极驱动信号  $GS(1) \sim GS(N)$  至相对应的栅极线  $GL(1) \sim GL(N)$ 。

[0005] 请参考图 2,图 2 为现有技术的液晶显示装置 100 中一第  $n$  级移位寄存单元  $SR(n)$  的示意图 ( $n$  为介于 1 和  $N$  之间的整数)。移位寄存单元  $SR(n)$  包含一第一输入端 IN1、一第二输入端 IN2、一输出端 OUT、一节点  $Q(n)$ 、一输入电路 10、一提升电路 (pull-up circuit) 20、一下拉电路 (pull-down circuit) 30,以及一维持电路 40。移位寄存单元  $SR(n)$  的第一输入端 IN1 耦接于前一级移位寄存单元  $SR(n-1)$  的输出端 OUT,第二输入端 IN2 耦接于下一级移位寄存单元  $SR(n+1)$  的输出端 OUT,而输出端 OUT( $n$ ) 耦接于下一级移位寄存单元  $SR(n+1)$  的第一输入端 IN1 和栅极线  $GL(n)$ 。在现有技术的液晶显示装置 100 中,输入电路 10 的晶体管开关 T1 依据前一级栅极驱动信号  $GS(n-1)$  来维持节点  $Q(n)$  的电位,提升电路 20 的晶体管开关 T2 和 T3 分别依据节点  $Q(n)$  的电位和下一级栅极驱动信号  $GS(n+1)$  来输出栅极驱动信号  $GS(n)$ ,下拉电路 30 的晶体管开关 T4 依据下一级栅极驱动信号  $GS(n+1)$  来维持节点  $Q(n)$  的电位,而维持电路 40 的晶体管开关 T5 依据时钟信号 CK 来控制节点  $Q(n)$  和输出端 OUT 之间的信号导通路径。现有技术的液晶显示装置 100 需依据

下一级栅极驱动信号  $GS(n+1)$  来维持节点  $Q(n)$  的电位, 电路布局复杂, 同时亦无法有效地维持输出端  $OUT$  的电位。

[0006] 请参考图 3, 图 3 为现有技术中一液晶显示装置 200 的简化模块示意图。图 2 仅显示了液晶显示装置 200 的部分结构, 包含复数条栅极线  $GL(1) \sim GL(N)$ 、一移位寄存器 210、一时钟产生器 220 和一电源供应器 230。时钟产生器 220 可提供移位寄存器 210 运作所需的起始脉冲信号  $VST$  和两时钟信号  $CK$  和  $XCK$ , 而电源供应器 230 可提供移位寄存器 210 运作所需的操作电压  $VDD$  和  $VSS$ 。时钟信号  $CK$  和  $XCK$  以预定周期在高低电位之间切换极性, 且在同一时间具相反极性。移位寄存器 210 包含有复数级串接的移位寄存单元  $SR(1) \sim SR(N)$ , 每一级移位寄存单元的输出端耦接于相对应的栅极线和下一级移位寄存单元。依据时钟信号  $CK$ 、 $XCK$  和起始脉冲信号  $VST$ , 移位寄存器 210 可分别通过移位寄存单元  $SR(1) \sim SR(N)$  依序输出栅极驱动信号  $GS(1) \sim GS(N)$  至相对应的栅极线  $GL(1) \sim GL(N)$ 。

[0007] 请参考图 4, 图 4 为现有技术的液晶显示装置 200 中一第  $n$  级移位寄存单元  $SR(n)$  的示意图 ( $n$  为介于 1 和  $N$  之间的整数)。移位寄存单元  $SR(n)$  包含一输入端  $IN(n)$ 、一输出端  $OUT(n)$ 、一输入电路 10、一提升电路 20, 以及一下拉电路 30。移位寄存单元  $SR(n)$  的输入端  $IN(n)$  耦接于前一级移位寄存单元  $SR(n-1)$ , 而输出端  $OUT(n)$  耦接于下一级移位寄存单元  $SR(n+1)$  和栅极线  $GL(n)$ 。在现有技术的液晶显示装置 200 中, 输入电路 10 的晶体管开关  $T1$  依据前一级栅极驱动信号  $GS(n-1)$  来维持节点  $Q1(n)$  的电位, 提升电路 20 的晶体管开关  $T2$  和  $T3$  分别依据节点  $Q1(n)$  和  $Q2(n)$  的电位来输出栅极驱动信号  $GS(n)$ , 下拉电路 30 的晶体管开关  $T4 \sim T6$  则用来维持节点  $Q1(n)$  和  $Q2(n)$  的电位。现有技术的液晶显示装置 200 不需使用下一级栅极驱动信号  $GS(n+1)$  来做为反馈信号, 但仍有电路布局复杂的缺点。

## 发明内容

[0008] 本发明提供一种移位寄存器, 其包含复数级串接的移位寄存单元, 其中每一级移位寄存单元包含一输入端、一输出端、一第一节点、一第二节点、一输入电路、一提升电路, 以及一下拉电路。该级移位寄存单元于输入端接收一输入电压, 并于输出端提供一输出电压。输入电路依据该输入电压的电位来控制一第一时钟信号和该第一节点之间的信号导通路径。提升电路依据该第一节点的电位来控制一第二时钟信号和该输出端之间的信号导通路径以提供该输出电压, 其中该第一和第二时钟信号系以一预定周期在一高电位和一低电位之间切换极性, 且在同一周期内该第一和第二时钟信号的极性相反。下拉电路包含一下拉单元和一控制单元。该下拉单元依据该第二节点的电位来维持该第一节点或该输出端的电位, 而该控制单元依据一偏压和该第一节点的电位来维持该第二节点的电位。

[0009] 在本发明的液晶显示装置中, 下拉电路能以较少元件来进行下拉运作, 不但能简化电路布局, 同时亦能有效地维持输出端  $OUT$  的电位。

## 附图说明

[0010] 为了更清楚地说明本发明实施例或现有技术中的技术方案, 下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍, 显而易见地, 下面描述中的附图仅仅是本发明的一些实施例, 对于本领域普通技术人员来讲, 在不付出创造性劳动性的前提下, 还可

以根据这些附图获得其他的附图。

- [0011] 图 1 为现有技术中一液晶显示装置的简化模块示意图；
- [0012] 图 2 为图 1 的液晶显示装置中一第 n 级移位寄存单元的示意图；
- [0013] 图 3 为现有技术中另一液晶显示装置的简化模块示意图；
- [0014] 图 4 为图 3 的液晶显示装置中一第 n 级移位寄存单元的示意图；
- [0015] 图 5 为本发明中一液晶显示装置的简化模块示意图；
- [0016] 图 6 为本发明第一实施例中一第 n 级移位寄存单元的示意图；
- [0017] 图 7 为本发明第二实施例中一第 n 级移位寄存单元的示意图；
- [0018] 图 8 为本发明中另一液晶显示装置的简化模块示意图；
- [0019] 图 9 为本发明第三实施例中一第 n 级移位寄存单元的示意图；
- [0020] 图 10 为本发明第四实施例中一第 n 级移位寄存单元的示意图。

[0021] 附图标号

- [0022] 10 ~ 14 输入电路 VST 起始脉冲信号
- [0023] 20 ~ 24 提升电路 CK、XCK 时钟信号
- [0024] 30 ~ 34 下拉电路 Q(n)、P(n) 节点
- [0025] 41 ~ 44 下拉单元 T1 ~ T8 晶体管开关
- [0026] 51 ~ 54 控制单元 VDD、VSS 电压
- [0027] 40 维持电路 OUT、OUT(n) 输出端
- [0028] 100、200、300、400 液晶显示装置
- [0029] 110、210、310、410 移位寄存器
- [0030] 120、220、320、420 时钟产生器
- [0031] 130、230、330、430 电源供应器
- [0032] IN1、IN2、IN(n) 输入端
- [0033] GL(1) ~ GL(N)、GL(n) 栅极线
- [0034] GS(1) ~ GS(N)、GS(n) 栅极驱动信号
- [0035] SR(1) ~ SR(N)、SR(n-1)、
- [0036] SR(n)、SR(n+1) 移位寄存单元

### 具体实施方式

[0037] 请参考图 5, 图 5 为本发明中一液晶显示装置 300 的简化模块示意图。图 5 仅显示了液晶显示装置 300 的部分结构, 包含复数条栅极线 GL(1) ~ GL(N)、一移位寄存器 310、一时钟产生器 320 和一电源供应器 330。时钟产生器 320 可提供移位寄存器 310 运作所需的起始脉冲信号 VST 和两时钟信号 CK 和 XCK, 而电源供应器 330 可提供移位寄存器 310 运作所需的操作电压 VSS。时钟信号 CK 和 XCK 以预定周期在高低电位之间切换极性, 且在同一时间具相反极性。移位寄存器 310 包含有复数级串接的移位寄存单元 SR(1) ~ SR(N), 每一级移位寄存单元的输出端耦接于相对应的栅极线和下一级移位寄存单元的输入端。依据时钟信号 CK、XCK 和起始脉冲信号 VST, 移位寄存器 310 可分别通过移位寄存单元 SR(1) ~ SR(N) 依序输出栅极驱动信号 GS(1) ~ GS(N) 至相对应的栅极线 GL(1) ~ GL(N)。

[0038] 请参考图 6, 图 6 为本发明第一实施例的液晶显示装置 300 中一第 n 级移位寄存

单元 SR(n) 的示意图 (n 为介于 1 和 N 之间的整数)。移位寄存单元 SR(n) 包含一输入端 IN(n)、一输出端 OUT(n)、节点 Q(n) 和 P(n)、一输入电路 11、一提升电路 21, 以及一下拉电路 31。移位寄存单元 SR(N) 的输入端 IN(n) 耦接于前一级移位寄存单元 SR(n-1), 而移位寄存单元 SR(n) 的输出端 OUT(n) 耦接于下一级移位寄存单元 SR(n+1) 和栅极线 GL(n)。

[0039] 输入电路 11 包含一晶体管开关 T1, 其栅极耦接于移位寄存单元 SR(n) 的输入端 IN(n) 以接收栅极驱动信号 GS(n-1), 其漏极耦接于时钟产生器 320 以接收时钟信号 XCK, 而其源极耦接于节点 Q(n), 因此能依据栅极驱动信号 GS(n-1) 来控制时钟信号 XCK 和节点 Q(n) 之间的信号导通路径。提升电路 21 包含一晶体管开关 T2, 其栅极耦接于节点 Q(n), 漏极耦接于时钟产生器 320 以接收时钟信号 CK, 而源极耦接于的输出端 OUT(n), 因此能依据节点 Q(n) 的电位来控制时钟信号 CK 和输出端 OUT(n) 之间的信号导通路径。

[0040] 下拉电路 31 包含一下拉单元 41 和一控制单元 51, 下拉单元 41 可依据节点 P(n) 的电位来维持节点 Q(n) 或输出端 OUT(n) 的电位, 而控制单元 51 可依据时钟信号 CK、时钟信号 XCK 和节点 Q(n) 的电位来维持节点 P(n) 的电位。在本发明第一实施例的下拉电路 31 中, 下拉单元 41 包含晶体管开关 T3 和 T4: 晶体管开关 T3 的栅极耦接于节点 P(n), 漏极耦接于输出端 OUT(n), 而源极耦接于电源供应器 330 以接收操作电压 VSS, 因此能依据节点 P(n) 的电位来维持输出端 OUT(n) 的电位; 晶体管开关 T4 的栅极耦接于节点 P(n), 漏极耦接于节点 Q(n), 而源极耦接于电源供应器 330 以接收操作电压 VSS, 因此能依据节点 P(n) 的电位来维持节点 Q(n) 的电位。另一方面, 控制单元 51 包含晶体管开关 T5 ~ T7: 晶体管开关 T5 的栅极和漏极皆耦接于时钟产生器 320 以接收时钟信号 CK, 而源极耦接于节点 P(n), 因此能依据时钟信号 CK 来维持节点 P(n) 的电位; 晶体管开关 T6 的栅极和漏极皆耦接于时钟产生器 320 以接收时钟信号 XCK, 而源极耦接于节点 P(n), 因此能依据时钟信号 XCK 来维持节点 P(n) 的电位; 晶体管开关 T7 的栅极耦接于节点 Q(n), 漏极耦接于节点 P(n), 而源极耦接于电源供应器 330 以接收操作电压 VSS, 因此能依据节点 Q(n) 的电位来维持节点 P(n) 的电位。

[0041] 在第 n 级输出周期外的其它时间内, 移位寄存单元 SR(n) 输出具低电位的栅极驱动信号 GS(n), 因此节点 Q(n) 需维持在低电位以确保晶体管开关 T2 为关闭, 如此栅极驱动信号 GS(n) 的电位才不会被时钟信号 CK 所影响。假设时钟信号 CK 和 XCK 的责任周期 (duty cycle) 皆为 1/2, 此时由控制单元 51 中晶体管开关 T5 和 T6 来分别控制 50% 的下拉运作: 当时钟信号 CK 具高电位时, 晶体管开关 T5 为导通而晶体管开关 T6 为关闭, 节点 P(n) 会通过导通的晶体管开关 T5 拉至时钟信号 CK 的高电位, 进而开启晶体管开关 T3 和 T4 以分别将输出端 OUT(n) 和节点 Q(n) 拉至低电位偏压 VSS; 当时钟信号 XCK 具高电位时, 晶体管开关 T6 为导通而晶体管开关 T5 为关闭, 节点 P(n) 会通过导通的晶体管开关 T6 拉至时钟信号 XCK 的高电位, 进而开启晶体管开关 T3 和 T4 以分别将输出端 OUT(n) 和节点 Q(n) 拉至低电位偏压 VSS。

[0042] 在第 n 级输出周期内, 节点 Q(n) 需维持在高电位以开启晶体管开关 T2, 进而输出具高电位的栅极驱动信号 GS(n)。在进入移位寄存单元 SR(n) 的输出周期前, 输入电路 11 的晶体管开关 T1 会被前一级输出周期的高电位栅极驱动信号 GS(n-1) 开启, 进而将节点 Q(n) 拉至时钟信号 XCK 的高电位。此时控制单元 51 的晶体管开关 T7 亦会被导通, 因此节点 P(n) 会被拉至低电位偏压 VSS, 进而关闭晶体管开关 T3 和 T4 以停止下拉运作。



[0043] 请参考图 7, 图 7 为本发明第二实施例的液晶显示装置 300 中一第  $n$  级移位寄存单元  $SR(n)$  的示意图 ( $n$  为介于 1 和  $N$  之间的整数)。移位寄存单元  $SR(n)$  包含一输入端  $IN(n)$ 、一输出端  $OUT(n)$ 、节点  $Q(n)$  和  $P(n)$ 、一输入电路 12、一提升电路 22, 以及一下拉电路 32。本发明第二实施例的输入电路 12 和提升电路 22 和第一实施例的输入电路 11 和提升电路 21 的结构相同, 不同之处在于本发明第二实施例中下拉电路 32 的结构。本发明第二实施例的下拉电路 32 包含一下拉单元 42 和一控制单元 52。下拉单元 42 包含晶体管开关  $T3$  和  $T4$ , 可依据节点  $P(n)$  的电位来维持节点  $Q(n)$  或输出端  $OUT(n)$  的电位。控制单元 52 包含晶体管开关  $T5 \sim T8$ , 晶体管开关  $T5$  和  $T6$  可依据时钟信号  $CK$  和  $XCK$  来维持节点  $P(n)$  的电位, 而并联的晶体管开关  $T7$  和  $T8$  能依据节点  $Q(n)$  的电位来维持节点  $P(n)$  的电位。并联的晶体管开关  $T7$  和  $T8$  驱动能力较强, 因此本发明第二实施例的液晶显示装置 300 在维持节点  $P(n)$  的电位时能提供更佳的下拉运作。

[0044] 请参考图 8, 图 8 为本发明中一液晶显示装置 400 的模块示意图。图 8 仅显示了液晶显示装置 400 的部分结构, 包含复数条栅极线  $GL(1) \sim GL(N)$ 、一移位寄存器 410、一时钟产生器 420 和一电源供应器 430。时钟产生器 420 可提供移位寄存器 410 运作所需的起始脉冲信号  $VST$  和两时钟信号  $CK$  和  $XCK$ , 而电源供应器 430 可提供移位寄存器 410 运作所需的操作电压  $VDD$  和  $VSS$ 。时钟信号  $CK$  和  $XCK$  以预定周期在高低电位之间切换极性, 且在同一时间具相反极性。移位寄存器 410 包含有复数级串接的移位寄存单元  $SR(1) \sim SR(N)$ , 每一级移位寄存单元的输出端耦接于相对应的栅极线和下一级移位寄存单元的输入端。依据时钟信号  $CK$ 、 $XCK$  和起始脉冲信号  $VST$ , 移位寄存器 410 可分别通过移位寄存单元  $SR(1) \sim SR(N)$  依序输出栅极驱动信号  $GS(1) \sim GS(N)$  至相对应的栅极线  $GL(1) \sim GL(N)$ 。

[0045] 请参考图 9, 图 9 为本发明第三实施例的液晶显示装置 400 中一第  $n$  级移位寄存单元  $SR(n)$  的示意图 ( $n$  为介于 1 和  $N$  之间的整数)。移位寄存单元  $SR(n)$  包含一输入端  $IN(n)$ 、一输出端  $OUT(n)$ 、节点  $Q(n)$  和  $P(n)$ 、一输入电路 13、一提升电路 23, 以及一下拉电路 33。移位寄存单元  $SR(N)$  的输入端  $IN(n)$  耦接于前一级移位寄存单元  $SR(n-1)$ , 而移位寄存单元  $SR(n)$  的输出端  $OUT(n)$  耦接于下一级移位寄存单元  $SR(n+1)$  和栅极线  $GL(n)$ 。

[0046] 输入电路 13 包含一晶体管开关  $T1$ , 其栅极耦接于移位寄存单元  $SR(n)$  的输入端  $IN(n)$  以接收栅极驱动信号  $GS(n-1)$ , 其漏极耦接于时钟产生器 420 以接收时钟信号  $XCK$ , 而其源极耦接于节点  $Q(n)$ , 因此能依据栅极驱动信号  $GS(n-1)$  来控制时钟信号  $XCK$  和节点  $Q(n)$  之间的信号导通路径。提升电路 23 包含一晶体管开关  $T2$ , 其栅极耦接于节点  $Q(n)$ , 漏极耦接于时钟产生器 420 以接收时钟信号  $CK$ , 而源极耦接于输出端  $OUT(n)$ , 因此能依据节点  $Q(n)$  的电位来控制时钟信号  $CK$  和输出端  $OUT(n)$  之间的信号导通路径。

[0047] 下拉电路 33 包含一下拉单元 43 和一控制单元 53, 下拉单元 43 可依据节点  $P(n)$  的电位来维持节点  $Q(n)$  或输出端  $OUT(n)$  的电位, 而控制单元 53 可依据时钟信号  $CK$ 、时钟信号  $XCK$  和节点  $Q(n)$  的电位来维持节点  $P(n)$  的电位。在本发明第三实施例的下拉电路 33 中, 下拉单元 43 包含晶体管开关  $T3$  和  $T4$ : 晶体管开关  $T3$  的栅极耦接于节点  $P(n)$ , 漏极耦接于输出端  $OUT(n)$ , 而源极耦接于电源供应器 430 以接收操作电压  $VSS$ , 因此能依据节点  $P(n)$  的电位来维持输出端  $OUT(n)$  的电位; 晶体管开关  $T4$  的栅极耦接于节点  $P(n)$ , 漏极耦接于节点  $Q(n)$ , 而源极耦接于电源供应器 430 以接收操作电压  $VSS$ , 因此能依据节点  $P(n)$  的电位来维持节点  $Q(n)$  的电位。另一方面, 控制单元 53 包含晶体管开关  $T5$  和  $T6$ : 晶体管开关

T5的栅极和漏极皆耦接于电源供应器430以接收操作电压VDD,而源极耦接于节点P(n),因此能依据操作电压VDD来维持节点P(n)的电位;晶体管开关T6的栅极耦接于节点Q(n),漏极耦接于节点P(n),而源极耦接于电源供应器430以接收操作电压VSS,因此能依据节点Q(n)的电位来维持节点P(n)的电位。

[0048] 在第n级输出周期外的其它时间内,移位寄存单元SR(n)输出具低电位的栅极驱动信号GS(n),因此节点Q(n)需维持在低电位以确保晶体管开关T2为关闭,如此栅极驱动信号GS(n)的电位才不会被时钟信号CK所影响,此时由控制单元53的晶体管开关T5来控制下拉运作,通过导通的晶体管开关T5将节点P(n)拉至操作电压VDD的高电位。在第n级输出周期内,节点Q(n)需维持在高电位以开启晶体管开关T2,进而输出具高电位的栅极驱动信号GS(n)。在进入移位寄存单元SR(n)的输出周期前,输入电路13的晶体管开关T1会被前一级输出周期的高电位栅极驱动信号GS(n-1)开启,进而将节点Q(n)拉至时钟信号XCK的高电位。此时下拉单元43的晶体管开关T6亦会被导通,因此节点P(n)会被拉至低电位偏压VSS,进而关闭晶体管开关T3和T4以停止下拉运作。

[0049] 请参考图10,图10为本发明第四实施例的液晶显示装置300中一第n级移位寄存单元SR(n)的示意图(n为介于1和N之间的整数)。移位寄存单元SR(n)包含一输入端IN(n)、一输出端OUT(n)、节点Q(n)和P(n)、一输入电路14、一提升电路24,以及一下拉电路34。本发明第四实施例的输入电路14和提升电路24和第三实施例的输入电路13和提升电路23的结构相同,不同之处在于本发明第四实施例中下拉电路34的结构。本发明第四实施例的下拉电路34包含一下拉单元44和一控制单元54。下拉单元44包含晶体管开关T3和T4,可依据节点P(n)的电位来维持节点Q(n)或输出端OUT(n)的电位。控制单元54包含晶体管开关T5、T7、T8,晶体管开关T5的栅极和漏极皆耦接于电源供应器430以接收操作电压VDD,而源极耦接于节点P(n),因此能依据操作电压VDD来维持节点P(n)的电位,而并联的晶体管开关T7和T8能依据节点Q(n)的电位来维持节点P(n)的电位。并联的晶体管开关T7和T8驱动能力较强,因此本发明第四实施例的液晶显示装置300在维持节点P(n)的电位时能提供更佳的下拉运作。

[0050] 在前述实施例中,晶体管开关T1~T8可为薄膜晶体管(thin film transistor, TFT)开关,或其它具类似功能的元件。在本发明的液晶显示装置中,下拉电路能以较少元件来进行下拉运作,不但能简化电路布局,同时亦能有效地维持输出端OUT的电位。

[0051] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

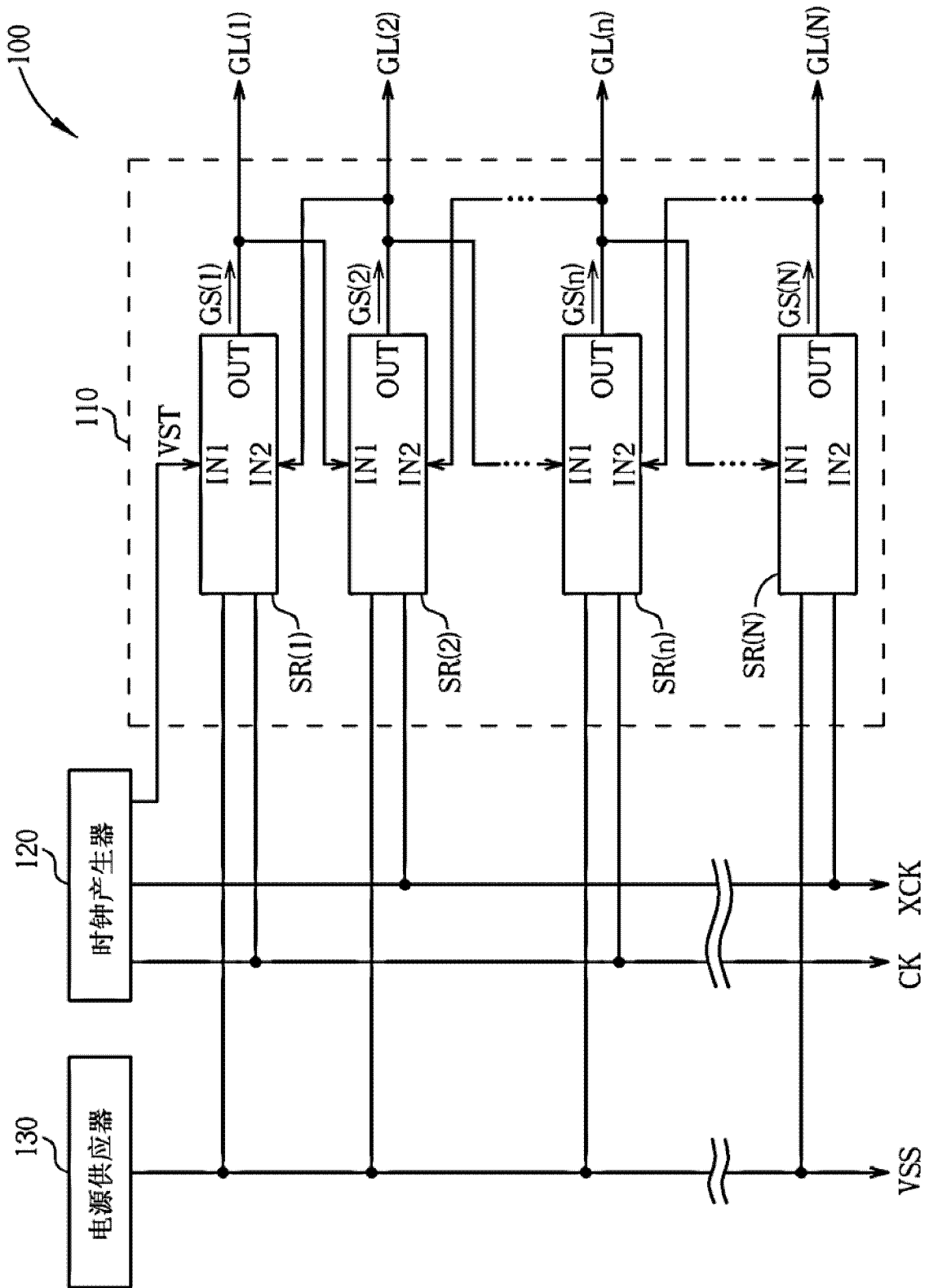


图 1

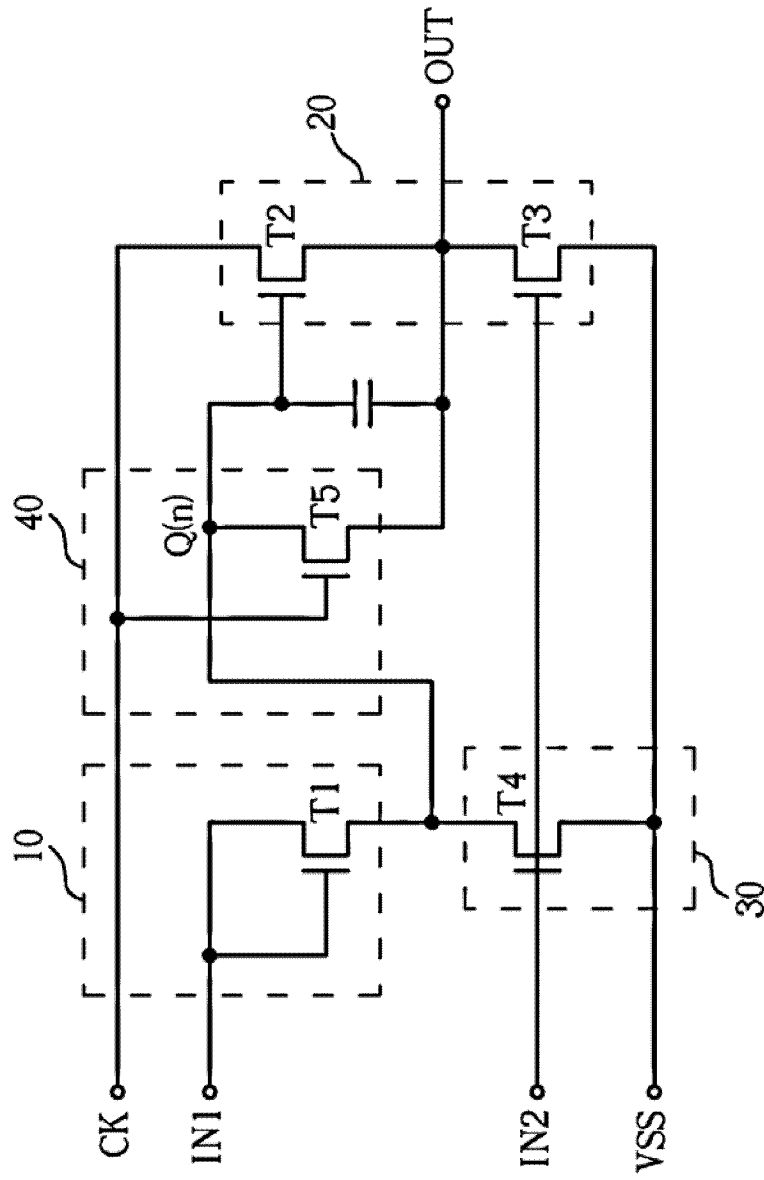


图 2

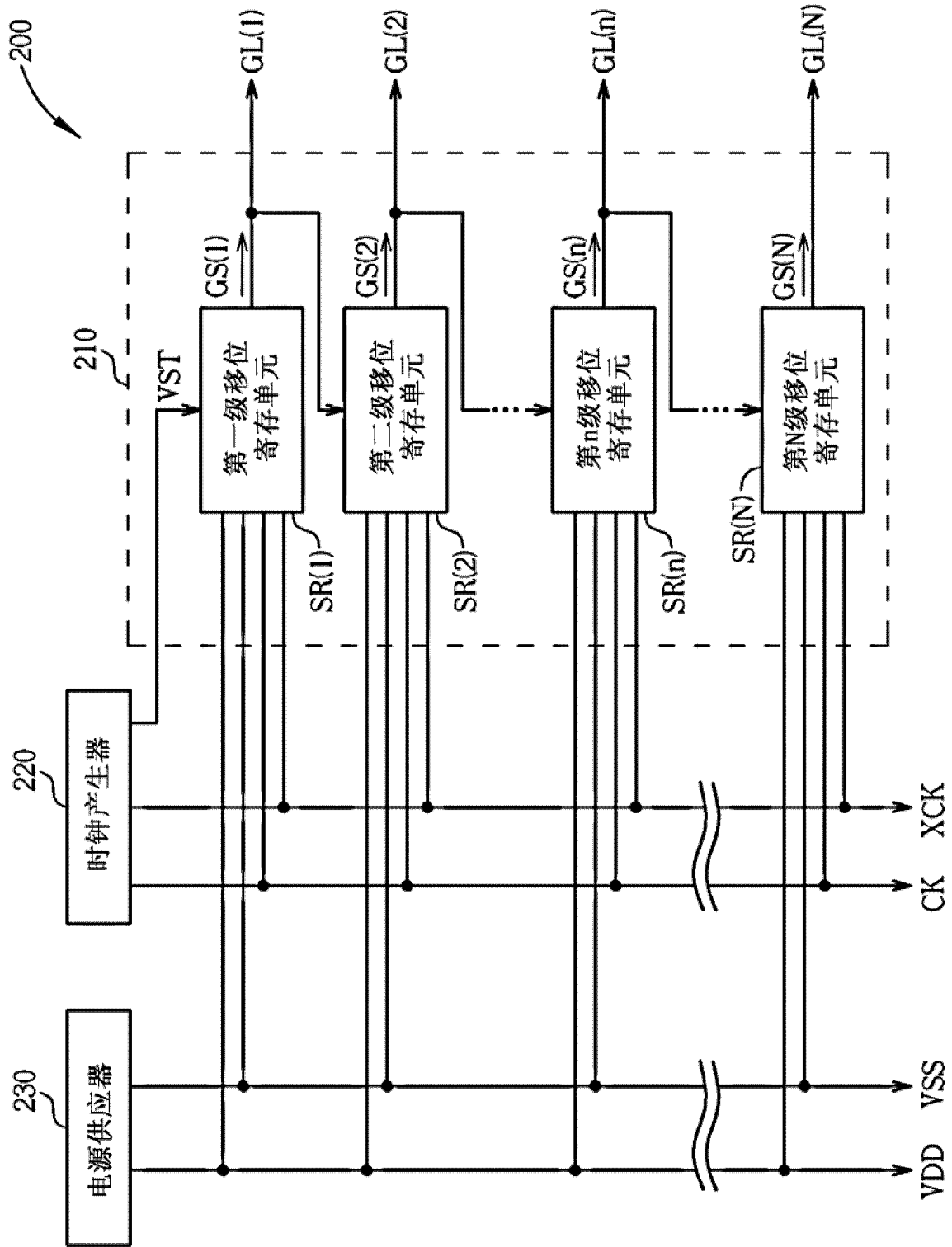


图 3

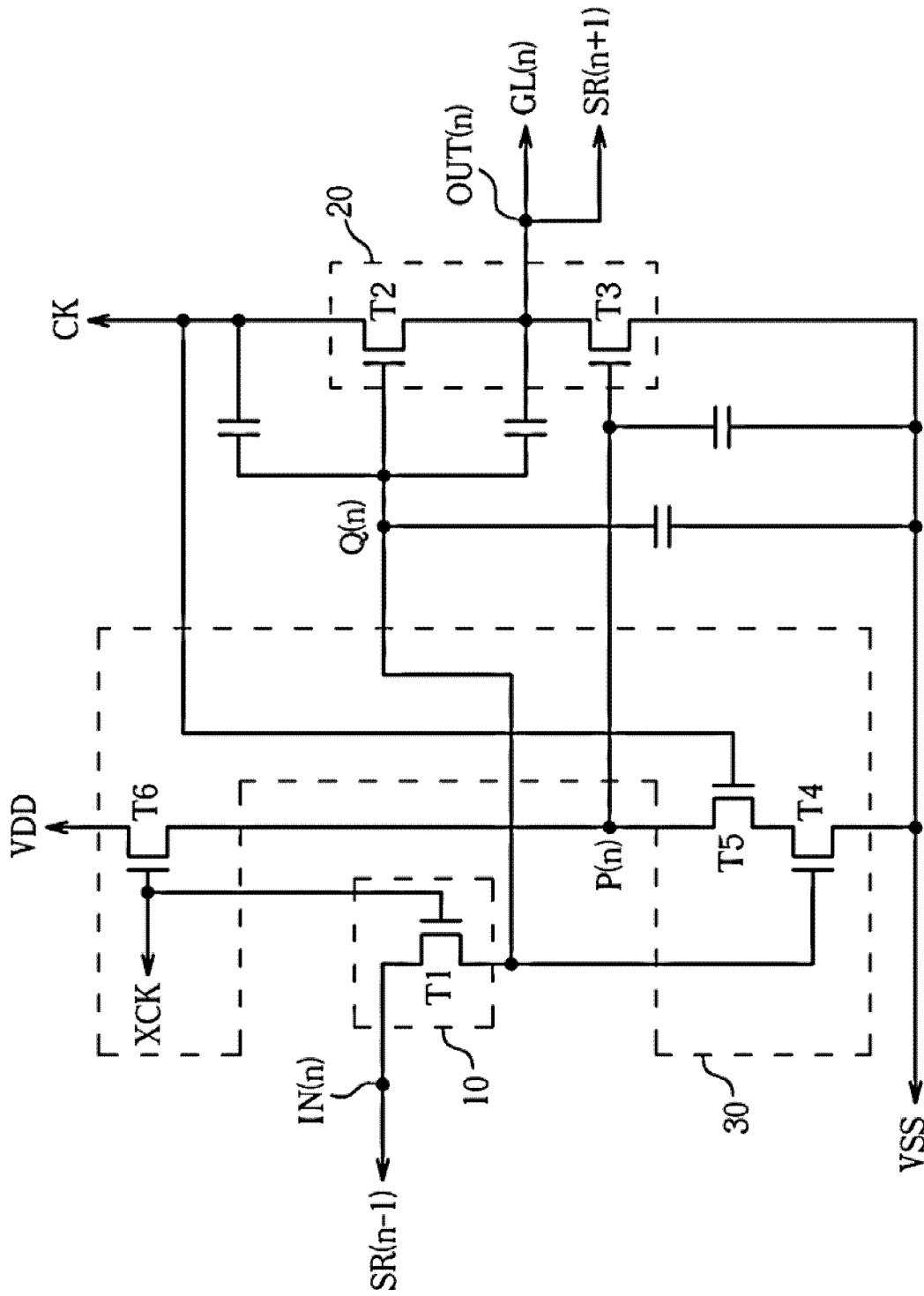


图 4

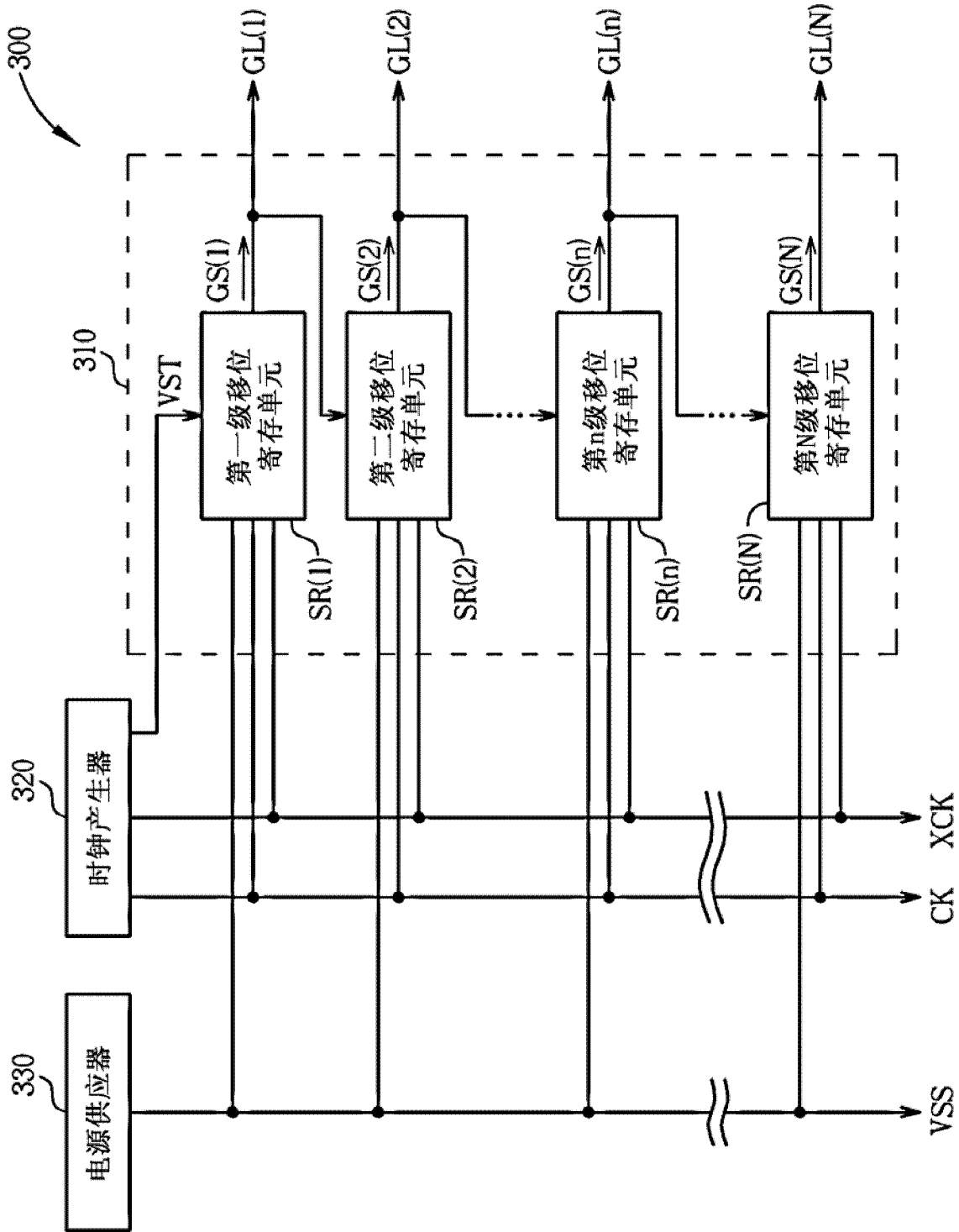


图 5

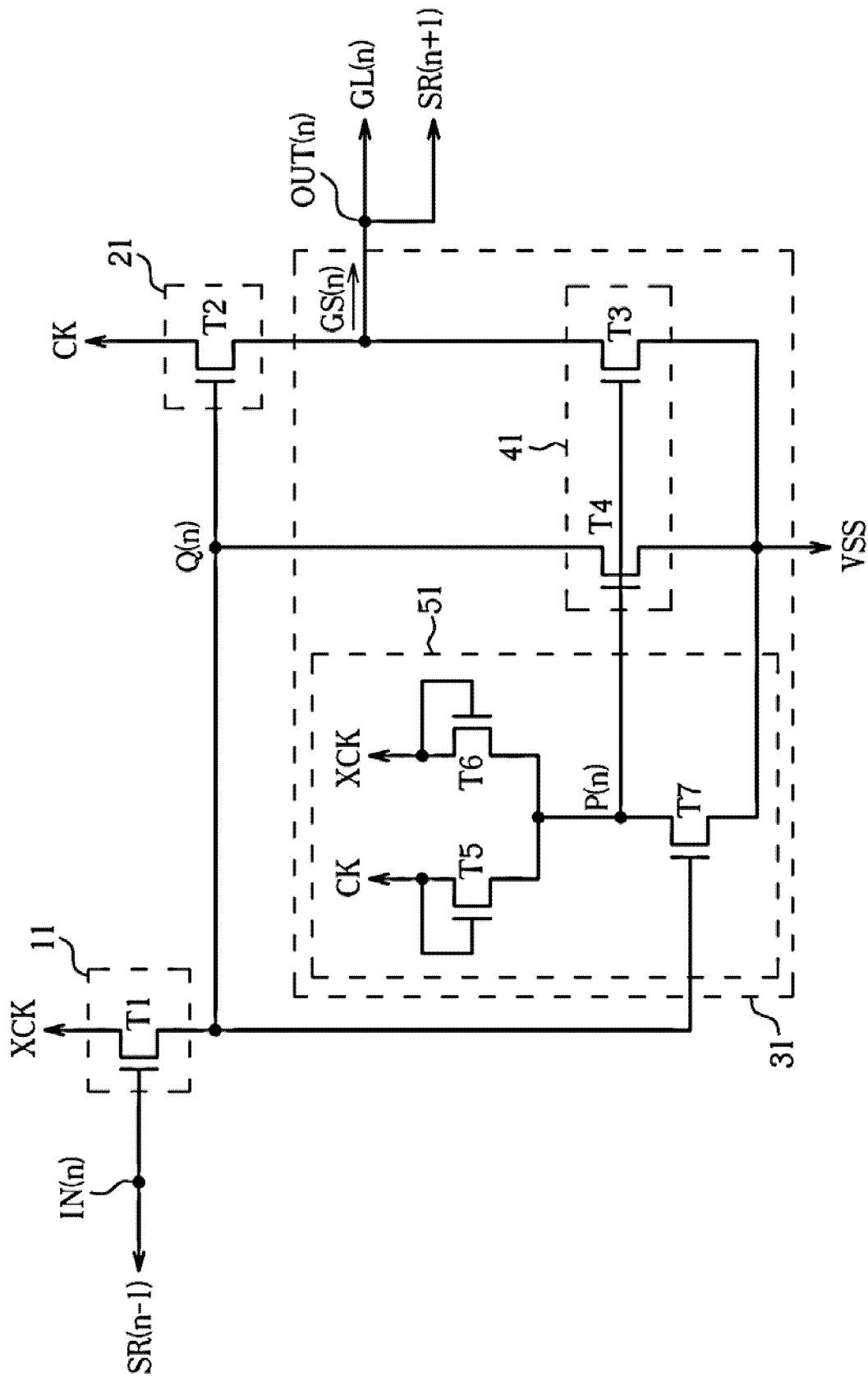


图 6



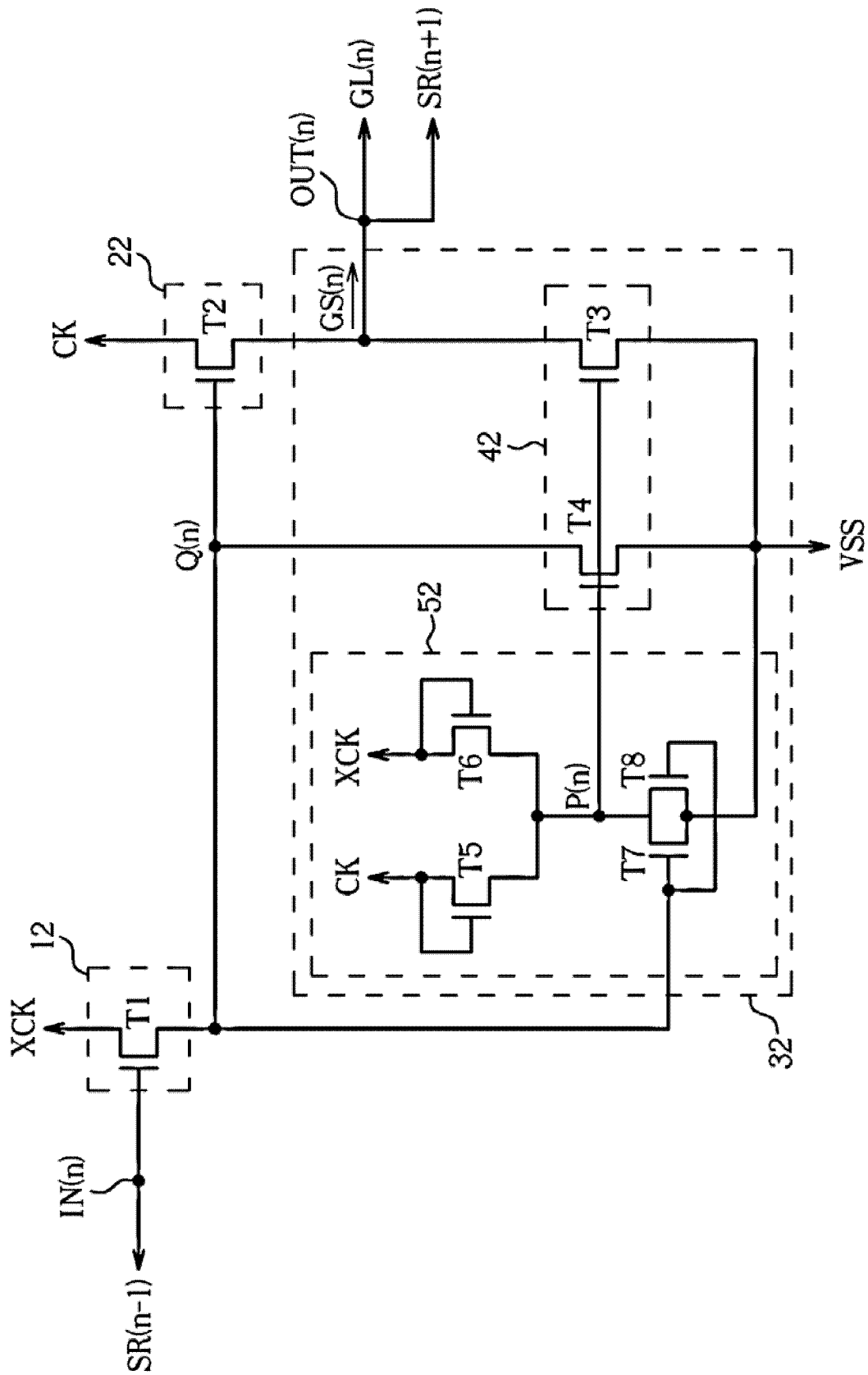


图 7

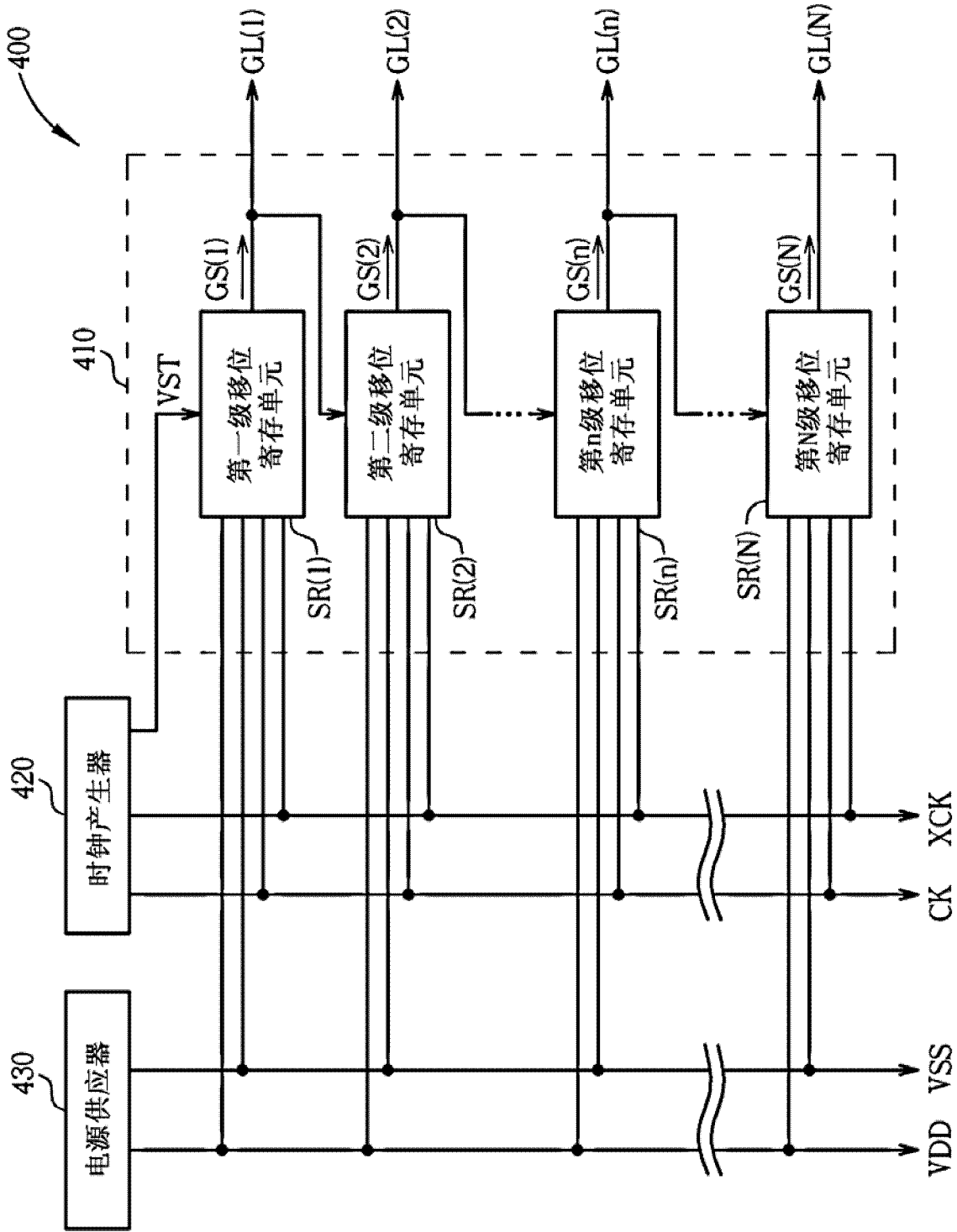


图 8

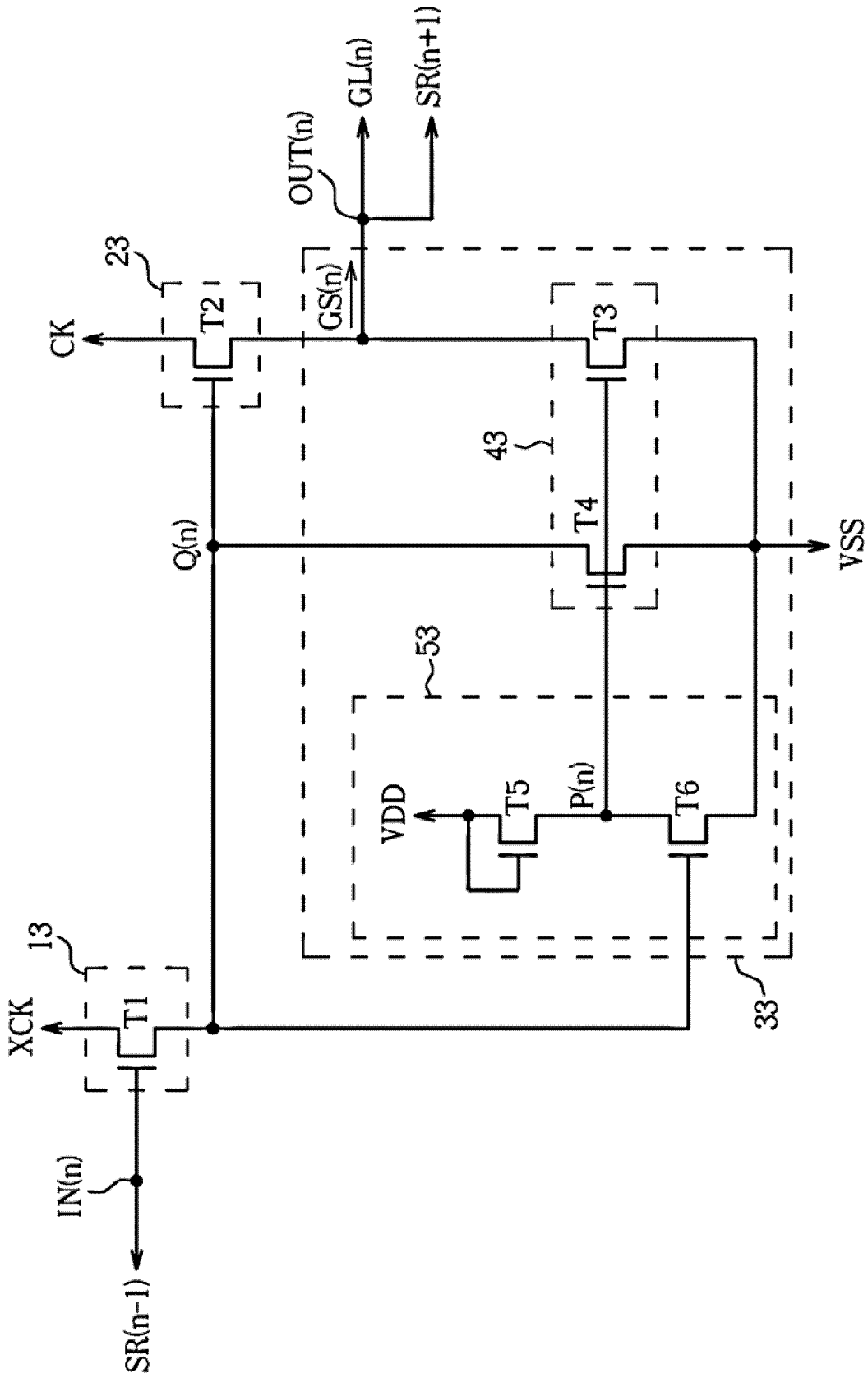


图 9

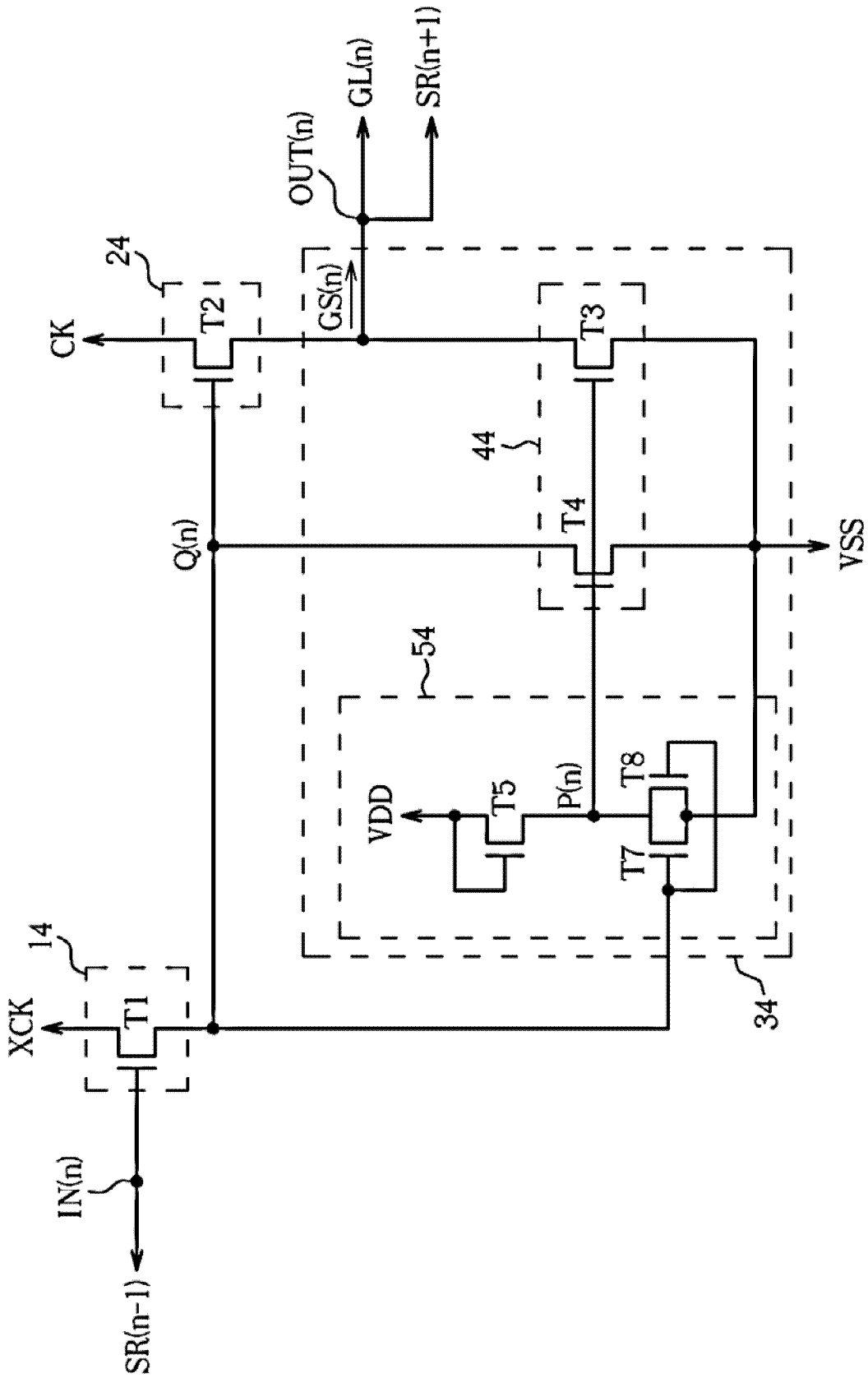


图 10