

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-149596

(P2016-149596A)

(43) 公開日 平成28年8月18日(2016.8.18)

(51) Int.Cl. F I テーマコード (参考)
H03F 3/45 (2006.01) H03F 3/45 A 5J500

審査請求 未請求 請求項の数 10 O L (全 12 頁)

(21) 出願番号	特願2015-24282 (P2015-24282)	(71) 出願人	000116024
(22) 出願日	平成27年2月10日 (2015.2.10)		
		(74) 代理人	110001933
			特許業務法人 佐野特許事務所
		(72) 発明者	赤穂 直史
			京都市右京区西院溝崎町2 1 番地
			株式会社内
		F ターム (参考)	5J500 AA01 AA12 AC13 AC19 AC65
			AF20 AH09 AH25 AH29 AH33
			AK04 AK05 AK09 AK17 DP01
			DP03

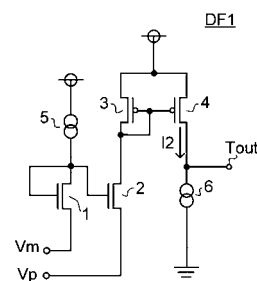
(54) 【発明の名称】 差動回路

(57) 【要約】 (修正有)

【課題】 オフセットを抑え、応答速度の低下を抑制しつつも、素子数を抑えることのできる差動回路を提供する。

【解決手段】 第1定電流回路5と、第1定電流回路と同じ定電流値の第2定電流回路6と、第1定電流回路と接続された電流流入端、第1入力電圧が印加される電流流出端V_m、及び前記電流流入端と短絡されたゲートを有する第1トランジスタ1と、第1トランジスタの前記電流流入端と接続されたゲート及び第2入力電圧が印加される電流流出端V_pを有する第2トランジスタ2を含むカレントミラーと、前記カレントミラーの出力電流に基づく電流が流れる箇所と第2定電流回路との接続点に接続される電流出力端T_{out}と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 定電流回路と、

第 1 定電流回路と同じ定電流値の第 2 定電流回路と、

第 1 定電流回路と接続された電流流入端、第 1 入力電圧が印加される電流流出端、及び前記電流流入端と短絡されたゲートを有する第 1 トランジスタと、第 1 トランジスタの前記電流流入端と接続されたゲート及び第 2 入力電圧が印加される電流流出端を有する第 2 トランジスタを含むカレントミラーと、

前記カレントミラーの出力電流に基づく電流が流れる箇所と第 2 定電流回路との接続点に接続される電流出力端と、を備えることを特徴とする差動回路。

10

【請求項 2】

第 2 トランジスタの電流流入端と入力端が接続されると共に第 2 定電流回路と出力端が接続される第 2 カレントミラーを更に備え、第 2 カレントミラーの前記出力端と第 2 定電流回路との接続点に前記電流出力端が接続されることを特徴とする請求項 1 に記載の差動回路。

【請求項 3】

第 2 カレントミラーは、ドレインとゲートが短絡されてソースが電源電圧の印加端に接続された第 1 p チャネル MOS FET と、第 1 p チャネル MOS FET の前記ゲートとゲートが接続されてソースが前記電源電圧の印加端に接続された第 2 p チャネル MOS FET を含むことを特徴とする請求項 2 に記載の差動回路。

20

【請求項 4】

前記電流出力端の後段側に接続される少なくとも一つのインバータを含むインバータ段を更に備えることを特徴とする請求項 1 ～請求項 3 のいずれか 1 項に記載の差動回路。

【請求項 5】

第 1 トランジスタは、第 1 入力電圧がソースに印加される n チャネル MOS FET であり、第 2 トランジスタは、第 2 入力電圧がソースに印加される n チャネル MOS FET であることを特徴とする請求項 1 ～請求項 4 のいずれか 1 項に記載の差動回路。

【請求項 6】

電流検出用の電圧信号及び基準電圧がそれぞれ第 1 入力電圧と第 2 入力電圧のいずれかとして印加されることを特徴とする請求項 1 ～請求項 5 のいずれか 1 項に記載の差動回路。

30

【請求項 7】

前記電流検出用の電圧信号は、同期整流型スイッチング電源装置における同期整流トランジスタに流れる電流に基づく電圧信号であり、前記基準電圧は接地電位であることを特徴とする請求項 6 に記載の差動回路。

【請求項 8】

請求項 6 又は請求項 7 に記載の差動回路を備える電源装置。

【請求項 9】

上段側の出力トランジスタと下段側の同期整流トランジスタのオンオフ制御に応じて入力電圧から所望の出力電圧を生成する出力段と、

40

前記電流検出用の電圧信号は、前記出力トランジスタと前記同期整流トランジスタとの接続点の電圧信号である請求項 7 に記載の差動回路と、を備える電源装置。

【請求項 10】

請求項 8 又は請求項 9 に記載の電源装置を備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、差動回路に関する。

【背景技術】

【0002】

50

従来より、2つの入力電圧の差分に応じた電流が出力される差動回路が知られている。従来の差動回路の一例を図7に示す。

【0003】

図7に示す従来の差動回路DF100は、トランジスタ101～108と、定電流回路109から構成される。差動対をなすpチャネルMOSFET（MOS電界効果トランジスタ）であるトランジスタ101、102の各々のソースは、定電流源109を介して電源電圧の印加端に接続される。トランジスタ101のゲートには入力電圧 V_p が、トランジスタ102のゲートには入力電圧 V_m がそれぞれ印加される。

【0004】

ドレインとゲートが短絡されたnチャネルMOSFETであるトランジスタ103と、nチャネルMOSFETであるトランジスタ104から第1カレントミラーが構成され、トランジスタ103のドレインにトランジスタ101のドレインが接続される。トランジスタ103、104の各ソースは接地端に接続される。

【0005】

ドレインとゲートが短絡されたnチャネルMOSFETであるトランジスタ105と、nチャネルMOSFETであるトランジスタ106から第2カレントミラーが構成され、トランジスタ102のドレインにトランジスタ105のドレインが接続される。トランジスタ105、106の各ソースは接地端に接続される。

【0006】

ドレインとゲートが短絡されたpチャネルMOSFETであるトランジスタ107と、pチャネルMOSFETであるトランジスタ108から第3カレントミラーが構成され、トランジスタ107のドレインにトランジスタ106のドレインが接続され、トランジスタ108のドレインにトランジスタ104のドレインが接続される。トランジスタ107、108の各ソースは電源電圧の印加端に接続される。トランジスタ108のドレインとトランジスタ104のドレインとの接続点は、出力端T_{out}に接続される。

【0007】

入力電圧 V_p 及び V_m に応じた配分でトランジスタ101、102各々にドレイン電流がながれる。そして、トランジスタ101に流れるドレイン電流を入力として、第1カレントミラーにより出力電流 I_{101} が流れる。また、トランジスタ102に流れるドレイン電流を入力として第2カレントミラー及び第3カレントミラーにより出力電流 I_{102} が流れる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2009-156835号公報（第5図）

【発明の概要】

【発明が解決しようとする課題】

【0009】

本来、入力電圧 V_p と V_m が同じ電圧であれば、出力電流 I_{101} と I_{102} は釣り合い、出力端T_{out}から電流は出力されないはずであるが、実際には差動対をなすトランジスタ101、102の特性バラツキによって出力電流 I_{101} と I_{102} のバランスが崩れることが生じうる。即ち、出力端T_{out}から電流が出力され、オフセットが生じうる。

【0010】

そこで、トランジスタ V_p と V_m のゲート幅を大きくする、及び／又はゲート長を短くすることでゲインを大きくし、特性バラツキを抑えることにより、オフセットを抑えることが考えられる。しかしながら、その場合は、ゲインが大きくなることにより、ミラー容量が大きくなり、応答速度が遅くなるという問題点があった。

【0011】

そこで、例えば図8に示すように、図7に示したトランジスタ101、102の前段側

10

20

30

40

50

に、定電流回路 110、トランジスタ 111、112、及び抵抗 113、114 から成る構成を設け、更に前段側に、定電流回路 115、トランジスタ 116、117、及び抵抗 118、119 から成る構成を設け、トランジスタ 116 のゲートに入力電圧 V_p 、トランジスタ 117 のゲートに入力電圧 V_m を印加させる多段構成を採ることも考えられる。これにより、各トランジスタのゲインは小さくしてミラー容量は小さくしつつも、全体としてのゲインを大きくすることができる。しかしながら、素子数が増えてしまうという問題点があった。

【0012】

なお、特許文献 1 には、差動回路を用いた過電流保護回路の従来例が示されており、バイポーラトランジスタを用いた構成が開示されているが、上記のように MOSFET 等のゲートサイズの設定による特性バラツキの抑制やそれに伴う応答速度の問題点については特許文献 1 では何ら示唆されていない。

【0013】

上記状況に鑑み、本発明は、オフセットを抑え、応答速度の低下を抑制しつつも、素子数を抑えることのできる差動回路を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記目的を達成するために本発明の一態様に係る差動回路は、

第 1 定電流回路と、

第 1 定電流回路と同じ定電流値の第 2 定電流回路と、

第 1 定電流回路と接続された電流流入端、第 1 入力電圧が印加される電流流出端、及び前記電流流入端と短絡されたゲートを有する第 1 トランジスタと、第 1 トランジスタの前記電流流入端と接続されたゲート及び第 2 入力電圧が印加される電流流出端を有する第 2 トランジスタを含むカレントミラーと、

前記カレントミラーの出力電流に基づく電流が流れる箇所と第 2 定電流回路との接続点に接続される電流出力端と、を備える構成としている（第 1 の構成）。

【0015】

このような構成によれば、ゲート幅を大きくする、及び／又はゲート長を短くすることにより第 1 トランジスタと第 2 トランジスタのゲインを大きくして特性バラツキを抑えることにより、第 1 入力電圧と第 2 入力電圧のバランスが取れているときの電流出力端から出力される電流のオフセットを抑えることができる。また、このようにゲインが大きくなりミラー容量が大きくなったとしても、第 1 入力電圧又は第 2 入力電圧の変化は即座にカレントミラーの出力電流の変化に変換されるので、応答速度の低下を抑制できる。更に、差動回路を構成する素子の数を抑えることもできる。

【0016】

また、上記第 1 の構成において、第 2 トランジスタの電流流入端と入力端が接続されると共に第 2 定電流回路と出力端が接続される第 2 カレントミラーを更に備え、第 2 カレントミラーの前記出力端と第 2 定電流回路との接続点に前記電流出力端が接続されることとしてもよい（第 2 の構成）。

【0017】

また、上記第 2 の構成において、第 2 カレントミラーは、ドレインとゲートが短絡されてソースが電源電圧の印加端に接続された第 1 p チャネル MOSFET と、第 1 p チャネル MOSFET の前記ゲートとゲートが接続されてソースが前記電源電圧の印加端に接続された第 2 p チャネル MOSFET を含むこととしてもよい（第 3 の構成）。

【0018】

上記第 1 ～第 3 のいずれかの構成において、前記電流出力端の後段側に接続される少なくとも一つのインバータを含むインバータ段を更に備えることとしてもよい（第 4 の構成）。

【0019】

また、上記第 1 ～第 4 のいずれかの構成において、第 1 トランジスタは、第 1 入力電圧

10

20

30

40

50

がソースに印加されるnチャネルMOSFETであり、第2トランジスタは、第2入力電圧がソースに印加されるnチャネルMOSFETであることとしてもよい（第5の構成）。

【0020】

また、上記第1～第5のいずれかの構成において、電流検出用の電圧信号及び基準電圧がそれぞれ第1入力電圧と第2入力電圧のいずれかとして印加されることとしてもよい（第6の構成）。

【0021】

また、上記第6の構成において、前記電流検出用の電圧信号は、同期整流型スイッチング電源装置における同期整流トランジスタに流れる電流に基づく電圧信号であり、前記基準電圧は接地電位であることとしてもよい（第7の構成）。

10

【0022】

また、本発明の別態様に係る電源装置は、上記第6又は第7の構成とした差動回路を備える（第8の構成）。

【0023】

また、本発明の別態様に係る電源装置は、上段側の出力トランジスタと下段側の同期整流トランジスタのオンオフ制御に応じて入力電圧から所望の出力電圧を生成する出力段と、

前記電流検出用の電圧信号は、前記出力トランジスタと前記同期整流トランジスタとの接続点の電圧信号である上記第7の構成の差動回路と、を備えることとしている（第9の構成）。

20

【0024】

また、本発明の別態様に係る電子機器は、上記第8又は第9の構成とした電源装置を備える。

【発明の効果】

【0025】

本発明の差動回路によると、オフセットを抑え、応答速度の低下を抑制しつつも、素子数を抑えることが可能となる。

【図面の簡単な説明】

【0026】

30

【図1】本発明の一実施形態に係る差動回路の回路図である。

【図2】本発明の一実施形態に係る差動回路の変形例を示す図である。

【図3】本発明の一実施形態に係るスイッチング電源装置の全体構成を示すブロック図である。

【図4】重負荷時のスイッチング動作を示すタイミングチャートである。

【図5】軽負荷時の逆流遮断動作を示すタイミングチャートである。

【図6】本発明の一実施形態に係るスマートフォンの外観図である。

【図7】従来例に係る差動回路の回路図である。

【図8】従来例に係る差動回路の変形例を示す図である。

【発明を実施するための形態】

40

【0027】

以下に本発明の一実施形態について図面を参照して説明する。本発明の一実施形態に係る差動回路の回路図を図1に示す。

【0028】

図1に差動回路DF1は、トランジスタ1～4と、定電流回路5、6を備えている。ドレインとゲートが短絡されたnチャネルMOSFETであるトランジスタ1と、nチャネルMOSFETであるトランジスタ2から第1カレントミラーが構成される。トランジスタ1のドレインには、定電流回路5を介して電源電圧の印加端が接続される。トランジスタ1のソースに、入力電圧Vmが印加される。

【0029】

50

トランジスタ 2 のソースに入力電圧 V_p が印加される。ドレインとゲートが短絡された p チャネル MOSFET であるトランジスタ 3 と、p チャネル MOSFET であるトランジスタ 4 から第 2 カレントミラーが構成される。トランジスタ 3 のドレインには、トランジスタ 2 のドレインが接続される。トランジスタ 3、4 の各ソースには電源電圧の印加端が接続される。そして、トランジスタ 4 のドレインは、定電流回路 6 を介して接地端に接続される。トランジスタ 4 のドレインと定電流回路 6 との接続点は、出力端 T_{out} に接続される。

【0030】

理想的には、入力電圧 V_m と V_p が同じ電圧でバランスが取れている場合は、トランジスタ 1 を流れる定電流回路 5 による定電流と同じ値の電流がトランジスタ 2 に流れる。その流れる電流を入力として第 2 カレントミラーにより出力電流 I_2 が流れる。定電流回路 5、6 に流れる定電流は同じ値に設定しているので、出力電流 I_2 と定電流回路 6 を流れる電流は釣り合い、出力端 T_{out} から電流は出力されない。そして、入力電圧 V_p と V_m のバランスが崩れた場合は、それに応じてトランジスタ 2 に定電流回路 5 の定電流とは異なる電流が流れるので、出力電流 I_2 と定電流回路 6 を流れる電流のバランスが崩れ、出力端 T_{out} から電流が出力される。

【0031】

しかしながら、実際には、トランジスタ 1、2 の特性バラツキによって、入力電圧 V_m と V_p のバランスが取れていても、出力電流 I_2 と定電流回路 6 を流れる電流のバランスは崩れ、出力端 T_{out} から電流が出力されることが起こりうる。即ち、オフセットが生じうる。

【0032】

そこで、トランジスタ 1、2 のゲート幅を大きくする、及び／又はゲート長を短くすることでゲインを大きくし、特性バラツキを抑えることで、オフセットを抑えることができる。また、このようにゲインが大きくなってミラー容量が大きくなったとしても、本実施形態では、トランジスタ 2 のゲートではなく、ソースに入力電圧 V_p を印加するようにしているので、入力電圧 V_p の変化は即座にドレイン電流の変化に変換され、応答速度の低下を招くこともない（なお、入力電圧 V_m の変化に対しても同様である）。また、差動回路 DF_1 を構成する素子の数を抑えることもできる。

【0033】

また、図 2 に示す差動回路 DF_1' のように、出力端 T_{out} の後段側に少なくとも一つのインバータから成るインバータ段 IV_{11} を設けてもよい。このような構成によれば、差動回路 DF_1' をコンパレータとして機能させることができる。

【0034】

<電源装置への適用例>

次に、本実施形態に係る差動回路の好適な適用例として電源装置を挙げて説明する。

<<スイッチング電源装置>>

図 3 は、スイッチング電源装置の全体構成を示すブロック図である。本構成例のスイッチング電源装置 25 は、非線形制御方式（ボトム検出オン時間固定方式）によって入力電圧 V_{in} から出力電圧 V_{out} を生成する降圧型 DC/DC コンバータである。スイッチング電源装置 25 は、半導体装置 10 と、半導体装置 10 に外付けされた種々のディスクリート部品（n チャネル MOS 電界効果トランジスタ N_1 及び N_2 、コイル L_1 、コンデンサ C_1 、並びに、抵抗 R_1 及び R_2 ）によって形成されるスイッチ出力段 20 と、を有する。

【0035】

半導体装置 10 は、スイッチング電源装置 25 の全体動作を統括的に制御する主体（いわゆる電源制御 IC）である。半導体装置 10 は、装置外部との電氣的な接続を確立するための手段として、外部端子 $T_1 \sim T_7$ （上側ゲート端子 T_1 、下側ゲート端子 T_2 、スイッチ端子 T_3 、帰還端子 T_4 、入力電圧端子 T_5 、出力電圧端子 T_6 、及び、接地端子 T_7 ）を備えている。

【0036】

外部端子T1は、トランジスタN1のゲートに接続されている。外部端子T2は、トランジスタN2のゲートに接続されている。外部端子T3は、スイッチ電圧V_{sw}の印加端（トランジスタN1のソースとトランジスタN2のドレインとの接続ノード）に接続されている。外部端子T4は、分圧電圧V_{div}の印加端（抵抗R1と抵抗R2との接続ノード）に接続されている。外部端子T5は、入力電圧V_{in}の印加端に接続されている。外部端子T6は、出力電圧V_{out}の印加端に接続されている。外部端子T7は、接地端に接続されている。

【0037】

次に、半導体装置10に外付けされるディスクリート部品の接続関係について述べる。トランジスタN1のドレインは、入力電圧V_{in}の印加端に接続されている。トランジスタN2のソースは、接地端に接続されている。トランジスタN1のソースとトランジスタN2のドレインは、いずれもコイルL1の第1端に接続されている。コイルL1の第2端とコンデンサC1の第1端は、いずれも出力電圧V_{out}の印加端に接続されている。コンデンサC1の第2端は、接地端に接続されている。抵抗R1と抵抗R2は、出力電圧V_{out}の印加端と接地端との間に直列に接続されている。

【0038】

トランジスタN1は、外部端子T1から入力されるゲート信号G1に応じてオン／オフ制御される出力トランジスタである。トランジスタN2は、外部端子T2から入力されるゲート信号G2に応じてオン／オフ制御される同期整流トランジスタである。なお、整流素子としては、トランジスタN2に代えてダイオードを用いても構わない。また、トランジスタN1およびN2は、半導体装置10に内蔵することも可能である。コイルL1とコンデンサC1は、外部端子T3に現れる矩形波状のスイッチ電圧V_{sw}を整流平滑して出力電圧V_{out}を生成する整流平滑部として機能する。抵抗R1及びR2は、出力電圧V_{out}を分圧して分圧電圧V_{div}を生成する分圧電圧生成部として機能する。

【0039】

次に、半導体装置10の内部構成について述べる。半導体装置10には、リップルインジェクション回路11と、基準電圧生成回路12と、メインコンパレータ13と、ワンショットパルス生成回路14と、RSフリップフロップ15と、オン時間設定回路16と、ゲートドライバ回路17と、逆流検出回路18と、が集積化されている。

【0040】

リップルインジェクション回路11は、分圧電圧V_{div}にリップル電圧V_{rpl}（コイルL1に流れるコイル電流I_Lを模擬した疑似リップル成分）を加算して帰還電圧V_{fb}（=V_{div}+V_{rpl}）を生成する。このようなリップルインジェクション技術を導入すれば、出力電圧V_{out}（延いては分圧電圧V_{div}）のリップル成分がそれほど大きくななくても安定したスイッチング制御を行うことができるので、コンデンサC1としてESRの小さい積層セラミックコンデンサなどを用いることが可能となる。ただし、出力電圧V_{out}のリップル成分が十分に大きい場合には、リップルインジェクション回路11を省略することも可能である。

【0041】

基準電圧生成回路12は、所定の基準電圧V_{ref}を生成する。

【0042】

メインコンパレータ13は、反転入力端（－）に入力される帰還電圧V_{fb}と、非反転入力端（＋）に入力される基準電圧V_{ref}とを比較して比較信号S1を生成する。比較信号S1は、帰還電圧V_{fb}が基準電圧V_{ref}よりも高いときにローレベルとなり、帰還電圧V_{fb}が基準電圧V_{ref}よりも低いときにハイレベルとなる。

【0043】

ワンショットパルス生成回路14は、比較信号S1の立上りエッジをトリガとしてセット信号S2にワンショットパルスを生成する。

【0044】

R Sフリップフロップ15は、セット端(S)に入力されるセット信号S2の立上りエッジで出力信号S4をハイレベルにセットし、リセット端(R)に入力されるリセット信号S3の立上りエッジで出力信号S4をローレベルにリセットする。

【0045】

オン時間設定回路16は、R Sフリップフロップ15の反転出力信号S4B(出力信号S4の論理反転信号)がローレベルに立ち下げられてから、所定のオン時間Tonが経過した後、リセット信号S3にワンショットパルスを生成する。

【0046】

ゲートドライバ回路17は、R Sフリップフロップ15の出力信号S4に応じてゲート信号G1及びG2を生成し、トランジスタN1及びN2を相補的にスイッチングさせる。なお、本明細書中で用いられる「相補的」という文言の意味には、トランジスタN1及びN2のオン/オフが完全に逆転している場合のほか、貫通電流防止の観点からトランジスタN1及びN2のオン/オフ遷移タイミングに遅延が与えられている場合(同時オフ期間(デッドタイム)が設けられている場合)も含む。

【0047】

逆流検出回路18は、コイル電流ILの逆流(コイルL1からトランジスタN2を介して接地端に流れるコイル電流IL)を監視して逆流検出信号S5を生成する。逆流検出信号S5は、コイル電流ILの逆流が検出された時点でハイレベル(逆流検出時の論理レベル)にラッチされ、次周期におけるゲート信号G1の立上りエッジでローレベル(逆流未検出時の論理レベル)にリセットされる。なお、コイル電流ILの逆流を監視する手法としては、例えば、トランジスタN2のオン期間中にスイッチ電圧Vswが負から正に切り替わるゼロクロスポイントを検出すればよい。ゲートドライバ回路17は、逆流検出信号S5がハイレベルであるときには、出力信号S4に依ることなくトランジスタN2を強制的にオフするようにゲート信号G2を生成する。

【0048】

なお、上記したリップルインジェクション回路11、基準電圧生成回路12、メインコンパレータ13、ワンショットパルス生成回路14、R Sフリップフロップ15、オン時間設定回路16、ゲートドライバ回路17、及び、逆流検出回路18は、帰還電圧Vfbと基準電圧Vrefとの比較結果に応じてトランジスタN1及びN2のオン/オフ制御を行うことにより、入力電圧Vinから出力電圧Voutを生成する非線形制御方式(本構成例ではボトム検出オン時間固定方式)のスイッチング制御回路として機能する。

【0049】

<<スイッチング動作>>

図4は、重負荷時(電流連続モード時)のスイッチング動作を示すタイミングチャートであり、上から順に、帰還電圧Vfb、セット信号S2、リセット信号S3、及び、出力信号S4が描写されている。

【0050】

時刻t11において、帰還電圧Vfbが基準電圧Vrefまで低下すると、セット信号S2がハイレベルに立ち上がり、出力信号S4がハイレベルに遷移される。従って、トランジスタN1がオンとなり、帰還電圧Vfbが上昇に転ずる。

【0051】

その後、オン時間Tonの経過により、時刻t12において、リセット信号S3がハイレベルに立ち上がると、出力信号S4がローレベルに遷移される。従って、トランジスタN1がオフとなって、帰還電圧Vfbが再び下降に転ずる。

【0052】

ゲートドライバ回路17は、出力信号S4に応じてゲート信号G1及びG2を生成し、これを用いてトランジスタN1及びN2のオン/オフ制御を行う。具体的に述べると、出力信号S4がハイレベルであるときには、基本的に、ゲート信号G1がハイレベルとされてトランジスタN1がオンされるとともに、ゲート信号G2がローレベルとされてトランジスタN2がオフされる。逆に、出力信号S4がローレベルであるときには、基本的に、

ゲート信号 G 1 がローレベルとされてトランジスタ N 1 がオフされるとともに、ゲート信号 G 2 がハイレベルとされてトランジスタ N 2 がオンされる。

【0053】

上記したトランジスタ N 1 及び N 2 のオン／オフ制御により、外部端子 T 3 には矩形波形状のスイッチ電圧 V_{sw} が現れる。スイッチ電圧 V_{sw} は、コイル L 1 とコンデンサ C 1 によって整流平滑され、出力電圧 V_{out} が生成される。なお、出力電圧 V_{out} は、抵抗 R 1 及び R 2 により分圧され、分圧電圧 V_{div} (延いては帰還電圧 V_{fb}) が生成される。このような出力帰還制御により、スイッチング電源装置 25 では、極めて簡易な構成によって、入力電圧 V_{in} から所望の出力電圧 V_{out} が生成される。

【0054】

<<逆流遮断動作>>

図 5 は、軽負荷時（電流不連続モード時）の逆流遮断動作を示すタイミングチャートであり、上から順に、ゲート信号 G 1 及び G 2、逆流検出信号 S 5、コイル電流 I L、並びに、スイッチ電圧 V_{sw} が描写されている。

【0055】

時刻 $t_{21} \sim t_{22}$ では、ゲート信号 G 1 がハイレベルとされており、ゲート信号 G 2 がローレベルとされているので、トランジスタ N 1 がオンとなり、トランジスタ N 2 がオフとなる。従って、時刻 $t_{21} \sim t_{22}$ では、スイッチ電圧 V_{sw} がほぼ入力電圧 V_{in} まで上昇し、コイル電流 I L が増大していく。

【0056】

時刻 t_{22} において、ゲート信号 G 1 がローレベルに立ち下げられ、ゲート信号 G 2 がハイレベルに立ち上げられると、トランジスタ N 1 がオフとなり、トランジスタ N 2 がオンとなる。従って、スイッチ電圧 V_{sw} が負電圧 ($= GND - I_L \times R_{N2}$ 、ただし、 R_{N2} はトランジスタ N 2 のオン抵抗値) まで低下し、コイル電流 I L が減少に転じる。

【0057】

ここで、負荷に流れる出力電流 I_{out} が十分に大きい重負荷時には、コイル L 1 に蓄えられているエネルギーが大きいので、ゲート信号 G 1 が再びハイレベルに立ち上げられる時刻 t_{24} まで、コイル電流 I L はゼロ値を下回ることなく負荷に向けて流れ続け、スイッチ電圧 V_{sw} は負電圧に維持される。一方、負荷に流れる出力電流 I_{out} が小さい軽負荷時には、コイル L 1 に蓄えられているエネルギーが少ないので、時刻 t_{23} において、コイル電流 I L がゼロ値を下回り、コイル電流 I L の逆流が発生して、スイッチ電圧 V_{sw} の極性が負から正に切り替わる。このような状態では、コンデンサ C 1 に蓄えられた電荷を接地端に捨てていることになるので、軽負荷時における効率が低下する。

【0058】

そこで、スイッチング電源装置 25 は、逆流検出回路 18 を用いてコイル電流 I L の逆流（スイッチ電圧 V_{sw} の極性反転）を検出し、逆流検出信号 S 5 のハイレベル期間（時刻 $t_{23} \sim t_{24}$ ）において、トランジスタ N 2 を強制的にオフさせる構成とされている。このような構成とすることにより、コイル電流 I L の逆流を速やかに遮断することができるので、軽負荷時における効率低下を解消することが可能となる。

【0059】

本実施形態に係る差動回路は、逆流検出回路 18 に適用することが可能である。例えば、コンパレータとしての差動回路 DF 1' (図 2) における入力電圧 V_m の印加端に接地端を接続すると共に、入力電圧 V_p の印加端にスイッチ電圧 V_{sw} を印加すればよい。なお、例えば通常の電流検出用抵抗を入力電圧 V_p の印加端に接続する実施例とすると、抵抗を流れる電流に対してトランジスタ 2 に流れる電流がバイアス電流として付加されることになるが、逆流検出回路 18 であれば、トランジスタ 2 に電流が流れても、トランジスタ N 2 を流れる電流に影響は与えない。

【0060】

<電子機器の実施例>

本実施形態に係る差動回路を有した電源装置は、各種の電子機器に適用することが可能

10

20

30

40

50

である。電子機器の一例として、スマートフォンの外観図を図 6 に示す。

【0061】

図 6 に示すスマートフォン X は、外観的には、本体の前面や背面に搭載される撮像部 X 1 と、ユーザ操作を受け付ける操作部 X 2（各種ボタンなど）と、文字や映像を表示する表示部 X 3 を有する。なお、表示部 X 3 には、ユーザのタッチ操作を受け付けるためのタッチパネル機能が搭載されている。

【0062】

このようなスマートフォン等の各種電子機器に、先述した差動回路を有する電源装置が搭載されることにより、その利点を享受することが可能となる。

【0063】

なお、本明細書中に開示された種々の技術的特徴については、上記実施形態の他、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。即ち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【産業上の利用可能性】

【0064】

本明細書中に開示されている差動回路は、例えば、各種電子機器に搭載される電源装置に利用することができる。

【符号の説明】

【0065】

DF 1、DF 1' 差動回路
 1、2 トランジスタ（nチャネル MOS FET）
 3、4 トランジスタ（pチャネル MOS FET）
 5、6 定電流回路
 IV 1 1 インバータ段
 T o u t 出力端
 2 5 スイッチング電源装置
 1 0 半導体装置（電源制御 IC）
 1 1 リプルインジェクション回路
 1 2 基準電圧生成回路
 1 3 メインコンパレータ
 1 4 ワンショットパルス生成回路
 1 5 RS フリップフロップ
 1 6 オン時間設定回路
 1 7 ゲートドライバ回路
 1 8 逆流検出回路
 2 0 スイッチ出力段
 N 1 出力トランジスタ（nチャネル MOS FET）
 N 2 同期整流トランジスタ（nチャネル MOS FET）
 L 1 コイル
 R 1、R 2 抵抗
 C 1 コンデンサ
 T 1 ~ T 7 外部端子

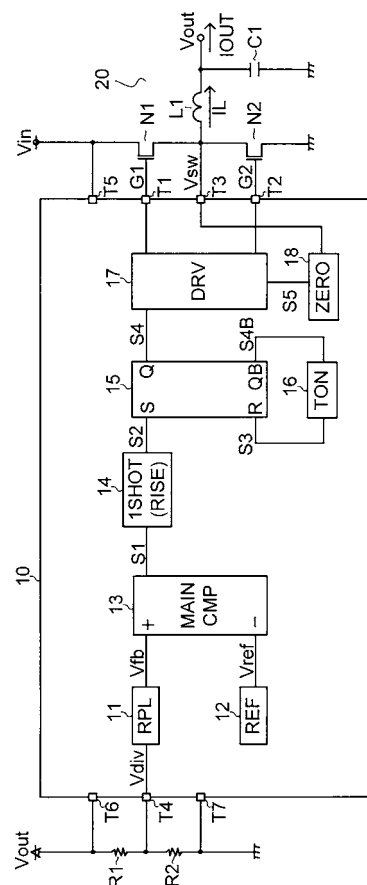
10

20

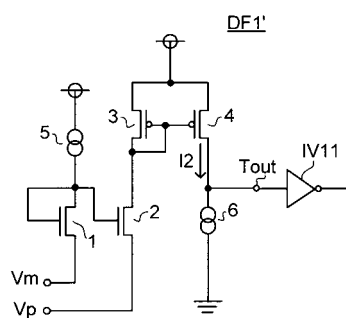
30

40

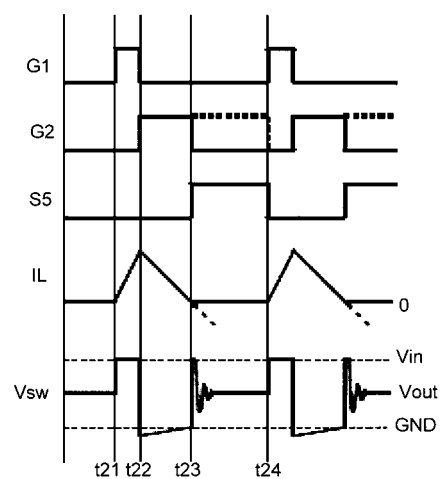
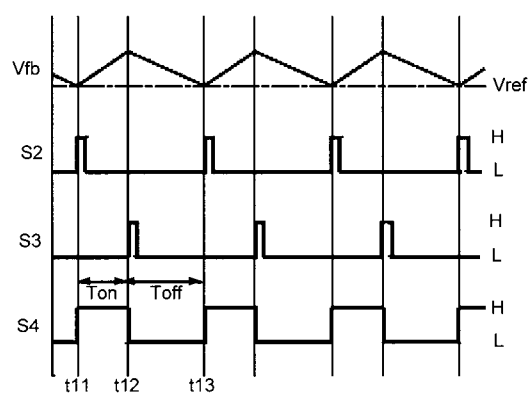
【 図 3 】



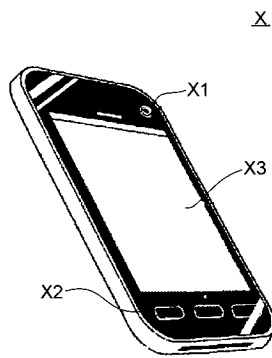
25



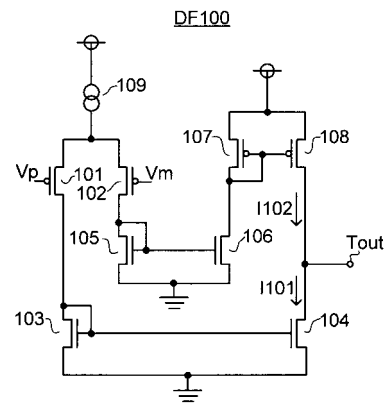
【図 5】



【図 6】



【図 7】



【図 8】

