

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
29. August 2019 (29.08.2019)



(10) Internationale Veröffentlichungsnummer
WO 2019/161970 A1

(51) Internationale Patentklassifikation:

H05K 1/16 (2006.01) H01F 27/29 (2006.01)
H05K 3/36 (2006.01) H01F 27/32 (2006.01)
H01F 27/26 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2019/025034

(22) Internationales Anmeldedatum:
01. Februar 2019 (01.02.2019)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2018 001 312.0
20. Februar 2018 (20.02.2018) DE

(71) Anmelder: SEW-EURODRIVE GMBH & CO. KG
[DE/DE]; Ernst-Blickle-Str. 42, D-76646 Bruchsal (DE).

(72) Erfinder: MARAHRENS, Klaus; Murgstr. 21, D-76337
Waldbronn-Reichenbach (DE).

(74) Anwalt: SEW-EURODRIVE GMBH & CO. KG;
TÜNGLER, Eberhard, Abt. ISI z. Hd., Ernst-Blickle-Str.
42, D-76646 Bruchsal (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,

(54) Title: DEVICE, IN PARTICULAR SWITCH MODE POWER SUPPLY UNIT

(54) Bezeichnung: VORRICHTUNG, INSBESONDERE SCHALTNETZTEIL

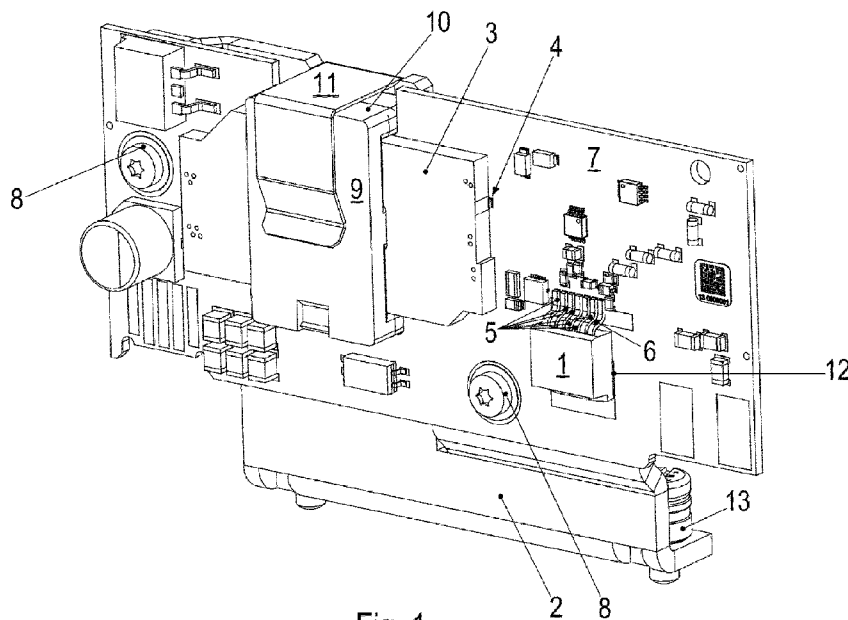


Fig. 1

(57) Abstract: The invention relates to a device, in particular a switch mode power supply unit, which comprises a first printed circuit board and a second printed circuit board and also a first component, in particular a transistor, the second printed circuit board being mounted on the first printed circuit board using SMD technology and the first printed circuit board being populated with the first component using SMD technology, in particular the second printed circuit board and also the first component being surface-mounted on, in particular connected to a first face of the first printed circuit board by a solder connection.

(57) Zusammenfassung: Vorrichtung, insbesondere Schaltnetzteil, aufweisend eine erste Leiterplatte und eine zweite Leiterplatte sowie ein erstes Bauelement, insbesondere Transistor, wobei die erste Leiterplatte mit der zweiten Leiterplatte in SMD-Technik und dem

[Fortsetzung auf der nächsten Seite]



WO 2019/161970 A1

SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Erklärungen gemäß Regel 4.17:

- hinsichtlich der Identität des Erfinders (Regel 4.17 Ziffer i)
- hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii)
- hinsichtlich der Berechtigung des Anmelders, die Priorität einer früheren Anmeldung zu beanspruchen (Regel 4.17 Ziffer iii)
- Erfindererklärung (Regel 4.17 Ziffer iv)

Veröffentlicht:

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

ersten Bauelement in SMD-Technik bestückt ist, insbesondere also die zweite Leiterplatte und das erste Bauelement oberflächenmontiert, insbesondere lötverbunden, sind auf einer Seite der ersten Leiterplatte.

Vorrichtung, insbesondere Schaltnetzteil

Beschreibung:

5 Die Erfindung betrifft eine Vorrichtung, insbesondere Schaltnetzteil.

SMD-Bestückung von Leiterplatten mit Bauteilen ist allgemein bekannt.

10 Der Erfindung liegt daher die Aufgabe zugrunde, ein Schaltnetzteil kompakt und mit hoher Leistung weiterzubilden.

Erfindungsgemäß wird die Aufgabe bei der Vorrichtung nach den in Anspruch 1 angegebenen Merkmalen gelöst.

15 Wichtige Merkmale der Erfindung bei der Vorrichtung sind, die Vorrichtung, insbesondere Schaltnetzteil, eine erste Leiterplatte und eine zweite Leiterplatte sowie ein erstes Bauelement, insbesondere Transistor, aufweist, wobei die erste Leiterplatte mit der zweiten Leiterplatte in SMD-Technik und dem ersten Bauelement in SMD-Technik bestückt ist,

20 insbesondere also die zweite Leiterplatte und das erste Bauelement oberflächenmontiert, insbesondere lötverbunden, sind auf einer Seite der ersten Leiterplatte.

Von Vorteil ist dabei, dass ein einfaches Herstellverfahren anwendbar ist und trotzdem eine kompakte Lösung erzielbar ist. Denn die zweite Leiterplatte ist im SMD-Verfahren
25 oberflächenmontierbar und somit im gleichen Herstellverfahrensschritt mit den anderen Bauteilen auf einer Seite der ersten Leiterplatte bestückbar. Die zweite Leiterplatte ermöglicht dabei eine erhöhte Windungszahl von Flachwicklungen, welche in den Lagen der beiden Leiterplatten ausgeführt ist. Denn beide Leiterplatten sind als Multilayer-Leiterplatten, also mehrlagige Leiterplatten ausführbar, die somit nicht nur zwei äußere, also an der äußeren
30 Oberfläche angeordnete Kupferlagen aufweisen sondern auch innere Lagen, die somit mittels Trägermaterial von den anderen Lagen beabstandet sind. Als Trägermaterial ist ein Epoxidharz verwendbar oder ähnliche, elektrisch hoch isolationsfest Materialien. Somit sind hohe Spannungsabstände realisierbar.

Bei einer vorteilhaften Ausgestaltung weist das erste Bauelement ein insbesondere quaderförmiges Gehäuse auf, an welchem eine Anschlussfläche, insbesondere Anschlusspad, angeordnet ist und an dessen anderer Seite ein erster Anschlussfuss und zweite Anschlussfüsse angeordnet sind,

5

wobei die zweiten Anschlussfüsse elektrisch miteinander verbunden sind, insbesondere parallel geschaltet sind, also jeweils dasselbe elektrische Potential aufweisen,

10

insbesondere wobei die Anzahl der zweiten Anschlussfüsse Fünf ist. Von Vorteil ist dabei, dass der in das Bauteil eintretende Strom aufteilbar ist und somit insgesamt ein starker Strom steuerbar ist. Denn die zweiten Anschlussfüsse werden nicht überlastet, insbesondere nicht überhitzt.

15

Bei einer vorteilhaften Ausgestaltung ist das erste Bauelement ein Transistor,

20

wobei der erste Anschlussfuss ein Steuereingang, insbesondere Gate, ist, wobei die zweiten Anschlussfüsse als Versorgungseingang, insbesondere Source, fungieren und wobei die Anschlussfläche ein dritter Anschluss des Transistors ist, insbesondere Drain. Von Vorteil ist dabei, dass der Transistor als Feldeffekttransistor ausführbar ist und somit nur ein geringer Steuerstrom einzuleiten ist, wobei trotzdem hohe Ströme schaltbar sind.

25

Bei einer vorteilhaften Ausgestaltung ist die Anschlussfläche elektrisch verbunden mit einer an der Oberfläche der vom Transistor abgewandten Seite der ersten Leiterplatte angeordneten Leiterbahn,

wobei eine Kühlplatte die Leiterbahn berührt, insbesondere wärmeleitend mit der Leiterbahn verbunden ist,

30

wobei die erste Leiterplatte schraubverbunden ist mit der Kühlplatte,

insbesondere wobei die Kühlplatte die erste Leiterplatte trägt und/oder hält. Von Vorteil ist dabei, dass eine breite Anschlussfläche einerseits zur Oberflächenmontage verwendbar ist und andererseits starke Ströme herausleitbar sind. Dabei ist vorzugsweise das Potential der Anschlussfläche dasselbe Potential wie das Potential der Kühlplatte, insbesondere

35

vorzugsweise elektrisch Erde, insbesondere elektrisch Masse

Bei einer vorteilhaften Ausgestaltung ist das Gehäuse des Transistors quaderförmig. Von Vorteil ist dabei, dass die Anschlussfläche auf einer anderen Seite des quaderförmigen Gehäuses anordenbar ist als die Anschlussfüsse und somit eine Kriechstrecke über eine Kante des Quaders geführt ist. Daher ist eine lange Kriechstrecke und somit eine hohe Isolationsfestigkeit erreichbar .

Bei einer vorteilhaften Ausgestaltung bilden der erste Anschlussfuss und die zweiten Anschlussfüsse eine gerade Reihe von Anschlussfüssen, welche regelmäßig voneinander beabstandet sind. Von Vorteil ist dabei, dass eine einfache Herausleitung des Stroms aus dem Bauteil ermöglicht ist.

Bei einer vorteilhaften Ausgestaltung ist die erste Leiterplatte und die zweite Leiterplatte jeweils mehrlagig ausgeführt, insbesondere jeweils als Multilayer-Leiterplatte,

wobei die beiden äußeren Lagen der ersten Leiterplatte zumindest in einer Leiterbahn jeweils Niederspannung führen,

wobei die beiden äußeren Lagen der zweiten Leiterplatte zumindest in einer Leiterbahn jeweils Niederspannung führen. Von Vorteil ist dabei, dass eine Wicklung als Flachwicklung in mehreren der Lagen der Leiterplatten anordenbar ist. Jede der Windungen ist also auf einer jeweiligen Lage angeordnet und die Windungen einer jeweiligen Wicklung sind mittels einer Durchkontaktierung elektrisch verbunden.

Bei einer vorteilhaften Ausgestaltung führt das jeweils zu einer äußeren Lage der ersten Leiterplatte nächstbenachbarte Paar von Lagen der ersten Leiterplatte zumindest in einer Leiterbahn Hochspannung,

und/oder

die inneren Lagen der ersten Leiterplatte führen paarweise abwechselnd zumindest in einer jeweiligen Leiterbahn Hochspannung oder Niederspannung, wobei das jeweilige Paar hierbei jeweils aus zueinander nächstbenachbarten Lagen gebildet ist. Von Vorteil ist dabei, dass zwischen den Hochspannung führenden Lagen Niederspannung führende Lagen angeordnet sind und somit ein vergrößerter Abstand zwischen den Hochspannung führenden Lagern

erreichbar ist. Dadurch ist auch die Isolation verbessert. Die äußeren Lagen führen nur Niederspannung und sind somit ungefährlich für Personen, welche die Leiterplatte berühren. Ebenso besteht kein Risiko eines Spannungsdurchschlags für die beiden einander berührend angeordneten Leiterplatten. Denn die äußeren Lagen sind mit einem elektrisch isolierenden
5 Lack beschichtet, der zwar sehr dünn ist, aber für die Niederspannung ausreichend isolationsfest.

Bei einer vorteilhaften Ausgestaltung führt das jeweils zu einer äußeren Lage der zweiten Leiterplatte nächstbenachbarte Paar von Lagen der zweiten Leiterplatte zumindest in einer
10 Leiterbahn Hochspannung und das weiter innen in der zweiten Leiterplatte angeordnete, zum Paar wiederum nächstbenachbarte Paar von Lagen führt zumindest in einer Leiterbahn Niederspannung. Von Vorteil ist dabei, dass zwischen zwei Paaren von Hochspannung führenden Lagen jeweils ein Paar von Niederspannung führenden Lagen angeordnet ist. Auf diese Weise ist zwischen den Hochspannung führenden Paaren ein ausreichend hoher
15 Isolationsabstand erreichbar, obwohl die Leiterplatten sehr dünnwandig ausgeführt sind. Die Abstände zwischen den einzelnen zueinander nächstbenachbarten Lagen sind dabei geringer als 2 mm, insbesondere geringer als 1 mm.

Bei einer vorteilhaften Ausgestaltung führen die inneren Lagen der zweiten Leiterplatte paarweise abwechselnd zumindest in einer Leiterbahn Hochspannung oder Niederspannung, wobei das jeweilige Paar hierbei jeweils aus zueinander nächstbenachbarten Lagen gebildet ist. Von Vorteil ist dabei, dass zwischen zwei Paaren von Hochspannung führenden Lagen jeweils ein Paar von Niederspannung führenden Lagen angeordnet ist. Auf diese Weise ist zwischen den Hochspannung führenden Paaren ein ausreichend hoher Isolationsabstand
25 erreichbar, obwohl die Leiterplatten sehr dünnwandig ausgeführt sind. Die Abstände zwischen den einzelnen zueinander nächstbenachbarten Lagen sind dabei geringer als 2 mm, insbesondere geringer als 1 mm.

Bei einer vorteilhaften Ausgestaltung ist die Hochspannung eine Spannung aus dem Spannungswertebereich über 800 Volt, insbesondere gegen elektrisch Erde und/oder Masse gemessen,
30

und/oder ist die Niederspannung eine Spannung von weniger als 50 Volt, insbesondere weniger als 48 Volt, insbesondere gegen elektrisch Erde und/oder Masse gemessen. Von
35 Vorteil ist dabei, dass die Spannung eines Zwischenkreises eines Umrichters verwendbar ist.

Dabei speist der Umrichter im motorischen Betrieb eines Elektromotors diesen Elektromotor und im generatorischen Betrieb steigt die Zwischenkreisspannung an, insbesondere bis oder über 800 Volt, insbesondere gegen elektrisch Erde und/oder Masse gemessen. .

- 5 Bei einer vorteilhaften Ausgestaltung trägt die jeweilige Leiterbahn eine jeweilige Windung einer Primärwicklung oder Sekundärwicklung. Von Vorteil ist dabei, dass die Wicklungen als zueinander konzentrische Flachwicklungen ausführbar sind, insbesondere mit gleichem maximalen Wicklungsdurchmesser.
- 10 Bei einer vorteilhaften Ausgestaltung weist die erste und die zweite Leiterplatte Windungen einer Primärwicklung und Windungen einer Sekundärwicklung auf,
- insbesondere wobei die Primärwicklung Hochspannung führt und/oder das erste Bauelement den durch die Primärwicklung fließenden Strom, insbesondere Primärstrom, steuert und/oder
- 15 wobei die Sekundärwicklung Niederspannung führt. Von Vorteil ist dabei, dass ein Bauelement verwendbar ist, welches hohe Ströme schalten kann und somit den in der Primärwicklung fließenden Primärstrom „zerhacken“ kann. Auf diese Weise ist sekundärseitig eine ausreichend hohe Wechsellspannung induzierbar trotz Verwendung einer geringen Anzahl von Windungen in beiden Wicklungen, insbesondere in der Primärwicklung. Sekundärseitig speist
- 20 wird aus der Sekundärwicklung ein Gleichrichter gespeist und somit eine Niederspannung zur Verfügung gestellt, die mittels einer elektronischen Schaltung auf einen konstanten Wert gebracht wird trotz an der Primärwicklung anliegender, veränderlicher Spannung. Vorzugsweise wird die sekundärseitig bereit gestellte Spannung erfasst und dadurch auf einen Sollwert hin geregelt, indem das erste Bauelement entsprechend angesteuert wird.
- 25 Vorzugsweise wird das erste Bauelement pulsweitenmoduliert angesteuert und die Pulsweite als Stellgröße von einer Reglereinheit, insbesondere lineare Reglereinheit, insbesondere P-Regler, PI-Regler oder PID-Regler, bestimmt, welcher die erfasste Spannung zugeführt und der Sollwert vorgegeben ist.
- 30 Bei einer vorteilhaften Ausgestaltung weist ein Spulenkern zumindest zwei Teile auf, wobei zumindest eines der beiden Teile einen Mittelschenkel und Außenschenkel aufweist,
- wobei der Mittelschenkel durch eine Ausnehmung der ersten Leiterplatte und durch eine Ausnehmung der zweiten Leiterplatte hindurchragt,

wobei die Windungen der Primärwicklung und der Sekundärwicklung um den Mittelschenkel herum geführt sind. Von Vorteil ist dabei, dass nach Oberflächenmontage der zweiten Leiterplatte auf die erste Leiterplatte und somit auch nach Bestückung der ersten Leiterplatte mit Bauelementen der erste Teil des Spulenkerns von einer Seite der ersten Leiterplatte her kommend und der andere Teil des Spulenkerns von der anderen Seite der zweiten Leiterplatte her kommend aufgeschoben wird. Somit ragt dann der Mittelschenkel durch die Ausnehmung der beiden Leiterplatten hindurch. Die Windungen beider Wicklungen sind um den Mittelschenkel herumgeführt. Somit ist eine effektive induktive Kopplung zwischen Primärwicklung und Sekundärwicklung erreichbar. Da auch Außenschenkel vorgesehen sind, welche auf beiden Seiten der ersten Leiterplatte mittels eines jeweiligen Jochteils mit dem Mittelschenkel verbunden sind, ist ein hoher Wirkungsgrad bei der induktiven Kopplung erreichbar.

Weitere Vorteile ergeben sich aus den Unteransprüchen. Die Erfindung ist nicht auf die Merkmalskombination der Ansprüche beschränkt. Für den Fachmann ergeben sich weitere sinnvolle Kombinationsmöglichkeiten von Ansprüchen und/oder einzelnen Anspruchsmerkmalen und/oder Merkmalen der Beschreibung und/oder der Figuren, insbesondere aus der Aufgabenstellung und/oder der sich durch Vergleich mit dem Stand der Technik stellenden Aufgabe.

Die Erfindung wird nun anhand von schematischen Abbildungen näher erläutert:

In der Figur 1 ist eine Schrägansicht eines erfindungsgemäßen Schaltnetzteils gezeigt.

5

In der Figur 2 ist das Schaltnetzteil aus einem anderen Blickwinkel gezeigt.

Wie in den Figuren dargestellt, weist das Schaltnetzteil eine erste Leiterplatte 7, welche mit Bauteilen in SMD-Technik bestückt ist. Dabei weisen die Bauteile Lötflächen auf oder Anschlussfüsse, welche für die Oberflächenmontage mittels Lötverbindung geeignet sind. Ein Durchführen von Anschlussfüssen durch eine durchgehende Bohrung in der ersten Leiterplatte 7 entfällt also.

10

Außerdem ist eine zweite Leiterplatte 3 an ihrem Außenumfang mit Lötflächen ausgeführt, auf die erste Leiterplatte 7 direkt, insbesondere also berührend, aufgelegt und mittels SMD-Technik verbunden, also mittels Lötverbindung der Lötflächen der zweiten Leiterplatte 3 mit Leiterbahnen der ersten Leiterplatte 7.

15

Die erste und zweite Leiterplatte (3, 7) ist jeweils mehrlagig ausgeführt.

20

Ein aus zwei Teilen zusammengesetzter Spulenkern weist drei Schenkel auf, wobei zumindest der mittlere der drei Schenkel durch eine durch die erste Leiterplatte 7 und durch die zweite Leiterplatte 3 hindurchgehende Ausnehmung geführt ist.

Das Schaltnetzteil weist einen induktiven Übertrager auf, der eine Primärwicklung und eine Sekundärwicklung aufweist. Die Primärwicklung wird von einem mittels eines Transistors gesteuerten Starkstroms durchflossen, wobei Spannungen von mehr als 800 V vorgesehen sind. Solche Spannungen werden hier und im Folgenden als Hochspannung bezeichnet. Sekundärseitig ist eine Niedervoltspannung vorgesehen.

25

30

Vorzugsweise ist die erste Leiterplatte 7 vierlagig ausgeführt und die zweite Leiterplatte 3 achtlagig.

Dabei sind zwei Windungen der Sekundärwicklung in den beiden äußeren Lagen der zweiten Leiterplatte 3 angeordnet und führen somit Niederspannung. Weitere Windungen der

35

Sekundärwicklung sind auf der ersten Leiterplatte 7 angeordnet, nämlich auf den beiden äußeren Lagen der ersten Leiterplatte 7 und in den beiden mittleren Lagen der ersten Leiterplatte 7, insbesondere also in der vierten und fünften Lage der ersten Leiterplatte 7. Diese weiteren Windungen führen somit ebenfalls Niederspannung.

5

Zwei Windungen der Primärwicklung sind in den mittleren Lagen der zweiten Leiterplatte 3 angeordnet, also in der zweiten und dritten Lage der zweiten Leiterplatte 3. Somit führen die zweite und dritte Lage der zweiten Leiterplatte 3 Hochspannung.

10 Weitere Windungen der Primärwicklung sind in der zweiten und dritten sowie sechsten und siebten Lage der ersten Leiterplatte 7 angeordnet und führen somit Hochspannung, also mehr als 800 Volt. Dabei wird die Spannung stets gegen Masse, insbesondere also elektrisch Erde, gemessen.

15 Da bei beiden Leiterplatten (3, 7) die beiden äußeren Lagen jeweils Niederspannung führen, ist ein direktes, also berührendes, Auflegen der zweiten Leiterplatte 3 auf die erste Leiterplatte 7 ermöglicht, ohne dass besondere Maßnahmen zur Verbesserung der elektrischen Isolationsfestigkeit und/oder Isolierung notwendig sind. Es genügt also beispielsweise eine dünne Lackschicht auf den äußeren Lagen, um eine ausreichende Isolierung zu erhalten.

20

Innerhalb der jeweiligen Leiterplatte sind die Lagen mittels Trägermaterial der Leiterplatte 3 und 7 jeweils derart gut beabstandet, dass eine genügend hohe Isolationsfestigkeit besteht.

25 Wie oben beschrieben weist also die Sekundärwicklung die Windungszahl Sechs auf und die Primärwicklung ebenfalls die Windungszahl Sechs.

In Weiterbildung sind aber auch zwei oder drei Windungen der Primärwicklung parallel schaltbar, so dass der Primärstrom sich entsprechend aufteilt und die Windungszahl Drei oder Zwei beträgt.

30

Da die zweite Leiterplatte 3 wie andere Bauteile auch oberflächenmontiert sind, ist die Bestückung der ersten Leiterplatte 7 mit den Bauteilen und auch der zweiten Leiterplatte 3 im gleichen Herstellverfahrensschritt ausführbar. Dabei werden die Bauteile und auch die zweite Leiterplatte 3 mittels einer Haltevorrichtung relativ zur ersten Leiterplatte 7 fixiert und dann

durch ein Wellenlötbad geführt. Somit ist dann die SMD-Montage in einfacher Art und Weise ausführbar.

5 Eines dieser Bauteile ist ein Transistor, welcher den Primärstrom steuert, also große Ströme schalten muss. Dabei liegt an dem Transistor Hochspannung an.

10 Der Transistor 1 weist an seinem Gehäuse eine Anschlussfläche 12, insbesondere Anschlusspad für Drain des Transistors 1, auf, welche direkt lötverbindbar ist mit einer Leiterbahn, welche an der äußeren Oberfläche der ersten Leiterplatte 7 angeordnet ist. Die Anschlussfläche 12 liegt also am Gehäuse an und bildet einen Teil der Oberfläche des Transistors.

15 Aus dem Gehäuse des Transistors 1 ragen auch ein Anschlussfuss 6 für den Steuereingang Gate des Transistors 1 und fünf Anschlussfüsse 5 für den Versorgungsanschluss Source des Transistors 1 heraus. Dabei werden die Anschlussfüsse (5, 6) an der Oberfläche der ersten Leiterplatte 7 aufgelegt und dann im genannten Herstellverfahrensschritt lötverbunden. Mittels der Parallelschaltung der Anschlussfüsse 5 für Drain ist ein hoher Strom mittels des Transistors 1 steuerbar.

20 Dadurch, dass die Anschlussfläche 12 für Drain an der Unterseite des Transistors 1 angeordnet ist und die Anschlussfüsse 5 an einer Seite des Transistors 1 ist ein hoher Abstand zwischen Drain und Source und somit Kriechstrecken für mehr als 800 Volt, insbesondere mehr als 2000 Volt, realisierbar. Dabei ist die Anschlussfläche 12 an einem möglichst weit von den Anschlussfüssen 5 entfernten Bereich der Unterseite des Transistors 1
25 angeordnet. Die Anschlussfüsse sind aus mechanischen Gründen und konstruktiven Gründen in der Mitte der Seite des Transistors 1 angeordnet.

Das Gehäuse des Transistors 1 ist vorzugsweise quaderförmig ausgeführt.

30 Die zwei Teile (9, 10) des Spulenkerns werden von einer Klammer 11 aufeinander gedrückt und somit zusammengehalten. Da das erste der beiden Teile 9 von der Oberseite der ersten Leiterplatte 7 her kommend und das andere der beiden Teile 10 von der Unterseite der ersten Leiterplatte 7 her kommend

Vorzugsweise wird hier unter Niederspannung eine Spannung von weniger als 50 Volt, insbesondere von weniger als 48 Volt, verstanden.

5 Mit der Abkürzung NV für Niederspannung, und mit der Abkürzung HV für die Hochspannung führen die Lagen der ersten Leiterplatte 7 Spannungen in der Reihenfolge NV, HV, HV, NV, NV, HV, HV, NV.

Die zweite Leiterplatte 3 führt die Lagen mit der Reihenfolge NV, HV, HV, NV, NV, HV, HV, NV.

10 Die inneren Lagen sind somit jeweils paarweise mit der gleichen Spannung beaufschlagt. Die äußeren Lagen sind jeweils mit NV beaufschlagt.

Die erste Leiterplatte 7 ist mit der Kühlplatte 2 schraubverbunden, insbesondere mittels schrauben 8. Der Transistor 1 ist auf der von der Kühlplatte abgewandten Seite der ersten
15 Leiterplatte 7 auf dieser bestückt. Seine Anschlussfläche 12 ist vorzugsweise durchkontaktiert zu einer Leiterbahn auf der der Kühlplatte 2 zugewandten Seite der ersten Leiterplatte 7, welche mit der Kühlplatte 2 wärmeleitend verbunden ist, so dass die vom Transistor 1 erzeugte Wärme über die Kühlplatte 2 abführbar ist an die Umgebung.

20 Außerdem fungiert die Kühlplatte 2 als Halteteil für die erste Leiterplatte 7 und somit indirekt auch für die von der ersten Leiterplatte 7 gehaltenen Bauelemente sowie die zweite Leiterplatte 3.

Mittels einer weiteren Schraube 13 ist die Kühlplatte an einem anderen Teil eines
25 Elektrogeräts schraubverbindbar.

Bei weiteren erfindungsgemäßen Ausführungsbeispielen wird eine andere geradzahlige Anzahl von Lagen der ersten Leiterplatte 7 und/oder eine andere geradzahlige Anzahl der Lagen der zweiten Leiterplatte 3 vorgesehen. Zwar führen dabei wiederum die äußeren Lagen
30 Niederspannung NV, aber die inneren Lagen führen wiederum in abwechselnder Reihenfolge paarweise HV oder NV.

Bezugszeichenliste

- | | |
|----|---|
| | 1 Transistor |
| 5 | 2 Kühlplatte |
| | 3 zweite Leiterplatte |
| | 4 Lötpad |
| | 5 Anschlussfuss für Source |
| | 6 Anschlussfuss für Gate |
| 10 | 7 erste Leiterplatte |
| | 8 Schraube |
| | 9 Spulenkern |
| | 10 Spulenkern |
| | 11 Klammer |
| 15 | 12 Anschlussfläche, insbesondere Anschlusspad für Drain |
| | 13 Schraube |

5 Patentansprüche:

1. Vorrichtung, insbesondere Schaltnetzteil,

10 aufweisend eine erste Leiterplatte und eine zweite Leiterplatte sowie ein erstes Bauelement,
insbesondere Transistor,

dadurch gekennzeichnet, dass

15 die erste Leiterplatte mit der zweiten Leiterplatte in SMD-Technik und dem ersten Bauelement
in SMD-Technik bestückt ist,

insbesondere also die zweite Leiterplatte und das erste Bauelement oberflächenmontiert,
insbesondere lötverbunden, sind auf einer Seite der ersten Leiterplatte.

20

2. Vorrichtung nach Anspruch 1,

dadurch gekennzeichnet, dass

- 5 das erste Bauelement ein insbesondere quaderförmiges Gehäuse aufweist, an welchem eine Anschlussfläche, insbesondere Anschlusspad, angeordnet ist und an dessen anderer Seite ein erster Anschlussfuss und zweite Anschlussfüsse angeordnet sind,

wobei die zweiten Anschlussfüsse elektrisch miteinander verbunden sind, insbesondere

- 10 parallel geschaltet sind, also jeweils dasselbe elektrische Potential aufweisen,

insbesondere wobei die Anzahl der zweiten Anschlussfüsse Fünf ist. .

3. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,

- 15 dadurch gekennzeichnet, dass

das erste Bauelement ein Transistor ist,

wobei der erste Anschlussfuss ein Steuereingang, insbesondere Gate, ist,

wobei die zweiten Anschlussfüsse als Versorgungseingang, insbesondere Source, fungieren

- 20 und wobei die Anschlussfläche ein dritter Anschluss des Transistors ist, insbesondere Drain.

4. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,

dadurch gekennzeichnet, dass

die Anschlussfläche elektrisch verbunden ist mit einer an der Oberfläche der vom Transistor

- 25 abgewandten Seite der ersten Leiterplatte angeordneten Leiterbahn,

wobei eine Kühlplatte die Leiterbahn berührt, insbesondere wärmeleitend mit der Leiterbahn verbunden ist,

- 30 wobei die erste Leiterplatte schraubverbunden ist mit der Kühlplatte,

insbesondere wobei die Kühlplatte die erste Leiterplatte trägt und/oder hält.

5. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,
dadurch gekennzeichnet, dass
das Gehäuse des Transistors quaderförmig ist.

5

6. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,
dadurch gekennzeichnet, dass
der erste Anschlussfuss und die zweiten Anschlussfüsse eine gerade Reihe von
Anschlussfüssen bilden, welche regelmäßig voneinander beabstandet sind.

10

7. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,
dadurch gekennzeichnet, dass
die erste Leiterplatte und die zweite Leiterplatte jeweils mehrlagig ausgeführt ist, insbesondere
jeweils als Multilayer-Leiterplatte,

15

wobei die beiden äußeren Lagen der ersten Leiterplatte zumindest in einer Leiterbahn jeweils
Niederspannung führen,

wobei die beiden äußeren Lagen der zweiten Leiterplatte zumindest in einer Leiterbahn jeweils
Niederspannung führen.

20

8. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,
dadurch gekennzeichnet, dass
das jeweils zu einer äußeren Lage der ersten Leiterplatte nächstbenachbarte Paar von Lagen
der ersten Leiterplatte zumindest in einer Leiterbahn Hochspannung führt,

25

und/oder dass

die inneren Lagen der ersten Leiterplatte paarweise abwechselnd zumindest in einer
jeweiligen Leiterbahn Hochspannung oder Niederspannung führen, wobei das jeweilige Paar
hierbei jeweils aus zueinander nächstbenachbarten Lagen gebildet ist.

30

9. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,
dadurch gekennzeichnet, dass

5 das jeweils zu einer äußeren Lage der zweiten Leiterplatte nächstbenachbarte Paar von
Lagen der zweiten Leiterplatte zumindest in einer Leiterbahn Hochspannung führt und das
weiter innen in der zweiten Leiterplatte angeordnete, zum Paar wiederum nächstbenachbarte
Paar von Lagen zumindest in einer Leiterbahn Niederspannung führt.

und/oder dass

10 die inneren Lagen der zweiten Leiterplatte paarweise abwechselnd zumindest in einer
Leiterbahn Hochspannung oder Niederspannung führen, wobei das jeweilige Paar hierbei
jeweils aus zueinander nächstbenachbarten Lagen gebildet ist.

15 10. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,
dadurch gekennzeichnet, dass
die Hochspannung eine Spannung aus dem Spannungswertebereich über 800 Volt ist

20 und/oder dass die Niederspannung eine Spannung von weniger als 50 Volt, insbesondere
weniger als 48 Volt, ist.

11. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,
dadurch gekennzeichnet, dass
25 die jeweilige Leiterbahn eine jeweilige Windung einer Primärwicklung oder Sekundärwicklung
ist.

12. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,
dadurch gekennzeichnet, dass
30 die erste und die zweite Leiterplatte Windungen einer Primärwicklung und Windungen einer
Sekundärwicklung aufweist,

insbesondere wobei die Primärwicklung Hochspannung führt und/oder das erste Bauelement
den durch die Primärwicklung fließenden Strom, insbesondere Primärstrom, steuert und/oder
wobei die Sekundärwicklung Niederspannung führt.

13. Vorrichtung nach mindestens einem der vorangegangenen Ansprüche,
dadurch gekennzeichnet, dass

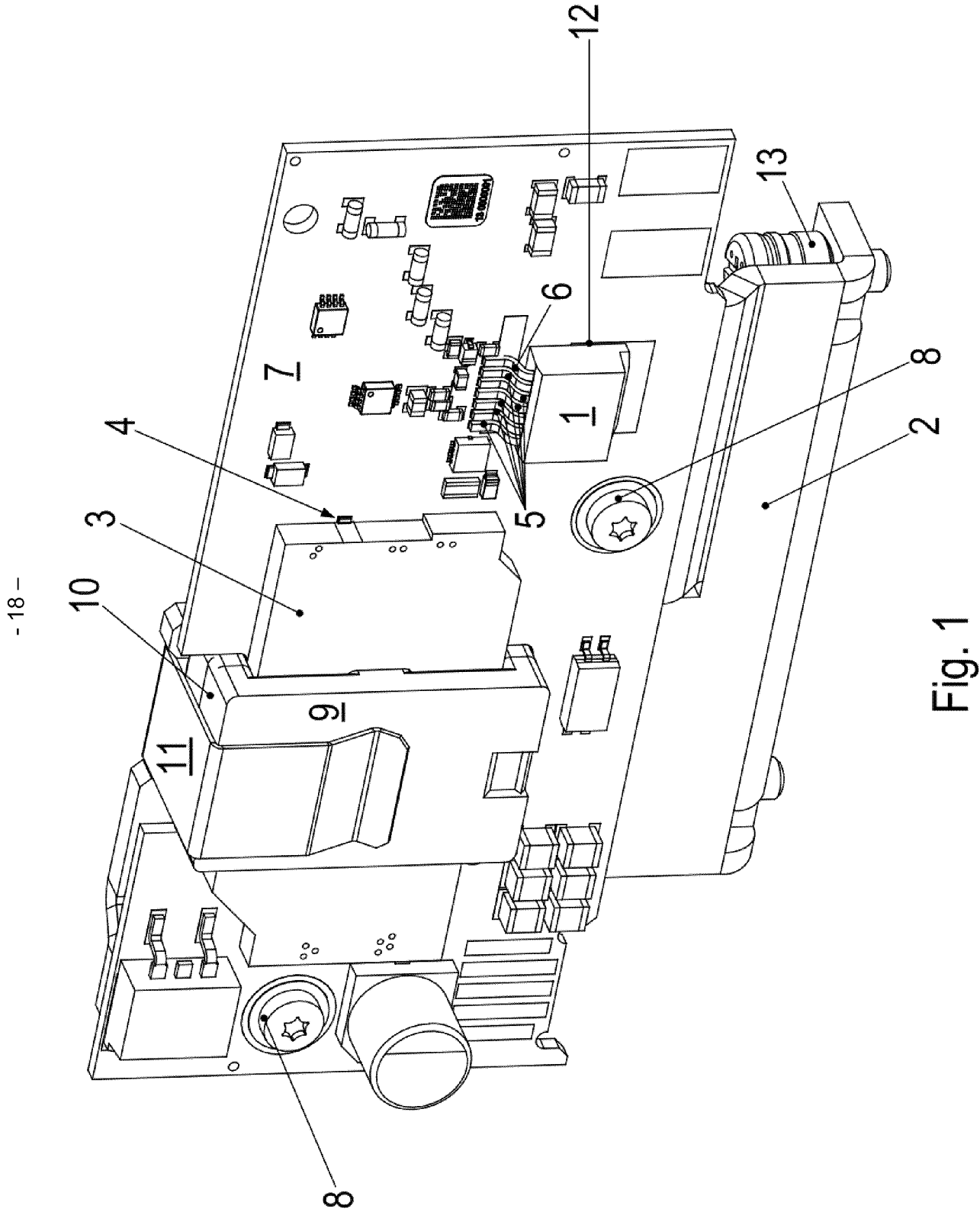
5 ein Spulenkern zumindest zwei Teile aufweist, wobei zumindest eines der beiden Teile einen
Mittelschenkel und Außenschenkel aufweist,

wobei der Mittelschenkel durch eine Ausnehmung der ersten Leiterplatte und durch eine
Ausnehmung der zweiten Leiterplatte hindurchragt,

10

wobei die Windungen der Primärwicklung und der Sekundärwicklung um den Mittelschenkel
herum geführt sind.

15



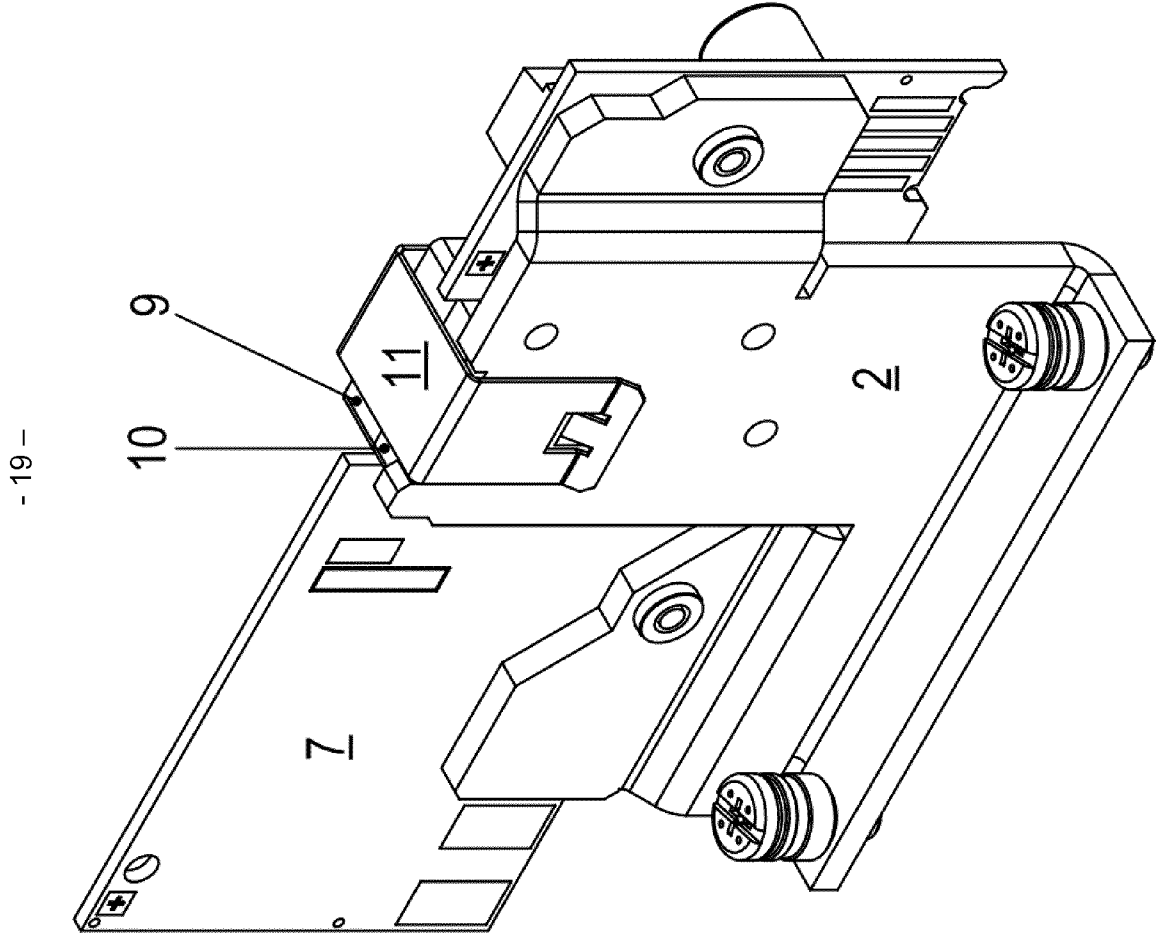


Fig. 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2019/025034

A. CLASSIFICATION OF SUBJECT MATTER**H05K 1/16**(2006.01)i; **H05K 3/36**(2006.01)i; **H01F 27/26**(2006.01)i; **H01F 27/29**(2006.01)i; **H01F 27/32**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K; H01F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013015936 A1 (LUO QUANSONG [CN]) 17 January 2013 (2013-01-17) abstract; figures 4-10 paragraphs [0005], [0041], [0048]	1-13
X	US 2004032313 A1 (FERENCZ ANDREW [US] ET AL) 19 February 2004 (2004-02-19) abstract; figures 1-7	1-13
X	DE 102016008013 A1 (SEW-EURODRIVE GMBH & CO KG [DE]) 04 January 2018 (2018-01-04) abstract; figure 1	1-13
A	US 2015235757 A1 (LOVELL ALAN CARROLL [US] ET AL) 20 August 2015 (2015-08-20) abstract; claims 6,8; figures 1,2 paragraph [0003]	8
A	US 5930601 A (CANNIZZARO SHARON M [US] ET AL) 27 July 1999 (1999-07-27) abstract; figures 3, 4 column 5, lines 49-64	4

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 May 2019

Date of mailing of the international search report

15 May 2019

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Schweiger, Dietmar

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2019/025034

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 03019997 A1 (VANNER INC [US]) 06 March 2003 (2003-03-06) abstract; figures 1-5 page 6, lines 10-31 page 1	4
A	-. "IPB065N15N3G OptiMOS 3 (TM) Power-Transistor" 25 January 2010 (2010-01-25), Retrieved from the Internet: https://nl.mouser.com/Semiconductors/Discrete-Semiconductors/Transistors/MOSFET/Datasheets/_/N-ax1sf?P=1z0xpddZ1yw76fe [retrieved on 2019-05-08] XP055587020 page 1	2,3

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2019/025034

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2013015936	A1	17 January 2013	NONE			
US	2004032313	A1	19 February 2004	NONE			
DE	102016008013	A1	04 January 2018	NONE			
US	2015235757	A1	20 August 2015	EP	3108723	A1	28 December 2016
				US	2015235757	A1	20 August 2015
				US	2017213636	A1	27 July 2017
				WO	2015126629	A1	27 August 2015
US	5930601	A	27 July 1999	AR	006185	A1	11 August 1999
				AU	2073597	A	19 March 1998
				US	5739586	A	14 April 1998
				US	5930601	A	27 July 1999
				WO	9809331	A1	05 March 1998
WO	03019997	A1	06 March 2003	NONE			

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES		
INV.	H05K1/16	H05K3/36
ADD.	H01F27/26	H01F27/29
		H01F27/32
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)		
H05K H01F		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)		
EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2013/015936 A1 (LUO QUANSONG [CN]) 17. Januar 2013 (2013-01-17) Zusammenfassung; Abbildungen 4-10 Absätze [0005], [0041], [0048] -----	1-13
X	US 2004/032313 A1 (FERENCZ ANDREW [US] ET AL) 19. Februar 2004 (2004-02-19) Zusammenfassung; Abbildungen 1-7 -----	1-13
X	DE 10 2016 008013 A1 (SEW-EURODRIVE GMBH & CO KG [DE]) 4. Januar 2018 (2018-01-04) Zusammenfassung; Abbildung 1 -----	1-13
A	US 2015/235757 A1 (LOVELL ALAN CARROLL [US] ET AL) 20. August 2015 (2015-08-20) Zusammenfassung; Ansprüche 6,8; Abbildungen 1,2 Absatz [0003] ----- -/-	8
☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
8. Mai 2019		15/05/2019
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Schweiger, Dietmar

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 930 601 A (CANNIZZARO SHARON M [US] ET AL) 27. Juli 1999 (1999-07-27) Zusammenfassung; Abbildungen 3, 4 Spalte 5, Zeilen 49-64 -----	4
A	WO 03/019997 A1 (VANNER INC [US]) 6. März 2003 (2003-03-06) Zusammenfassung; Abbildungen 1-5 Seite 6, Zeilen 10-31 Seite 1 -----	4
A	-: "IPB065N15N3G OptiMOS 3 (TM) Power-Transistor", 25. Januar 2010 (2010-01-25), XP055587020, Gefunden im Internet: URL: https://nl.mouser.com/Semiconductors/Discrete-Semiconductors/Transistors/MOSFET/Datasheets/_/N-ax1sf?P=1z0xpddZ1yw76fe [gefunden am 2019-05-08] Seite 1 -----	2,3

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2019/025034

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2013015936 A1	17-01-2013	KEINE	
US 2004032313 A1	19-02-2004	KEINE	
DE 102016008013 A1	04-01-2018	KEINE	
US 2015235757 A1	20-08-2015	EP 3108723 A1	28-12-2016
		US 2015235757 A1	20-08-2015
		US 2017213636 A1	27-07-2017
		WO 2015126629 A1	27-08-2015
US 5930601 A	27-07-1999	AR 006185 A1	11-08-1999
		AU 2073597 A	19-03-1998
		US 5739586 A	14-04-1998
		US 5930601 A	27-07-1999
		WO 9809331 A1	05-03-1998
WO 03019997 A1	06-03-2003	KEINE	