

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年11月24日(24.11.2016)



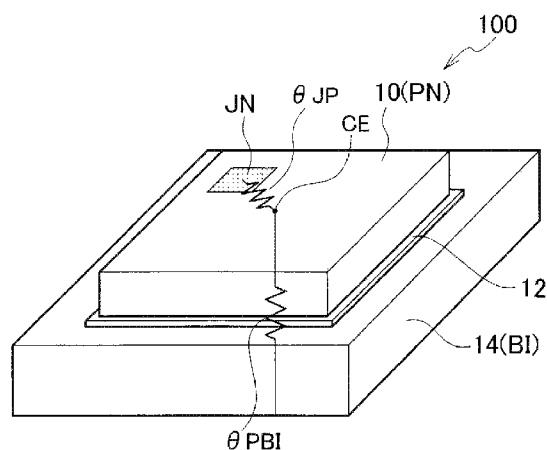
(10) 国際公開番号  
WO 2016/185837 A1

- (51) 国際特許分類:  
G06F 17/50 (2006.01) H01L 23/50 (2006.01)  
H01L 23/48 (2006.01)
  - (21) 国際出願番号: PCT/JP2016/061898
  - (22) 国際出願日: 2016年4月13日(13.04.2016)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2015-100905 2015年5月18日(18.05.2015) JP
  - (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];  
〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
  - (72) 発明者: 安武 一平(YASUTAKE, Ipppei); 〒6158585  
京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
  - (74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号  
虎ノ門琴平タワー Tokyo (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: THERMAL RESISTANCE ANALYSIS MODEL AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 熱抵抗解析モデル、および半導体集積回路

[図14]



(57) Abstract: In a semiconductor integrated circuit (100) equipped with a die (14) constituting a bottom inner node BI and a semiconductor chip (10) which is arranged on the die (14), has a localized heat-generating part constituting a junction node JN, and constitutes an additional plate node PN, a thermal resistance analysis model has a first thermal resistance  $\theta_{JP}$  between the junction node JN and the plate node PN and a second thermal resistance  $\theta_{PBI}$  between the plate node PN and the bottom inner node BI, and describes the semiconductor integrated circuit (100) with a multiple-thermal-resistance network. Thus, provided are a thermal resistance analysis model having good precision as a thermal resistance analysis model for a semiconductor integrated circuit that generates localized heat, and a semiconductor integrated circuit to which this thermal resistance analysis model is applied.

(57) 要約:

[続葉有]

WO 2016/185837 A1

---

熱抵抗解析モデルは、ボトムインナーノードBIを構成するダイ(14)と、ダイ(14)上に配置され、ジャンクションノードJNを構成する局所発熱部を有すると共に、追加のプレートノードPNを構成する半導体チップ(10)とを備える半導体集積回路(100)において、ジャンクションノードJNとプレートノードPN間の第1熱抵抗 $\theta_{JP}$ と、プレートノードPNとボトムインナーノードBI間の第2熱抵抗 $\theta_{BI}$ を有し、半導体集積回路(100)を多熱抵抗ネットワークで表現した。局所発熱する半導体集積回路の熱抵抗解析モデルとして精度の良好な熱抵抗解析モデル、およびこの熱抵抗解析モデルを適用した半導体集積回路を提供する。

## 明 細 書

発明の名称：熱抵抗解析モデル、および半導体集積回路

### 技術分野

[0001] 本実施の形態は、熱抵抗解析モデル、および半導体集積回路に関する。

### 背景技術

[0002] 半導体集積回路の製造工程においては、構想設計、基本設計、詳細設計、試作／デバック、および設計変更／量産の手順を経過するが、対策の自由度は、初期工程が大きく、後工程に行くほど低下する。また、製造における対策コストは、初期工程が小さく、後工程に行くほど増大する。したがって、初期工程に重みを置くことでトータルの工数削減を図ることができる。半導体集積回路の熱設計においても、初期工程に重みを置くフロントローディング化を進める必要がある。

[0003] 半導体集積回路部品の小型化に伴い、実装基板上における各発熱部品の配置によって、装置の周囲温度  $T_a$  が大きく影響されるようになってきている。また、実装基板上における高密度実装に伴い、隣り合う半導体集積回路部品間で、熱的に干渉する状況も生じてきている。したがって、例えば、数値流体力学（CFD：Computational Fluid Dynamics）を適用した解析が必要になり、解析に必要な熱抵抗モデルの必要性は高まっている。

[0004] ジャンクション温度をはじめ、半導体集積回路各部の温度を高精度で予測するためには、内部構造の正確なモデルが必要となる。例えば、解析ツールとして、半導体集積回路の内部構造を考慮した高精度のモデルが提案されており、標準化団体の電子機器技術評議会（JEDEC：Joint Electron Device Engineering Councils）によって採用されている。

### 先行技術文献

### 特許文献

[0005] 特許文献1：米国特許第8,628,236号明細書

特許文献2：特開2008-10617号公報

## 発明の概要

### 発明が解決しようとする課題

[0006] 本実施の形態は、局所発熱する半導体集積回路の熱抵抗解析モデルとして精度の良好な熱抵抗解析モデル、およびこの熱抵抗解析モデルを適用した半導体集積回路を提供する。

### 課題を解決するための手段

[0007] 本実施の形態の一態様によれば、ボトムインナーノードを構成するダイと、前記ダイ上に配置され、ジャンクションノードを構成する局所発熱部を有すると共に、追加のプレートノードを構成する半導体チップとを備える半導体集積回路において、前記ジャンクションノードと前記プレートノード間の第1熱抵抗と、前記プレートノードと前記ボトムインナーノード間の第2熱抵抗を有し、前記半導体集積回路を多熱抵抗ネットワークで表現した熱抵抗解析モデルが提供される。

[0008] 本実施の形態の他の態様によれば、ボトムインナーノードを構成するダイと、前記ダイ上に配置され、第1ジャンクションノードを構成する第1局所発熱部と、前記第1局所発熱部と離隔され、第2ジャンクションノードを構成する第2局所発熱部とを有すると共に、追加のプレートノードを構成する半導体チップとを備える半導体集積回路において、前記第1ジャンクションノードと前記プレートノード間の第1熱抵抗と、前記プレートノードと前記ボトムインナーノード間の第2熱抵抗と、前記プレートノードと前記第2ジャンクションノード間の第3熱抵抗と、前記第1ジャンクションノードと前記第2ジャンクションノード間の第4熱抵抗とを有し、前記半導体集積回路を多熱抵抗ネットワークで表現した熱抵抗解析モデルが提供される。

[0009] 本実施の形態の他の態様によれば、上記の熱抵抗解析モデルを適用した半導体集積回路が提供される。

### 発明の効果

[0010] 本実施の形態によれば、局所発熱する半導体集積回路の熱抵抗解析モデル

として精度の良好な熱抵抗解析モデル、およびこの熱抵抗解析モデルを適用した半導体集積回路を提供することができる。

### 図面の簡単な説明

[0011] [図1]第1の実施の形態に係る熱抵抗解析モデルを適用する半導体集積回路の鳥瞰図。

[図2]第1の実施の形態に係る熱抵抗解析モデルを適用する半導体集積回路において、(a) トップインナーT I、トップアウターT O、サイドS I、リードL Eの説明図、(b) リードL EのリードサイドL E SおよびリードフットL E Fの説明図。

[図3]第1の実施の形態に係る熱抵抗解析モデルを適用する半導体集積回路において、(a) ボトムインナーB I、ボトムアウターB Oの説明図、(b) トップインナーT I、トップアウターT Oの説明図、(c) ジャンクションノードJ Nの説明図、(d) サイドS I、リードL Eの説明図。

[図4]比較例に係るC F D適用熱抵抗解析モデルとして、2抵抗モデル(J E S D 1 5 - 3)の形状の説明図。

[図5]比較例に係るC F D適用熱抵抗解析モデルとして、D E L P H Iモデル(J E S D 1 5 - 4)の形状の説明図。

[図6]比較例に係るC F D適用熱抵抗解析モデルとして、詳細モデル(規格無)の形状の説明図。

[図7]比較例として、詳細モデルを適用して計算した全面発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例。

[図8]比較例として、D E L P H Iモデルを適用して計算した全面発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例。

[図9]比較例として、詳細モデルを適用して計算した局所発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例。

[図10]比較例として、D E L P H Iモデルを適用して計算した局所発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例。

[図11] (a) 比較例として、D E L P H Iモデルを適用する全面発熱時の半

導体チップの鳥瞰図、(b) 図11(a)に対応するDELPHIモデルの形状の説明図。

[図12](a)第1の実施の形態に係る熱抵抗解析モデルとしての局所DELPHIモデルを適用する半導体チップの鳥瞰図、(b) 図12(a)に対応する局所DELPHIモデルの形状の説明図。

[図13]第1の実施の形態に係る熱抵抗解析モデルとして、プレートノードPNを追加した局所DELPHIモデルにおいて、ジャンクションノードJN・ボトムインナーノードBI間の形状の説明図。

[図14]第1の実施の形態に係る熱抵抗解析モデルとして、プレートノードPNを追加した局所DELPHIモデルを適用する半導体集積回路の鳥瞰構成図。

[図15]第1の実施の形態に係る熱抵抗解析モデルを適用した半導体チップのチップ温度分布シミュレーション結果の模式的鳥瞰図。

[図16]第1の実施の形態に係る熱抵抗解析モデルを適用した半導体チップの局所発熱部近傍の熱流束シミュレーション結果の模式図。

[図17](a)第1の実施の形態に係る熱抵抗解析モデルを適用した半導体集積回路において、ジャンクションノードJNから等温線ETを引いた様子を説明する半導体チップ10(PN)の断面方向の模式図、(b)第1の実施の形態に係る熱抵抗解析モデルを適用した図14に対応する半導体集積回路において、ジャンクションノードJNから等温線を引いた様子を説明する半導体チップの模式的上面図。

[図18]第1の実施の形態に係る熱抵抗解析モデルとして局所DELPHIモデルを適用した半導体集積回路の各部の熱抵抗解析結果。

[図19](a)比較例として、詳細モデルを適用して計算した局所発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例、(b)比較例として、DELPHIモデルを適用して計算した全面発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例、(c)第1の実施の形態に係る熱抵抗解析モデルとして、局所DELPHIモデルを適用する半導体チップのジ

ジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例。

[図20]様々な基板仕様および、発熱源を全面および局所とする場合において、比較例として、詳細モデルおよびDELPHIモデルを適用して計算した数値例、第1の実施の形態に係る熱抵抗解析モデルとして、局所DELPHIモデルを適用して計算した数値例。

[図21]図20における基板仕様であって、(a) 1s (1層) 基板の模式的断面構造図、(b) 2s (2層) 基板の模式的断面構造図、(c) 2s2p (4層) 基板の模式的断面構造図。

[図22]第1の実施の形態に係る熱抵抗解析モデルとしての局所DELPHIモデルにおいて、局所発熱時の半導体集積回路上面方向への放熱を考慮する半導体集積回路の説明図。

[図23] (a) 第2の実施の形態に係る熱抵抗解析モデルとして、複数の局所発熱を表現する局所DELPHIモデルを適用する半導体チップの鳥瞰図、(b) 第2の実施の形態に係る熱抵抗解析モデルとして、複数の局所発熱を表現する局所DELPHIモデルの形状の部分の説明図。

[図24] (a) 第2の実施の形態に係る熱抵抗解析モデルとして、複数の局所発熱を表現する局所DELPHIモデルを適用するシステム電源用集積回路の模式的平面図、(b) 図24(a)に対応するシステム電源用集積回路において、それぞれ発熱プロファイルが異なるDC/DCコンバータブロックおよびLDOレギュレータブロックの模式的平面図、(c) 第2の実施の形態に係る熱抵抗解析モデルとして、複数の局所発熱を表現する局所DELPHIモデルを適用する半導体集積回路の鳥瞰図。

[図25] (a) 第3の実施の形態に係る熱抵抗解析モデルとして、3個のジャンクションノードを有する場合に局所DELPHIモデルを適用する半導体チップの模式的平面図、(b) 第3の実施の形態に係る熱抵抗解析モデルとして、複数個のジャンクションノードを有する場合に局所DELPHIモデルを適用する半導体チップの模式的平面図。

**発明を実施するための形態**

[0012] 次に、図面を参照して、本実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0013] 又、以下に示す実施の形態は、技術的思想を具体化するための装置や方法を例示するものであって、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

[0014] 尚、以下の説明において、トップインナーノードT Iを単にトップインナーT Iと表現する場合もある。ボトムインナーノードB I、ボトムアウターノードB O、トップアウターノードT O、サイドノードS I、リードノードL E、リードフットノードL E FおよびリードサイドノードL E Sについても同様である。

[0015] [第1の実施の形態]

第1の実施の形態に係る熱抵抗解析モデルを適用する半導体集積回路100の鳥瞰構成例は、図1に示すように表される。半導体集積回路100内には、半導体(L S I)チップが搭載可能である。

[0016] 第1の実施の形態に係る熱抵抗解析モデルを適用する半導体集積回路100において、トップインナーT I、トップアウターT O、サイドS I、リードL Eの各部の説明は、図2(a)に示すように表される。また、リードL EのリードフットL E FおよびリードサイドL E Sの各部の説明は、図2(b)に示すように表される。

[0017] 第1の実施の形態に係る熱抵抗解析モデルを適用する半導体集積回路100において、ボトムインナーB I、ボトムアウターB Oの各部の説明は、図3(a)に示すように表され、トップインナーT I、トップアウターT Oの

各部の説明は、図3（b）に示すように表される。また、ジャンクションノードJNの部分の説明は、図3（c）に示すように表される。また、サイドS1、リードLEの部分の説明は、図3（d）に示すように表される。

[0018] （比較例）

比較例に係るCFD適用熱抵抗解析モデルとしては、解析の目的に応じて、詳細モデル、DELPHIモデル、2抵抗モデルの3つのモデルから選択可能である。詳細モデルは、熱的に等価であることを利用して簡易化しながらも、出来る限り詳細に内部構造をモデル化する。2抵抗モデルは、一般的に最も簡易な形式で、形状を2つの熱抵抗として簡易的にモデル化する。DELPHIモデルは、6つ以上の熱抵抗でモデル化した、2抵抗モデルよりも詳細な熱抵抗モデルである。

[0019] ー2抵抗コンパクトモデルー

比較例に係るCFD適用熱抵抗解析モデルとして、2抵抗コンパクトモデル（JESD15-3）の形状の説明は、図4に示すように表される。2抵抗コンパクトモデル（JESD15-3）の形状は、図4に示すように、半導体集積回路100をジャンクションノードJNから上下に分けただけの簡単なモデルを備えている。すなわち、2抵抗コンパクトモデル（JESD15-3）は、図4に示すように、ジャンクションノードJNと、ケースノードCNと、ボードノードBNと、ジャンクションノードJN・ケースノードCN間に配置される熱抵抗 $\theta_{JC}$ と、ジャンクションノードJN・ボードノードBN間に配置される熱抵抗 $\theta_{JB}$ とを備える。ここで、ジャンクションノードJNは、半導体チップの熱源となるジャンクション部分に対応している。ケースノードCNは、ジャンクションノードJNから上方向に配置されるケース部分に対応している。また、ボードノードBNは、半導体チップが搭載される実装基板部分に対応している。

[0020] 比較例に係るCFD適用熱抵抗解析モデルとして、2抵抗コンパクトモデル（JESD15-3）は、ジャンクションノードJNが1つのノードで構成されている。また、その発熱モデルとしての精度は低い。

[0021] DELPHIコンパクトモデル

比較例に係るCFD適用熱抵抗解析モデルとして、DELPHIコンパクトモデル（JESD15-4）の形状の説明は、図5に示すように表される。

[0022] DELPHIコンパクトモデル（JESD15-4）の形状は、図5に示すように、半導体集積回路を多熱抵抗ネットワークで表現したモデルを備えている。すなわち、DELPHIコンパクトモデル（JESD15-4）は、図5に示すように、ジャンクションノードJNと、トップインナーノードTIと、トップアウターノードTOと、ボトムインナーノードBIと、ボトムアウターノードBOと、サイドノードSIと、リードノードLEと、ジャンクションノードJN・トップインナーノードTI間に配置される熱抵抗 $\theta_{JTI}$ と、ジャンクションノードJN・トップアウターノードTO間に配置される熱抵抗 $\theta_{JTO}$ と、ジャンクションノードJN・サイドノードSI間に配置される熱抵抗 $\theta_{JS}$ と、ジャンクションノードJN・リードノードLE間に配置される熱抵抗 $\theta_{JL}$ と、ジャンクションノードJN・ボトムインナーノードBI間に配置される熱抵抗 $\theta_{JBI}$ と、ジャンクションノードJN・ボトムアウターノードBO間に配置される熱抵抗 $\theta_{JBO}$ と、トップインナーノードTI・トップアウターノードTO間に配置される熱抵抗 $\theta_{TI0}$ と、トップインナーノードTI・サイドノードSI間に配置される熱抵抗 $\theta_{TS}$ と、トップアウターノードTO・リードノードLE間に配置される熱抵抗 $\theta_{TL}$ と、サイドノードSI・ボトムインナーノードBI間に配置される熱抵抗 $\theta_{SB}$ と、リードノードLE・ボトムアウターノードBO間に配置される熱抵抗 $\theta_{LB}$ と、ボトムインナーノードBI・ボトムアウターノードBO間に配置される熱抵抗 $\theta_{BI0}$ とを備える。

[0023] また、ボトムインナーノードBIとボトムアウターノードBOは、図3（a）に示すように、半導体集積回路内において、半導体チップが搭載される実装基板部分の内側部分および外側部分に対応している。

[0024] また、トップインナーノードTIとトップアウターノードTOは、図2（

a)・図3(b)に示すように、半導体集積回路内において、半導体チップが配置される上面ケース部分の内側部分および外側部分に対応している。

[0025] また、ジャンクションノードJNは、図3(c)に示すように、半導体集積回路内において、半導体チップの熱源となるジャンクション部分に対応している。

[0026] また、サイドノードSIとリードノードLEは、図2(a)・図3(d)に示すように、半導体集積回路内において、半導体チップを搭載するケース部分のサイド部分およびリード端子の配置部分に対応している。

[0027] 比較例に係る熱抵抗解析モデルとして、DELPHIコンパクトモデル(JESD15-4)は、ジャンクションノードJNが1つのノードで構成されている。また、その発熱モデルとしての精度は良好であるが、局所発熱に対しては、対応することが困難である。

[0028] ー詳細モデルー

比較例に係るCFD適用熱抵抗解析モデルとして、半導体集積回路100Mの詳細モデル(規格無)の形状の説明は、図6に示すように表される。すなわち、詳細モデルは、半導体集積回路100Mを構成する半導体チップや各構成部分の寸法、物性値などが含まれているため、抽象度の低いモデルである。詳細モデルは、その発熱モデルとしての精度は精度は最良であるが、内部の詳細な情報が含まれるため、実際上は入手困難であり、また、規格が無く、品質は各社各様である。また、詳細なモデルであるため、計算時間がかかり、解析ツール間の互換性が低い。

[0029] 比較例に係る詳細モデルは入手性に難が有る。また、比較例に係る2抵抗モデルは、詳細設計には、使えない。一方、比較例に係るDELPHIモデルが現実的であるが、局所発熱に対しては、対応することが困難である。

[0030] (全面発熱時)

比較例として、詳細モデルを適用して計算した全面発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例は、図7に示すように表される。図7に示す例では、ジャンクション温度=82.5℃、熱抵抗 $\theta_{JA}$ =20

． 6℃／Wである。

[0031] 比較例として、DELPHIモデルを適用して計算した全面発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例は、図8に示すように表される。図8に示す例では、ジャンクション温度＝82.6℃、熱抵抗 $\theta_{JA}$ ＝20.7℃／Wである。

[0032] 比較例として、DELPHIモデルを適用して計算した全面発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の計算結果では、詳細モデルの計算結果と略一致しており、全面発熱時の発熱モデルとしての精度は良好である。

[0033] (局所発熱時)

比較例として、詳細モデルを適用して計算した局所発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例は、図9に示すように表される。図9においては、熱源が複数のチャンネルを有する半導体チップにおいて、その内の1チャンネルのみが発熱する局所発熱時を想定している。図9に示す例では、接合最高温度＝115.5℃、熱抵抗 $\theta_{JA}$ ＝31.6℃／Wである。

[0034] 比較例として、DELPHIモデルを適用して計算した局所発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例は、図10に示すように表される。図10に示す例では、ジャンクション温度＝91.9℃、熱抵抗 $\theta_{JA}$ ＝23.7℃／Wである。

[0035] 比較例として、DELPHIモデルを適用して計算した局所発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の計算結果では、詳細モデルの計算結果とは、大きく異なった値を示しており、局所発熱時の発熱モデルとしての精度は低い。DELPHIモデルは、局所発熱には対応していない。

[0036] (比較例：DELPHIモデル)

比較例として、DELPHIモデルを適用する全面発熱時の半導体チップ10の鳥瞰構成は、図11(a)に示すように表され、図11(a)に対応するDELPHIモデル形状の説明は、図11(b)に示すように表される

。DELPHIモデルを適用する全面発熱時の半導体チップ10では、図11(a)に示すように、半導体チップ10全体が、ジャンクションノードJNそのものとして表される。図11(a)に対応するDELPHIモデル形状を説明する図11(b)の構成は、図5に示したDELPHIコンパクトモデル(JESD15-4)の形状と同様に、半導体集積回路を多熱抵抗ネットワークで表現したモデルを備えているため、重複説明は省略する。

[0037] (第1の実施の形態：局所DELPHIモデル)

第1の実施の形態に係る熱抵抗解析モデルとして、局所DELPHIモデルを適用する半導体チップ10の鳥瞰構成は、図12(a)に示すように表され、図12(a)に対応する局所DELPHIモデルの形状の説明は、図12(b)に示すように表される。

[0038] 第1の実施の形態に係る熱抵抗解析モデルにおいては、1つプレートノードPNを追加することで、半導体チップ10内の局所発熱を表現する局所DELPHIモデルを提供することができる。すなわち、第1の実施の形態に係る熱抵抗解析モデルにおいては、図12(a)に示すように、半導体チップ10において、例えばパワートランジスタなどのジャンクション部における局所発熱部をジャンクションノードJNで表現し、局所発熱部以外の半導体チップ10部分をプレートノードPNで表現する。

[0039] 第1の実施の形態に係る熱抵抗解析モデルとして、局所DELPHIモデルの形状は、図12(b)に示すように、半導体集積回路を多熱抵抗ネットワークで表現したモデルを備えている。

[0040] すなわち、第1の実施の形態に係る熱抵抗解析モデルとしての局所DELPHIモデルは、図12(b)に示すように、ジャンクションノードJNと、追加されたプレートノードPNと、トップインナーノードTIと、トップアウターノードTOと、ボトムインナーノードBIと、ボトムアウターノードBOと、サイドノードSIと、リードノードLEと、ジャンクションノードJN・トップインナーノードTI間に配置される熱抵抗 $\theta_{JTI}$ と、ジャンクションノードJN・トップアウターノードTO間に配置される熱抵抗 $\theta_{JTO}$ と

、ジャンクションノードJN・サイドノードS1間に配置される熱抵抗 $\theta_{JS}$ と、ジャンクションノードJN・リードノードLE間に配置される熱抵抗 $\theta_{JL}$ と、ジャンクションノードJN・プレートノードPN間に配置される熱抵抗 $\theta_{JP}$ と、プレートノードPN・ボトムインナーノードB1間に配置される熱抵抗 $\theta_{PBI}$ と、ジャンクションノードJN・ボトムアウターノードB0間に配置される熱抵抗 $\theta_{JB0}$ と、トップインナーノードT1・トップアウターノードT0間に配置される熱抵抗 $\theta_{TI0}$ と、トップインナーノードT1・サイドノードS1間に配置される熱抵抗 $\theta_{TS}$ と、トップアウターノードT0・リードノードLE間に配置される熱抵抗 $\theta_{TL}$ と、サイドノードS1・ボトムインナーノードB1間に配置される熱抵抗 $\theta_{SB}$ と、リードノードLE・ボトムアウターノードB0間に配置される熱抵抗 $\theta_{LB}$ と、ボトムインナーノードB1・ボトムアウターノードB0間に配置される熱抵抗 $\theta_{BI0}$ とを備える。

[0041] また、ボトムインナーノードB1とボトムアウターノードB0は、図3(a)と同様に、半導体集積回路内において、半導体チップ10が搭載される実装基板部分の内側部分および外側部分に対応している。

[0042] また、トップインナーノードT1とトップアウターノードT0は、図2(a)・図3(b)と同様に、半導体集積回路内において、半導体チップ10が配置される上面ケース部分の内側部分および外側部分に対応している。

[0043] また、ジャンクションノードJNは、図12(a)に示すように、半導体集積回路内において、半導体チップ10の局所的な熱源となるジャンクション部分に対応している。

[0044] また、追加のプレートノードPNは、図12(a)に示すように、半導体集積回路内において、半導体チップ10の局所的な熱源となるジャンクションノードJN以外の半導体チップ10(PN)に対応している。

[0045] また、サイドノードS1とリードノードLEは、図2(a)・図3(d)と同様に、半導体集積回路内において、半導体チップ10を搭載するケース部分のサイド部分およびリード端子の配置部分に対応している。

[0046] 第1の実施の形態に係る熱抵抗解析モデルとしての局所DELPHIモデ

ルは、1つプレートノードPNを追加して、局所発熱部をジャンクションノードJNで表現し、局所発熱部以外の半導体チップ10部分をプレートノードPNで表現することによって、チップ内の局所発熱を精度よく表現することができる。

[0047] 第1の実施の形態に係る熱抵抗解析モデルとして、プレートノードPNを追加した局所DELPHIモデルにおいて、ジャンクションノードJN・ボトムインナーノードBI間の形状の説明は、図13に示すように表される。図13は、図12(b)の破線部分を抽出したものである。

[0048] 第1の実施の形態に係る熱抵抗解析モデルとして、プレートノードPNを追加した局所DELPHIモデルを適用する半導体集積回路100の鳥瞰構成は、図14に示すように表される。

[0049] 第1の実施の形態に係る熱抵抗解析モデルとして、局所DELPHIモデルを適用する半導体集積回路100は、図14に示すように、ダイ14と、ダイ接続部12と、半導体チップ10とを備える。

[0050] 半導体チップ10は、ダイ14上にダイ接続部12を介して配置される。

[0051] ダイ14は、基板上に搭載される金属層などのアイランドを構成し、局所DELPHIモデルにおけるボトムインナーノードBIに対応している。

[0052] ダイ接続部12は、ダイ14と半導体チップ10を接続する半田層等で構成される。

[0053] 半導体チップ10の局所発熱部は、ジャンクションノードJNで表されている。また、局所発熱部（ジャンクションノードJN）以外の半導体チップ10部分は、プレートノードPNで表されているが、実質的に半導体チップ10の中心CEがプレートノードPNに対応している。すなわち、半導体チップ10は、例えばパワートランジスタなどのジャンクション部からなる局所発熱部（ジャンクションノードJN）と、局所発熱部（JN）以外の半導体チップ10（プレートノードPN）とを備える。

[0054] ジャンクションノードJN・プレートノードPN（CE）間には、熱抵抗 $\theta_{JP}$ が配置され、プレートノードPN・ボトムインナーノードBI間には、

熱抵抗 $\theta_{PBI}$ が配置されている。

[0055] 第1の実施の形態に係る熱抵抗解析モデルとしての局所DELPHIモデルは、1つプレートノードPNを追加し、ネットワークを追加することによって、チップ内の局所発熱を精度よく表現することができる。

[0056] (チップ温度分布)

第1の実施の形態に係る熱抵抗解析モデルを適用した半導体チップのチップ温度分布シミュレーション結果の模式的鳥瞰図は、図15に示すように表される。図15に示すように、局所発熱部における最高温度は約115.5℃であり、半導体チップの中心部分の温度は、約79.4℃である。

[0057] (ジャンクション部の熱流束)

第1の実施の形態に係る熱抵抗解析モデルを適用した半導体チップの局所発熱部に対応するジャンクションノードJN近傍の熱流束シミュレーション結果の模式図は、図16に示すように表される。図16に示すように、熱流束をベクトル表示すると、ほとんどが下側(ボトムインナーノード側:Cuなどの基板側)に流れていることがわかる。下側に流れる熱流量は、CFDのシミュレーション結果より約2.94Wである。以上より追加する熱抵抗 $\theta_{JP}$ を計算すると、 $\theta_{JP} = (115.5\text{℃} - 79.4\text{℃}) / 2.94\text{W} = 12.3\text{℃/W}$ で表される。

[0058] (ジャンクションノードJNから等温線を引いた様子)

第1の実施の形態に係る熱抵抗解析モデルを適用した半導体集積回路において、ジャンクションノードJNから等温線ETを引いた様子を説明する半導体チップ10(PN)の断面方向の模式図は、図17(a)に示すように表される。等温線ETは、図17(a)に示すように、破線で示されている。ジャンクションノードJNとジャンクションノードJN近い等温線ET間の熱抵抗は、例えば $\theta_1$ で表され、また順次、等温線ET間の熱抵抗は、例えば $\theta_2 \cdot \theta_3$ で表されている。

[0059] また、第1の実施の形態に係る熱抵抗解析モデルを適用した図14に対応する半導体集積回路において、ジャンクションノードJNから等温線を引い

た様子を説明する半導体チップ10 (PN) の模式的上面図は、図17 (b) に示すように表される。同様に、等温線ETは、図17 (b) に示すように、破線で示されている。

[0060] 図17に示すように、ジャンクションノードJNから半導体チップ10 (PN) 中心CEまで等温線ETを引いて、そこまでの熱抵抗 $\theta_{JP}$ を算出する。半導体チップ10 (PN) 中心CEが、実質的にプレートノードPNに対応している。

[0061] 第1の実施の形態に係る熱抵抗解析モデルを適用した局所DELPHIモデルにおいては、任意の位置のジャンクションノードJNから半導体チップ10 (PN) 中心CEまで等温線ETを引いて、そこまでの熱抵抗 $\theta_{JP}$ を算出することによって、半導体チップ10 (PN) の上面の面最適化を図ることができる。さらに、半導体チップ10 (PN) の中心CEからボトムインナーノードBIまでの熱抵抗が、 $\theta_{PBI}$ で表される。

[0062] (各部の熱抵抗解析の具体例)

第1の実施の形態に係る熱抵抗解析モデルとして局所DELPHIモデルを適用した半導体集積回路の各部の熱抵抗解析結果は、図18に示すように表される。図18に示すように、始点ノード・終点ノード間に配置される熱抵抗の解析結果が数値 ( $^{\circ}\text{C}/\text{W}$ ) で示されている。例えば、トップインナーノードTI・トップアウターノードTO間の熱抵抗は、1480.252 ( $^{\circ}\text{C}/\text{W}$ ) である。プレートノードPN・ジャンクションノードJN間の熱抵抗は、12.3 ( $^{\circ}\text{C}/\text{W}$ ) である。プレートノードPN・ボトムインナーノードBI間の熱抵抗は、2.26567 ( $^{\circ}\text{C}/\text{W}$ ) である。

[0063] (熱抵抗 $\theta_{JA}$ の数値例)

比較例として、詳細モデルを適用して計算した局所発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例は、図19 (a) に示すように表される。詳細モデルにおいては、最高ジャンクション温度は、約115.5  $^{\circ}\text{C}$ 、熱抵抗 $\theta_{JA}$ は、約31.6  $^{\circ}\text{C}/\text{W}$ が得られている。

[0064] 比較例として、DELPHIモデルを適用して計算した全面発熱時の半導

体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例は、図19(b)に示すように表される。

DELPHIモデルにおいては、ジャンクション温度は、約91.9℃、熱抵抗 $\theta_{JA}$ は、約23.7℃/Wが得られている。

[0065] 一方、第1の実施の形態に係る熱抵抗解析モデルとして、局所DELPHIモデルを適用する半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例は、図19(c)に示すように表される。局所DELPHIモデルにおいては、最高ジャンクション温度は、約115.4℃、熱抵抗 $\theta_{JA}$ は、約31.6℃/Wが得られている。

[0066] DELPHIモデルを適用して計算した結果では、全面発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例となるため、詳細モデルを適用して計算した結果と比較して、相対的に誤差が大きい。

[0067] 一方、第1の実施の形態に係る熱抵抗解析モデルとして、局所DELPHIモデルを適用して計算した結果では、プレートノードPNを追加することによって、局所発熱時の半導体チップのジャンクション温度と熱抵抗 $\theta_{JA}$ の数値例となるため、詳細モデルを適用して計算した結果と比較して、相対的に誤差小さく、良好な結果がえられている。

[0068] (基板の放熱性能)

様々な基板仕様および、発熱源を全面および局所とする場合において、比較例として、詳細モデルおよびDELPHIモデルを適用して計算した数値例、第1の実施の形態に係る熱抵抗解析モデルとして、局所DELPHIモデルを適用して計算した数値例は、図20に示すように表される。

[0069] 基板仕様について、図21(a)・図21(b)・図21(c)を参照して説明する。

[0070] 図20における基板仕様として、1s(1層)基板の模式的断面構造は図21(a)に示すように表され、2s(2層)基板の模式的断面構造は図21(b)に示すように表され、2s2p(4層)基板の模式的断面構造は図21(c)に示すように表される。

- [0071] 1s (1層) 基板は、図21 (a) に示すように、絶縁基板150と、絶縁基板150上に配置された第1電極層 (フットプリント) S1とを備える。第1電極層 (フットプリント) S1上にはダイ14 (B1) を介して半導体チップ10が配置される。
- [0072] 2s (2層) 基板は、図21 (b) に示すように、絶縁基板150と、絶縁基板150上に配置された第1電極層 (フットプリント) S1と、絶縁基板150の第1電極層 (フットプリント) S1に対向する裏面上に配置された第2電極層S2とを備える。
- [0073] 2s2p (4層) 基板は、図21 (c) に示すように、絶縁基板150と、絶縁基板150上に配置された第1電極層 (フットプリント) S1と、絶縁基板150の第1電極層 (フットプリント) S1に対向する裏面上に配置された第2電極層S2と、絶縁基板150の内部に埋め込まれた第1プレーン電極層P1と、第1プレーン電極層P1と第2電極層S2との間の絶縁基板150の内部に埋め込まれた第2プレーン電極層P2とを備える。第1電極層 (フットプリント) S1上にはダイ14 (B1) を介して半導体チップ10が配置される。第2電極層S2は、接地電極層として適用可能である。第1プレーン電極層P1は、接地電位 (GND) に保持され、第2プレーン電極層P2は、電源電圧 $V_{cc}$ の電位に保持されていても良い。
- [0074] 発熱源1chとは、例えば、複数チャンネルの発熱源を想定して、その中の1チャンネルのみが発熱した場合に対応している。複数チャンネルの発熱源とは、例えば、パワートランジスタが複数個並列に配置された構成において、複数のジャンクションノードを有する場合などに対応する。
- [0075]  $T_j$ はジャンクション温度である。 $T_{PN}$ はダイ温度であり、ボトムインナー或いはアイランドと呼ばれるダイ14の温度である。 $T_a$ は周囲温度である。 $P$  (W) は消費電力である。また、 $\theta_{JA}$ は熱抵抗であり、ジャンクションノードJNと周囲環境間の熱抵抗を表す。図20においては、詳細モデルとの熱抵抗 $\theta_{JA}$ の誤差についても%表示されている。
- [0076] 全面発熱源の場合には、図20に示すように、基板の放熱性能をパラメー

タにして、詳細モデルとDELPHIモデルの差を確認すると、2s2p（4層）構造および2s（2層）構造では、誤差が無いが、1s（1層）構造では、基板の放熱性能が相対的に低いため、約3%の誤差を生じている。

[0077] 局所発熱源（1ch）の場合には、図20に示すように、基板の放熱性能をパラメータにして、詳細モデルとDELPHIモデルの差を確認すると、2s2p（4層）構造では、約33%の誤差を示し、2s（2層）構造では、約29%の誤差を示し、1s（1層）構造では、約12%の誤差を示している。一方、詳細モデルと局所DELPHIモデルの差を確認すると、2s2p（4層）構造では、誤差が無く、2s（2層）構造では、約3%の誤差を示し、1s（1層）構造では、約7%の誤差を示している。

[0078] 局所DELPHIモデルは、基板の放熱性能が相対的に低くなるにつれて、相対的に誤差が増加する傾向が観られるが、詳細モデルとの誤差の範囲は、約10%以下である。

[0079] したがって、第1の実施の形態に係る熱抵抗解析モデルとして、局所DELPHIモデルを適用すれば、基板の放熱性能が変わった場合に対しても十分に適用可能である。

[0080] また、半導体チップ上面への放熱が増える（下面の基板側への放熱能力低下）ことによって、誤差は大きくなる傾向が観られるが、半導体チップ上面側へのネットワークを追加することで、影響緩和ができる。

[0081] 第1の実施の形態に係る熱抵抗解析モデルとしての局所DELPHIモデルにおいて、局所発熱時の半導体チップ上面方向への放熱を考慮する半導体集積回路100の説明は、図22に示すように表される。図22に示すように、半導体チップ10の局所発熱源としてのジャンクションノードJNから樹脂モールド層200を介した上面方向への熱流 $TF_u$ と、半導体チップ10・ダイ14を介した絶縁基板150方向への熱流 $TF_d$ との両方を考慮する。すなわち、半導体チップ上面側へのネットワークを追加することによって、誤差を縮小することができる。

[0082] 第1の実施の形態に係る熱抵抗解析モデルとして、ノードを追加した局所

DELPHIモデルによれば、局所発熱をモデル化可能である。

[0083] 第1の実施の形態によれば、局所発熱する半導体集積回路の熱抵抗解析モデルとして精度の良好な熱抵抗解析モデル、およびこの熱抵抗解析モデルを適用した半導体集積回路を提供することができる。

[0084] [第2の実施の形態：複数の局所発熱例]

第2の実施の形態に係る熱抵抗解析モデルとして、複数の局所発熱例、すなわち複数のジャンクションノードJN1・JN2およびプレートノードPNを追加した局所DELPHIモデルを適用する半導体チップ10の鳥瞰構成は、図23(a)に示すように表され、その局所DELPHIモデルの形状部分の説明は、図23(b)に示すように表される。

[0085] 第2の実施の形態に係る熱抵抗解析モデルにおいては、2つジャンクションノードJN1・JN2とプレートノードPNを追加することで、チップ内の複数の局所発熱を表現する局所DELPHIモデルを提供することもできる。すなわち、第2の実施の形態に係る熱抵抗解析モデルにおいては、図23(a)に示すように、半導体チップ10において、例えば2個のパワートランジスタなどのそれぞれのジャンクション部における局所発熱部をジャンクションノードJN1、JN2で表現し、局所発熱部以外の半導体チップ10部分をプレートノードPNで表現する。

[0086] 第2の実施の形態に係る熱抵抗解析モデルとして、チップ内の複数の局所発熱を表現する局所DELPHIモデルの形状は、図23(b)に示すように、半導体集積回路を多熱抵抗ネットワークで表現したモデルを備えている。

[0087] すなわち、第2の実施の形態に係る熱抵抗解析モデルとしての複数の局所発熱を表現する局所DELPHIモデルは、図23(b)に示すように、ジャンクションノードJN1と、ジャンクションノードJN2と、プレートノードPNと、トップインナーノードTIと、トップアウターノードTOと、ボトムインナーノードBIと、ボトムアウターノードBOと、サイドノードSIと、リードノードLEと、ジャンクションノードJN1・トップインナ

ーノードT I間に配置される熱抵抗 $\theta_{J1TI}$ と、ジャンクションノードJ N 1・トップアウターノードT O間に配置される熱抵抗 $\theta_{J1T0}$ と、ジャンクションノードJ N 1・サイドノードS I間に配置される熱抵抗 $\theta_{J1S}$ と、ジャンクションノードJ N 1・ジャンクションノードJ N 2間に配置される熱抵抗 $\theta_{J12}$ と、ジャンクションノードJ N 2・トップインナーノードT I間に配置される熱抵抗 $\theta_{J2TI}$ と、ジャンクションノードJ N 2・トップアウターノードT O間に配置される熱抵抗 $\theta_{J2T0}$ と、ジャンクションノードJ N 2・リードノードL E間に配置される熱抵抗 $\theta_{J2L}$ と、ジャンクションノードJ N 2・ボトムアウターノードB O間に配置される熱抵抗 $\theta_{J2B}$ と、ジャンクションノードJ N 2・プレートノードP N間に配置される熱抵抗 $\theta_{JN2P}$ と、ジャンクションノードJ N 1・プレートノードP N間に配置される熱抵抗 $\theta_{JN1P}$ と、プレートノードP N・ボトムインナーノードB I間に配置される熱抵抗 $\theta_{NPBI}$ と、ジャンクションノードJ N 1・ボトムアウターノードB O間に配置される熱抵抗 $\theta_{J1B0}$ と、トップインナーノードT I・トップアウターノードT O間に配置される熱抵抗 $\theta_{TI0}$ と、トップインナーノードT I・サイドノードS I間に配置される熱抵抗 $\theta_{TS}$ と、トップアウターノードT O・リードノードL E間に配置される熱抵抗 $\theta_{TL}$ と、サイドノードS I・ボトムインナーノードB I間に配置される熱抵抗 $\theta_{SB}$ と、リードノードL E・ボトムアウターノードB O間に配置される熱抵抗 $\theta_{LB}$ と、ボトムインナーノードB I・ボトムアウターノードB O間に配置される熱抵抗 $\theta_{BI0}$ とを備える。

[0088] また、ボトムインナーノードB IとボトムアウターノードB Oは、図3 (a)と同様に、半導体集積回路内において、半導体チップ10が搭載される実装基板部分の内側部分および外側部分に対応している。

[0089] また、トップインナーノードT IとトップアウターノードT Oは、図2 (a)・図3 (b)と同様に、半導体集積回路内において、半導体チップ10が配置される上面ケース部分の内側部分および外側部分に対応している。

[0090] また、ジャンクションノードJ N 1・J N 2は、図23 (a)に示すように、半導体集積回路内において、半導体チップ10の複数の局所的な熱源と

なるジャンクション部分に対応している。

[0091] また、プレートノードPNは、図23(a)・図23(b)に示すように、半導体集積回路内において、半導体チップ10の局所的な熱源となるジャンクションノードJN1・JN2以外の半導体チップ10(PN)に対応している。

[0092] また、サイドノードS1とリードノードLEは、図2(a)・図3(d)と同様に、半導体集積回路内において、半導体チップ10を搭載するケース部分のサイド部分およびリード端子の配置部分に対応している。

[0093] 第2の実施の形態に係る熱抵抗解析モデルとして、チップ内の複数の局所発熱を表現する局所DELPHIモデルは、局所発熱部をジャンクションノードJN1・JN2で表現し、局所発熱部以外の半導体チップ10部分をプレートノードPNで表現することによって、半導体チップ内の複数の局所発熱を精度よく表現することができる。

[0094] (具体例)

第2の実施の形態に係る熱抵抗解析モデルとして、半導体チップ内の複数の局所発熱を表現する局所DELPHIモデルを適用する具体例として、システム電源用集積回路140の模式的平面構成は、図24(a)に示すように表され、図24(a)に対応するシステム電源用集積回路140において、それぞれ発熱プロファイルが異なるDC/DCコンバータブロック121(JN1)およびLDOレギュレータブロック122(JN2)の模式的平面構成は、図24(b)に示すように表される。また、第2の実施の形態に係る熱抵抗解析モデルとして、複数の局所発熱を表現する局所DELPHIモデルを適用する半導体集積回路100の鳥瞰構成は、図24(c)に示すように表される。なお、図24(a)においてはジャンクションノードJN1・JN2については表示しているが、その他の各部の詳細説明は省略する。

[0095] 第2の実施の形態に係る熱抵抗解析モデルとして、複数の局所発熱を表現する局所DELPHIモデルを適用する半導体集積回路100は、図24(

c) に示すように、ダイ14と、ダイ接続部12と、半導体チップ10とを備える。

[0096] 半導体チップ10は、ダイ14上にダイ接続部12を介して配置される。

[0097] ダイ14は、基板上に搭載される金属層などのアイランドを構成し、局所DELPHIモデルにおけるボトムインナーノードBIに対応している。

[0098] ダイ接続部12は、ダイ14と半導体チップ10を接続する半田層等で構成される。

[0099] 半導体チップ10の局所発熱部は、ジャンクションノードJN1・JN2で表されている。また、局所発熱部（ジャンクションノードJN1・JN2）以外の半導体チップ10部分は、プレートノードPNで表されているが、実質的に半導体チップ10の中心CEがプレートノードPNに対応している。

[0100] システム電源用集積回路140においては、図24(a)・図24(b)に示すように、主として、DC/DCコンバータブロック121(JN1)・LDOレギュレータブロック122(JN2)のそれぞれのパワートランジスタ部分において局所発熱を生じる。このため、DC/DCコンバータブロック121に対応するジャンクションノードJN1と半導体チップ10の中心CEとの間には、熱抵抗 $\theta_{JN1P}$ が配置され、LDOレギュレータブロック122に対応するジャンクションノードJN2と半導体チップ10の中心CEとの間には、熱抵抗 $\theta_{JN2P}$ が配置される。プレートノードPN・ボトムインナーノードBI間には、熱抵抗 $\theta_{NPBI}$ が配置されている。

[0101] 第2の実施の形態に係る熱抵抗解析モデルとして、複数の局所発熱を表現する局所DELPHIモデルは、ジャンクションノードJN1・N2に対して、1つプレートノードPNを追加し、ネットワークを追加することによって、チップ内の局所発熱を精度よく表現することができる。

[0102] 第2の実施の形態によれば、複数箇所でも局所発熱する半導体集積回路の熱抵抗解析モデルとして精度の良好な熱抵抗解析モデル、およびこの熱抵抗解析モデルを適用した半導体集積回路を提供することができる。

[0103] [第3の実施の形態：複数の局所発熱例]

第3の実施の形態に係る熱抵抗解析モデルとして、3個のジャンクションノードJN1・JN2・JN3を有する場合に局所DELPHIモデルを適用する半導体チップ10の模式的平面構成は、図25(a)に示すように表される。また、第3の実施の形態に係る熱抵抗解析モデルとして、複数個のジャンクションノードJN1・JN2・…・JNm・…・JN2m・…・JNnを有する場合に局所DELPHIモデルを適用する半導体チップ10の模式的平面構成は、図25(b)に示すように表される。

[0104] 3個のジャンクションノードJN1・JN2・JN3を有する場合には、図25(a)に示すように、3個のジャンクションノードJN1・JN2・JN3を併合したジャンクションノードJNとして表現しても良い。3個のジャンクションノードJN1・JN2・JN3を併合したジャンクションノードJNとして表現することによって、ジャンクションノードJNとプレートノードPNを有する局所DELPHIモデルと同様に取り扱うことができる。

[0105] 同様に、複数個のジャンクションノードJN1・JN2・…・JNm・…・JN2m・…・JNnを有する場合には、図25(b)に示すように、複数個のジャンクションノードJN1・JN2・…・JNm・…・JN2m・…・JNnを併合したジャンクションノードJNとして表現しても良い。複数個のジャンクションノードJN1・JN2・…・JNm・…・JN2m・…・JNnを併合したジャンクションノードJNとして表現することによって、ジャンクションノードJNとプレートノードPNを有する局所DELPHIモデルと同様に取り扱うことができる。

[0106] 第3の実施の形態に係る熱抵抗解析モデルとして、多チャンネル発熱源が有る場合もジャンクションノードJNとプレートノードPNを有する局所DELPHIモデルと同様に取り扱うことができる。

[0107] 第3の実施の形態によれば、複数箇所でも局所発熱する半導体集積回路の熱抵抗解析モデルとして精度の良好な熱抵抗解析モデル、およびこの熱抵抗解

析モデルを適用した半導体集積回路を提供することができる。

[0108] 以上説明したように、本実施の形態によれば、局所発熱する半導体集積回路の熱抵抗解析モデルとして精度の良好な熱抵抗解析モデル、およびこの熱抵抗解析モデルを適用した半導体集積回路を提供することができる。

[0109] [その他の実施の形態]

上記のように、本実施の形態によって記載したが、この開示の一部をなす論述および図面は例示的なものであり、本実施の形態を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

[0110] このように、本実施の形態はここでは記載していない様々な実施の形態などを含む。

### 産業上の利用可能性

[0111] 本実施の形態の熱抵抗解析モデルは、局所発熱する半導体集積回路に適用可能であり、この半導体集積回路を電子部品とするモバイル機器、車載機器、産業機器、医療機器、ディスプレイ装置など幅広い分野に適用可能である。

### 符号の説明

- [0112] 10…半導体チップ  
12…ダイ接続部  
14…ダイ（ボトムインナー、アイランド）  
100、100M…半導体集積回路  
121…DC／DCコンバータブロック  
122…LDOレギュレータブロック  
140…システム電源用集積回路  
150…絶縁基板  
200…樹脂モールド層  
S1…第1電極層（フットプリント）  
S2…第2電極層

P 1 …第 1 プレーン電極層

P 2 …第 2 プレーン電極層

B 1 …ボトムインナーノード

B O …ボトムアウターノード

T 1 …トップインナーノード

T O …トップアウターノード

S 1 …サイドノード

L E …リードノード

L E S …リードサイドノード

L E F …リードフットノード

C N …ケースノード

B N …ボードノード

J N、J N 1、J N 2、…、J N m、…、J N 2 m、…、J N n …ジャンク  
ションノード

P N …プレートノード（追加ノード）

$\theta_{JA}$ 、 $\theta_{TI0}$ 、 $\theta_{TS}$ 、 $\theta_{JTI}$ 、 $\theta_{JT0}$ 、 $\theta_{TL}$ 、 $\theta_{JS}$ 、 $\theta_{JL}$ 、 $\theta_{SB}$ 、 $\theta_{JBI}$ 、 $\theta_{JB0}$ 、  
 $\theta_{LB}$ 、 $\theta_{BI0}$ 、 $\theta_{JP}$ 、 $\theta_{PBI}$ 、 $\theta_{J1TI}$ 、 $\theta_{J2TI}$ 、 $\theta_{J1T0}$ 、 $\theta_{J1S}$ 、 $\theta_{J12}$ 、 $\theta_{J2L}$ 、  
 $\theta_{J2T0}$ 、 $\theta_{JN1P}$ 、 $\theta_{JN2P}$ 、 $\theta_{J2B}$ 、 $\theta_{NPBI}$ 、 $\theta_{J1B0}$ 、 $\theta_{JP}$ 、 $\theta_{PBI}$ 、 $\theta_1$ 、 $\theta_2$ 、 $\theta_3$  …熱抵抗

E T …等温線

C E …中心

T<sub>j</sub> …ジャンクション温度

T<sub>PN</sub> …プレートノード（追加ノード）温度

T<sub>a</sub> …周囲温度

P …消費電力

## 請求の範囲

- [請求項1] ボトムインナーノードを構成するダイと、  
前記ダイ上に配置され、ジャンクションノードを構成する局所発熱部を有すると共に、追加のプレートノードを構成する半導体チップとを備える半導体集積回路において、  
前記ジャンクションノードと前記プレートノード間の第1熱抵抗と、前記プレートノードと前記ボトムインナーノード間の第2熱抵抗を有し、前記半導体集積回路を多熱抵抗ネットワークで表現したことを特徴とする熱抵抗解析モデル。
- [請求項2] 前記プレートノードは、平面視において前記半導体チップの実質的に中心部に配置されることを特徴とする請求項1に記載の熱抵抗解析モデル。
- [請求項3] トップインナーノードと、  
トップアウターノードと、  
サイドノードと、  
リードノードと、  
ボトムアウターノードと  
を備えることを特徴とする請求項1または2に記載の熱抵抗解析モデル。
- [請求項4] 前記リードノードは、さらにリードフットノードとリードサイドノードとを備えることを特徴とする請求項3に記載の熱抵抗解析モデル。
- [請求項5] 前記ボトムインナーノードと前記ボトムアウターノードは、前記半導体集積回路内において、前記半導体チップが搭載される実装基板の内側および外側に対応し、  
前記トップインナーノードと前記トップアウターノードは、前記半導体集積回路内において、前記半導体チップが配置される上面ケースの内側および外側に対応し、

前記ジャンクションノードは、前記半導体集積回路内において、前記半導体チップの熱源となるジャンクション部に対応し、

前記サイドノードと前記リードノードは、前記半導体集積回路内において、前記半導体チップが配置される前記上面ケースのサイド部分およびリード端子の配置部分に対応していることを特徴とする請求項3または4に記載の熱抵抗解析モデル。

[請求項6] 前記半導体集積回路内に配置され、前記ダイを搭載する基板を備えることを特徴とする請求項1～5のいずれか1項に記載の熱抵抗解析モデル。

[請求項7] 前記基板は、  
絶縁基板と、  
前記絶縁基板上に配置された第1電極層と  
を備え、  
前記第1電極層上には前記ダイを介して前記半導体チップが搭載されることを特徴とする請求項6に記載の熱抵抗解析モデル。

[請求項8] 前記基板は、  
絶縁基板と、  
前記絶縁基板上に配置された第1電極層と、  
前記絶縁基板の前記第1電極層に対向する裏面上に配置された第2電極層と  
を備え、  
前記第1電極層上には前記ダイを介して前記半導体チップが搭載されることを特徴とする請求項6に記載の熱抵抗解析モデル。

[請求項9] 前記基板は、  
絶縁基板と、  
前記絶縁基板上に配置された第1電極層と、  
前記絶縁基板の前記第1電極層に対向する裏面上に配置された第2電極層と、

前記絶縁基板の内部に埋め込まれた第1プレーン電極層と、  
前記第1プレーン電極層と前記第2電極層との間の前記絶縁基板の  
内部に埋め込まれた第2プレーン電極層P2と

を備え、

前記第1電極層上には前記ダイを介して前記半導体チップが搭載されることを特徴とする請求項6に記載の熱抵抗解析モデル。

[請求項10]

前記半導体チップは、複数の発熱源を備え、

前記局所発熱部は、前記複数の発熱源を併合した1つの発熱源を備えることを特徴とする請求項1～9のいずれか1項に記載の熱抵抗解析モデル。

[請求項11]

前記半導体チップは、複数チャンネルの発熱源を備え、

前記局所発熱部は、前記複数チャンネルの内の任意の1チャンネルの発熱源を備えることを特徴とする請求項1～9のいずれか1項に記載の熱抵抗解析モデル。

[請求項12]

前記複数チャンネルの発熱源は、複数個並列に配置されたパワートランジスタのジャンクション部を備えることを特徴とする請求項11に記載の熱抵抗解析モデル。

[請求項13]

ボトムインナーノードを構成するダイと、

前記ダイ上に配置され、第1ジャンクションノードを構成する第1局所発熱部と、前記第1局所発熱部と離隔され、第2ジャンクションノードを構成する第2局所発熱部とを有すると共に、追加のプレートノードを構成する半導体チップと

を備える半導体集積回路において、

前記第1ジャンクションノードと前記プレートノード間の第1熱抵抗と、前記プレートノードと前記ボトムインナーノード間の第2熱抵抗と、前記プレートノードと前記第2ジャンクションノード間の第3熱抵抗と、前記第1ジャンクションノードと前記第2ジャンクションノード間の第4熱抵抗とを有し、前記半導体集積回路を多熱抵抗ネッ

トワークで表現したことを特徴とする熱抵抗解析モデル。

[請求項14] 前記プレートノードは、平面視において前記半導体チップの実質的に中心部に配置されることを特徴とする請求項13に記載の熱抵抗解析モデル。

[請求項15] トップインナーノードと、  
トップアウターノードと、  
サイドノードと、  
リードノードと、  
ボトムアウターノードと  
を備えることを特徴とする請求項13または14に記載の熱抵抗解析モデル。

[請求項16] 前記リードノードは、さらにリードフットノードとリードサイドノードとを備えることを特徴とする請求項15に記載の熱抵抗解析モデル。

[請求項17] 前記ボトムインナーノードと前記ボトムアウターノードは、前記半導体集積回路内において、前記半導体チップが搭載される実装基板の内側および外側に対応し、

前記トップインナーノードと前記トップアウターノードは、前記半導体集積回路内において、前記半導体チップが配置される上面ケースの内側および外側に対応し、

前記第1ジャンクションノードおよび前記第1ジャンクションノードは、前記半導体集積回路内において、前記半導体チップの熱源となる2つのジャンクション部に対応し、

前記サイドノードと前記リードノードは、前記半導体集積回路内において、前記半導体チップが配置される前記上面ケースのサイド部分およびリード端子の配置部分に対応していることを特徴とする請求項15または16に記載の熱抵抗解析モデル。

[請求項18] 前記半導体チップは、システム電源用集積回路を備えることを特徴

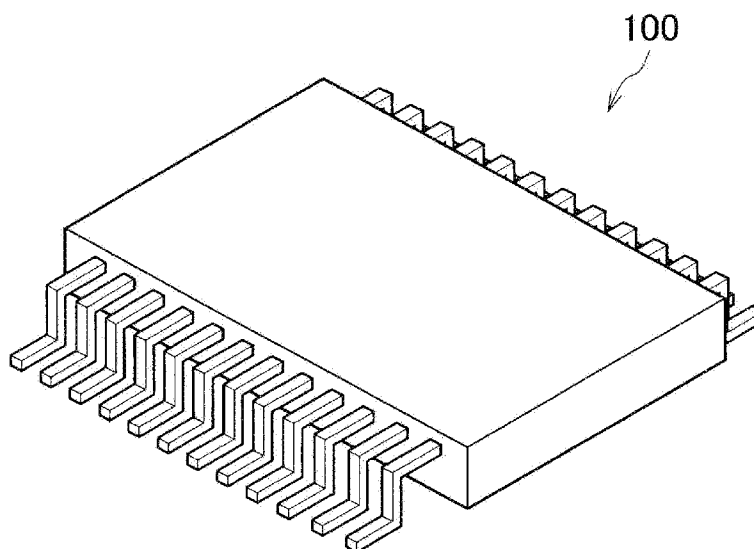
とする請求項15～17のいずれか1項に記載の熱抵抗解析モデル。

[請求項19] 前記第1局所発熱部と前記第2局所発熱部は異なる発熱プロファイルを備えることを特徴とする請求項18に記載の熱抵抗解析モデル。

[請求項20] 前記第1局所発熱部は、DC/DCコンバータブロックを備え、前記第2局所発熱部は、LDOレギュレータブロックを備えることを特徴とする請求項18または19に記載の熱抵抗解析モデル。

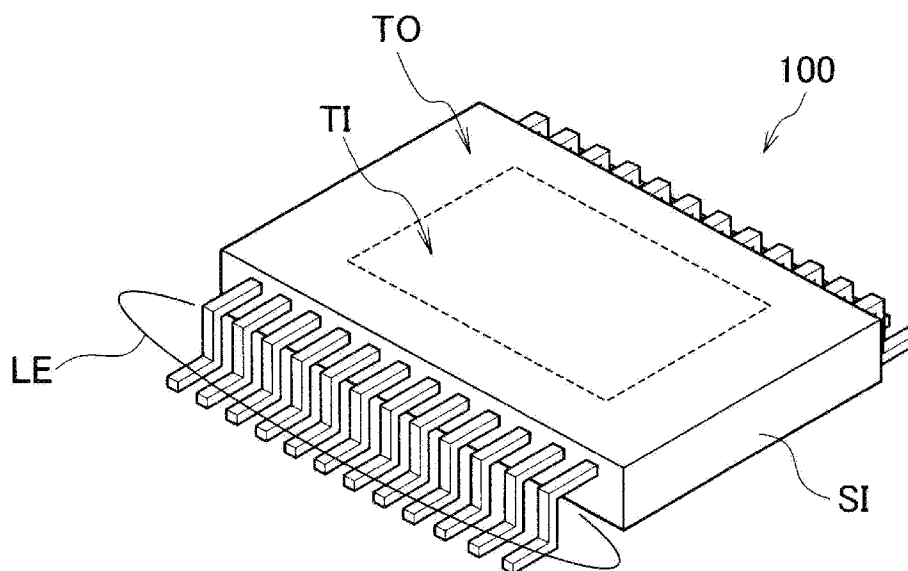
[請求項21] 請求項1～20のいずれか1項に記載の熱抵抗解析モデルを適用したことを特徴とする半導体集積回路。

[図1]

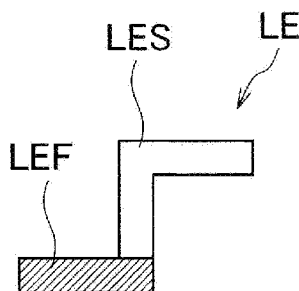


[図2]

(a)

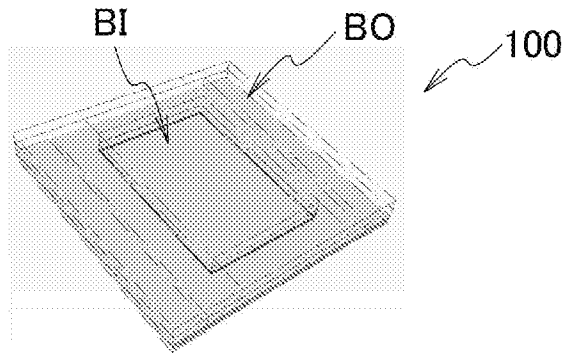


(b)

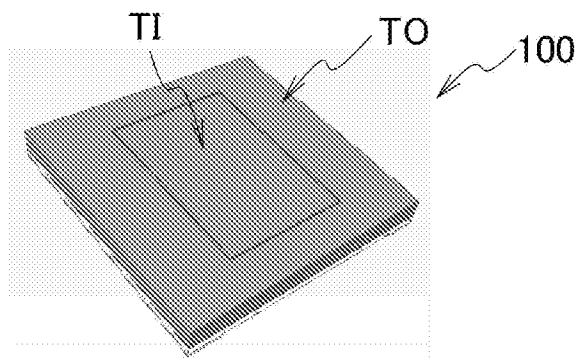


[図3]

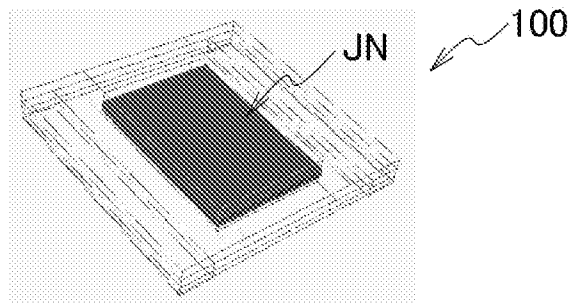
(a)



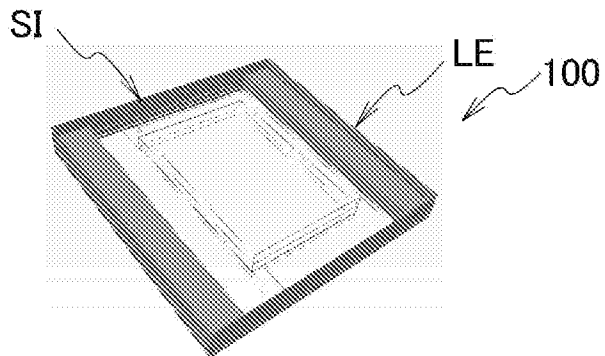
(b)



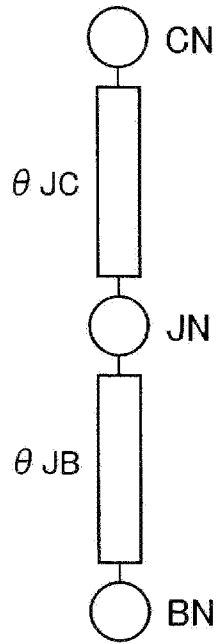
(c)



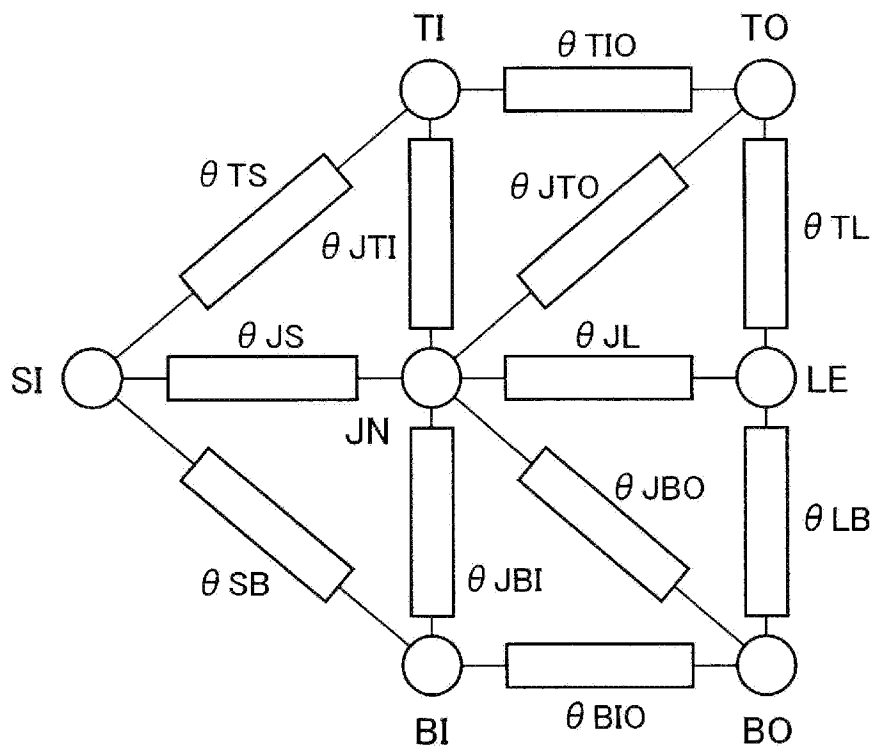
(d)



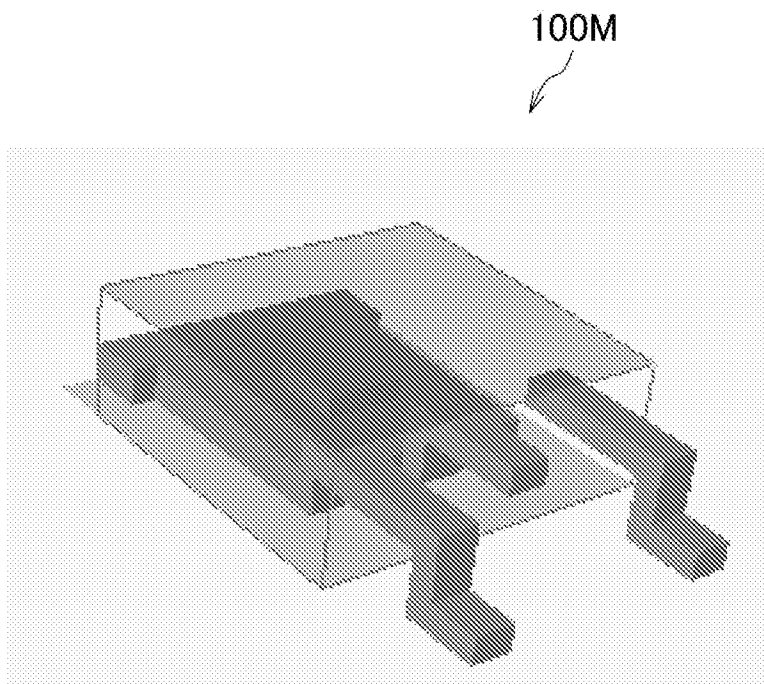
[図4]



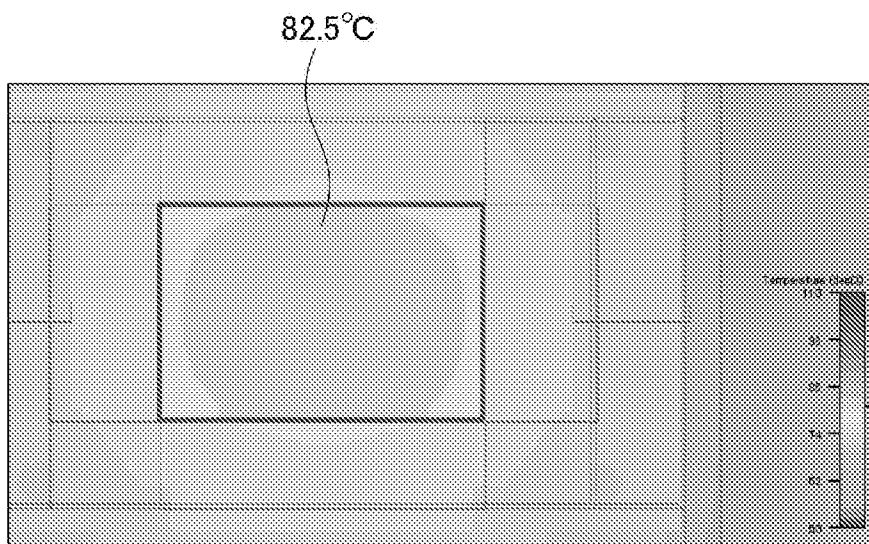
[図5]



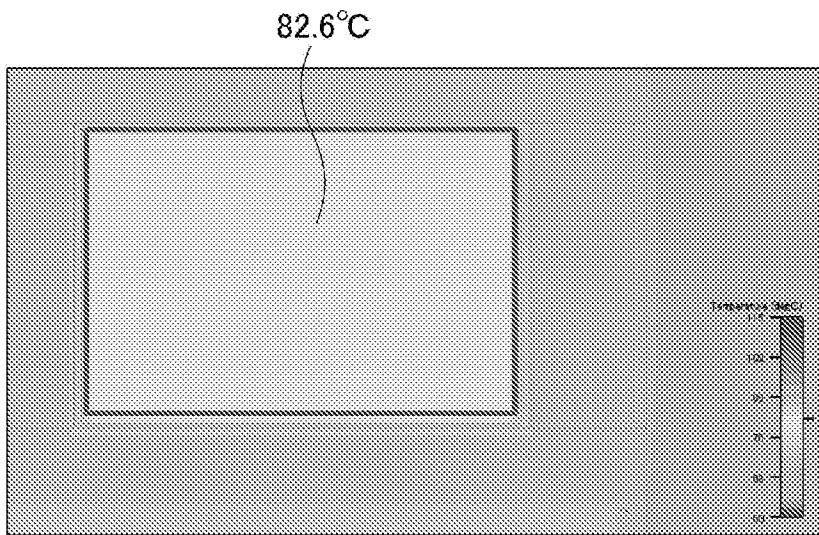
[図6]



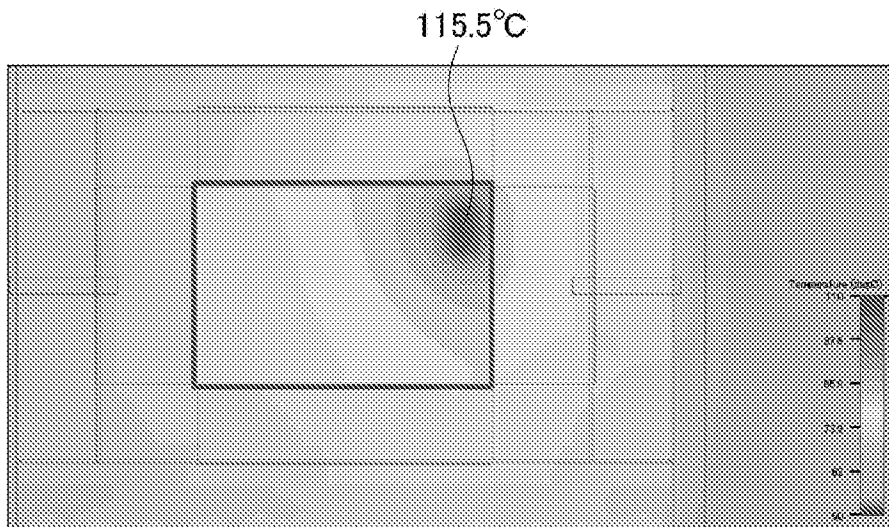
[図7]

 $\theta_{JA} = 20.6^{\circ}\text{C}/\text{W}$

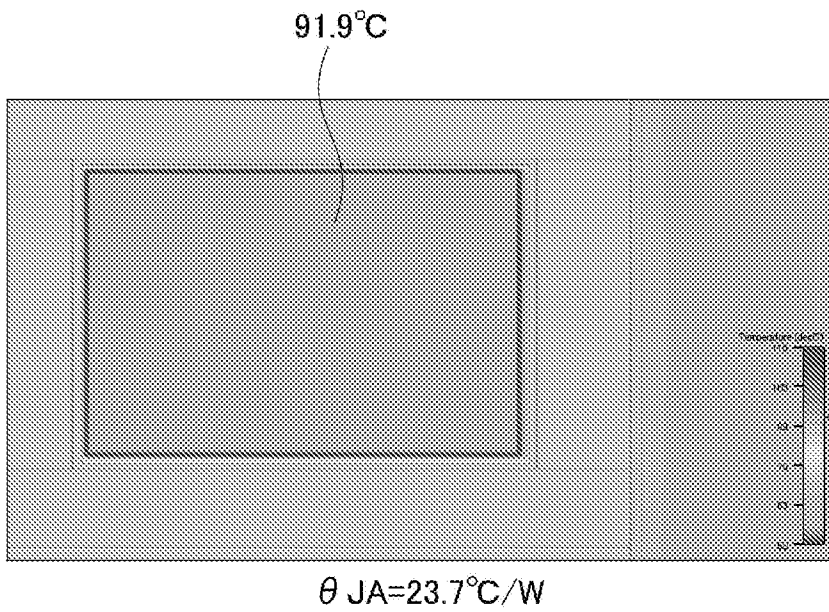
[図8]

 $\theta_{JA}=20.7^{\circ}\text{C}/\text{W}$ 

[図9]

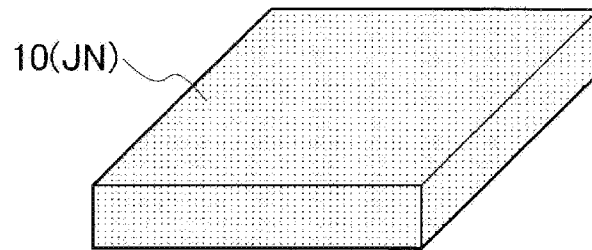
 $\theta_{JA}=31.6^{\circ}\text{C}/\text{W}$

[図10]

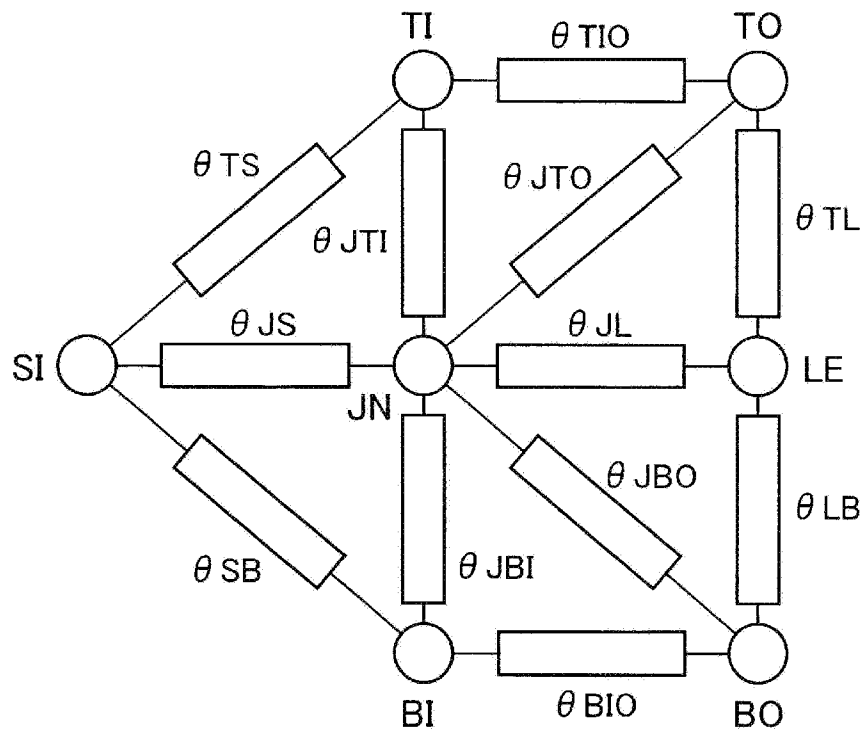


[図11]

(a)

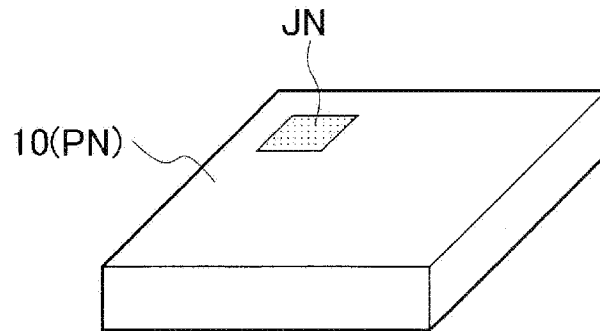


(b)

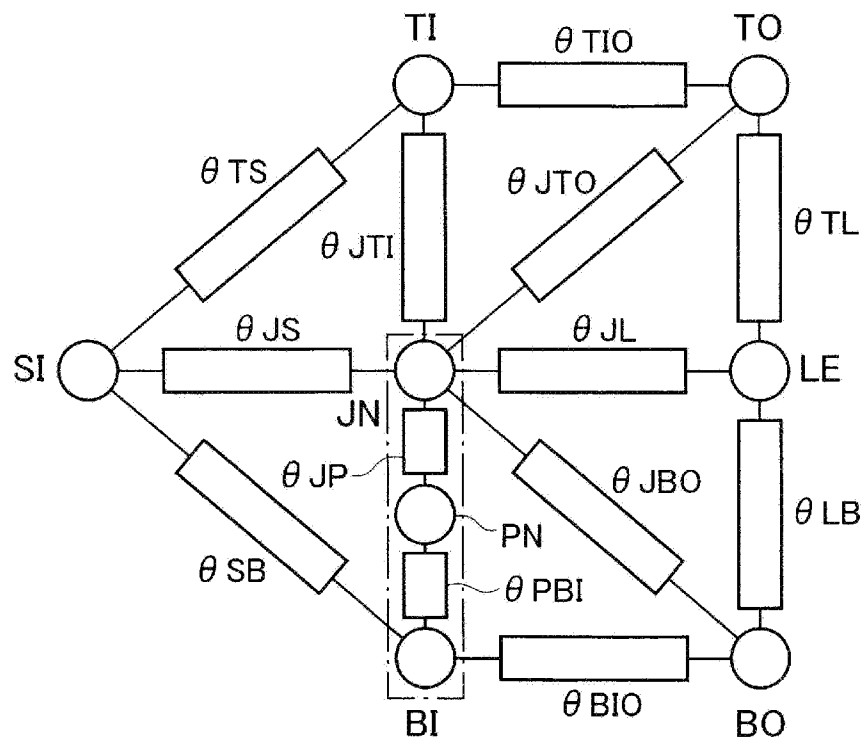


[図12]

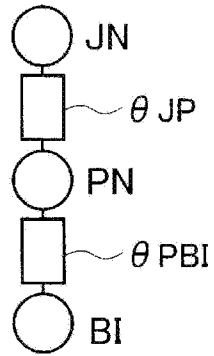
(a)



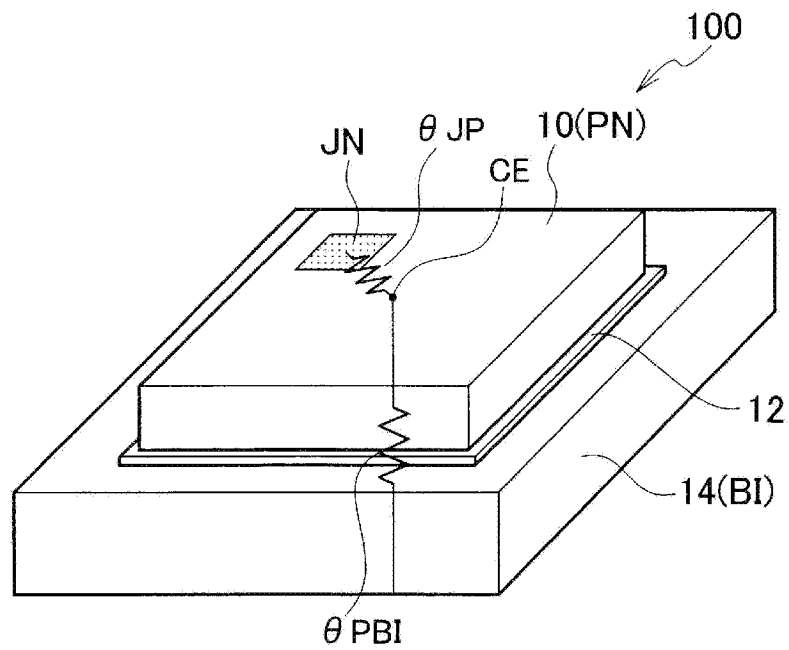
(b)



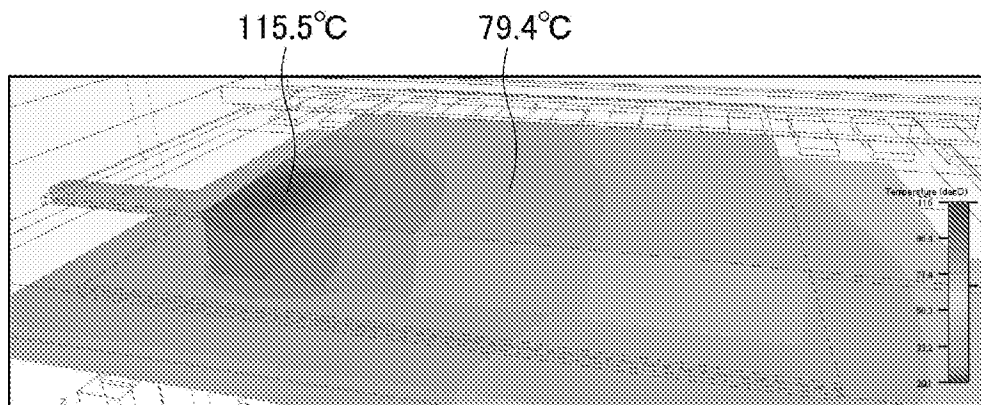
[図13]



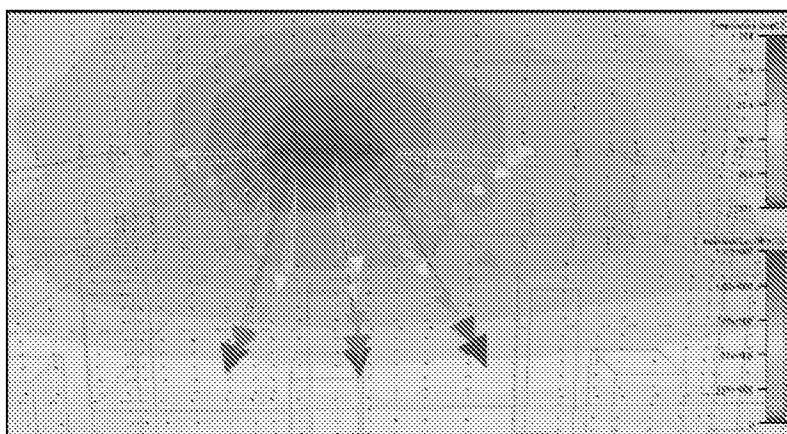
[図14]



[图15]

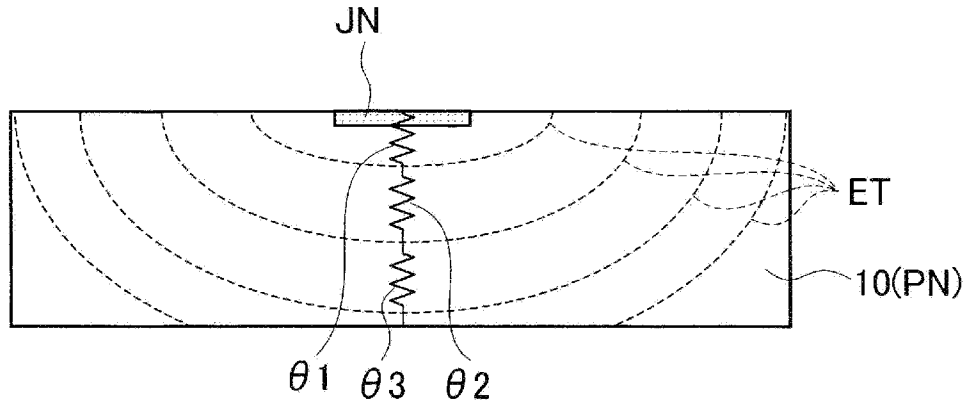


[图16]

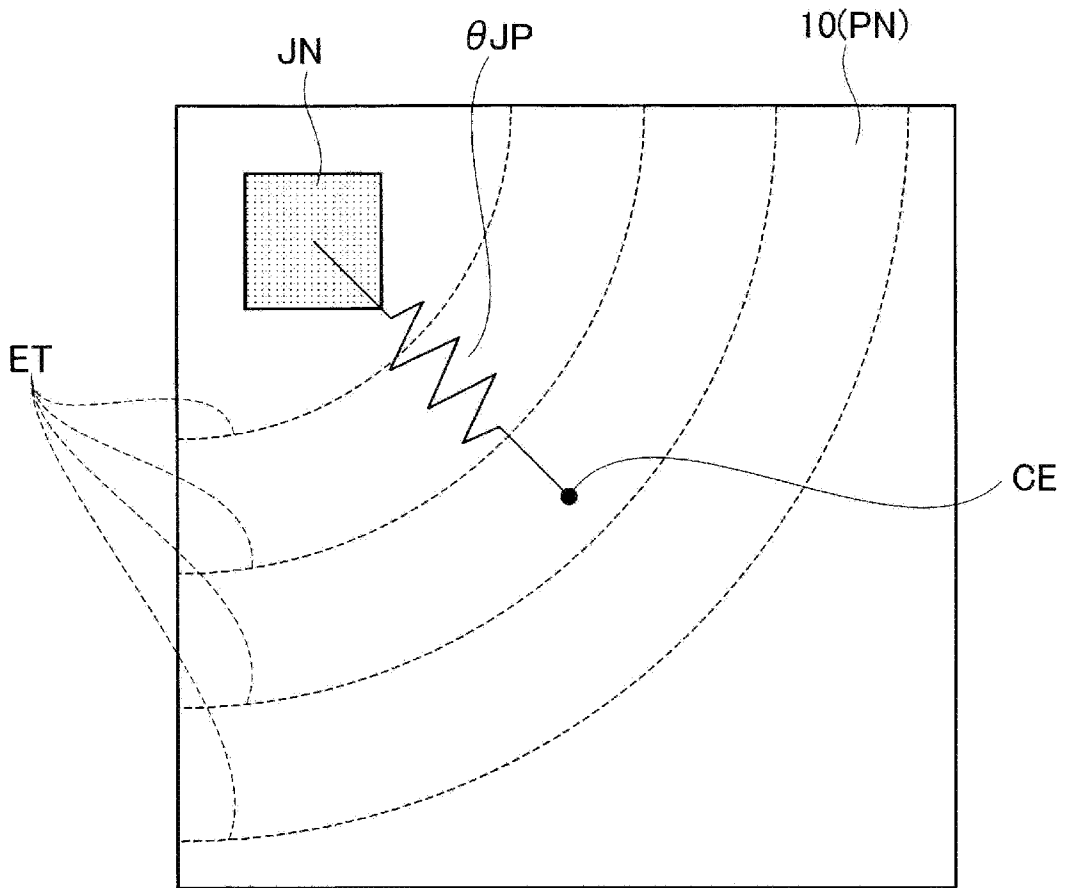


[図17]

(a)



(b)

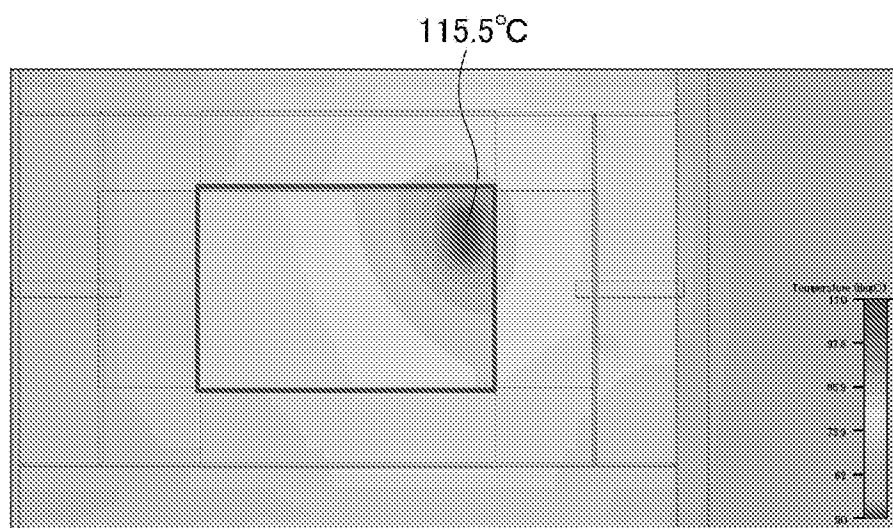


[図18]

始点ノード	終点ノード	熱抵抗(°C/W)
TI	TO	1480.252
LES	TI	204.1942
LES	TO	41.0265
LEF	LES	5.04093
JN	TI	105.3639
JN	LES	1178.72
BO	TO	228.9151
BO	LES	29.66631
BI	TI	53.12411
BI	TO	531.4026
BI	BO	81.87319
BI	LES	132.2011
SI	TI	4944.794
SI	TO	56.20221
SI	BO	842.6625
SI	LES	54.36249
PN	JN	12.3
PN	BI	2.26567

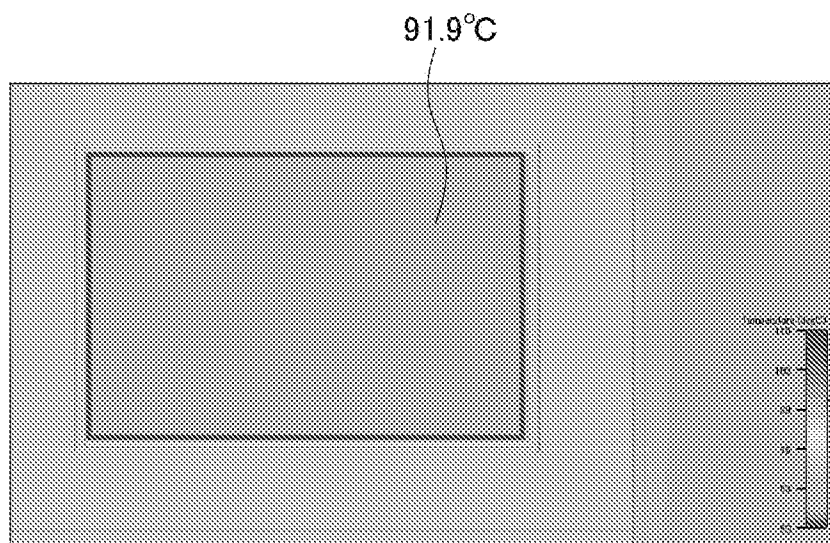
[図19]

(a)



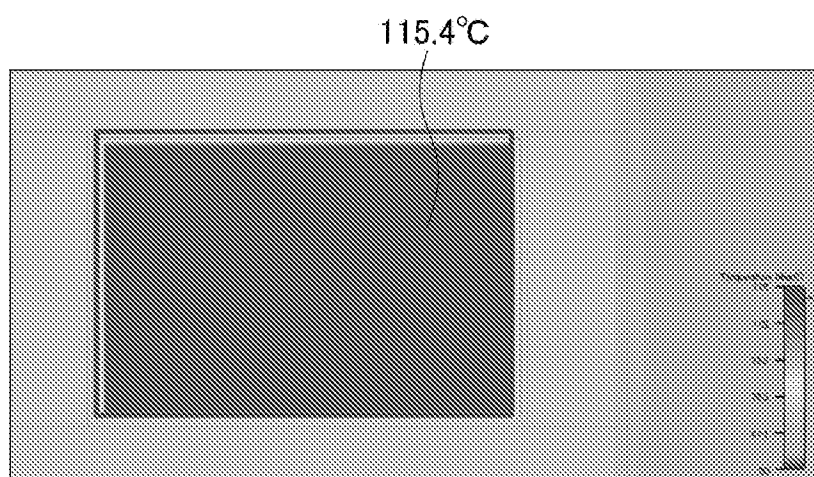
$$\theta_{JA}=31.6^{\circ}\text{C}/\text{W}$$

(b)



$$\theta_{JA}=23.7^{\circ}\text{C}/\text{W}$$

(c)



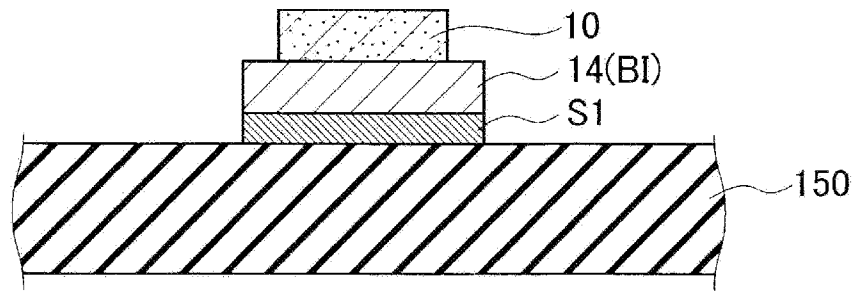
$$\theta_{JA}=31.6^{\circ}\text{C}/\text{W}$$

[図20]

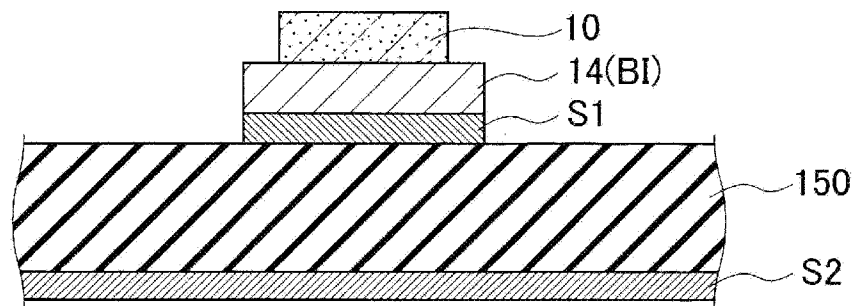
基板仕様	発熱源	モデル種類	T <sub>J</sub> (°C)	T <sub>PN</sub> (°C)	T <sub>a</sub> (°C)	P (W)	θ <sub>JA</sub> (°C/W)	詳細モデルとの誤差
2s2p(4層)	1ch	詳細モデル	115.5	79.5	20.6	3.0	31.6	-
		DELPHIモデル	91.9	-	20.6	3.0	23.7	33%
		局所DELPHIモデル	115.4	81.9	20.6	3.0	31.6	0%
	全面	詳細モデル	82.5	-	20.6	3.0	20.6	-
		DELPHIモデル	82.6	-	20.6	3.0	20.7	0%
		詳細モデル	139.5	100.0	20.6	3.0	39.6	-
2s(2層)	1ch	DELPHIモデル	112.6	-	20.6	3.0	30.6	29%
		局所DELPHIモデル	136.1	102.6	20.6	3.0	38.5	3%
		詳細モデル	103.9	-	20.6	3.0	27.7	-
	全面	DELPHIモデル	103.6	-	20.6	3.0	27.7	0%
		詳細モデル	148.0	139.0	20.2	0.7	182.6	-
		DELPHIモデル	134.5	-	20.1	0.7	163.3	12%
1s(1層)	局所DELPHIモデル	DELPHIモデル	139.5	132.0	20.1	0.7	170.6	7%
		詳細モデル	139.7	-	20.2	0.7	170.7	-
		DELPHIモデル	135.8	-	20.1	0.7	165.2	3%

[図21]

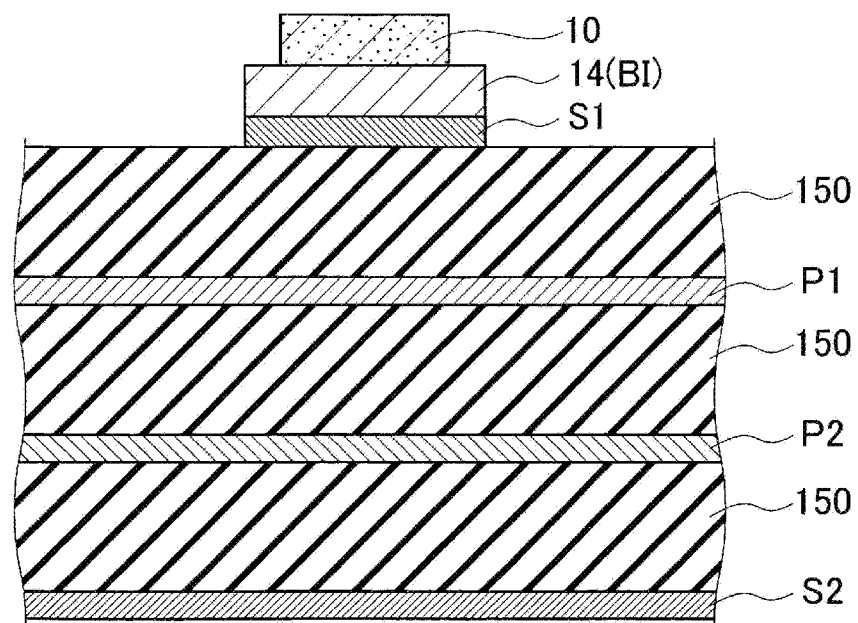
(a)



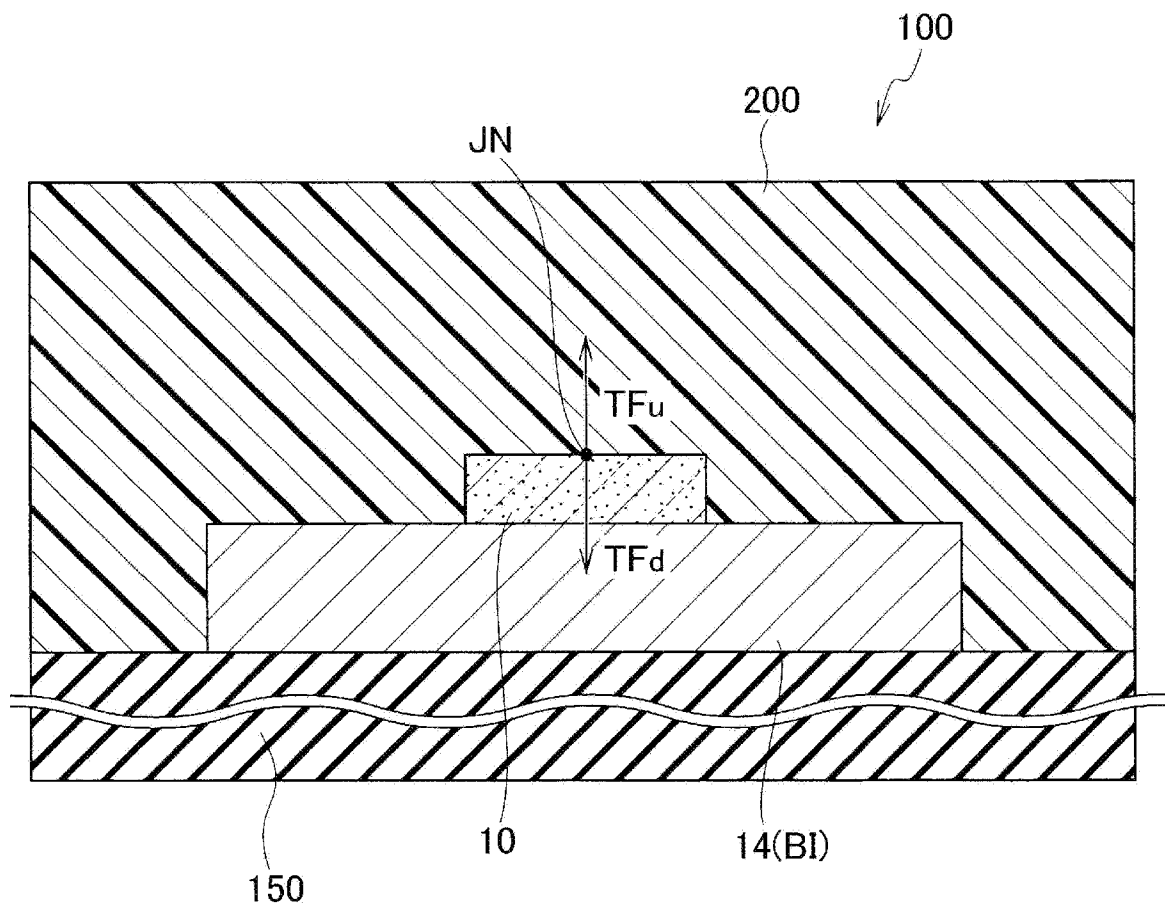
(b)



(c)

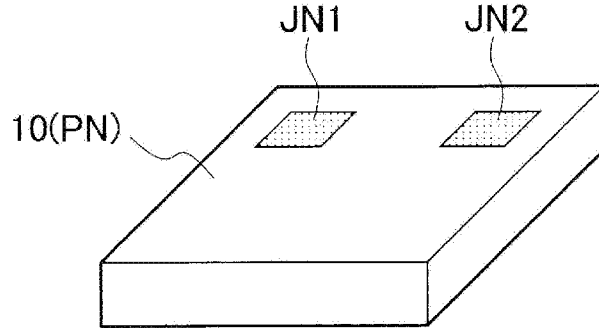


[図22]

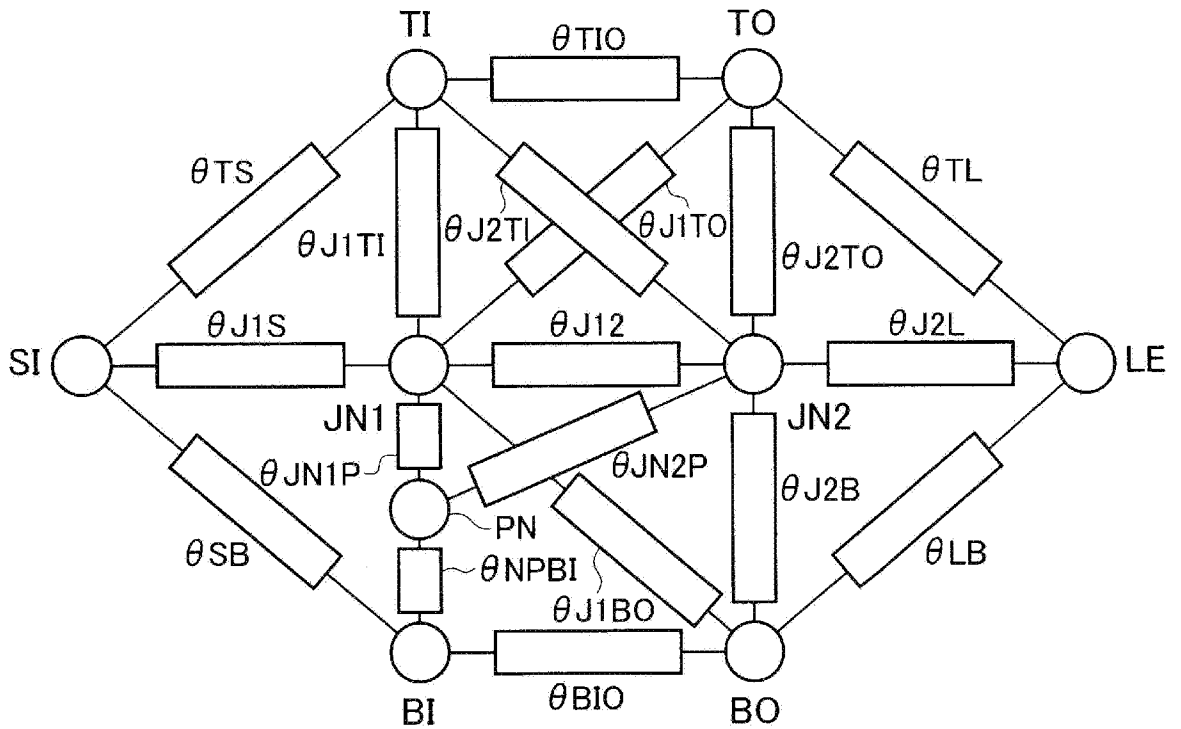


[図23]

(a)

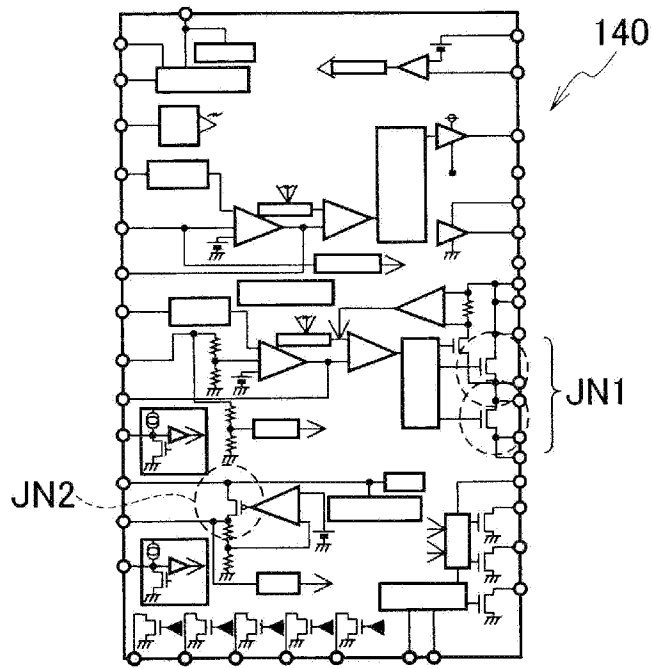


(b)

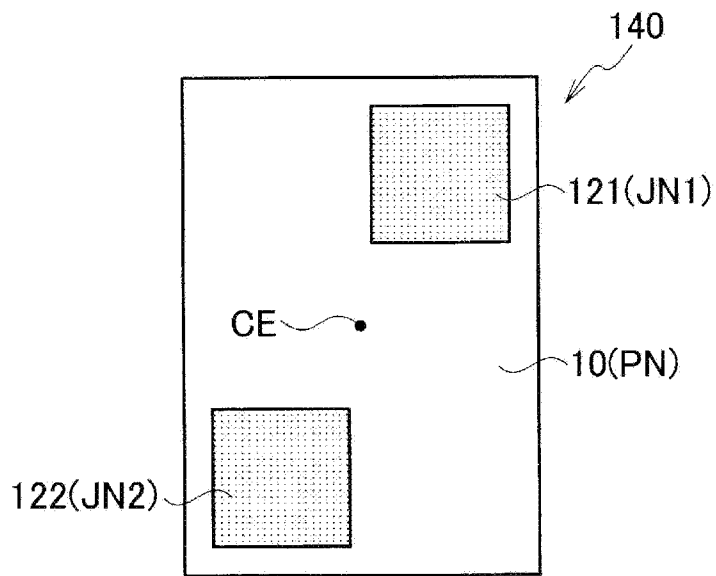


[図24]

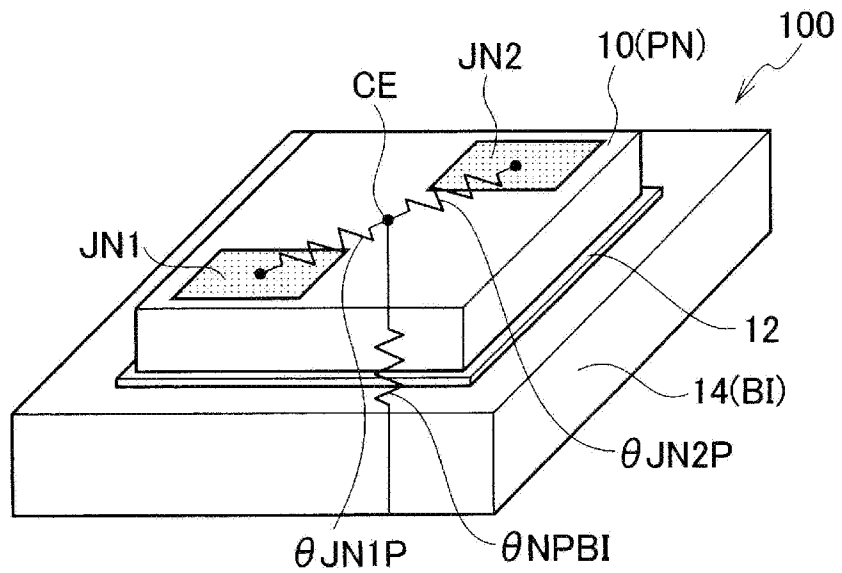
(a)



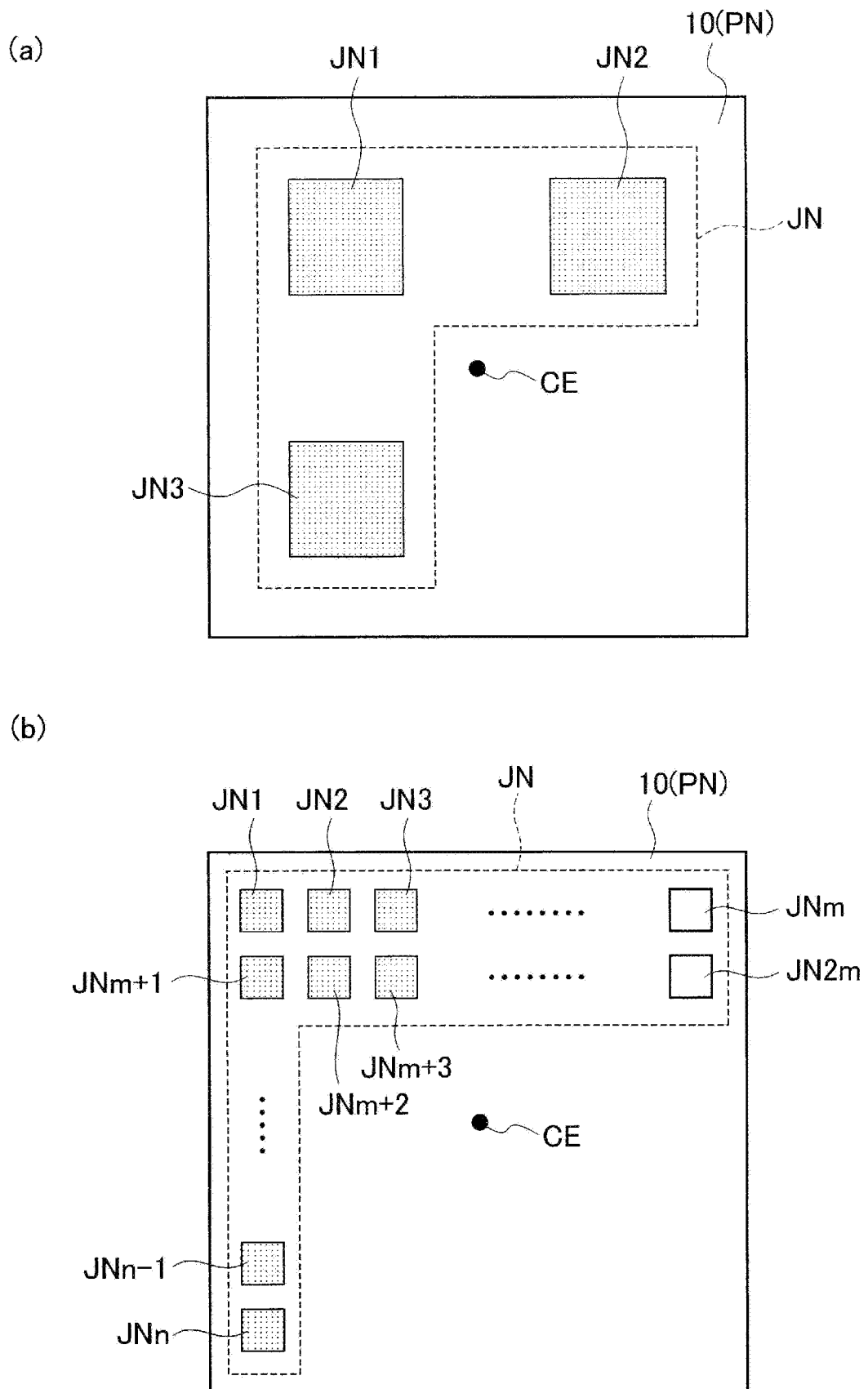
(b)



(c)



[図25]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2016/061898

**A. CLASSIFICATION OF SUBJECT MATTER**  
G06F17/50(2006.01)i, H01L23/48(2006.01)i, H01L23/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G06F17/50, H01L23/48, H01L23/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
IEEE Xplore, CiNii, JSTPlus(JDreamIII)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	Jesse E. Galloway, Siddharth Bhopte and Cameron Nelson, Characterizing Junction-to-Case Thermal Resistance and its Impact on End-Use Applications, [online], Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), 2012 13th IEEE Intersociety Conference on, 2012.05.30, pages 1342-1347, [retrieved on 2016.5.30] Retrieved from:IEEE Xplore, particularly, "INTRODUCTION", Figure 1-3	21 1-20

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 May 2016 (31.05.16)	Date of mailing of the international search report 07 June 2016 (07.06.16)
---	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/061898

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	Jesse Galloway and Sarang Shidore, Implementing Compact Thermal Models Under Non-Symmetric Trace Routing Conditions, [online], Semiconductor Thermal Measurement and Management Symposium, 2004. Twentieth Annual IEEE, 2004.03.09, pages 255-261, [retrieved on 2016.5.30] Retrieved from:IEEE Xplore, particularly, "3.ANALYSIS", Figure 1-2,7-10	21 1-20
X A	Eric Monier-Vinard, Valentin Bissuel, Najib Laraqi and Cheikh Dia, Latest Developments of Compact Thermal Modeling of System-in-Package Devices by means of Genetic Algorithm, [online], Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), 2014 IEEE Intersociety Conference on, 2014.05.27, pages 998-1006, [retrieved on 2016.5.30] Retrieved from:IEEE Xplore, particularly, "CTM OF DEVICES IN THE PACKAGE", Figure 14-19	21 1-20

A. 発明の属する分野の分類（国際特許分類（IPC））  
 Int.Cl. G06F17/50(2006.01)i, H01L23/48(2006.01)i, H01L23/50(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料（国際特許分類（IPC））  
 Int.Cl. G06F17/50, H01L23/48, H01L23/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）  
 IEEE Xplore, CiNii, JSTPlus (JDreamIII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	Jesse E. Galloway, Siddharth Bhopte and Cameron Nelson, Characterizing Junction-to-Case Thermal Resistance and its Impact on End-Use Applications, [online], Thermal and Thermomechanical Phenomena in Electronic Systems(ITherm), 2012 13th IEEE Intersociety Conference on, 2012.05.30, pages 1342-1347, [retrieved on 2016.5.30] Retrieved from: IEEE Xplore, 特に“INTRODUCTION”, Figure 1-3	21 1-20

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 31.05.2016	国際調査報告の発送日 07.06.2016
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 合田 幸裕 電話番号 03-3581-1101 内線 3599	5M	4689
--	---	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	Jesse Galloway and Sarang Shidore, Implementing Compact Thermal Models Under Non-Symmetric Trace Routing Conditions, [online], Semiconductor Thermal Measurement and Management Symposium, 2004. Twentieth Annual IEEE, 2004.03.09, pages 255-261, [retrieved on 2016.5.30] Retrieved from:IEEE Xplore, 特に “3.ANALYSIS” , Figure 1-2,7-10	21 1-20
X A	Eric Monier-Vinard, Valentin Bissuel, Najib Laraqi and Cheikh Dia, Latest Developments of Compact Thermal Modeling of System-in-Package Devices by means of Genetic Algorithm, [online], Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), 2014 IEEE Intersociety Conference on, 2014.05.27, pages 998-1006, [retrieved on 2016.5.30] Retrieved from:IEEE Xplore, 特に “CTM OF DEVICES IN THE PACKAGE” , Figure 14-19	21 1-20