

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6329779号
(P6329779)

(45) 発行日 平成30年5月23日(2018.5.23)

(24) 登録日 平成30年4月27日(2018.4.27)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)

H01L 29/78

616S

H01L 21/28 (2006.01)

H01L 29/78

616V

H01L 29/417 (2006.01)

H01L 29/78

618B

H01L 29/78

618E

H01L 21/28

301B

請求項の数 2 (全 67 頁) 最終頁に続く

(21) 出願番号

特願2014-31898 (P2014-31898)

(22) 出願日

平成26年2月21日 (2014.2.21)

(65) 公開番号

特開2014-187359 (P2014-187359A)

(43) 公開日

平成26年10月2日 (2014.10.2)

審査請求日

平成29年2月21日 (2017.2.21)

(31) 優先権主張番号

特願2013-34316 (P2013-34316)

(32) 優先日

平成25年2月25日 (2013.2.25)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 田中 哲弘

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 魚地 秀貴

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 川原 光司

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極と、ソース電極と、ドレイン電極と、酸化物半導体層と、第1の酸化物層と、第2の酸化物層と、第3の酸化物層と、第4の酸化物層と、を有し、

前記酸化物半導体層は、前記酸化物半導体層の上面で前記第3の酸化物層と接する領域を有し、

前記酸化物半導体層は、前記酸化物半導体層の上面で前記第4の酸化物層と接する領域を有し、

前記酸化物半導体層は、チャネル形成領域を有し、

前記酸化物半導体層は、前記チャネル形成領域において前記第2の酸化物層の上面と接し、

前記酸化物半導体層は、前記チャネル形成領域において前記酸化物半導体層の上面で前記第1の酸化物層と接し、

前記ソース電極は、前記第3の酸化物層を介して前記酸化物半導体層と電気的に接続し、

前記ドレイン電極は、前記第4の酸化物層を介して前記酸化物半導体層と電気的に接続し、

前記酸化物半導体層は、In、Znおよび元素M(元素MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHfのうち1種類以上の元素)を有し、

前記第1の酸化物層は、In、Znおよび元素M(元素MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHfのうち1種類以上の元素)を有し、

前記第2の酸化物層は、In、Znおよび元素M(元素MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHfのうち1種類以上の元素)を有し、

10

20

r、La、Ce、NdまたはHfのうち1種類以上の元素)を有し、

前記第2の酸化物層は、In、Znまたは元素M(元素MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)のうち、少なくとも1種類の元素を有し、

前記第3の酸化物層は、In、Znおよび元素M(元素MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHfのうち1種類以上の元素)を有し、

前記第4の酸化物層は、In、Znおよび元素M(元素MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHfのうち1種類以上の元素)を有し、

前記第1の酸化物層において、Inの原子数比率が50 atomic %未満、元素Mの原子数比率が50 atomic %以上であり、

前記酸化物半導体層において、Inの原子数比率が25 atomic %以上、元素Mの原子数比率が75 atomic %未満であり、

前記第3の酸化物層および前記第4の酸化物層において、Inの原子数比率が50 atomic %以上、元素Mの原子数比率が50 atomic %未満である、ことを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第1の酸化物層におけるInの原子数に対する元素Mの原子数の比が、前記酸化物半導体層におけるInの原子数に対する元素Mの原子数の比より大きい、ことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物(プロダクト)、機械(マシン)、製品(マニュファクチャ)、組成物(コンポジション・オブ・マター)を含む。)、及び方法(プロセス)。単純方法及び生産方法を含む。)に関する。特に、本発明の一形態は、半導体装置、表示装置、発光装置、蓄電装置、それらの駆動方法、又はそれらの製造方法に関する。特に、本発明の一態様は、例えば、酸化物半導体を有する半導体装置、表示装置、または、発光装置に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路、記憶装置、撮像装置、表示装置、電気光学装置および電子機器などは、全て半導体装置を有していたり、半導体装置に含まれていたりする場合がある。

【背景技術】

【0003】

半導体薄膜を用いてトランジスタ(薄膜トランジスタ(TFTともいう。))を構成する技術が注目されている。該トランジスタは集積回路(IC)や画像表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、トランジスタのチャネル形成領域として、インジウム(In)、ガリウム(Ga)、および亜鉛(Zn)を含む非晶質酸化物を用いたトランジスタが開示されている(特許文献1参照)。

【0005】

また、酸化物半導体は製造プロセス中において酸素が脱離し、酸素欠損を形成することが知られている(特許文献2参照)。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2006-165528号公報

【特許文献2】特開2011-222767号公報

10

20

30

40

50

【発明の概要】**【発明が解決しようとする課題】****【0007】**

酸化物半導体層中に生じた酸素欠損は局在準位を生成し、該酸化物半導体層を用いたトランジスタなどの半導体装置の電気特性低下の原因となる。

【0008】

また、酸化物半導体層中の、酸化物半導体層と絶縁層が積層する界面近傍では、酸素欠損に起因する界面準位が生成されやすい。特に、チャネルが形成される領域（以下、「チャネル形成領域」ともいう。）における界面準位の増加は、キャリアの散乱や捕獲を生じ、トランジスタの電界効果移動度の低下や、オフ電流が増加する原因となる。また、チャネル形成領域における界面準位の増加は、トランジスタのしきい値電圧を変動させ、電気特性のばらつきが増加する原因となる。よって、チャネル形成領域における界面準位の増加は、トランジスタの電気特性を劣化させ、トランジスタの信頼性を低下させる。

10

【0009】

また、トランジスタの電気特性を決定する重要な要素のひとつにチャネル長がある。チャネル長が変動するとトランジスタの電気特性も変動してしまう。チャネル長の変動は、トランジスタの電気特性のばらつきを増加させる一因となる。

【0010】

また、ソース電極と酸化物半導体層の接触抵抗の増大や、ドレイン電極と酸化物半導体層の接触抵抗の増大は、トランジスタのしきい値電圧の増大や、電界効果移動度の低下など、トランジスタの電気特性が劣化する一因となる。また、ソース電極またはドレイン電極と酸化物半導体層の接触抵抗の変動は、トランジスタの電気特性のばらつきを増加させる一因となる。

20

【0011】

本発明の一態様は、局在準位の少ない酸化物半導体を提供することを課題の一とする。

【0012】

本発明の一態様は、電気特性が良好な半導体装置を提供することを課題の一とする。

【0013】

または、本発明の一態様は、電気特性のばらつきが小さい半導体装置などを提供することを課題の一とする。

30

【0014】

または、本発明の一態様は、信頼性が良好で、安定した電気特性を有する半導体装置などを提供することを課題の一とする。

【0015】

または、本発明の一態様は、チャネル長が変動しにくい半導体装置などを提供することを目的の一つとする。または、本発明の一態様は、酸素欠損が生じにくい半導体装置などを提供することを目的の一つとする。または、本発明の一態様は、絶縁耐電圧が高い半導体装置などを提供することを目的の一つとする。または、本発明の一態様は、新規な半導体装置などを提供することを目的の一つとする。

【0016】

40

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】**【0017】**

チャネルが形成される酸化物半導体層に接して、該酸化物半導体層を構成する金属元素のうち、1種類以上の同じ金属元素を含む酸化物層を形成する。このような酸化物層と酸化物半導体層の積層は、その界面に界面準位が生成されにくい。

【0018】

50

また、チャネルが形成される酸化物半導体層を、2つの酸化物層で挟むことで、該酸化物半導体層の上側界面と下側界面に、界面準位が生成されにくくすることができる。具体的には、チャネルが形成される酸化物半導体層の上層と下層に接して、該酸化物半導体層を構成する金属元素のうち、1種類以上の同じ金属元素を含む酸化物層を形成する。

【0019】

また、酸化物半導体層と接する酸化物層に、電子親和力が酸化物半導体層の電子親和力よりも小さい材料を用いる。このような構造とすることで、チャネルに流れる電子は、酸化物半導体層と接する酸化物層内にほとんど移動することなく、主として酸化物半導体層内を移動する。よって、酸化物層の外側に形成される絶縁層と酸化物層の界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。

10

【0020】

すなわち、酸化物層と絶縁層の界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得るもの、絶縁層と酸化物半導体層の間に酸化物層が介在することにより、酸化物半導体層を当該トラップ準位から遠ざけることができる。

【0021】

また、酸化物半導体層と接する酸化物層と絶縁層の間に、さらに酸化物層を設けてよい。酸化物半導体層と接する酸化物層と絶縁層の間に、さらに酸化物層を設けることで、酸化物半導体層を上記トラップ準位からより遠ざけることができる。なお、酸化物半導体層と接する酸化物層と絶縁層の間に設ける酸化物層は、酸化物半導体層と接する酸化物層を構成する金属元素のうち、1種類以上の同じ金属元素を含むことが好ましい。

20

【0022】

また、酸化物半導体層と接する酸化物層と絶縁層の間に設ける酸化物層は、酸化物半導体層と接する酸化物層の電子親和力よりも小さい電子親和力を有することができる。

【0023】

また、酸化物半導体層を加熱することにより、酸化物半導体層中の水分又は水素などの不純物を低減して酸化物半導体層を高純度化することができる。高純度化のための加熱処理により酸化物半導体層中から不純物と同時に脱離してしまった酸素を補うため、酸化物半導体層に酸素を導入し、酸化物半導体層中の酸素欠損を低減することで、酸化物半導体層を真性または実質的に真性と見なせる半導体層とすることができる。

【0024】

30

ソース電極およびドレイン電極と酸化物半導体層の間に低抵抗層を設ける。低抵抗層は、導電性を有する酸化物材料、または酸化しても導電性を有する材料を用いて形成する。

【0025】

当該低抵抗層は、酸素が供給されても抵抗値が変動しにくい。ソース電極およびドレイン電極と酸化物半導体層の間に当該低抵抗層を設けることにより、酸化物半導体層中の酸素欠損を低減するための酸素が供給されても、ソース電極およびドレイン電極と酸化物半導体層の接触抵抗を小さくすることができる。

【0026】

また、当該低抵抗層は、ソース領域およびドレイン領域として機能する。当該低抵抗層により形成されたソース領域およびドレイン領域は、酸化物半導体層中の酸素欠損を低減するための酸素が供給されても、その領域の大きさが変動しにくい。よって、酸化物半導体層中の酸素欠損を低減するための酸素が供給されても、チャネル長が変動しにくいトランジスタを実現することができる。

40

【0027】

また、当該低抵抗層は、酸化物半導体層を構成する金属元素のうち1種類以上の同じ金属元素を含む材料で形成することが好ましい。また、当該低抵抗層は、酸化物半導体層よりも仕事関数が小さいことが好ましい。また、当該低抵抗層は、酸化物半導体層よりも電子親和力が大きいことが好ましい。また、当該低抵抗層の抵抗率は、好ましくは $500\mu\cdot cm$ 以下、より好ましくは $100\mu\cdot cm$ 以下、さらに好ましくは $50\mu\cdot cm$ 以下である。

50

【0028】

本発明の一態様は、酸化物半導体層と、酸化物層と、低抵抗層と、を有し、酸化物半導体層は、酸化物層と接する第1の領域と、低抵抗層と接する第2の領域と、を有することを特徴とする。

【0029】

本発明の一態様は、ゲート電極と、ソース電極と、ドレイン電極と、酸化物半導体層と、第1の酸化物層と、第2の酸化物層と、第1の低抵抗層と、第2の低抵抗層と、を有し、酸化物半導体層は、第1の酸化物層と重畠し、ゲート電極と重畠する領域において、第2の酸化物層と重畠し、ソース電極と重畠する領域において、第1の低抵抗層と重畠し、ドレイン電極と重畠する領域において、第2の低抵抗層と重畠することを特徴とする。

10

【発明の効果】**【0030】**

本発明の一態様により、局在準位の少ない酸化物半導体を提供することができる。

【0031】

本発明の一態様により、電気特性のばらつきが小さい半導体装置を提供することができる。

【0032】

本発明の一態様により、信頼性が良好で、安定した電気特性を有する半導体装置を提供することができる。

【0033】

本発明の一態様により、電気特性が良好な半導体装置を提供することができる。

20

【図面の簡単な説明】**【0034】**

【図1】半導体装置の一例を説明する上面図および断面図。

【図2】半導体装置の一例を説明する断面図。

【図3】半導体装置の一例を説明する断面図。

【図4】半導体装置の作製方法の一例を説明する断面図。

【図5】半導体装置の一例を説明する上面図および断面図。

【図6】半導体装置の一例を説明する上面図および断面図。

【図7】半導体装置の作製方法の一例を説明する断面図。

30

【図8】半導体装置の一例を説明する上面図および断面図。

【図9】半導体装置の一例を説明する上面図および断面図。

【図10】半導体装置の一例を説明する上面図および断面図。

【図11】半導体装置の一例を説明する上面図および断面図。

【図12】半導体装置の一例を説明する断面図。

【図13】半導体装置の一例を説明する断面図。

【図14】チャネル長が変動する現象を説明する図。

【図15】積層体のT o F - S I M S 分析結果を示す図。

【図16】積層体のC P M 測定結果を示す図。

【図17】トランジスタのチャネル形成領域のエネルギー・バンド構造を説明する図。

40

【図18】積層体のE S R 測定結果を説明する図。

【図19】M C U の構成例を説明するブロック図。

【図20】不揮発性記憶部を有するレジスタの一例を説明する回路図。

【図21】半導体装置の一例を説明する図。

【図22】表示装置の一例を説明する図。

【図23】表示装置の一例を説明する図。

【図24】表示装置に適用可能な画素回路の一例を説明する図。

【図25】電子機器の一例を示す図。

【発明を実施するための形態】**【0035】**

50

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0036】

また、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せずに目減りすることがあるが、理解を容易にするため省略して示すことがある。

10

【0037】

また、特に上面図（「平面図」ともいう。）において、図面をわかりやすくするために一部の構成要素の記載を省略する場合がある。

【0038】

第1、第2として付される序数詞は、構成要素の混同を避けるため便宜上用いるものであり、工程順または積層順など、なんらかの順番や順位を示すものではない。

【0039】

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

20

【0040】

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いざれがソースまたはドレインであるかを限定することが困難である。このため、本明細書等においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

【0041】

また、本明細書等において、「AとBが接続されている」と記載する場合は、AとBが電気的に接続されている場合と、AとBが機能的に接続されている場合と、AとBが直接接続されている場合とを含むものとする。

30

【0042】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0043】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

40

【0044】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番や順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲などにおいて序数詞を省略する場合がある。

50

【0045】

(実施の形態1)

本実施の形態では、半導体装置の一形態として、トランジスタ100を例示して説明する。

【0046】

(1-1.半導体装置の構成例)

図1に、半導体装置の一形態であるトランジスタ100を示す。トランジスタ100は、トップゲート型のトランジスタである。図1(A)はトランジスタ100の上面図である。また、図1(B)は、図1(A)中の一点鎖線A1-A2で示す部位の断面図であり、図1(C)は、図1(A)中の一点鎖線B1-B2で示す部位の断面図である。また、図1(D)は、図1(B)に示す部位112の拡大図である。なお、トランジスタの構成を理解しやすくするため、図1(A)では、一部の構成要素の記載を省略している。

10

【0047】

図1に示すトランジスタ100は、絶縁層102上に形成されている。また、絶縁層102は、基板101上に形成されている。トランジスタ100は、積層体103と、低抵抗層114aおよび低抵抗層114bと、ソース電極104aおよびドレイン電極104bと、酸化物層113と、絶縁層106と、ゲート電極107を有する。

【0048】

積層体103は、酸化物層103aと酸化物半導体層103bを有する。ソース電極104aは、低抵抗層114aを介して積層体103と重疊し、ドレイン電極104bは低抵抗層114bを介して積層体103と重疊する。

20

絶縁層106は、酸化物層113を介して積層体103と重疊する。また、ゲート電極107は、絶縁層106と酸化物層113を介して積層体103と重疊する。

【0049】

また、トランジスタ100上に絶縁層108が形成されている。絶縁層108は、トランジスタ100のゲート電極107、絶縁層106、酸化物層113、ソース電極104a、ドレイン電極104b、及び積層体103を覆って形成される。

【0050】

なお、トランジスタ100のチャネル長Lは、積層体103とゲート電極107が重疊する領域において、積層体103に接する低抵抗層114aの端部と、積層体103に接する低抵抗層114bの端部までの最短距離により決定される(図1(B)参照)。

30

【0051】

また、この発明を実施するための形態に記載の内容は、適宜組み合わせて用いることができる。

【0052】

(1-1-1.基板)

基板101として用いる基板に大きな制限はないが、少なくとも後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えばバリウムホウケイ酸ガラスやアルミニウムホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。

40

【0053】

また、基板101としてシリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板等を用いてもよい。また、SOI基板、半導体基板上に半導体素子が設けられたものなどを用いることができる。

【0054】

なお、基板101として、可撓性基板(フレキシブル基板)を用いてもよい。可撓性基板を用いる場合、可撓性基板上に、トランジスタや容量素子などを直接作製してもよいし、他の作製基板上にトランジスタや容量素子などを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタや容量素子などとの間に、剥離層を設けるとよい。

50

【0055】

〔1-1-2. 下地層〕

絶縁層102は下地層として機能し、基板101からの不純物元素の拡散を防止または低減することができる。絶縁層102は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム酸化ガリウム、窒化シリコン、酸化シリコン、窒化酸化シリコンまたは酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニア、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルから選ばれた材料を、単層でまたは積層して形成する。なお、本明細書中において、窒化酸化とは、その組成として、酸素よりも窒素の含有量が多いものであって、酸化窒化とは、その組成として、窒素よりも酸素の含有量が多いものを示す。なお、各元素の含有量は、例えば、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) 等を用いて測定することができる。

【0056】

また、絶縁層102は、スパッタリング法、MBE (Molecular Beam Epitaxy) 法、CVD (Chemical Vapor Deposition) 、パルスレーザー堆積法 (Pulsed Laser Deposition: PLD法) 、ALD (Atomic Layer Deposition) 法等を適宜用いて形成することができる。また、絶縁層102中の水素の含有量は、好ましくは 5×10^{19} atoms / cm³ 未満、さらに好ましくは 5×10^{18} atoms / cm³ 未満とする。

【0057】

絶縁層102は、例えば、1層目を窒化シリコン層とし、2層目を酸化シリコン層とした多層膜としてもよい。この場合、酸化シリコン層は酸化窒化シリコン層でも構わない。また、窒化シリコン層は窒化酸化シリコン層でも構わない。酸化シリコン層は、欠陥密度の小さい酸化シリコン層を用いると好ましい。具体的には、電子スピン共鳴 (ESR: Electron Spin Resonance) にてg値が2.001のESRスペクトルから算出したスピントルが 3×10^{17} spins / cm³ 以下、好ましくは 5×10^{16} spins / cm³ 以下である酸化シリコン層を用いる。

【0058】

また、酸化シリコン層は、過剰酸素を含む酸化シリコン層を用いる。窒化シリコン層は水素およびアンモニアの放出量が少ない窒化シリコン層を用いる。水素、アンモニアの放出量は、昇温脱離ガス分析 (TDS: Thermal Desorption Spectrometry) にて測定すればよい。また、窒化シリコン層は、酸素を透過しない、またはほとんど透過しない窒化シリコン層を用いる。

【0059】

絶縁層102の厚さは、10 nm以上500 nm以下、好ましくは50 nm以上300 nm以下とすればよい。

【0060】

なお、本明細書等における「過剰酸素」とは、加熱処理により酸化物層中、酸化物半導体層中、酸化シリコン層中、酸化窒化シリコン層中などを移動可能な酸素、化学量論的組成である酸素より過剰に存在する酸素、または酸素欠損に入り酸素欠損を低減する機能を有する酸素をいう。

【0061】

また、過剰酸素を含む酸化シリコン層とは、加熱処理などによって酸素を放出することができる酸化シリコン層をいう。また、過剰酸素を含む絶縁層は、加熱処理によって酸素を放出する機能を有する絶縁層である。

【0062】

ここで、加熱処理によって酸素を放出するとは、TDS分析にて放出される酸素が酸素原子に換算して 1×10^{18} atoms / cm³ 以上、 1×10^{19} atoms / cm³ 以上または 1×10^{20} atoms / cm³ 以上であることをいう。

10

20

30

40

50

【0063】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0064】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【0065】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量(N_{O_2})は、数式(1)で求めることができる。ここで、TDS分析で得られる質量数32で検出されるガスの全てが酸素分子由来と仮定する。質量数32のものとしてほかに CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。10

【0066】

【数1】

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha \quad \dots (1)$$

【0067】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。数式(1)の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコンウェハを用いて測定した。20

【0068】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。30

【0069】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0070】

または、加熱処理によって酸素を放出するとは、過酸化ラジカルを含むことをいう。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含むとは、ESRにて、g値が2.01近傍に非対称の信号を有することをいう。40

【0071】

または、過剰酸素を含む絶縁層は、酸素が過剰な酸化シリコン($SiO_x (X > 2)$)であってもよい。酸素が過剰な酸化シリコン($SiO_x (X > 2)$)は、シリコン原子数の2倍より多い酸素原子を単位体積当たりに含むものである。単位体積当たりのシリコン原子数および酸素原子数は、RBSにより測定した値である。

【0072】

なお、基板101と、後に設ける積層体103との絶縁性が確保できるようであれば、絶縁層102を設けない構成とすることもできる。

【0073】

〔1-1-3. 積層体〕

10

20

30

40

50

積層体103は、酸化物層103aと、酸化物層103a上に形成された酸化物半導体層103bを有する。また、酸化物層103aは、絶縁性を示す層であってもよいし、半導体特性を示す層であってもよい。

【0074】

なお、積層体103において、酸化物層103aおよび酸化物半導体層103bに用いる材料によっては、酸化物層103aおよび酸化物半導体層103bの境界を明確に確認できない場合がある。そこで、本発明の一形態を説明する図面では、酸化物層103aと酸化物半導体層103bの境界を破線で表している。

【0075】

酸化物層103aおよび酸化物半導体層103bは、InもしくはGaの一方、または両方を含む材料で形成する。代表的には、In-Ga酸化物(InとGaを含む酸化物)、In-Zn酸化物(InとZnを含む酸化物)、In-M-Zn酸化物(Inと、元素Mと、Znを含む酸化物。元素Mは、Al、Ti、Ga、Y、Zr、La、Ce、NdまたはHfから選ばれた1種類以上の元素。)がある。

【0076】

また、酸化物半導体層103bに接する酸化物層103aは、酸化物半導体層103bを構成する金属元素のうち、1種類以上の同じ金属元素を含む材料により形成されることが好ましい。このような材料を用いると、酸化物層103aおよび酸化物半導体層103bとの界面に界面準位を生じにくくすることができる。よって、界面におけるキャリアの散乱や捕獲が生じにくく、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧のばらつきを低減することができる。

【0077】

酸化物層103aおよび酸化物半導体層103bの形成を、途中で大気に曝すことなく、不活性ガス雰囲気、酸化性ガス雰囲気、または減圧下に維持し、連続して行うことにより、酸化物層103aと酸化物半導体層103bとの界面準位をさらに生じにくくすることができる。

【0078】

酸化物層103aの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、酸化物半導体層103bの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

【0079】

また、酸化物半導体層103bがIn-M-Zn酸化物であり、酸化物層103aもIn-M-Zn酸化物であるとき、酸化物層103aをIn:M:Zn=x₁:y₁:z₁ [原子数比]、酸化物半導体層103bをIn:M:Zn=x₂:y₂:z₂ [原子数比]とすると、y₁/x₁がy₂/x₂よりも大きくなる酸化物層103aおよび酸化物半導体層103bを選択する。なお、元素MはInよりも酸素との結合力が強い金属元素であり、例えばAl、Ti、Ga、Y、Zr、Sn、La、Ce、NdまたはHfなどが挙げられる。好ましくは、y₁/x₁がy₂/x₂よりも1.5倍以上大きくなる酸化物層103aおよび酸化物半導体層103bを選択する。さらに好ましくは、y₁/x₁がy₂/x₂よりも2倍以上大きくなる酸化物層103aおよび酸化物半導体層103bを選択する。より好ましくは、y₁/x₁がy₂/x₂よりも3倍以上大きくなる酸化物層103aおよび酸化物半導体層103bを選択する。このとき、酸化物半導体層103bにおいて、y₁がx₁以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、y₁がx₁の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、y₁はx₁と同じか3倍未満であると好ましい。酸化物層103aを上記構成とすることにより、酸化物層103aを、酸化物半導体層103bよりも酸素欠損が生じにくい層とすることができる。

【0080】

なお、酸化物層103aがIn-M-Zn酸化物であるとき、InとMの原子数比率は好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましく

10

20

30

40

50

はInが25 atomic %未満、Mが75 atomic %以上とする。また、酸化物半導体層103bがIn-M-Zn酸化物であるとき、InとMの原子数比率は好ましくはInが25 atomic %以上、Mが75 atomic %未満、さらに好ましくはInが34 atomic %以上、Mが66 atomic %未満とする。

【0081】

例えば、InまたはGaを含む酸化物層103aとしてIn:Ga:Zn = 1:3:2、1:3:4、1:3:6、1:6:4、1:9:6、または1:9:0、酸化物半導体層103bとしてIn:Ga:Zn = 1:1:1、2:1:4、5:5:6または3:1:2の原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物を用いることができる。なお、酸化物層103aおよび酸化物半導体層103bの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。10

【0082】

積層体103を用いたトランジスタに安定した電気特性を付与するためには、酸化物半導体層103b中の不純物及び酸素欠損を低減し、酸化物半導体層103bを真性または実質的に真性と見なせる半導体層とすることが好ましい。また、少なくとも酸化物半導体層103b中のチャネル形成領域が真性または実質的に真性と見なせる半導体層とすることが好ましい。具体的には、酸化物半導体層103bのキャリア密度を、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満とする。

【0083】

酸化物半導体層103bにおいて、水素、窒素、炭素、シリコンなどの、主成分以外の金属元素は不純物となる。酸化物半導体層103b中の不純物を低減するためには、近接する酸化物層103a中および酸化物層113中の不純物も酸化物半導体層103bと同程度まで低減することが好ましい。20

【0084】

特に、酸化物半導体層103bにシリコンが高い濃度で含まれることにより、酸化物半導体層103bにシリコンに起因する不純物準位が形成される。該不純物準位は、トラップとなり、トランジスタの電気特性を劣化させことがある。トランジスタの電気特性の劣化を小さくするためには、酸化物半導体層103bのシリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。また、酸化物層103aと酸化物半導体層103bとの界面のシリコン濃度についても、 $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする。30

【0085】

また、酸化物半導体層103b中で水素および窒素は、ドナー準位を形成し、キャリア密度を増大させてしまう。酸化物半導体層103bを真性または実質的に真性とすることは、酸化物半導体層103b中の水素濃度は、SIMSにおいて、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。40

【0086】

なお、酸化物半導体層103bにシリコンおよび炭素が高い濃度で含まれることにより、酸化物半導体層103bの結晶性を低下させことがある。酸化物半導体層103bの結晶性を低下させないためには、酸化物半導体層103bのシリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。また、酸化物半導体層103bの結晶性を低下させないためには、酸化物半導体層103bの炭素濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好まし50

くは 1×10^{-8} atoms / cm³ 未満とすればよい。

【0087】

ここで、積層体103に含まれる酸化物層103aおよび酸化物半導体層103bの結晶性について説明する。

【0088】

酸化物半導体層103bは、例えば非単結晶を有してもよい。非単結晶は、例えば、CAC(C Axis Aligned Crystal)、多結晶、微結晶、非晶質を有する。非晶質は、微結晶、CAACよりも欠陥準位密度が高い。また、微結晶は、CAACよりも欠陥準位密度が高い。なお、CAACを有する酸化物半導体を、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)と呼ぶ。

【0089】

酸化物半導体層103bは、例えばCAAC-OSを有してもよい。CAAC-OSは、例えば、c軸配向し、a軸または/およびb軸はマクロに揃っていない酸化物半導体を有している。

【0090】

酸化物半導体層103bは、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体層は、例えば、1nm以上10nm未満のサイズの微結晶(ナノ結晶ともいう。)を層中に含む。

【0091】

酸化物半導体層103bは、例えば非晶質を有してもよい。なお、非晶質を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体は、例えば、完全な非晶質であり、結晶部を有さない。

【0092】

なお、酸化物半導体層103bが、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合層であってもよい。混合層は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合層は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

【0093】

なお、酸化物半導体層103bは、例えば、単結晶を有してもよい。

【0094】

酸化物半導体層103bは、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。そのような酸化物半導体層の一例としては、CAAC-OS層がある。

【0095】

CAAC-OS層に含まれる結晶部は、一边が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS層に含まれる結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS層には明確な粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS層は、粒界に起因する電子移動度の低下が抑制される。

【0096】

CAAC-OS層に含まれる結晶部は、例えば、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつa b面に垂直な方向から見て金属原子が三角形状または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂

10

20

30

40

50

直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

【0097】

なお、CAC-OS層において、結晶部の分布が一様でなくてもよい。例えば、CAC-OS層の形成過程において、酸化物半導体層の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAC-OS層へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

【0098】

CAC-OS層に含まれる結晶部のc軸は、CAC-OS層の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、CAC-OS層の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。即ち、結晶部のc軸は、CAC-OS層が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

【0099】

CAC-OS層を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0100】

酸化物半導体層103bをCAC-OS層とするためには、酸化物半導体層103bが形成される表面が非晶質であると好ましい。酸化物半導体層103bが形成される表面が結晶質であると、酸化物半導体層103bの結晶性が乱れやすく、CAC-OS層が形成されにくい。

【0101】

また、酸化物半導体層103bが形成される表面はCAC-OS層と同様の結晶質を有していてもよい。酸化物半導体層103bが形成される表面がCAC-OS層と同様の結晶質を有している場合は、酸化物半導体層103bもCAC-OS層になりやすい。

【0102】

よって、酸化物半導体層103bをCAC-OS層とするためには、下地である酸化物層103aが非晶質であるか、CAC-OSと同様の結晶質であると好ましい。

【0103】

〔1-1-4. 低抵抗層〕

ソース電極104aと酸化物半導体層103bのオーム接触を実現するために、ソース電極104aと酸化物半導体層103bの間に低抵抗層114aを設ける。また、ドレイン電極104bと酸化物半導体層103bのオーム接触を実現するために、ドレイン電極104bと酸化物半導体層103bの間に低抵抗層114bを設ける。低抵抗層114aおよび低抵抗層114bは、ソース領域およびドレイン領域として機能させることができる。

【0104】

低抵抗層114aおよび低抵抗層114bは、酸化物半導体層103bに接して形成する。低抵抗層114aおよび低抵抗層114bは、導電性を有する酸化物材料、または酸化しても導電性を有する材料で形成する。具体的には、低抵抗層114aおよび低抵抗層114bの抵抗率は、好ましくは500μ·cm以下、より好ましくは100μ·cm以下、さらに好ましくは50μ·cm以下である。

【0105】

また、低抵抗層114aおよび低抵抗層114bは、酸化物半導体層103bよりも仕事関数が小さいことが好ましい。また、低抵抗層114aおよび低抵抗層114bは、酸化物半導体層103bよりも電子親和力が大きいことが好ましい。

【0106】

10

20

30

40

50

また、低抵抗層 114a および低抵抗層 114b は、酸化物半導体層 103b を構成する金属元素のうち、1種類以上の同じ金属元素を含む材料により形成されることが好ましい。

【0107】

例えば、酸化物半導体層 103b に In と Zn を含む酸化物を用いる場合、低抵抗層 114a および低抵抗層 114b は、In もしくは Zn の一方、または両方を含む材料で形成する。具体的には、In、Zn、In-Zn 合金、In 酸化物、Zn 酸化物、In-Zn 酸化物、In-Ga 酸化物 (In と Ga を含む酸化物)、In-Zn 酸化物 (In と Zn を含む酸化物)、In-Sn 酸化物 (In と Sn を含む酸化物)、In-M-Zn 酸化物 (In と、元素 M と、Zn を含む酸化物。元素 M は、Al、Ti、Ga、Y、Zr、La、Ce、Nd または Hf から選ばれた 1種類以上の元素。) などがある。

【0108】

低抵抗層 114a および低抵抗層 114b の厚さは、3 nm 以上 100 nm 以下、好ましくは 3 nm 以上 50 nm 以下とする。

【0109】

なお、低抵抗層 114a および低抵抗層 114b が In-M-Zn 酸化物であるとき、In と M の原子数比率は好ましくは In が 50 atomic % 以上、M が 50 atomic % 未満、さらに好ましくは In が 75 atomic % 以上、M が 25 atomic % 未満とする。

【0110】

例えば、In または Ga を含む低抵抗層 114a および低抵抗層 114b として、In : Ga : Zn = 2 : 1 : 1、3 : 1 : 2、6 : 1 : 4 の原子数比のターゲットを用いて形成した In-Ga-Zn 酸化物や、酸化インジウム、酸化亜鉛などを用いることができる。なお、上記原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 20 % の変動を含む。

【0111】

なお、ソース電極 104a およびドレイン電極 104b を積層体 103 の一部から酸素を奪い酸素欠損を生じさせることが可能な材料で形成し、該電極と積層体 103 を直接接触させることでオーム接触を実現することも可能である。この場合、積層体 103 中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域は n 型化し、n 型領域 (n⁺ 層) となる。したがって、当該領域はソース領域およびドレイン領域として作用させることができる。積層体 103 から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タンゲステン、チタン等を挙げることができる。

【0112】

また、イオンインプランテーション法などを用いて、積層体 103 中に、水素などのドナーとなる不純物元素や、希ガス元素などを導入して n 型領域を形成することもできる。水素は酸化物半導体層中でドナーとなるため、水素を導入することによりキャリア濃度を増加させることができる。また、希ガス元素の導入は、導入時のエネルギーにより酸化物半導体層中に酸素欠損を生じさせ、キャリア濃度を増加させることができる。

【0113】

しかしながら、積層体 103 の一部から酸素を奪い n 型領域を形成する方法では、積層体 103 中に形成される酸素欠損量の制御が難しく、形成される n 型領域 (ソース領域およびドレイン領域) の大きさや抵抗値のばらつきが大きくなりやすい。また、積層体 103 に酸素を供給して酸素欠損を低減し、特に酸化物半導体層 103b 中のチャネル形成領域を真性または実質的に真性な酸化物半導体層とする工程では、チャネル形成領域のみに酸素を供給することが困難である。

【0114】

このため、積層体 103 中に酸素を供給して酸素欠損を低減する工程において、積層体 103 の一部に形成された n 型領域中の酸素欠損も低減されるため、n 型領域の抵抗値が大きくなり、また、n 型領域の抵抗値のばらつきも大きくなってしまう。

10

20

30

40

50

【0115】

また、酸素の供給によりn型領域の酸素欠損量が変動すると、n型領域の大きさも変動する恐れがある。n型領域の大きさの変動は、実質的にトランジスタのチャネル長の変動に繋がり、特性ばらつきを増加させる一因となる。その影響は、特にチャネル長が1μm以下のトランジスタにおいて顕著となりやすい。

【0116】

ここで、酸化物半導体層の一部から酸素を奪いn型領域を形成する方法においてチャネル長が変動する現象について、図14に示すトランジスタ900を用いて説明しておく。また、図14(B1)乃至図14(B3)は、図14(A)中の部位920の拡大図である。

10

【0117】

図14(A)は、トランジスタ900の構成を示す断面図である。トランジスタ900は、基板901上に絶縁層902を介して形成されている。また、トランジスタ900は酸化物半導体層903を有し、酸化物半導体層903の一部に接するソース電極904a、ドレイン電極904bを有する。また、ゲート電極907が、絶縁層906を介して酸化物半導体層903と重畠している。

【0118】

ソース電極904aおよびドレイン電極904bは、酸化物半導体層903の一部から酸素を奪い、酸化物半導体層903に酸素欠損を生じさせることが可能な材料で形成されている。よって、酸化物半導体層903の、ソース電極904a、およびドレイン電極904bが接する領域近傍がn型化し、低抵抗層914aおよび低抵抗層914bが形成される。

20

【0119】

図14(B1)は、ソース電極904aおよび低抵抗層914aの端部が揃っている場合の部位920の拡大図である。この時のチャネル長をLとする。ソース電極904aが、酸化物半導体層903から酸素を奪う材料で形成されている場合、低抵抗層914aの端部がソース電極904aの端部を越えて広がってしまう場合がある(図14(B2)参照。)。なお、図示していないが、ドレイン電極904bの端部においても、ソース電極904aの端部と同様の現象が生じる。よって、以下の説明では、ドレイン電極904bの端部についての説明を省略している。

30

【0120】

低抵抗層914aの端部がソース電極904aの端部を越えて広がった距離をdLとすると、その時のチャネル長L'は、チャネル長L - 2 × dLとなる。なお、dLは、この後の作製条件により変動する。よって、トランジスタの電気特性のばらつきは、dLのばらつきにより増大する。

【0121】

また、上述したように、酸化物半導体層903のチャネル形成領域を真性半導体とするために酸素を供給する工程では、低抵抗層914a中の酸素欠損も低減される。よって、低抵抗層914aが縮小し、抵抗値や、抵抗値のばらつきが大きくなってしまう(図14(B3)参照。)。

40

【0122】

なお、酸化物半導体層903を積層体103に置き換えても同様の現象が生じる。

【0123】

また、イオンインプランテーション法などを用いて、n型領域を形成する方法においても、同様の問題を有している。例えば、水素は拡散しやすいため、形成されるn型領域の抵抗値のばらつきが大きくなりやすく、n型領域の大きさの変動も生じやすい。また、希ガス元素導入時のエネルギーにより酸素欠損を生じさせる方法は、積層体103に酸素欠損を生じさせることができない材料を接触させる場合と同様の問題を有する。

【0124】

このように、n型領域では不純物または酸素欠損の増加が求められ、チャネル形成領域で

50

は、不純物または酸素欠損の低減が求められている。

【0125】

本発明の一態様では、ソース電極104aおよびドレイン電極104bを、上記材料により形成された低抵抗層114aおよび低抵抗層114bを介して積層体103と接続するため、上記の相反する要求を満たすことが可能となる。

【0126】

上記に例示した低抵抗層114aおよび低抵抗層114bに用いる材料は、酸素が供給されても抵抗値を一定範囲内に保つことができる。すなわち、酸化物半導体層103b中の酸素欠損を低減するための酸素が低抵抗層114aおよび低抵抗層114bに供給されても、低抵抗層114aおよび低抵抗層114bをソース領域およびドレイン領域として安定して作用させることができる。よって、チャネルが形成される半導体層の真性化と、安定したソース領域およびドレイン領域の形成を実現することができる。また、本発明の一態様によれば、過剰酸素によるソース領域およびドレイン領域の大きさの変動も生じにくいため、トランスタのチャネル長が変動しにくい。よって、電気特性が良好で、電気特性のばらつきが少なく、信頼性のよいトランジスタを実現できる。

【0127】

〔1-1-5. ソース電極・ドレイン電極〕

ソース電極104a及びドレイン電極104bは、低抵抗層114aおよび低抵抗層114bを介して積層体103上に形成される。ソース電極104a及びドレイン電極104bを形成するための導電性材料としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、マンガン、マグネシウム、ジルコニウム、ベリリウム等から選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金などを用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。導電層の形成方法は特に限定されず、蒸着法、CVD法、スパッタリング法、スピノート法などの各種形成方法を用いることができる。

【0128】

また、ソース電極104a及びドレイン電極104bは、積層体103の一部から酸素を奪いにくく酸素欠損を生じさせにくい導電性材料を用いて形成することができる。このような材料としては、窒化タンタル、窒化チタン、酸化チタンなどの、導電性を有する金属窒化物、または導電性を有する金属酸化物などを用いることができる。なお、酸素を奪いにくい導電性材料には、酸素と結合しにくい導電性材料や、酸素が拡散しにくい材料も含まれる。

【0129】

ソース電極104a及びドレイン電極104bを、酸素欠損を生じさせない導電性材料を用いて形成することにより、低抵抗層114aおよび低抵抗層114bの抵抗値を安定させることができる。また、低抵抗層114aや低抵抗層114bを介して積層体103中の酸素が引き抜かれることを防ぐことができる。

【0130】

また、ソース電極104a及びドレイン電極104bは、インジウム錫酸化物(以下、「ITO」ともいう。)、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの酸素を含む導電性材料を適用することもできる。また、上記酸素を含む導電性材料と、上記金属元素を含む材料の積層構造とすることもできる。

【0131】

ソース電極104a及びドレイン電極104bは、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン

10

20

30

40

50

層上にタングステン層を積層する二層構造、窒化タンタル層上にタングステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の層、または複数組み合わせた合金層、もしくは窒化物層を用いてもよい。

【0132】

ソース電極104a及びドレイン電極104bを二層以上の積層構造とする場合は、少なくとも低抵抗層114aおよび低抵抗層114bと接する側の層を、酸素欠損を生じさせない導電性材料を用いて形成することが好ましい。

【0133】

なお、ソース電極104a及びドレイン電極104bの厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

10

【0134】

[1-1-6. 積層体に接する酸化物層およびゲート絶縁層]

酸化物層113は、積層体103と同様の材料及び方法で形成される。酸化物層113は、ソース電極104a、ドレイン電極104b、及び積層体103の一部に接して形成される。このため、酸化物層113は、酸化物層113が接する積層体103と同様の材料、または、積層体103を構成する金属元素のうち1種類以上の同じ金属元素を含む材料により形成されることが好ましい。このような材料を用いると、酸化物層113と積層体103の界面に順位が存在しないか、ほとんどない状態とすることができる。また、酸化物層113は、酸化物層103aと同様の材料及び方法で形成することが好ましい。

20

【0135】

なお、酸化物層113に用いる材料によっては、酸化物層113と積層体103の境界を明確に確認できない場合がある。そこで、本発明の一形態を説明する図面では、酸化物層113と積層体103の境界を破線で表している。

【0136】

また、酸化物層113をソース電極104aおよびドレイン電極104b上に設けることで、外部から浸入した水等の不純物が積層体103に到達しにくくすることができる。また、酸化物層113をソース電極104aおよびドレイン電極104b上に設けることで、ソース電極104aおよびドレイン電極104bを、Cuなどの拡散しやすい金属元素を含んで形成しても、該元素の拡散を防ぐことができる。

30

【0137】

また、図1(A)中の一点鎖線B1-B2で示す部位では、積層体103の表面および側面が酸化物層113に覆われている(図1(C)参照)。

【0138】

絶縁層106は、ゲート絶縁層として機能する。酸化物層113上に形成される絶縁層106は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルのうち、一種以上含む材料を、単層でまたは積層して形成する。絶縁層106の厚さは、1nm以上100nm以下、好ましくは10nm以上50nm以下とする。絶縁層106は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて形成することができる。

40

【0139】

絶縁層106は、例えば、1層目を窒化シリコン層とし、2層目を酸化シリコン層とした多層膜としてもよい。この場合、酸化シリコン層は酸化窒化シリコン層でも構わない。また、窒化シリコン層は窒化酸化シリコン層でも構わない。酸化シリコン層は、欠陥密度の小さい酸化シリコン層を用いると好ましい。具体的には、ESRにてg値が2.001の信号に由来するスピノのスピノ密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化シリコン層を用いる。また、酸化シリコ

50

ン層は、過剰酸素を含む酸化シリコン層を用いると好ましい。窒化シリコン層は水素およびアンモニアの放出量が少ない窒化シリコン層を用いる。水素、アンモニアの放出量は、TDS分析にて測定すればよい。

【0140】

また、一般に、容量素子は対向する二つの電極の間に誘電体を挟む構成を有し、誘電体の厚さが薄いほど（対向する二つの電極間距離が短いほど）、また、誘電体の誘電率が大きいほど容量値が大きくなる。ただし、容量素子の容量値を増やすために誘電体を薄くすると、トンネル効果などに起因して、二つの電極間に生じる漏れ電流（以下、「リーク電流」ともいう）が増加しやすくなり、また、容量素子の絶縁耐圧が低下しやすくなる。

【0141】

トランジスタのゲート電極、ゲート絶縁層、半導体層が重畳する部分は、前述した容量素子として機能する（以下、「ゲート容量」ともいう）。なお、半導体層の、ゲート絶縁層を介してゲート電極と重畳する領域にチャネルが形成される。すなわち、ゲート電極とチャネル形成領域が容量素子の二つの電極として機能し、ゲート絶縁層が容量素子の誘電体として機能する。ゲート容量の容量値は大きいほうが好ましいが、容量値を大きくするためにゲート絶縁層を薄くすると、前述のリーク電流の増加や、絶縁耐圧の低下といった問題が生じやすい。

10

【0142】

そこで、絶縁層106として、ハフニウムシリケート（ $HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート（ $HfSi_xO_yNz$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_yNz$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いると、絶縁層106を厚くしても、ゲート電極107と積層体103間に容量値を十分確保することが可能となる。

20

【0143】

例えば、絶縁層106として誘電率が大きいhigh-k材料を用いると、絶縁層106を厚くしても、絶縁層106に酸化シリコンを用いた場合と同等の容量値を実現できるため、ゲート電極107と積層体103間に生じるリーク電流を低減できる。また、ゲート電極107と同じ層を用いて形成された配線と、該配線と重畳する他の配線との間に生じるリーク電流を低減できる。なお、絶縁層106をhigh-k材料と、上記材料との積層構造としてもよい。

30

【0144】

なお、酸化物層113もゲート絶縁層の一部と見なすことができる。また、酸化物層113と絶縁層106を積層することで、ソース電極104a及びドレイン電極104bと、ゲート電極107間に絶縁耐電圧を向上させることができる。よって、信頼性のよい半導体装置を実現できる。

【0145】

[1-1-7. ゲート電極]

ゲート電極107を形成するための導電性材料としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タンクスチン、ハフニウム（ Hf ）、バナジウム（ V ）、ニオブ（ Nb ）、マンガン、マグネシウム、ジルコニウム、ベリリウム等から選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金などを用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。導電層の形成方法は特に限定されず、蒸着法、CVD法、スパッタリング法、スピノコート法などの各種形成方法を用いることができる。

40

【0146】

また、ゲート電極107は、インジウム錫酸化物、酸化タンクスチンを含むインジウム酸化物、酸化タンクスチンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加し

50

たインジウム錫酸化物などの酸素を含む導電性材料を適用することもできる。また、上記酸素を含む導電性材料と、上記金属元素を含む材料の積層構造とすることもできる。

【0147】

ゲート電極107は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン層上にタンゲステン層を積層する二層構造、窒化タンタル層上にタンゲステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タンゲステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の層、または複数組み合わせた合金層、もしくは窒化物層を用いてもよい。

【0148】

また、ゲート電極107と絶縁層106との間に、In-Ga-Zn酸窒化物半導体層、In-Sn酸窒化物半導体層、In-Ga酸窒化物半導体層、In-Zn酸窒化物半導体層、Sn酸窒化物半導体層、In酸窒化物半導体層、金属窒化物（InN、ZnN等）層等を設けてもよい。これらは5eV以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値を有するため、チャネルが形成される半導体層に酸化物半導体を用いたトランジスタのしきい値電圧を正の電圧の方向に変動させることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、ゲート電極107と絶縁層106との間に、In-Ga-Zn酸窒化物半導体層を設ける場合、少なくとも酸化物半導体層103bより高い窒素濃度、具体的には窒素濃度が7原子%以上のIn-Ga-Zn酸窒化物半導体層を設ける。

【0149】

なお、ゲート電極107の厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

【0150】

〔1-1-8. 保護絶縁層〕

絶縁層108は、保護絶縁層として機能し、外部からの不純物元素の拡散を防止または低減することができる。絶縁層108は、絶縁層102と同様の材料及び方法で形成することができる。例えば、絶縁層108として酸化アルミニウムを用いてもよい。

【0151】

なお、絶縁層108の厚さは、10nm以上300nm以下、好ましくは30nm以上200nm以下とすればよい。

【0152】

また、図2(A)に示すように、絶縁層108上に、さらに絶縁層109を形成してもよいし、図2(B)に示すように、絶縁層108とゲート電極107の間に絶縁層109を形成してもよい。絶縁層109としては、絶縁層102と同様の材料、または低誘電率材料（low-k材料）を用いることができる。

【0153】

なお、絶縁層109の厚さは、10nm以上500nm以下、好ましくは30nm以上300nm以下とすればよい。

【0154】

また、図3(A)および図3(B)に示すように、絶縁層109の表面に平坦化処理を行うことで、トランジスタに起因する絶縁層109表面の凹凸を低減することができる。平坦化処理としては、化学的機械研磨（CMP：Chemical Mechanical Polishing、以下CMP処理という）などの研磨処理の他に、エッティング処理などを適用することも可能である。また、CMP処理とエッティング処理を組み合わせて行ってもよい。絶縁層109表面の凹凸を低減することで、絶縁層109よりも上層に形成される層の被覆性を向上することができる。

【0155】

10

20

30

40

50

なお、絶縁層 109 を、平坦化機能を有する材料で形成してもよい。平坦化機能を有する材料には、例えば、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂等の有機材料を用いることができる。絶縁層 109 に平坦化機能を有する材料を用いることで、平坦化処理を省略しても、絶縁層 109 表面の凹凸を低減することができる。

【0156】

絶縁層 109 の表面に平坦化処理を行った場合、または、絶縁層 109 を平坦化機能を有する材料で形成した場合、絶縁層 109 の最大厚さは、100 nm 以上 5 μm 以下、好ましくは 200 nm 以上 3 μm 以下とすればよい。

【0157】

絶縁層 102、絶縁層 106、及び絶縁層 108 の少なくともいずれかが過剰酸素を含む絶縁層を含む場合、過剰酸素によって酸化物半導体層 103b の酸素欠損を低減することができる。

【0158】

〔1-2. 半導体装置の作製方法例〕

半導体装置の作製方法の一例として、図 4 に示す断面図を用いてトランジスタ 100 の作製方法の一例を説明する。

【0159】

〔1-2-1. 下地層の形成〕

基板 101 上に下地層として機能する絶縁層 102 を形成する。ここでは、基板 101 としてガラス基板を用いる。次に、絶縁層 102 を、窒化シリコン層と、第 1 の酸化シリコン層と、第 2 の酸化シリコン層の積層構造とする場合について例示する。

【0160】

まず、基板 101 上に窒化シリコン層を形成する。窒化シリコン層は、CVD 法の一種であるプラズマ CVD 法によって形成することが好ましい。具体的には、基板温度を 180 以上 400 以下、好ましくは 200 以上 370 以下とし、シリコンを含む堆積性ガス、窒素ガスおよびアンモニアガスを用いて圧力 20 Pa 以上 250 Pa 以下、好ましくは 40 Pa 以上 200 Pa 以下として、高周波電力を供給することで成膜すればよい。

【0161】

なお、窒素ガスの流量はアンモニアガスの流量の 5 倍以上 50 倍以下、好ましくは 10 倍以上 50 倍以下とする。なお、アンモニアガスを用いることで、シリコンを含む堆積性ガスおよび窒素ガスの分解を促すことができる、これは、アンモニアガスがプラズマエネルギーおよび熱エネルギーによって解離し、解離することで生じるエネルギーが、シリコンを含む堆積性ガスの結合、および窒素ガスの結合の分解に寄与するためである。

【0162】

従って、上述の方法によって、水素ガスおよびアンモニアガスの放出量が少ない窒化シリコン層を成膜することができる。また、水素の含有量が少ないため、緻密となり、水素、水および酸素を透過しない、またはほとんど透過しない窒化シリコン層を形成することができる。

【0163】

次に、第 1 の酸化シリコン層を形成する。第 1 の酸化シリコン層は、プラズマ CVD 法によって形成することが好ましい。具体的には、基板温度を 160 以上 350 以下、好ましくは 180 以上 260 以下とし、シリコンを含む堆積性ガスおよび酸化性ガスを用いて圧力 100 Pa 以上 250 Pa 以下、好ましくは 100 Pa 以上 200 Pa 以下として、電極に 0.17 W/cm² 以上 0.5 W/cm² 以下、好ましくは 0.25 W/cm² 以上 0.35 W/cm² 以下の高周波電力を供給することで成膜する。

【0164】

上述の方法によれば、プラズマ中のガスの分解効率が高まり、酸素ラジカルが増加し、ガスの酸化が進むため、過剰酸素を含む第 1 の酸化シリコン層を成膜することができる。

【0165】

続いて、第 2 の酸化シリコン層を形成する。第 2 の酸化シリコン層は、プラズマ CVD 法

10

20

30

40

50

によって形成することが好ましい。具体的には、基板温度を180以上400以下、好ましくは200以上370以下とし、シリコンを含む堆積性ガスおよび酸化性ガスを用いて圧力20Pa以上250Pa以下、好ましくは40Pa以上200Pa以下として、電極に高周波電力を供給することで形成する。なお、シリコンを含む堆積性ガスの代表例としては、シラン、ジシラン、トリシラン、フッ化シラン、などがある。酸化性ガスとしては、酸素、オゾン、亜酸化窒素、二酸化窒素などがある。

【0166】

なお、シリコンを含む堆積性ガスに対する酸化性ガスの流量を100倍以上とすることと、第2の酸化シリコン層中の水素含有量を低減し、かつダンギングボンドを低減することができる。

10

【0167】

以上のようにして、第1の酸化シリコン層よりも欠陥密度の小さい第2の酸化シリコン層を成膜する。即ち、第2の酸化シリコン層は、ESRにてg値が2.001の信号に由来するスピノの密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、または $5 \times 10^{16} \text{ spins/cm}^3$ 以下とすることができる。

【0168】

また、窒化シリコン層形成後に、窒化シリコン層に酸素を添加する処理を行ってもよい。また、第1の酸化シリコン層後に、第1の酸化シリコン層に酸素を添加する処理を行ってもよい。また、第2の酸化シリコン層後に、第2の酸化シリコン層に酸素を添加する処理を行ってもよい。酸素を添加する処理は、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。また、イオンドーピング装置として、質量分離機能を有するイオンドーピング装置を用いてもよい。酸素を添加するためのガスとしては、 $^{16}\text{O}_2$ もしくは $^{18}\text{O}_2$ などの酸素ガス、亜酸化窒素ガスまたはオゾンガスなどを用いることができる。

20

【0169】

〔1-2-2. 積層体および低抵抗層の形成〕

次に、絶縁層102上に、酸化物層103aおよび酸化物半導体層103bを含む積層体103と、低抵抗層114aおよび低抵抗層114bを形成するための低抵抗層114を設ける。積層体103および低抵抗層114は、スパッタリング法、塗布法、パルスレーザー堆積法、レーザーアブレーション法等を用いて形成することができる。

30

【0170】

スパッタリング法でIn若しくはGaを含む酸化物層103a、酸化物半導体層103b、低抵抗層114を形成する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

【0171】

スパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。スパッタリングガスは不純物濃度の少ないガスを用いる。具体的には、露点が-40以下、好ましくは-60以下であるスパッタリングガスを用いることが好ましい。

40

【0172】

また、ターゲットは、形成する酸化物層103a、酸化物半導体層103b、低抵抗層114の組成にあわせて、適宜選択すればよい。

【0173】

なお、積層体103および低抵抗層114の形成を、基板温度を100以上500以下、さらに好ましくは170以上350以下として、加熱しながら行ってもよい。

【0174】

本実施の形態では、スパッタリング法により酸化物層103a、酸化物半導体層103b、低抵抗層114を形成する。まず、絶縁層102上に、酸化物層103aとしてIn:Ga:Zn=1:3:2の原子数比のターゲットを用いて形成したIn-Ga-Zn酸化

50

物を20nmの厚さで形成する。次に、酸化物層103a上に、酸化物半導体層103bとしてIn:Ga:Zn=1:1:1の原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物を15nmの厚さで形成する。次に、酸化物半導体層103b上に、低抵抗層114としてIn:Ga:Zn=3:1:2の原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物を5nmの厚さで形成する。

【0175】

また、本実施の形態では、酸化物半導体層103bとして、CAC-O_Sを用いる。CAC-O_Sの形成方法として、四つの方法を例示する。

【0176】

第1の方法は、成膜温度を100以上500以下として酸化物半導体を形成することで、酸化物半導体に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。 10

【0177】

第2の方法は、酸化物半導体を薄く形成した後、200以上700以下の加熱処理を行うことで、酸化物半導体に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0178】

第3の方法は、一層目の酸化物半導体膜を薄く形成した後、200以上700以下の加熱処理を行い、さらに二層目の酸化物半導体の形成を行うことで、酸化物半導体に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。 20

【0179】

第4の方法は、高い配向性を有する多結晶酸化物半導体を含むターゲットを用いて、酸化物半導体に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0180】

チャネルが形成される半導体層にCAC-O_Sを適用したトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、チャネルが形成される半導体層にCAC-O_Sを適用したトランジスタは、良好な信頼性を有する。

【0181】

また、CAC-O_Sを形成するために、以下の条件を適用することが好ましい。 30

【0182】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、スパッタリングガス中の不純物濃度を低減すればよい。具体的には、露点が-40以下、好ましくは-60以下であるスパッタリングガスを用いることが好ましい。

【0183】

また、成膜時の被成膜面の加熱温度（例えば基板加熱温度）を高めることで、被成膜面に到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、被成膜面の温度を100以上740以下、好ましくは150以上500以下として成膜する。 40

【0184】

また、スパッタリングガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。スパッタリングガス中の酸素割合は、30体積%以上100体積%以下が好ましい。

【0185】

スパッタリング用ターゲットの一例として、In-Ga-Zn系金属酸化物ターゲットについて以下に示す。

【0186】

InO_x粉末、GaO_y粉末及びZnO_z粉末を所定のmolar数で混合し、加圧処理後、 50

1000 以上 1500 以下の温度で加熱処理をすることで多結晶である In - Ga - Zn 系金属酸化物ターゲットとする。なお、当該加圧処理は、冷却（又は放冷）しながら行ってもよいし、加熱しながら行ってもよい。なお、X、Y及びZは任意の正数である。ここで、所定の mol 数比は、例えば、InO_x 粉末、GaO_y 粉末及びZnO_z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 又は 3 : 1 : 2 である。なお、粉末の種類、及びその混合する mol 数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【0187】

また、スパッタリング法により成膜される酸化物半導体層中には、水素又は水、水酸基を含む化合物などが含まれていることがある。水素や水などは、ドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。したがって、スパッタリング法を用いて、酸化物半導体層を成膜する際、できる限り酸化物半導体層に含まれる水素濃度を低減させることが好ましい。

【0188】

酸化物半導体層の成膜時に、スパッタリング装置の処理室のリークレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることで、スパッタリング法による成膜途中における酸化物半導体層中へ、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系に窒素やアルゴンなどの不活性ガスを僅かに流しておくことで、排気されるガスの逆流を低減することができる。また、排気系として吸着型の真空ポンプ（例えば、クライオポンプなど）を用いることで、排気系からアルカリ金属、水素原子、水素分子、水、水酸基を含む化合物、または水素化物等の不純物の逆流を低減することができる。

【0189】

また、ターゲットの純度を、99.99%以上とすることで、酸化物半導体層に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体層中の、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。また、ターゲットに含まれるシリコンの濃度は、 $1 \times 10^{-8} \text{ atoms/cm}^3$ 以下とすることが好ましい。

【0190】

積層体 103 中の水分又は水素などの不純物をさらに低減（脱水化または脱水素化）して積層体 103 を高純度化するために、積層体 103 に対して、加熱処理を行うことが好ましい。例えば、減圧雰囲気下、窒素や希ガスなどの不活性雰囲気下、酸化性雰囲気下、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が 20 ppm（露点換算で -55 ）以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）雰囲気下で、積層体 103 に加熱処理を施す。なお、酸化性雰囲気とは、酸素、オゾンまたは窒化酸素などの酸化性ガスを 10 ppm 以上含有する雰囲気をいう。また、不活性雰囲気とは、前述の酸化性ガスが 10 ppm 未満であり、その他、窒素または希ガスで充填された雰囲気をいう。

【0191】

加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下で行えばよい。処理時間は 3 分乃至 24 時間とする。24 時間を超える加熱処理は生産性の低下を招くため好ましくない。

【0192】

加熱処理に用いる加熱装置に特別な限定はなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、電気炉や、LRTA（Lamp Rapid Thermal Anneal）装置、GRTA（Gas Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置であ

10

20

30

40

50

る。

【0193】

加熱処理を行うことによって、積層体103から水素（水、水酸基を含む化合物）などの不純物を放出させることができる。これにより、積層体103中の不純物を低減し、積層体103を高純度化することができる。また、特に、積層体103から不安定なキャリア源である水素を脱離させることができるために、トランジスタのしきい値電圧がマイナス方向へ変動することを抑制させることができる。さらに、トランジスタの信頼性を向上させることができる。

【0194】

また、酸化性ガスを含む雰囲気で加熱処理を行うことにより、不純物の放出と同時に積層体103の酸素欠損を低減することができる。不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10 ppm以上、1%以上または10%以上含む雰囲気で加熱処理を行ってもよい。

10

【0195】

スパッタリング法により積層体103および低抵抗層114を形成した後、低抵抗層114上にレジストマスクを形成し、該レジストマスクを用いて、積層体103および低抵抗層114を所望の形状にエッチングし、島状の積層体103および低抵抗層114を形成する（図4（A）参照）。レジストマスクの形成は、フォトリソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0196】

積層体103および低抵抗層114のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。ウェットエッチング法により、積層体103および低抵抗層114のエッチングを行う場合は、エッチング液として、磷酸と酢酸と硝酸を混ぜた溶液や、シュウ酸を含む溶液や、リン酸を含む溶液などを用いることができる。また、ITO-07N（関東化学社製）を用いてもよい。

【0197】

また、ドライエッチング法で積層体103のエッチングを行う場合のエッチングガスとして、塩素（Cl₂）、三塩化硼素（BCl₃）、四塩化珪素（SiCl₄）もしくは四塩化炭素（CCl₄）などを代表とする塩素系ガスを用いることができる。また、ドライエッチング法で積層体103のエッチングを行う場合のプラズマ源として、容量結合型プラズマ（CCP：Capacitively Coupled Plasma）、誘導結合プラズマ（ICP：Inductively Coupled Plasma）、電子サイクロotron共鳴（ECR：Electron Cyclotron Resonance）プラズマ、ヘリコン波励起プラズマ（HWP：Helicon Wave Plasma）、マイクロ波励起表面波プラズマ（SWP：Surface Wave Plasma）などを用いることができる。特に、ICP、ECR、HWP、及びSWPは、高密度のプラズマを生成することができる。ドライエッチング法で行うエッチング（以下、「ドライエッチング処理」ともいう）は、所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節して行う。

30

【0198】

本実施の形態では、積層体103および低抵抗層114のエッチングを、エッチングガスとして塩素（Cl₂）と三塩化硼素（BCl₃）を用いた、ドライエッチング処理により行う。なお、エッチング条件によっては、島状に加工した積層体103および低抵抗層114と重畠していない領域の、絶縁層102がエッチングされる場合がある。

40

【0199】

エッチング処理終了後に、レジストマスクを除去する。なお、前述した加熱処理は、積層体103を島状に加工した後に行ってもよい。

【0200】

50

酸化物半導体のバンドギャップは2 eV以上あるため、チャネルが形成される半導体層に酸化物半導体を用いたトランジスタは、トランジスタがオフ状態のときのリーク電流（オフ電流ともいう。）を極めて小さくすることができる。具体的には、チャネル長が3 μm、チャネル幅が10 μmのトランジスタにおいて、オフ電流を 1×10^{-20} A未満、好ましくは 1×10^{-22} A未満、さらに好ましくは 1×10^{-24} A未満とすることができる。即ち、オンオフ比が20桁以上150桁以下とことができる。

【0201】

〔1-2-3. ソース電極およびドレイン電極の形成〕

続いて、島状に加工した積層体103および低抵抗層114上に、ソース電極104aおよびドレイン電極104bとなる導電層を100nmの厚さで形成し、導電層上にレジストマスクを形成する。レジストマスクの形成は、フォトリソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。ここでは、導電層としてスパッタリング法により、窒化タンタルとタンゲステンの積層を形成する。

10

【0202】

次に、レジストマスクを用いて、導電層の一部を選択的にエッチングし、ソース電極104aおよびドレイン電極104b（これと同じ層で形成される他の電極または配線を含む）を形成する（図4（B）参照）。導電層のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。

20

【0203】

次に、ソース電極104aおよびドレイン電極104bをマスクとして低抵抗層114の一部を選択的に除去し、低抵抗層114aおよび低抵抗層114bを形成する。低抵抗層114のエッチングは、ソース電極104aおよびドレイン電極104bを形成するためのエッチングと同時にできる。また、低抵抗層114のエッチングを、ソース電極104aおよびドレイン電極104bを形成するためのレジストマスクを除去した後に行ってもよい。低抵抗層114のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。また、低抵抗層114aおよび低抵抗層114bの形成時に、積層体103の一部が除去され、積層体103に凹みが形成される場合がある。

30

【0204】

ソース電極104aおよびドレイン電極104b（これと同じ層で形成される他の電極または配線を含む）は、その端部をテーパー形状とすることが好ましい。具体的には、端部のテーパー角を、80°以下、好ましくは60°以下、さらに好ましくは45°以下とする。

【0205】

なお、「テーパー角」とは、テーパー形状を有する層を、その断面（基板の表面と直交する面）方向から観察した際に、当該層の側面と底面がなす当該層内の角度を示す。また、テーパー角が90°未満である場合を順テーパーといい、テーパー角が90°以上である場合を逆テーパーという。

40

【0206】

ソース電極104aおよびドレイン電極104bの端部にテーパー形状を付与することで、その上に被覆する層の被覆性を向上させることができる。

【0207】

また、ソース電極104aおよびドレイン電極104b（これと同じ層で形成される他の電極または配線を含む）の端部の断面形状を複数段の階段形状とすることで、その上に被覆する層の被覆性を向上させることもできる。なお、ソース電極104aおよびドレイン電極104bに限らず、各層の端部の断面形状を順テーパー形状または階段形状とすることで、当該層を覆って、または横切って形成された層が、当該層の端部で途切れてしまう現象（段切れ）を防ぎ、当該層を覆う層の被覆性を良好なものとすることができます。よって、半導体装置の生産性を向上させることができる。また、半導体装置の信頼性を向上す

50

ることができる。

【0208】

〔1-2-4. 積層体に接する酸化物層、及びゲート絶縁層の形成〕

続いて、ソース電極104a、ドレイン電極104b、及び積層体103の一部に接して酸化物層113を形成し、酸化物層113上に絶縁層106を形成する。

【0209】

本実施の形態では、酸化物層113として、酸化物層103aと同様に、In:Ga:Zn = 1:3:2の原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物を5nmの厚さで形成する。また、絶縁層106として、プラズマCVD法により厚さ20nmの酸化窒化シリコンを形成する(図4(C)参照)。

10

【0210】

〔1-2-5. ゲート電極の形成〕

続いて、ゲート電極107を形成するための導電層を形成する。ここでは、導電層を窒化タンタルとタンゲステンの積層とする。具体的には、絶縁層106上に、スパッタリング法により厚さ30nmの窒化タンタルを形成し、窒化タンタル上に厚さ135nmのタンゲステンを形成する。

【0211】

次に、レジストマスクを用いて、導電層の一部を選択的にエッチングし、ゲート電極107(これと同じ層で形成される他の電極または配線を含む)を形成する(図4(D)参照)。導電層のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。導電層のエッチング終了後、レジストマスクを除去する。

20

【0212】

〔1-2-6. 保護絶縁層の形成〕

続いて、ゲート電極107、ソース電極104a、ドレイン電極104b、及び積層体103を覆う保護絶縁層として機能する絶縁層108を形成する。ここでは、プラズマCVD法により厚さ50nmの窒化シリコンを形成する。

【0213】

絶縁層108の形成後、絶縁層108に酸素を添加する処理を行ってもよい。酸素を添加する処理は、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。

30

【0214】

次に、加熱処理を行うと好ましい。加熱処理は、250以上650以下、好ましくは300以上500以下で行えばよい。加熱処理の雰囲気は、不活性ガス雰囲気や、酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気、または減圧状態で行う。また、不活性ガス雰囲気中で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で加熱処理を行ってもよい。加熱処理により、絶縁層102、絶縁層106、絶縁層108の少なくともいずれかから過剰酸素が放出され、積層体103の酸素欠損を低減することができる。なお、積層体103中では、酸素欠損が隣接する酸素原子を捕獲していくことで、見かけ上移動する。従って、過剰酸素は、酸化物層103a、酸化物層113などを介して酸化物半導体層103bに達することができる。

40

【0215】

以上のようにして、トランジスタ100を作製することができる。

【0216】

上記実施の形態で開示された、金属膜、半導体膜、無機絶縁膜など様々な膜はスパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD(Chemical Vapor Deposition)法により形成してもよい。熱CVD法の例としてMOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法を使っても良い。

【0217】

50

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0218】

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0219】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

10

【0220】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、In(CH₃)₃である。また、トリメチルガリウムの化学式は、Ga(CH₃)₃である。また、ジメチル亜鉛の化学式は、Zn(CH₃)₂である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式Ga(C₂H₅)₃）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式Zn(C₂H₅)₂）を用いることもできる。

20

【0221】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム（TDMAH））を気化させた原料ガスと、酸化剤としてオゾン(O₃)の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式はHf[N(CH₃)₂]₄である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

30

【0222】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（TMA）など）を気化させた原料ガスと、酸化剤としてH₂Oの2種類のガスを用いる。なお、トリメチルアルミニウムの化学式はAl(CH₃)₃である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2,2,6,6-テトラメチル-3,5-ヘプタンジオナート）などがある。

40

【0223】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス(O₂、一酸化二窒素)のラジカルを供給して吸着物と反応させる。

【0224】

50

例えば、A L D を利用する成膜装置によりタングステン膜を成膜する場合には、W F₆ ガスと B₂H₆ ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、W F₆ ガスと H₂ ガスを同時に導入してタングステン膜を形成する。なお、B₂H₆ ガスに代えて SiH₄ ガスを用いてもよい。

【0225】

例えば、A L D を利用する成膜装置により酸化物半導体膜、例えば In - Ga - Zn - O 膜を成膜する場合には、In(CH₃)₃ ガスと O₂ ガスを順次繰り返し導入して In - O 層を形成し、その後、Ga(CH₃)₃ ガスと O₂ ガスを同時に導入して GaO 層を形成し、更にその後 Zn(CH₃)₂ ガスと O₂ ガスを同時に導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて In - Ga - O 層や In - Zn - O 層、Ga - Zn - O 層などの混合化合物層を形成しても良い。なお、O₂ ガスに変えて Ar 等の不活性ガスでバーピングして得られた H₂O ガスを用いても良いが、H を含まない O₂ ガスを用いる方が好ましい。また、In(CH₃)₃ ガスにかえて、In(C₂H₅)₃ ガスを用いても良い。また、Ga(CH₃)₃ ガスにかえて、Ga(C₂H₅)₃ ガスを用いても良い。また、In(CH₃)₃ ガスにかえて、In(C₂H₅)₃ ガスを用いても良い。また、Zn(CH₃)₂ ガスを用いても良い。

10

【0226】

〔1 - 3. 積層体の物性分析〕

ここで、酸化物層 103a、酸化物半導体層 103b、酸化物層 113 を積層した積層体 A の物性分析結果について説明しておく。なお、積層体 A は、トランジスタ 100 のチャネル形成領域が含まれる領域と同等の積層構成を有する。

20

【0227】

〔1 - 3 - 1. 積層体中のシリコン濃度〕

まず、積層体 A を構成する各層におけるシリコン濃度について、図 15 を用いて説明する。

【0228】

ここで、酸化物層 103a は、In - Ga - Zn 酸化物 (In : Ga : Zn = 1 : 3 : 2 [原子数比]) であるターゲットを用いて、スパッタリング法にて形成した酸化物層である。酸化物層 103a は、スパッタリングガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度を 200 とし、DC 電力を 0.5 kW 印加することで形成した。

30

【0229】

また、酸化物半導体層 103b は、In - Ga - Zn 酸化物 (In : Ga : Zn = 1 : 1 : 1 [原子数比]) であるターゲットを用いて、スパッタリング法にて形成した酸化物半導体層である。なお、スパッタリングガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度を 300 とし、DC 電力を 0.5 kW 印加することで形成した。

【0230】

また、酸化物層 113 は、In - Ga - Zn 酸化物 (In : Ga : Zn = 1 : 3 : 2 [原子数比]) であるターゲットを用いて、スパッタリング法にて形成した酸化物層である。なお、スパッタリングガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度を 200 とし、DC 電力を 0.5 kW 印加することで形成した。

40

【0231】

シリコンウェハ上に積層体 A として厚さが 10 nm の酸化物層 103a と、酸化物層 103a 上に設けられた厚さが 10 nm の酸化物半導体層 103b と、酸化物半導体層 103b 上に設けられた厚さが 10 nm の酸化物層 113 を設け、加熱処理なしの試料と 450 にて 2 時間加熱処理を行った試料を準備し、飛行時間二次イオン質量分析 (ToF - SIMS : Time-of-flight secondary ion mass spectrometer) によって、深さ方向の In を示す二次イオン強度、Ga を示す二

50

次イオン強度、 Z_n を示す二次イオン強度および SiO_3 の二次イオン強度から換算した Si 濃度 [atoms / cm^3] を示す。

【0232】

図15より、積層体Aを構成する各層の組成は、形成時のターゲットの組成によって変化することがわかる。ただし、各層の組成について、図15から単純な比較を行うことはできない。

【0233】

図15より、シリコンウェハと酸化物層103aとの界面、および酸化物層113の上面において、 Si 濃度が高くなることがわかった。また、酸化物半導体層103bの Si 濃度がTOF-SIMSの検出下限である 1×10^{18} atoms / cm^3 程度であることがわかった。これは、酸化物層103aおよび酸化物層113があることにより、シリコンウェハや酸化物層113上の表面汚染などに起因したシリコンが酸化物半導体層103bにまで影響することがなくなったと考えられる。

【0234】

すなわち、酸化物半導体層103bを酸化物層103aと酸化物層113で挟み、酸化物半導体層103bがシリコンを含む絶縁層と直接接しない構成とすることで、該絶縁層中のシリコンが酸化物半導体層103bへ混入することを防ぐことができる。

【0235】

また、図15に示すas-depo(加熱処理なしの試料)と加熱処理後の試料との比較により、加熱処理によってシリコンの拡散は起こりにくく、形成時の混合が主であることがわかる。

【0236】

〔1-3-2. 局在準位のCPM測定〕

次に、ガラス基板上に形成した積層体Aの局在準位について、一定光電流測定法(CPM: Constant Photocurrent Method)によって評価した結果を説明する。チャネル形成領域中の局在準位を低減することで、トランジスタに安定した電気特性を付与することができる。

【0237】

なお、トランジスタが高い電界効果移動度を有し、かつ安定した電気特性を有するためには、CPM測定で得られる局在準位による吸収係数を、 $1 \times 10^{-3} \text{ cm}^{-1}$ 未満、好ましくは $3 \times 10^{-4} \text{ cm}^{-1}$ 未満とすればよい。

【0238】

CPM測定を行った積層体Aについて以下に説明する。

【0239】

酸化物層103aは、In-Ga-Zn酸化物(In : Ga : Zn = 1 : 3 : 2 [原子数比])であるターゲットを用いて、スパッタリング法にて形成した酸化物層である。なお、形成ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度を200とし、DC電力を0.5kW印加することで形成した。

【0240】

また、酸化物半導体層103bは、In-Ga-Zn酸化物(In : Ga : Zn = 1 : 1 : 1 [原子数比])であるターゲットを用いて、スパッタリング法にて形成した酸化物半導体層である。なお、形成ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度を200とし、DC電力を0.5kW印加することで形成した。

【0241】

また、酸化物層113は、In-Ga-Zn酸化物(In : Ga : Zn = 1 : 3 : 2 [原子数比])であるターゲットを用いて、スパッタリング法にて形成した酸化物層である。なお、形成ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度を200とし、DC電力を0.5kW印加することで形

10

20

30

40

50

成した。

【0242】

ここで、CPM測定の精度を高めるため、測定する積層体Aにはある程度の厚さが必要となる。具体的には、酸化物層103aの厚さを30nm、酸化物半導体層103bの厚さを100nm、酸化物層113の厚さを30nmとした。

【0243】

CPM測定では、積層体Aに接して設けられた第1の電極および第2の電極間に電圧を印加した状態で光電流値が一定となるように端子間に試料面に照射する光量を調整し、照射光量から吸光係数を導出することを各波長にて行うものである。CPM測定において、試料に欠陥があるとき、欠陥の存在する準位に応じたエネルギー（波長より換算）における吸光係数が増加する。この吸光係数の増加分に定数を掛けることにより、試料の欠陥密度を導出することができる。10

【0244】

図16(A)に、分光光度計によって測定した吸収係数(点線)と、CPMによって測定した吸収係数(実線)とを積層体Aの各層のエネルギーギャップ以上のエネルギー範囲において、フィッティングした結果を示す。なお、CPMによって測定した吸収係数より得られたアーバックエネルギーは78.7meVであった。図16(A)の破線丸で囲んだエネルギー範囲においてCPMによって測定した吸収係数からバックグラウンド(細点線)を差し引き、当該エネルギー範囲における吸光係数の積分値を導出した(図16(B)参照)。その結果、本試料の局在準位による吸光係数は、 $2.02 \times 10^{-4} \text{ cm}^{-1}$ 20であることがわかった。

【0245】

ここで得られた局在準位は、不純物や欠陥に起因する準位と考えられる。従って、積層物は、不純物や欠陥に起因する準位が極めて少ないことがわかった。即ち、積層物を用いたトランジスタは高い電界効果移動度を有し、かつ安定した電気特性を有することがわかる。。

【0246】

〔1-3-3. 積層体のエネルギーバンド構造〕

本実施の形態における積層体Aの機能およびその効果について、図17に示すエネルギーバンド構造図を用いて説明する。図17は、図4(E)に示す一点破線C1-C2におけるエネルギーバンド構造を示している。よって、図17は、トランジスタ100のチャネル形成領域のエネルギーバンド構造を示している。30

【0247】

図17中、Ec382、Ec383a、Ec383b、Ec393、Ec386は、それぞれ、絶縁層102、酸化物層103a、酸化物半導体層103b、酸化物層113、絶縁層106の伝導帯下端のエネルギーを示している。

【0248】

ここで、真空準位と伝導帯下端のエネルギーとの差(「電子親和力」ともいう。)は、真空準位と価電子帯上端のエネルギーとの差(イオン化ポテンシャルともいう。)からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ(HORIBA JOBIN YVON社 UT-300)を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析(UPS: Ultraviolet Photoelectron Spectroscopy)装置(PHI社 Versa Probe)を用いて測定できる。40

【0249】

なお、In:Ga:Zn = 1:3:2の原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5eV、電子親和力は約4.5eVである。また、In:Ga:Zn = 1:3:4の原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.4eV、電子親和力は約4.5eVである。また、In:Ga:Zn = 1:3:6の原子数比のターゲットを用いて形成したIn50

- Ga - Zn 酸化物のエネルギーギャップは約 3.3 eV、電子親和力は約 4.5 eV である。また、In : Ga : Zn = 1 : 6 : 2 の原子数比のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.9 eV、電子親和力は約 4.3 eV である。また、In : Ga : Zn = 1 : 6 : 8 の原子数比のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.5 eV、電子親和力は約 4.4 eV である。また、In : Ga : Zn = 1 : 6 : 10 の原子数比のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.5 eV、電子親和力は約 4.5 eV である。また、In : Ga : Zn = 1 : 1 : 1 の原子数比のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.2 eV、電子親和力は約 4.7 eV である。また、In : Ga : Zn = 3 : 1 : 2 の原子数比のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 2.8 eV、電子親和力は約 5.0 eV である。 10

【0250】

絶縁層 102 と絶縁層 106 は絶縁物であるため、Ec382 と Ec386 は、Ec383a、Ec383b、および Ec393 よりも真空準位に近い（電子親和力が小さい）。

【0251】

また、Ec383a は、Ec383b よりも真空準位に近い。具体的には、Ec383a は、Ec383b よりも 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、1 eV 以下、0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。 20

【0252】

また、Ec393 は、Ec383b よりも真空準位に近い。具体的には、Ec393 は、Ec383b よりも 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、1 eV 以下、0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

【0253】

また、酸化物層 103a と酸化物半導体層 103b との間、および、酸化物半導体層 103b と酸化物層 113 との間において、伝導帯下端のエネルギーは連続的に変化する。即ち、これらの界面において、準位は存在しないか、ほとんどない。

【0254】

従って、当該エネルギー・バンド構造を有する積層体 A において、電子は酸化物半導体層 103b を主として移動することになる。そのため、積層体 A の外側にある絶縁層との界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。また、積層体 A を構成する層と層との界面に準位が存在しないか、ほとんどないため、当該領域において電子の移動を阻害することもない。従って、積層体 A 中の酸化物半導体層 103b は高い電子移動度を有する。 30

【0255】

なお、図 17 に示すように、酸化物層 103a と絶縁層 102 の界面、および酸化物層 113 と絶縁層 106 の界面近傍には、不純物や欠陥に起因したトラップ準位 391 が形成され得るもの、酸化物層 103a、および酸化物層 113 があることにより、酸化物半導体層 103b と当該トラップ準位とを遠ざけることができる。 40

【0256】

ただし、Ec383a または Ec393 と、Ec383b とのエネルギー差が小さい場合、酸化物半導体層 103b の電子が酸化物層 103a、酸化物層 113 を超えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、マイナスの固定電荷となり、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【0257】

従って、Ec383a、および Ec393 と、Ec383b とのエネルギー差を、それぞれ 0.1 eV 以上、好ましくは 0.15 eV 以上とすると、トランジスタのしきい値電圧の変動が低減され、トランジスタの電気特性を良好なものとすることができるため、好ま 50

しい。

【0258】

また、酸化物層103a、および酸化物層113のバンドギャップは、酸化物半導体層103bのバンドギャップよりも広いほうが好ましい。

【0259】

〔1-4.酸素雰囲気下での熱処理前後における酸素欠損量の変化について〕

続いて、原子数比がIn:Ga:Zn = 3:1:2のターゲットを用いて形成したIn-Ga-Zn酸化物と、原子数比がIn:Ga:Zn = 1:1:1のターゲットを用いて形成したIn-Ga-Zn酸化物の、酸素雰囲気下での熱処理前後における酸素欠損量の変化についてESR測定結果を用いて説明する。

10

【0260】

まず、測定を行った試料構造について説明する。試料801は、石英基板上に厚さ300nmの酸化シリコンを形成し、該酸化シリコン上に、原子数比がIn:Ga:Zn = 3:1:2のターゲットを用いて形成したIn-Ga-Zn酸化物を100nmの厚さで形成した。試料802は、石英基板上に厚さ300nmの酸化シリコンを形成し、該酸化シリコン上に、原子数比がIn:Ga:Zn = 1:1:1のターゲットを用いて形成したIn-Ga-Zn酸化物を100nmの厚さで形成した。

【0261】

酸化シリコンおよびIn-Ga-Zn酸化物は、スパッタリング法により形成した。酸化シリコンは、スパッタリングガスに酸素を用いて、処理室内の圧力を0.4Pa、電源電力を1.5kW、基板温度を100として形成した。

20

【0262】

また、原子数比がIn:Ga:Zn = 3:1:2のターゲットを用いて形成したIn-Ga-Zn酸化物は、スパッタリングターゲットとして組成がIn:Ga:Zn = 3:1:2のターゲットを用いて、スパッタリングガスにアルゴンと酸素の混合ガス（流量比2:1）を用いて、処理室内の圧力を0.4Pa、電力を0.5kW、基板温度を250として形成した。

【0263】

また、原子数比がIn:Ga:Zn = 1:1:1のターゲットを用いて形成したIn-Ga-Zn酸化物は、スパッタリングターゲットとして原子数比がIn:Ga:Zn = 1:1:1のターゲットを用いて、スパッタリングガスにアルゴンと酸素の混合ガス（流量比2:1）を用いて、処理室内の圧力を0.4Pa、電力を0.5kW、基板温度を300として形成した。

30

【0264】

まず、試料801と試料802上のIn-Ga-Zn酸化物を高純度化するため、窒素雰囲気下で450 1時間の熱処理を行い、試料801と試料802について、ESR測定を行った。次に、試料801と試料802に対して、酸素雰囲気下で450 1時間の熱処理を行い、その後、再びESR測定を行った。

【0265】

ESR測定は、測定温度を室温（25）とし、測定に用いた電磁波（マイクロ波）の周波数を9.5GHz、その出力を20mWとし、磁場の向きを作製した試料の膜表面と平行とした。

40

【0266】

図18にESR測定結果を示す。図18の縦軸は、g値が1.93付近に現れたESRスペクトルから算出したスピントン密度を示している。図18中、データ810は酸素雰囲気下での熱処理前（窒素雰囲気下での熱処理後）のESR測定結果を示し、データ820は酸素雰囲気下での熱処理後のESR測定結果を示している。

【0267】

酸素雰囲気下での熱処理前において、試料801のスピントン密度は 2.7×10^{18} spins/cm³であり、試料802のスピントン密度は 4.9×10^{17} spins/cm³で

50

あった。すなわち、この時点ではどちらの $In - Ga - Zn$ 酸化物も n 型化している。

【0268】

また、酸素雰囲気下での熱処理後において、試料 801 のスピンドル密度は $3.4 \times 10^{17} \text{ spins/cm}^3$ であり、試料 802 のスピンドル密度は検出下限値 (D.L. : Detection Limit) 以下であった。

【0269】

図 18 より、酸素雰囲気下の熱処理によって、原子数比が $In : Ga : Zn = 1 : 1 : 1$ のターゲットを用いて形成した $In - Ga - Zn$ 酸化物中の酸素欠損が、検出下限値以下まで低減されたことがわかる。すなわち、原子数比が $In : Ga : Zn = 1 : 1 : 1$ のターゲットを用いて形成した $In - Ga - Zn$ 酸化物は、酸素の供給により真性化、または 10 実質的に真性化される。

【0270】

一方、原子数比が $In : Ga : Zn = 3 : 1 : 2$ のターゲットを用いて形成した $In - Ga - Zn$ 酸化物は、酸素雰囲気下の熱処理を行っても、スピンドル密度で $3.4 \times 10^{17} \text{ spins/cm}^3$ の酸素欠損が残ることがわかる。すなわち、原子数比が $In : Ga : Zn = 3 : 1 : 2$ のターゲットを用いて形成した $In - Ga - Zn$ 酸化物は、酸素が供給されても真性化されず、 n 型化した状態を維持することができる。

【0271】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

20

【0272】

(実施の形態 2)

本実施の形態では、上記実施の形態に例示したトランジスタ 100 と異なる構成を有するトランジスタ 150 について例示する。

【0273】

[2-1. 半導体装置の構成例]

図 5 に、半導体装置の一形態であるトランジスタ 150 を示す。図 5 (A) はトランジスタ 150 の上面図である。また、図 5 (B) は、図 5 (A) 中の一点鎖線 A3 - A4 で示す部位の断面図であり、図 5 (C) は、図 5 (A) 中の一点鎖線 B3 - B4 で示す部位の断面図である。

30

【0274】

トランジスタ 150 は、トップゲート型のトランジスタの 1 つである。トランジスタ 150 は、トランジスタ 100 とほぼ同様の構成を有しているが、断面構造において、絶縁層 106 と酸化物層 113 の形状が異なる。

【0275】

トランジスタ 150 は、ゲート電極 107 と重畠していない領域の、絶縁層 106 と酸化物層 113 が除去された構成を有している。このような構成とすることで、酸化物層 113 に意図せず酸素欠損形成された場合であっても、隣接配線間の漏れ電流の増加を抑制することができるため、半導体装置の信頼性を高めることができる。

【0276】

40

[2-2. 半導体装置の作製方法例]

絶縁層 106 および酸化物層 113 の選択的な除去は、ゲート電極 107 の形成後、ゲート電極 107 をマスクとして用いて行えばよい。ゲート電極 107 をマスクとして用い、ドライエッチング法、またはウェットエッチング法により、絶縁層 106 および酸化物層 113 の一部を選択的に除去することができる。

【0277】

なお、絶縁層 106 と酸化物層 113 のエッチングは、ゲート電極 107 を形成するためのレジストマスクの除去前に、ゲート電極 107 を形成するための導電層のエッチング後に連続して行ってもよい。

【0278】

50

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0279】

(実施の形態3)

本実施の形態では、上記実施の形態に例示したトランジスタと異なる構成を有するトランジスタ160について例示する。

【0280】

[3-1. 半導体装置の構成例]

図6に、半導体装置の一形態であるトランジスタ160を示す。図6(A)はトランジスタ160の上面図である。また、図6(B)は、図6(A)中の一点鎖線A5-A6で示す部位の断面図であり、図6(C)は、図6(A)中の一点鎖線B5-B6で示す部位の断面図である。

10

【0281】

トランジスタ160は、トップゲート型のトランジスタの1つである。トランジスタ160は、トランジスタ100とほぼ同様の構成を有するが、ソース電極およびドレイン電極の断面形状が異なる。

【0282】

トランジスタ160が有するソース電極104asおよびドレイン電極104bsは、端部が階段形状を有している。ソース電極104asおよびドレイン電極104bsの端部を階段形状とすることで、ソース電極104asおよびドレイン電極104bsより上方に形成する層の被覆性を向上させることができる。よって、半導体装置の信頼性を向上させることができる。

20

【0283】

なお、図6では、ソース電極104asおよびドレイン電極104bsの端部を2つの段差を有する階段形状とした場合を示しているが、端部を3つ以上の段差を有する階段形状としてもよい。

【0284】

また、ゲート電極107と重畠していない領域の、絶縁層106、または絶縁層106と酸化物層113を除去してもよい。一例として、ゲート電極107と重畠していない領域の、絶縁層106と酸化物層113を除去したトランジスタ160の断面構成を、図12(A)にトランジスタ161として示す。

30

【0285】

ソース電極104asまたはドレイン電極104bsを覆う絶縁層の一部をエッチングして開口部を形成する場合、トランジスタ160の構成よりも、トランジスタ161の構成の方が、エッチング時間を短くすることができるため、トランジスタの生産性を高めることができる。

【0286】

[3-2. 半導体装置の作製方法例]

次に、トランジスタ160の作製方法の一例を、図7に示す断面図を用いて説明する。トランジスタ160は、トランジスタ100と同様の方法により作製することができるため、本実施の形態ではトランジスタ100の作製方法と異なる点について説明する。

40

【0287】

図7(A)は、トランジスタ100と同様の方法によりソース電極104a、およびドレイン電極104bを形成し、レジストマスク121を除去する前の状態を示す断面図である。この後、酸素プラズマ122等によりレジストマスク121を縮小させて、レジストマスク123を形成する。レジストマスク121が縮小したことにより、ソース電極104a、およびドレイン電極104bの表面の一部が露出する(図7(B)参照)。

【0288】

次に、ソース電極104aおよびドレイン電極104bの、レジストマスク123に覆われていない部分をエッチングする。エッチングは異方性を有するドライエッチング法で行

50

うことが好ましい。エッティングガス 124 は、上記実施の形態で示したガスと同様のガスを用いることができる。また、エッティングの深さは、ソース電極 104a およびドレイン電極 104b の厚さの 20% 以上 80% 以下が好ましく、40% 以上 60% 以下がより好ましい（図 7（C）参照）。

【0289】

次に、レジストマスク 123 を除去する。このようにして、端部が階段形状を有するソース電極 104as およびドレイン電極 104bs を形成することができる。

【0290】

なお、上記作製方法を繰り返し用いることで、ソース電極 104as およびドレイン電極 104bs 端部に形成する段差の数を増やすことができる。

10

【0291】

次に、ソース電極 104as およびドレイン電極 104bs をマスクとして低抵抗層 114 の一部を選択的に除去し、低抵抗層 114a および低抵抗層 114b を形成する（図 7（D）参照）。低抵抗層 114 のエッティングは、ソース電極 104a およびドレイン電極 104b を形成するためのエッティングと同時にあってもよいし、ソース電極 104as およびドレイン電極 104bs を形成するためのエッティングと同時にあってもよい。また、低抵抗層 114 のエッティングは、レジストマスク 123 を除去した後に行ってもよい。

【0292】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

20

【0293】

（実施の形態 4）

本実施の形態では、上記実施の形態に例示したトランジスタと異なる構成を有するトランジスタ 170 について例示する。

【0294】

〔4-1. 半導体装置の構成例〕

図 8 に、半導体装置の一形態であるトランジスタ 170 を示す。図 8（A）はトランジスタ 170 の上面図である。また、図 8（B）は、図 8（A）中の一点鎖線 A7-A8 で示す部位の断面図であり、図 8（C）は、図 8（A）中の一点鎖線 B7-B8 で示す部位の断面図である。また、図 8（D）は、図 8（B）に示す部位 172 の拡大図である。

30

【0295】

トランジスタ 170 は、トップゲート型のトランジスタの 1 つである。トランジスタ 170 は、トランジスタ 160 とほぼ同様の構成を有するが、ソース電極 104as 上にソース電極 174a が形成され、ドレイン電極 104bs 上にドレイン電極 174b が形成されている点が異なる。なお、ソース電極 104as を第 1 のソース電極、ソース電極 174a を第 2 のソース電極、ドレイン電極 104bs 第 1 のドレイン電極、ドレイン電極 174b を第 2 のドレイン電極と呼ぶこともできる。

【0296】

図 8 に例示するトランジスタ 170 の構成は、チャネル長を 1.0 μm 未満とする場合に特に有効である。微細形状を作製する場合、加工される層の厚さを薄くする必要がある。しかしながら、電気信号や電力を供給するための配線の厚さが薄くなると、配線抵抗が増大し、信号遅延や電力供給能力の低下の一因となる。

40

【0297】

そこで、ソース電極 104as 上にソース電極 104as よりも膜厚が薄いソース電極 174a を形成し、ドレイン電極 104bs 上にドレイン電極 104bs よりも膜厚が薄いドレイン電極 174b を形成する。膜厚が薄いソース電極 174a およびドレイン電極 174b を用いることにより、チャネル長が極めて短いトランジスタの作製を容易とすることができる。

【0298】

チャネル長が極めて短いトランジスタを形成する場合、低抵抗層 114a または低抵抗層

50

114bを介して積層体103中の酸素が引き抜かれてn型化した領域が広がると、しきい値電圧の変動だけでなく、ソースとドレインが導通状態となりオン状態とオフ状態の制御ができないなどの現象が現れる。このような現象は、チャネル長を0.8μm未満、もしくは1.0μm未満とした場合に生じやすい。そのため、チャネル長が極めて短いトランジスタを形成する場合は、ソース電極174aおよびドレイン電極174bは、酸素と結合しにくく、または、酸素が拡散しにくい材料を用いて形成することが好ましい。

【0299】

したがって、ソース電極104asとドレイン電極104bsに、酸素と結合しやすい導電性材料や、酸素を拡散しやすい導電性材料を用いる場合は、図8(B)にL1として示すソース電極104asとドレイン電極104bsとの間隔は、0.8μm以上、好ましくは1.0μm以上とする。L1が0.8μmより小さいと、チャネル形成領域において発生する酸素欠損の影響を排除できなくなり、トランジスタの電気特性が低下する可能性がある。

10

【0300】

そこで、トランジスタ170では、酸素と結合しにくい導電材料を用いて、ソース電極104aと積層体103に接してソース電極174aを形成する。また、酸素と結合しにくい導電材料を用いて、ドレイン電極104bと積層体103に接してドレイン電極174bを形成する。

【0301】

ソース電極174aは、積層体103と接するソース電極104asの端部を越えてL1の方向に延伸し、ドレイン電極174bは、積層体103と接するドレイン電極104bsの端部を越えてL1の方向に延伸する。

20

【0302】

ソース電極174aの上記延伸部分は低抵抗層114aと接し、ドレイン電極174bの上記延伸部分は低抵抗層114bと接している。また、図8に示すトランジスタ170において、向かい合うソース電極174aの端部から、ドレイン電極174bの端部までの長さがチャネル長であり、図8(B)にL2として示す。

【0303】

ソース電極174aおよびドレイン電極174bを形成するための導電材料の厚さは、好ましくは5nm以上300nm以下、より好ましくは10nm以上200nm以下、さらに好ましくは10nm以上100nm以下とする。

30

【0304】

上記酸素と結合しにくい導電材料をソース電極174aおよびドレイン電極174bに用いることによって、積層体103に形成されるチャネル形成領域に酸素欠損が形成されることを抑制することができ、チャネル形成領域のn型化を抑えることができる。したがって、チャネル長が極めて短いトランジスタであっても良好な電気特性を得ることができる。すなわち、L2をL1より小さい値とすることが可能となり、例えば、L2を30nm以下としても良好なトランジスタの電気特性を得ることが可能となる。

【0305】

なお、窒化タンタル、窒化チタンなどの導電性窒化物は、水素を吸収する可能性がある。よって、積層体103と接して導電性窒化物を設けることで、積層体103中の水素濃度を低減することができる。

40

【0306】

また、ゲート電極107と重畳していない領域の、絶縁層106、または絶縁層106と酸化物層113を除去してもよい。一例として、ゲート電極107と重畳していない領域の、絶縁層106と酸化物層113を除去したトランジスタ170の断面構成を、図12(B)にトランジスタ171として示す。

【0307】

ソース電極174aまたはドレイン電極174bを覆う絶縁層の一部をエッチングして開口部を形成する場合、トランジスタ170の構成よりも、トランジスタ171の構成方が

50

、エッティング時間を短くすることができるため、トランジスタの生産性を高めることができる。

【0308】

〔4-2. 半導体装置の作製方法例〕

次に、トランジスタ170の作製方法の一例を説明する。トランジスタ170は、トランジスタ100やトランジスタ160などと同様の方法により作製することができるため、本実施の形態では他のトランジスタと異なる点について説明する。

【0309】

他のトランジスタと同様の方法によりソース電極104a（ソース電極174a）およびドレイン電極104b（ドレイン電極174b）まで形成した後、スパッタリング法により、厚さ20nmの窒化タンタルを形成する。

10

【0310】

続いて、窒化タンタル上にフォトリソグラフィ法等を用いてレジストマスクを形成し、該窒化タンタルの一部を選択的にエッティングすることで、ソース電極174aおよびドレイン電極174bを形成する。窒化タンタルのエッティングは、ドライエッティング法でもウェットエッティング法でもよく、両方を用いてもよい。エッティング終了後、レジストマスクを除去する。

【0311】

なお、チャネル長が極めて短いトランジスタを形成する場合は、電子ビーム露光などの細線加工に適した方法を用いてレジストマスクを形成し、エッティング処理を行うことによって、ソース電極174aおよびドレイン電極174bを形成すればよい。なお、当該レジストマスクとしては、ポジ型レジストを用いれば、露光領域を最小限にすることができる、スループットを向上させることができる。このような方法を用いれば、チャネル長を30nm以下とするトランジスタを作製することができる。

20

【0312】

〔4-3. 半導体装置の変形例〕

上記本実施の形態に示したトランジスタ170は、図9に示すトランジスタ180のよう に変形することもできる。図9（A）はトランジスタ180の上面図である。また、図9（B）は、図9（A）中の一点鎖線A9-A10で示す部位の断面図であり、図9（C）は、図9（A）中の一点鎖線B9-B10で示す部位の断面図である。また、図9（D）は、図9（B）に示す部位182の拡大図である。

30

【0313】

トランジスタ180は、ソース電極174aおよびドレイン電極174bの位置がトランジスタ170と異なる。具体的には、トランジスタ180は、ソース電極174aがソース電極104a/sの下に形成され、ドレイン電極174bがドレイン電極104a/bの下に形成されている。

【0314】

また、トランジスタ180において、ソース電極104a/sと接する低抵抗層104a/sの先端部分から、ドレイン電極174bと接する低抵抗層114bの先端部分までの長さがチャネル長Lである（図9（B）参照。）。

40

【0315】

また、ゲート電極107と重畳していない領域の、絶縁層106、または絶縁層106と酸化物層113を除去してもよい。一例として、ゲート電極107と重畳していない領域の、絶縁層106と酸化物層113を除去したトランジスタ180の断面構成を、図12（C）にトランジスタ181として示す。

【0316】

ソース電極104a/sまたはドレイン電極104b/sを覆う絶縁層の一部をエッティングして開口部を形成する場合、トランジスタ180の構成よりも、トランジスタ181の構成方が、エッティング時間を短くすることができるため、トランジスタの生産性を高めることができる。

50

【0317】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0318】

(実施の形態5)

本実施の形態では、上記実施の形態に例示したトランジスタと異なる構成を有するトランジスタ190について例示する。

【0319】

[5-1. 半導体装置の構成例]

図10に、半導体装置の一形態であるトランジスタ190を示す。図10(A)はトランジスタ190の上面図である。また、図10(B)は、図10(A)中の一点鎖線A11-A12で示す部位の断面図であり、図10(C)は、図10(A)中の一点鎖線B11-B12で示す部位の断面図である。なお、上記トランジスタと同様の構成を有する部分については、他の実施の形態における説明を援用し、本実施の形態での説明は省略する。

【0320】

トランジスタ190は、ボトムゲート型のトランジスタの1つである。トランジスタ190は、基板101上に形成されたゲート電極131を有し、ゲート電極131上に形成された絶縁層132を有する。また、絶縁層132上に形成された積層体103を有し、積層体103上に形成された低抵抗層114aおよび低抵抗層114bを有する。また、低抵抗層114a上に形成されたソース電極104aを有し、低抵抗層114b上に形成されたドレイン電極104bを有する。また、ソース電極104a、ドレイン電極104b、および積層体103上に形成された酸化物層113を有し、酸化物層113上に形成された絶縁層106を有し、絶縁層106上に形成された絶縁層108を有する。なお、基板101とゲート電極131の間に、下地層として絶縁層を形成してもよい。

【0321】

積層体103は、トランジスタ190のチャネル長方向及びチャネル幅方向において、ゲート電極131よりも小さく設けられている。積層体103をゲート電極131よりも小さく設けることで、基板101側から入射した光が積層体103に到達しにくくすることができ、トランジスタ190の信頼性を向上させることができる。

【0322】

[5-2. 半導体装置の作製方法例]

次に、トランジスタ190の作製方法の一例を説明する。なお、積層体103の形成以降の形成工程は、ゲート電極107を形成しないこと以外は他の実施の形態に開示した内容と同様に行うことが可能であるため、本実施の形態での説明は省略する。

【0323】

[5-2-1. ゲート電極の形成]

まず、基板101上に、ゲート電極131を形成する。ゲート電極131の形成は、ゲート電極107と同様の材料および方法により行うことができる。

【0324】

[5-2-2. ゲート絶縁層の形成]

次に、ゲート電極131上に絶縁層132を形成する。絶縁層132は、上記実施の形態で開示した絶縁層102または絶縁層106と同様の材料および方法で形成することができる。絶縁層132はゲート絶縁層として機能することができる。なお、絶縁層132の表面凹凸を軽減するため、絶縁層132の表面に平坦化処理を行ってもよい。平坦化処理としては、化学的機械研磨(CMP: Chemical Mechanical Polishing、以下CMP処理という)などの研磨処理の他に、エッティング処理などを適用することも可能である。また、CMP処理とエッティング処理を組み合わせて行ってもよい。

【0325】

また、絶縁層132の形成後、絶縁層132に酸素を添加する処理を行ってもよい。酸素

10

20

30

40

50

を添加する処理は、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。また、イオンドーピング装置として、質量分離機能を有するイオンドーピング装置を用いてもよい。酸素を添加するためのガスとしては、 $^{16}\text{O}_2$ もしくは $^{18}\text{O}_2$ などの酸素ガス、亜酸化窒素ガスまたはオゾンガスなどを用いることができる。

【0326】

〔5-2-3. 積層体の形成以降の作製工程〕

続いて、絶縁層132上に積層体103を形成する。前述した通り、積層体103の形成以降の作製工程は、ゲート電極107を形成しないこと以外は、他の実施の形態に開示した内容と同様に行うことが可能である。よって、積層体103以降の作製工程の説明は、他の実施の形態の説明を援用するものとし、実施の形態での説明は省略する。

10

【0327】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0328】

(実施の形態6)

本実施の形態では、上記実施の形態に例示したトランジスタと異なる構成を有するトランジスタ200について例示する。

【0329】

〔6-1. 半導体装置の構成例〕

図11に、半導体装置の一形態であるトランジスタ200を示す。図11(A)はトランジスタ200の上面図である。また、図11(B)は、図11(A)中の一点鎖線A13-A14で示す部位の断面図であり、図11(C)は、図11(A)中の一点鎖線B13-B14で示す部位の断面図である。なお、上記トランジスタと同様の構成を有する部分については、他の実施の形態における説明を援用し、本実施の形態での説明は省略する。

20

【0330】

本実施の形態に開示する、トランジスタ200は、トップゲート型のトランジスタ100と、ボトムゲート型のトランジスタ190を併せた構造を有する。具体的には、基板101上にゲート電極131が形成され、ゲート電極131上に絶縁層132が形成され、絶縁層132上にトランジスタ100が形成された構造を有している。

【0331】

30

トランジスタ200において、ゲート電極107を第1のゲート電極、ゲート電極131を第2のゲート電極と呼ぶことができる。また、絶縁層106を第1のゲート絶縁層、絶縁層132を第2のゲート絶縁層と呼ぶことができる。

【0332】

トランジスタ200では、第1のゲート電極または第2のゲート電極の一方をゲート電極として機能させ、他方をバックゲート電極として機能させることができる。

【0333】

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよく、GND電位や、任意の電位としてもよい。バックゲート電極の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。

40

【0334】

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電場が、チャネルが形成される半導体層に作用しないようにする機能（特に静電気に対する静電遮蔽機能）も有する。すなわち、静電気などの外部の電場の影響によりトランジスタの電気的な特性が変動することを防止することができる。また、バックゲート電極を設けることで、BT試験前後におけるトランジスタのしきい値電圧の変化量を低減することができる。

【0335】

50

また、バックゲート電極を、遮光性を有する導電層で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

【0336】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0337】

(実施の形態7)

上記実施の形態では、酸化物層103aと酸化物半導体層103bを含む積層体103を用いて形成するトランジスタについて示したが、酸化物層103aを用いずにトランジスタを形成することもできる。

【0338】

(7-1. 半導体装置の構成例)

図13(A1)に、半導体装置の一形態であるトランジスタ155の断面図を示す。図13(A2)は、図13(A1)中に示す部位157の拡大図である。トランジスタ155は、トランジスタ150から酸化物層103aを除いた構成を有する。また、図13(B1)に、半導体装置の一形態であるトランジスタ175の断面図を示す。図13(B2)は、図13(B1)中に示す部位177の拡大図である。トランジスタ175は、トランジスタ170から酸化物層103aを除いた構成を有する。

【0339】

トランジスタがオン状態であるとき、半導体層中を流れるキャリアは、主に半導体層のゲート絶縁層側を流れる。ゲート絶縁層として機能する絶縁層106と酸化物半導体層103bの間に、酸化物半導体層103bと接して酸化物層113を設けることで、絶縁層106と酸化物層113の界面近傍に形成されるトラップ準位391の影響を酸化物半導体層103bが受けにくし、トランジスタの電気特性の劣化を軽減することができる。

【0340】

なお、上記実施の形態で説明した通り、酸化物半導体層103bを、酸化物層113と酸化物層103aで挟む構成とすることが好ましいが、酸化物層103aの形成工程を省略することで、半導体装置作製時の歩留まり向上や、生産コストの低減を実現することができる。

【0341】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0342】

(実施の形態8)

本実施の形態では、上述したトランジスタを用いた半導体装置について例示する。

【0343】

(8-1. マイクロコンピュータ)

(8-1-1. マイクロコンピュータのブロック図)

上述したトランジスタは、さまざまな電子機器に搭載されるマイクロコンピュータ(以下、「MCU(Micro Control Unit)」とも言う。)に用いることができる。上述したトランジスタを用いることが可能なMCUの構成例について、図19を用いて説明する。

【0344】

図19は、MCU700のブロック図である。MCU700は、CPU710、バスブリッジ711、RAM(Random Access Memory)712、メモリインターフェイス713、コントローラ720、割り込みコントローラ721、I/Oインターフェイス(入出力インターフェイス)722、及びパワーゲートユニット730を有する。

10

20

30

40

50

【0345】

M C U 7 0 0 は、更に、水晶発振回路 7 4 1、タイマー回路 7 4 5、I / O インターフェイス 7 4 6、I / O ポート 7 5 0、コンパレータ 7 5 1、I / O インターフェイス 7 5 2、バスライン 7 6 1、バスライン 7 6 2、バスライン 7 6 3、及びデータバスライン 7 6 4 を有する。更に、M C U 7 0 0 は、外部装置との接続部として少なくとも接続端子 7 7 0 乃至接続端子 7 7 6 を有する。なお、各接続端子 7 7 0 乃至接続端子 7 7 6 は、1 つの端子または複数の端子でなる端子群を表す。また、水晶振動子 7 4 3 を有する発振子 7 4 2 が、接続端子 7 7 2、及び接続端子 7 7 3 を介して M C U 7 0 0 に接続されている。

【0346】

C P U 7 1 0 はレジスタ 7 8 5 を有し、バスブリッジ 7 1 1 を介してバスライン 7 6 1 乃至バスライン 7 6 3、及びデータバスライン 7 6 4 に接続されている。 10

【0347】

R A M 7 1 2 は、C P U 7 1 0 のメインメモリとして機能する記憶装置であり、不揮発性のランダムアクセスメモリが用いられる。R A M 7 1 2 は、C P U 7 1 0 が実行する命令、命令の実行に必要なデータ、及びC P U 7 1 0 の処理によるデータを記憶する装置である。C P U 7 1 0 の命令により、R A M 7 1 2 へのデータの書き込み、読み出しが行われる。

【0348】

M C U 7 0 0 では、低消費電力モードでは、R A M 7 1 2 の電力供給が遮断される。そのため、R A M 7 1 2 は電源が供給されていない状態でもデータを保持できる不揮発性のメモリで構成する。 20

【0349】

メモリインターフェイス 7 1 3 は、外部記憶装置との入出力インターフェイスである。C P U 7 1 0 の命令により、メモリインターフェイス 7 1 3 を介して、接続端子 7 7 6 に接続される外部記憶装置へのデータの書き込み及び読み出しが行われる。

【0350】

クロック生成回路 7 1 5 は、C P U 7 1 0 で使用されるクロック信号 M C L K (以下、単に「M C L K」とも呼ぶ。) を生成する回路であり、R C 発振器等を有する。M C L K はコントローラ 7 2 0 及び割り込みコントローラ 7 2 1 にも出力される。

【0351】

コントローラ 7 2 0 は M C U 7 0 0 全体の制御処理を行う回路であり、例えば、バス及びメモリマップなどの制御、M C U 7 0 0 の電源制御、クロック生成回路 7 1 5、水晶発振回路 7 4 1 の制御等を行う。 30

【0352】

接続端子 7 7 0 は、外部の割り込み信号入力用の端子であり、接続端子 7 7 0 を介してマスク不可能な割り込み信号 N M I がコントローラ 7 2 0 に入力される。コントローラ 7 2 0 にマスク不可能な割り込み信号 N M I が入力されると、コントローラ 7 2 0 は直ちにC P U 7 1 0 にマスク不可能な割り込み信号 N M I を出力し、C P U 7 1 0 に割り込み処理を実行させる。

【0353】

また、割り込み信号 I N T が、接続端子 7 7 0 を介して割り込みコントローラ 7 2 1 に入力される。割り込みコントローラ 7 2 1 には、周辺回路 (7 4 5、7 5 0、7 5 1) からの割り込み信号 (T 0 I R Q、P 0 I R Q、C 0 I R Q) も、バス (7 6 1 乃至 7 6 4) を経由せずに入力される。 40

【0354】

割り込みコントローラ 7 2 1 は割り込み要求の優先順位を割り当てる機能を有する。割り込みコントローラ 7 2 1 は割り込み信号を検出すると、その割り込み要求が有効であるか否かを判定する。有効な割り込み要求であれば、コントローラ 7 2 0 に割り込み信号 I N T を出力する。

【0355】

50

また、割り込みコントローラ 721 は I/O インターフェイス 722 を介して、バスライン 761 及びデータバスライン 764 に接続されている。

【0356】

コントローラ 720 は、割り込み信号 INT が入力されると、CPU710 に割り込み信号 INT を出力し、CPU710 に割り込み処理を実行させる。

【0357】

また、割り込み信号 T0IRQ が割り込みコントローラ 721 を介さず直接コントローラ 720 に入力される場合がある。コントローラ 720 は、割り込み信号 T0IRQ が入力されると、CPU710 にマスク不可能な割り込み信号 NM1 を出力し、CPU710 に割り込み処理を実行させる。

10

【0358】

コントローラ 720 のレジスタ 780 は、コントローラ 720 内に設けられ、割り込みコントローラ 721 のレジスタ 786 は、I/O インターフェイス 722 に設けられている。

【0359】

続いて、MCU700 が有する周辺回路を説明する。MCU700 は、周辺回路として、タイマー回路 745、I/O ポート 750 及びコンパレータ 751 を有する。これらの周辺回路は一例であり、MCU700 が使用される電子機器に応じて、必要な回路を設けることができる。

20

【0360】

タイマー回路 745 は、クロック生成回路 740 から出力されるクロック信号 TCLK (以下、単に「TCLK」とも呼ぶ。) を用いて、時間を計測する機能を有する。また、クロック生成回路 715 は、決められた時間間隔で、割り込み信号 T0IRQ を、コントローラ 720 及び割り込みコントローラ 721 に出力する。タイマー回路 745 は、I/O インターフェイス 746 を介して、バスライン 761 及びデータバスライン 764 に接続されている。

【0361】

TCLK は MCLK よりも低い周波数のクロック信号である。例えば、MCLK の周波数を数 MHz 程度 (例えば、8 MHz) とし、MCLK は、数十 kHz 程度 (例えば、32 kHz) とする。クロック生成回路 740 は、MCU700 に内蔵された水晶発振回路 741 と、接続端子 772 及び接続端子 773 に接続された発振子 742 を有する。発振子 742 の振動子として、水晶振動子 743 が用いられている。なお、CR 発振器等でクロック生成回路 740 を構成することで、クロック生成回路 740 の全てのモジュールを MCU700 に内蔵することが可能である。

30

【0362】

I/O ポート 750 は、接続端子 774 を介して接続された外部機器と情報の入出力をを行うためのインターフェイスであり、デジタル信号の入出力インターフェイスである。I/O ポート 750 は、入力されたデジタル信号に応じて、割り込み信号 P0IRQ を割り込みコントローラ 721 に出力する。

【0363】

接続端子 775 から入力されるアナログ信号を処理する周辺回路として、コンパレータ 751 が設けられている。コンパレータ 751 は、接続端子 775 から入力されるアナログ信号の電位 (または電流) と基準信号の電位 (または電流) との大小を比較し、値が 0 又は 1 のデジタル信号を発生する。さらに、コンパレータ 751 は、このデジタル信号の値が 1 のとき、割り込み信号 C0IRQ を発生する。割り込み信号 C0IRQ は割り込みコントローラ 721 に出力される。

40

【0364】

I/O ポート 750 及びコンパレータ 751 は共通の I/O インターフェイス 752 を介してバスライン 761 及びデータバスライン 764 に接続されている。ここでは、I/O ポート 750、コンパレータ 751 各々の I/O インターフェイスに共有できる回路があ

50

るため、1つのI/Oインターフェイス752で構成しているが、もちろんI/Oポート750、コンパレータ751のI/Oインターフェイスを別々に設けることもできる。

【0365】

また、周辺回路のレジスタは、対応する入出力インターフェイスに設けられている。タイマー回路745のレジスタ787はI/Oインターフェイス746に設けられ、I/Oポート750のレジスタ783及びコンパレータ751のレジスタ784は、それぞれ、I/Oインターフェイス752に設けられている。

【0366】

MCU700は内部回路への電力供給を遮断するためのパワーゲートユニット730を有する。パワーゲートユニット730により、動作に必要な回路のみに電力供給を行うことで、MCU700全体の消費電力を下げることができる。10

【0367】

図19に示すように、MCU700内の破線で囲んだユニット701、ユニット702、ユニット703、ユニット704の回路は、パワーゲートユニット730を介して、接続端子771に接続されている。接続端子771は、高電源電位VDD（以下、単に「VDD」とも呼ぶ。）供給用の電源端子である。

【0368】

本実施の形態では、ユニット701は、タイマー回路745、及びI/Oインターフェイス746を含み、ユニット702は、I/Oポート750、コンパレータ751、及びI/Oインターフェイス752を含み、ユニット703は、割り込みコントローラ721、及びI/Oインターフェイス722を含み、ユニット704は、CPU710、RAM712、バスプリッジ711、及びメモリインターフェイス713を含む。20

【0369】

パワーゲートユニット730は、コントローラ720により制御される。パワーゲートユニット730は、ユニット701乃至704へのVDDの供給を遮断するためのスイッチ回路731及びスイッチ回路732を有する。

【0370】

スイッチ回路731、スイッチ回路732のオン／オフはコントローラ720により制御される。具体的には、コントローラ720は、CPU710の要求によりパワーゲートユニット730が有するスイッチ回路の一部または全部をオフ状態とする信号を出力する（電力供給の停止）。また、コントローラ720は、マスク不可能な割り込み信号NMI、またはタイマー回路745からの割り込み信号T0IRQをトリガーにして、パワーゲートユニット730が有するスイッチ回路をオン状態とする信号を出力する（電力供給の開始）。30

【0371】

なお、図19では、パワーゲートユニット730に、2つのスイッチ回路（スイッチ回路731、スイッチ回路732）を設ける構成を示しているが、これに限定されず、電源遮断に必要な数のスイッチ回路を設ければよい。

【0372】

また、本実施の形態では、ユニット701に対する電力供給を独立して制御できるようにスイッチ回路731を設け、ユニット702乃至704に対する電力供給を独立して制御できるようにスイッチ回路732を設けているが、このような電力供給経路に限定されるものではない。例えば、スイッチ回路732とは別のスイッチ回路を設けて、RAM712の電力供給を独立して制御できるようにしてもよい。また、1つの回路に対して、複数のスイッチ回路を設けてもよい。40

【0373】

また、コントローラ720には、パワーゲートユニット730を介さず、常時、接続端子771からVDDが供給される。また、ノイズの影響を少なくするため、クロック生成回路715の発振回路、水晶発振回路741には、それぞれ、VDDの電源回路と異なる外部の電源回路から電源電位が供給される。50

【0374】

表1に、各ブロックの役割をまとめた表を示す。

【0375】

【表1】

ブロック名	役割	
CPU110	命令の実行	10
クロック生成回路115	クロック信号MCLKを生成する	
水晶発振回路141	クロック信号TCLKを生成する	
コントローラ120	マイクロコントローラ100全体の制御処理を行う	
割り込みコントローラ121	割り込み要求の優先順位を割り当てる	
I/Oインターフェース146	データーの入出力を行う	
I/Oインターフェース152	データーの入出力を行う	
I/Oポート150	外部機器を接続するためのインターフェース	
タイマー回路145	タイマー動作に応じた割り込み信号を発生する	
コンパレータ151	入力信号と基準信号の電位(または電流)を比較する。	
RAM112	CPU110のメインメモリとして機能する記憶装置	20
メモリインターフェース113	外部記憶装置との入出力インターフェース	

【0376】

コントローラ720及びパワーゲートユニット730等を備えることにより、MCU700を3種類の動作モードで動作させることが可能である。第1の動作モードは、通常動作モードであり、MCU700の全ての回路がアクティブな状態である。ここでは、第1の動作モードを「Activeモード」と呼ぶ。

【0377】

第2、及び第3の動作モードは低消費電力モードであり、一部の回路をアクティブにするモードである。第2の動作モードでは、コントローラ720、並びにタイマー回路745とその関連回路(水晶発振回路741、I/Oインターフェイス746)がアクティブである。第3の動作モードでは、コントローラ720のみがアクティブである。ここでは、第2の動作モードを「Noff1モード」と呼び、第3の動作モードを「Noff2モード」と呼ぶことにする。

【0378】

以下、表2に、各動作モードとアクティブな回路との関係を示す。表2では、アクティブにする回路に「ON」と記載している。表2に示すように、Noff1モードでは、コントローラ720と周辺回路の一部(タイマー動作に必要な回路)が動作し、Noff2モードでは、コントローラ720のみが動作している。

【0379】

30

20

30

40

【表2】

	Active	Noff1	Noff2
CPU 110	ON	—	—
バスブリッジ 111	ON	—	—
RAM 112	ON	—	—
メモリインターフェース 113	ON	—	—
クロック生成回路 115	ON	—	—
水晶発振回路 141	ON	ON	—
コントローラ 120	ON	ON	ON
割り込みコントローラ 121	ON	—	—
I/Oインターフェース 122	ON	—	—
タイマー回路 145	ON	ON	—
I/Oインターフェース 146	ON	ON	—
I/Oポート 150	ON	—	—
コンパレータ 151	ON	—	—
I/Oインターフェース 152	ON	—	—

10

20

【0380】

なお、クロック生成回路715の発振器、及び水晶発振回路741は、動作モードに関わらず、電源が常時供給される。クロック生成回路715及び水晶発振回路741を非アクティブにするには、コントローラ720からまたは外部からイネーブル信号を入力し、クロック生成回路715及び水晶発振回路741の発振を停止させることにより行われる。

【0381】

また、Noff1、Noff2モードでは、パワーゲートユニット730により電力供給が遮断されるため、I/Oポート750、I/Oインターフェイス752は非Activeになるが、接続端子774に接続されている外部機器を正常に動作させるために、I/Oポート750、I/Oインターフェイス752の一部には電力が供給される。具体的には、I/Oポート750の出力バッファ、I/Oポート750用のレジスタ786である。Noff1、Noff2モードでは、I/Oポート750での実質的な機能である、I/Oインターフェイス752及び外部機器とのデータの伝送機能、割り込み信号生成機能は停止している。また、I/Oインターフェイス752も同様に、通信機能は停止している。

30

【0382】

なお、本明細書では、回路が非アクティブとは、電力の供給が遮断されて回路が停止している状態の他、Activeモード（通常動作モード）での主要な機能が停止している状態や、Activeモードよりも省電力で動作している状態を含む。

40

【0383】

また、MCU700では、Noff1、Noff2モードから、Activeモードへの復帰を高速化するため、レジスタ784乃至レジスタ787は、電源遮断時にデータを退避させるバックアップ保持部を更に有する。別言すると、レジスタ784乃至レジスタ787は、揮発性のデータ保持部（単に、「揮発性記憶部」とも言う）と、不揮発性のデータ保持部（単に、「不揮発性記憶部」とも言う）を有する。Activeモード中、レジスタ784乃至レジスタ787は、揮発性記憶部にアクセスして、データの書き込み、読み出しが行われる。

【0384】

50

なお、コントローラ720には常に電力が供給されているため、コントローラ720のレジスタ780には、不揮発性記憶部は設けられていない。また、上述したように、N_{off}1/N_{off}2モードでも、I/Oポート750には出力バッファを機能させるためレジスタ783を動作させている。よって、レジスタ783には常に電力が供給されているため、不揮発性記憶部が設けられていない。

【0385】

また、揮発性記憶部は一つまたは複数の揮発性記憶素子を有し、不揮発性記憶部は一つまたは複数の不揮発性記憶素子を有する。なお、揮発性記憶素子は、不揮発性記憶素子よりもアクセス速度が速いものとする。

【0386】

上記揮発性記憶素子を構成するトランジスタに用いる半導体材料は特に限定されないが、後述する不揮発性記憶素子を構成するトランジスタに用いる半導体材料とは、異なる禁制帯幅を持つ材料とすることが好ましい。このような半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。データの処理速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

【0387】

不揮発性記憶素子は、揮発性記憶素子のデータに対応する電荷が保持されたノードと電気的に接続されており、電源が遮断されている間に揮発性記憶素子のデータを退避させるために用いる。よって、不揮発性記憶素子は、少なくとも電力が供給されていないときの上記揮発性記憶素子よりデータの保持時間が長いものとする。

【0388】

ActiveモードからN_{off}1、N_{off}2モードへ移行する際は、電源遮断に先立って、レジスタ784乃至787の揮発性記憶部のデータは不揮発性記憶部に書き込まれ、揮発性記憶部のデータを初期値にリセットし、電源が遮断される。

【0389】

N_{off}1、またはN_{off}2モードからActiveへ復帰する場合、レジスタ784乃至787に電力供給が再開されると、まず揮発性記憶部のデータが初期値にリセットされる。そして、不揮発性記憶部のデータが揮発性記憶部に書き込まれる。

【0390】

従って、低消費電力モードでも、MCU700の処理に必要なデータがレジスタ784乃至787で保持されているため、MCU700を低消費電力モードからActiveモードへ直ちに復帰させることが可能になる。

【0391】

〔8-1-2. レジスタの構成例〕

図20に、レジスタ784乃至レジスタ787に用いることができる、1ビットのデータを保持可能な、揮発性記憶部と不揮発性記憶部を有する回路構成の一例をレジスタ1196として示す。

【0392】

図20に示すレジスタ1196は、揮発性記憶部であるフリップフロップ248と、不揮発性記憶部233と、セレクタ245を有する。

【0393】

フリップフロップ248には、リセット信号RST、クロック信号CLK、及びデータ信号Dが与えられる。フリップフロップ248は、クロック信号CLKに従って入力されるデータ信号Dのデータを保持し、データ信号Qとして、データ信号Dに対応して高電位H、または低電位Lを出力する機能を有する。

【0394】

不揮発性記憶部233には、書き込み制御信号WE、読み出し制御信号RD、及びデータ信号Dが与えられる。

10

20

30

40

50

【0395】

不揮発性記憶部233は、書き込み制御信号WEに従って、入力されるデータ信号Dのデータを記憶し、読み出し制御信号RDに従って、記憶されたデータをデータ信号Dとして出力する機能を有する。

【0396】

セレクタ245は、読み出し制御信号RDに従って、データ信号Dまたは不揮発性記憶部233から出力されるデータ信号を選択して、フリップフロップ248に入力する。

【0397】

また図20に示すように不揮発性記憶部233には、トランジスタ240及び容量素子241が設けられている。

10

【0398】

トランジスタ240は、nチャネル型トランジスタである。トランジスタ240のソースまたはドレインの一方は、フリップフロップ248の出力端子に接続されている。トランジスタ240は、書き込み制御信号WEに従ってフリップフロップ248から出力されるデータ信号の保持を制御する機能を有する。

【0399】

トランジスタ240としては、オフ電流が極めて小さいトランジスタを用いることが好ましい。例えば、トランジスタ240として、チャネルが形成される半導体層に酸化物半導体を含むトランジスタを用いることができる。具体的には、上記実施の形態において、トランジスタ100、トランジスタ150、トランジスタ160、トランジスタ170、トランジスタ180、トランジスタ190、またはトランジスタ200として例示したトランジスタを用いることができる。

20

【0400】

容量素子241を構成する一対の電極の一方と、トランジスタ240のソースまたはドレインの他方は、ノードM1に接続されている。また、容量素子241を構成する一対の電極の他方にはVSSが与えられる。容量素子241は、記憶するデータ信号Dのデータに基づく電荷をノードM1に保持する機能を有する。トランジスタ240としては、オフ電流が極めて小さいトランジスタを用いることにより、電源電圧の供給が停止してもノードM1の電荷は保持され、データが保持される。また、トランジスタ240にオフ電流が極めて小さいトランジスタを用いることにより、容量素子241を小さく、または省略することができる。

30

【0401】

トランジスタ244は、pチャネル型トランジスタである。トランジスタ244のソース及びドレインの一方にはVDDが与えられる。また、トランジスタ244のゲートには読み出し制御信号RDが入力される。

【0402】

トランジスタ243は、nチャネル型トランジスタである。トランジスタ243のソース及びドレインの一方と、トランジスタ244のソース及びドレインの他方は、ノードM2に接続されている。また、トランジスタ243のゲートは、トランジスタ244のゲートに接続し、読み出し制御信号RDが入力される。

40

【0403】

トランジスタ242は、nチャネル型トランジスタである。トランジスタ242のソース及びドレインの一方は、トランジスタ243のソース及びドレインの他方に接続されており、ソース及びドレインの他方には、VSSが与えられる。なお、フリップフロップ248が出力する高電位Hはトランジスタ242をオン状態とする電位であり、フリップフロップ248が出力する低電位Lはトランジスタ242をオフ状態とする電位である。

【0404】

インバーター246の入力端子は、ノードM2接続されている。また、インバーター246の出力端子は、セレクタ245の入力端子に接続される。

50

【0405】

容量素子247を構成する電極の一方はノードM2接続され、他方にはVSSが与えられる。容量素子247は、インバーター246に入力されるデータ信号のデータに基づく電荷を保持する機能を有する。

【0406】

以上のような構成を有する図20に示すレジスタ1196は、フリップフロップ248から不揮発性記憶部233へデータの退避を行う際は、書き込み制御信号WEとしてトランジスタ240をオン状態とする信号を入力することにより、フリップフロップ248のデータ信号Qに対応した電荷が、ノードM1に与えられる。その後、書き込み制御信号WEとしてトランジスタ240をオフ状態とする信号を入力することにより、ノードM1に与えられた電荷が保持される。また、読み出し制御信号RDの電位としてVSSが与えられている間は、トランジスタ243がオフ状態、トランジスタ244がオン状態となり、ノードM2の電位はVDDになる。10

【0407】

不揮発性記憶部233からフリップフロップ248へデータの復帰を行う際は、読み出し制御信号RDとしてVDDを与える。すると、トランジスタ244がオフ状態、トランジスタ243がオン状態となり、ノードM1に保持された電荷に応じた電位がノードM2に与えられる。ノードM1にデータ信号Qの高電位Hに対応する電荷が保持されている場合、トランジスタ242はオン状態であり、ノードM2にVSSが与えられ、インバーター246から出力されたVDDが、セレクタ245を介してフリップフロップ248に入力される。また、ノードM1にデータ信号Qの低電位Lに対応する電荷が保持されている場合、トランジスタ242はオフ状態であり、読み出し制御信号RDの電位としてVSSが与えられていたときのノードM2の電位(VDD)が保持されており、インバーター246から出力されたVSSが、セレクタ245を介してフリップフロップ248に入力される。20

【0408】

上述のように、レジスタ1196に揮発性記憶部232と不揮発性記憶部233を設けることにより、CPU230への電力供給が遮断される前に、揮発性記憶部232から不揮発性記憶部233にデータを退避させることができ、CPU230への電力供給が再開されたときに、不揮発性記憶部233から揮発性記憶部232にデータを素早く復帰させることができる。30

【0409】

このようにデータの退避及び復帰を行うことによって、電源遮断が行われるたびに揮発性記憶部232が初期化された状態からCPU230を起動し直す必要がなくなるので、電力供給の再開後CPU230は速やかに測定に係る演算処理を開始することができる。

【0410】

トランジスタ242は、情報の読み出し速度を向上させるという観点から、上述の揮発性記憶素子に用いたトランジスタと同様のトランジスタを用いることが好ましい。

【0411】

なお、レジスタ1196では、トランジスタ242のソース及びドレインの他方と容量素子241の他方の電極ともにVSSが供給されているが、トランジスタ242のソース及びドレインの他方と容量素子241の他方の電極は、同じ電位としても良いし、異なる電位としても良い。また、容量素子241は必ずしも設ける必要はなく、例えば、トランジスタ242の寄生容量が大きい場合は、当該寄生容量で容量素子241の代替とすることができます。40

【0412】

ノードM1は、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。しかしながら、トランジスタ240のオンオフ動作により直接的にデータの書き換えを行うことができるので、高電圧を用いてフローティングゲート内への電荷の注入、及びフローティングゲートからの電荷の引き抜50

きが不要である。つまり、不揮発性記憶部 233 では、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧が不要である。よって、本実施の形態に記載の不揮発性記憶部 233 を用いることにより、データの退避の際に必要な消費電力の低減を図ることができる。

【0413】

また同様の理由により、データの書き込み動作や消去動作に起因する動作速度の低下を抑制することができるので、不揮発性記憶部 233 の動作の高速化が実現される。また同様の理由により、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁層（トンネル絶縁層）の劣化という問題が存在しない。つまり、本実施の形態に記載の不揮発性記憶部 233 は、従来のフローティングゲート型トランジスタと異なり、原理的な書き込み回数の制限が存在しないことを意味する。以上により、不揮発性記憶部 233 は、レジスタなどの多くの書き換え回数や高速動作を要求される記憶装置としても十分に用いることができる。10

【0414】

なお、上記において不揮発性記憶部 233 は、図 20 に示す構成に限られるものではない。例えば、相変化メモリ（PCM：Phase Change Memory）、抵抗変化型メモリ（ReRAM：Resistance Random Access Memory）、磁気抵抗メモリ（MRAM：Magnetoresistive Random Access Memory）、強誘電体メモリ（FeRAM：Ferroelectric Random Access Memory）、フラッシュメモリなどを用いることができる。20

【0415】

また、揮発性記憶素子は、例えばバッファレジスタや、汎用レジスタなどのレジスタを構成することができる。また、揮発性記憶部に SRAM（Static Random Access Memory）などからなるキャッシュメモリを設けることもできる。これらのレジスタやキャッシュメモリは上記の不揮発性記憶部 233 にデータを退避させることができる。

【0416】

〔8-1-3. MCU に適用可能な半導体装置の構成例〕

不揮発性記憶部を有する MCU に適用可能な半導体装置の構成例について、図 21 の断面図を用いて説明する。30

【0417】

図 21 に示す半導体装置は、p 型の半導体基板 401 に形成された素子分離層 403 を有し、ゲート絶縁層 407、ゲート電極 409、n 型の不純物領域 411a、n 型の不純物領域 411b、を有する n 型のトランジスタ 451 を有し、トランジスタ 451 上に絶縁層 415 および絶縁層 417 が形成されている。

【0418】

半導体基板 401 において、トランジスタ 451 は素子分離層 403 により他の半導体素子（図示せず）と分離されている。素子分離層 403 は、LOCOS（Local Oxidation of Silicon）法または STI（Shallow Trench Isolation）法等を用いて形成することができる。40

【0419】

なお、トランジスタ 451 において、ゲート電極 409 の側面に側壁絶縁層（サイドウォール絶縁層）を設け、n 型の不純物領域 411a、および n 型の不純物領域 411b に不純物濃度が異なる領域を設けてよい。

【0420】

また、絶縁層 415 および絶縁層 417 の一部を選択的にエッチングした開口部には、コンタクトプラグ 419a およびコンタクトプラグ 419b が形成されている。絶縁層 417、コンタクトプラグ 419a およびコンタクトプラグ 419b 上に、絶縁層 421 が設けられている。絶縁層 421 は、少なくとも一部がコンタクトプラグ 419a と重畳する50

溝部と、少なくとも一部がコンタクトプラグ 419b と重畳する溝部を有する。

【0421】

また、少なくとも一部がコンタクトプラグ 419a と重畳する溝部に配線 423a が形成され、少なくとも一部がコンタクトプラグ 419b と重畳する溝部に配線 423b が形成されている。配線 423a はコンタクトプラグ 419a に接続し、配線 423b はコンタクトプラグ 419b に接続されている。

【0422】

また、絶縁層 421、配線 423a および配線 423b 上に、スパッタリング法またはCVD法等によって形成された絶縁層 420 が設けられている。また、絶縁層 420 上に絶縁層 422 が形成され、絶縁層 422 は、少なくとも一部が酸化物半導体層を含む積層体 406 と重畠する溝部と、少なくとも一部が第1のドレイン電極 416b または第2のドレイン電極 426b と重畠する溝部を有する。

10

【0423】

絶縁層 422 が有する少なくとも一部が積層体 406 と重畠する溝部には、トランジスタ 452 のバックゲート電極として機能する電極 424 が形成されている。このような電極 424 を設けることにより、トランジスタ 452 のしきい値電圧の制御を行うことができる。

【0424】

また、絶縁層 422 が有する少なくとも一部が第1のドレイン電極 416b または第2のドレイン電極 426b と重畠する溝部には、電極 460 が形成されている。

20

【0425】

絶縁層 422、電極 424、および電極 460 上には、スパッタリング法またはCVD法等により形成された絶縁層 425 が設けられており、絶縁層 425 上には、トランジスタ 452 が設けられている。

【0426】

トランジスタ 452 は、上記実施の形態で例示したトランジスタを適用することができる。

上記実施の形態で例示したトランジスタは、電気特性変動が抑制されており、電気的に安定である。よって、図21で示す本実施の形態の半導体装置を、信頼性の高い半導体装置とすることができます。

30

【0427】

なお、図21では、トランジスタ 452 として、上記実施の形態に示したトランジスタ 170 のゲート電極 107 と重畠していない領域の絶縁層 106 と酸化物層 113 を除去した構造と同等のトランジスタを用いる場合について例示している。

【0428】

トランジスタ 452 は、絶縁層 425 上に形成された積層体 406 と、積層体 406 上に形成された低抵抗層 414a および低抵抗層 414b と、低抵抗層 414a に接して形成された第1のソース電極 416a と、低抵抗層 414b に接して形成された第1のドレイン電極 416b と、第1のソース電極 416a および低抵抗層 414a に接して形成された第2のソース電極 426a と、第1のドレイン電極 416b および低抵抗層 414b に接して形成された第2のドレイン電極 426b と、酸化物層 413 と、ゲート絶縁層 412 と、ゲート電極 404 と、絶縁層 418 を有する。また、トランジスタ 452 を覆う絶縁層 445、および絶縁層 446 が設けられ、絶縁層 446 上に、第2のドレイン電極 426b に接続する配線 449 と、第2のソース電極 426a に接続する配線 456 を有する。配線 449 は、トランジスタ 452 のドレイン電極とn型のトランジスタ 451 のゲート電極 409 とを電気的に接続するノードとして機能する。

40

【0429】

また、本実施の形態においては、配線 449 が第2のドレイン電極 426b に接続する構成について例示したが、これに限定されず、例えば、第1のドレイン電極 416b に接続する構成としてもよい。また、配線 456 が第2のソース電極 426a に接続する構成に

50

ついて例示したが、これに限定されず、例えば、第1のソース電極416aに接続する構成としてもよい。

【0430】

第1のドレン電極416bまたは第2のドレン電極426bと電極460が、絶縁層425を介して重畳する部分が容量素子453として機能する。電極460には、例えばVSSが供給される。

【0431】

なお、容量素子453は必ずしも設ける必要はなく、例えば、n型のトランジスタ451などの寄生容量が十分大きい場合、容量素子453を設けない構成としても良い。

【0432】

トランジスタ452は、例えば、図20に示したトランジスタ240に相当する。また、トランジスタ451は、例えば、図20に示したトランジスタ242に相当する。また、容量素子453は、例えば、図20に示した容量素子241に相当する。また、配線449は、例えば、図20に示したノードM1に相当する。

【0433】

トランジスタ451は、単結晶シリコンなど、酸化物半導体とは異なる半導体を用いて形成されるため、十分な高速動作が可能となる。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0434】

本実施の形態に示すように、トランジスタ452には、極めてオフ電流の低いトランジスタを用いることが好ましい。本実施の形態では、極めてオフ電流の低いトランジスタとして、酸化物半導体を含むトランジスタを例示した。このような構成とすることによりノードM1の電位を長時間保持することが可能となる。

【0435】

上述したトランジスタを用いることで、消費電力が少なく、信頼性の良好なMCUを実現することができる。

【0436】

〔8-2.表示装置〕

上述したトランジスタは、表示装置に用いることができる。また、上述したトランジスタを用いて、トランジスタを含む駆動回路の一部または全体を画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。上述したトランジスタを用いることが可能な表示装置の構成例について、図22乃至図24を用いて説明する。

【0437】

表示装置に設けられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機ELなどを含む。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も表示素子として適用することができる。以下では、表示装置の一例として、液晶素子を用いた表示装置およびEL素子を用いた表示装置について説明する。

【0438】

〔8-2-1.液晶表示装置、EL表示装置〕

図22(A)において、第1の基板4001上に設けられた画素部4002を囲むようにして、シール材4005が設けられ、第2の基板4006によって封止されている。図22(A)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路4003、及び走査線駆動回路4004が実装されている。また、信号線駆動回路4003、走査線駆動回路4004、または画素部4002に与えられる各種信号及び電位は、FPC(Flexible printed circuit)4018a、FPC4018bから供給されている。

10

20

30

40

50

【0439】

図22(B)及び図22(C)において、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、表示素子と共に封止されている。図22(B)及び図22(C)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路4003が実装されている。図22(B)及び図22(C)においては、信号線駆動回路4003、走査線駆動回路4004、または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。10

【0440】

また図22(B)及び図22(C)においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0441】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、ワイヤボンディング、COG(Chip On Glass)、TCP(Tape Carrier Package)、COF(Chip On Film)などを用いることができる。図22(A)は、COGにより信号線駆動回路4003、走査線駆動回路4004を実装する例であり、図22(B)は、COGにより信号線駆動回路4003を実装する例であり、図22(C)は、TCPにより信号線駆動回路4003を実装する例である。20

【0442】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。

【0443】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクター、例えばFPCやTCPなどが取り付けられたモジュール、TCPなどの先にプリント配線板が設けられたモジュール、または表示素子にCOGによりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。30

【0444】

また第1の基板上に設けられた画素部及び走査線駆動回路は、トランジスタを複数有しており、上記実施の形態で示したトランジスタを適用することができる。

【0445】

表示装置に設けられる表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)、を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。40

【0446】

図23(A)及び図23(B)は、図22(B)中でN1-N2の鎖線で示した部位の断面構成を示す断面図である。図23(A)及び図23(B)で示すように、半導体装置は電極4015を有しており、電極4015はFPC4018が有する端子と異方性導電層4019を介して、電気的に接続されている。また、電極4015は、絶縁層4020、および絶縁層4022に形成された開口を介して配線4014と電気的に接続されている。

【0447】

電極4015は、第1の電極層4030と同じ導電層から形成され、配線4014は、ト50

ランジスタ 4010、およびトランジスタ 4011 のソース電極及びドレイン電極と同じ導電層で形成されている。

【0448】

また、図 23 (A) では、電極 4015 と配線 4014 が、絶縁層 4020、および絶縁層 4022 に形成された一つの開口を介して接続しているが、図 23 (B) では、絶縁層 4020、および絶縁層 4022 に形成された複数の開口を介して接続している。開口を複数形成することで、電極 4015 の表面に凹凸が形成されるため、後に形成される電極 4015 と異方性導電層 4019 の接触面積を増やすことができる。よって、FPC 4018 と電極 4015 の接続を良好なものとすることができます。

【0449】

また第 1 の基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 は、トランジスタを複数有しており、図 23 (A) 及び図 23 (B) では、画素部 4002 に含まれるトランジスタ 4010 と、走査線駆動回路 4004 に含まれるトランジスタ 4011 を例示している。図 23 (A) では、トランジスタ 4010、トランジスタ 4011 上には絶縁層 4020 が設けられ、図 23 (B) では、絶縁層 4020 の上にさらに平坦化層 4021 が設けられている。なお、絶縁層 4023 は下地層として機能する絶縁層であり、絶縁層 4022 はゲート絶縁層として機能する絶縁層である。

【0450】

本実施の形態では、トランジスタ 4010、トランジスタ 4011 として、上記実施の形態で示したトランジスタを適用することができる。

【0451】

上記実施の形態で例示したトランジスタは、電気特性変動が抑制されており、電気的に安定である。よって、図 23 (A) 及び図 23 (B) で示す本実施の形態の半導体装置を信頼性の高い半導体装置とすることができます。

【0452】

なお、図 23 (A) では、トランジスタ 4010、トランジスタ 4011 として、上記実施の形態に示したトランジスタ 100 と同様の構造を有するトランジスタを用いる場合について例示している。また、図 23 (B) では、トランジスタ 4011 として、上記実施の形態に示したトランジスタ 100 と同様の構造を有するトランジスタを用いる場合について例示している。また、図 23 (B) では、トランジスタ 4011 として、上記実施の形態に示したトランジスタ 190 と同様の構造を有するトランジスタを用いる場合について例示している。

【0453】

また、図 23 (B) では、絶縁層 4023 を介して、駆動回路用のトランジスタ 4011 の酸化物半導体層のチャネル形成領域と重なる位置に導電層 4017 を設ける構成例を示している。導電層 4017 はバックゲート電極として機能することができる。

【0454】

画素部 4002 に設けられたトランジスタ 4010 は表示素子と電気的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子を用いることができる。

【0455】

図 23 (A) は、表示素子として液晶素子を用いた液晶表示装置の一例である。図 23 (A) において、表示素子である液晶素子 4013 は、第 1 の電極層 4030、第 2 の電極層 4031、及び液晶層 4008 を含む。なお、液晶層 4008 を挟持するように配向膜として機能する絶縁層 4032、絶縁層 4033 が設けられている。第 2 の電極層 4031 は第 2 の基板 4006 側に設けられ、第 1 の電極層 4030 と第 2 の電極層 4031 とは液晶層 4008 を介して重畳する構成を有する。

【0456】

またスペーサ 4035 は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、第 1 の電極層 4030 と第 2 の電極層 4031 との間隔 (セルギャップ) を制御

10

20

30

40

50

するために設けられている。なお球状のスペーサを用いていても良い。

【0457】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スマクチック相、キューピック相、カイラルネマチック相、等方相等を示す。

【0458】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1 msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることができが可能となる。酸化物半導体層を用いるトランジスタは、静電気の影響によりトランジスタの電気的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いるトランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

【0459】

また、液晶材料の固有抵抗は、 $1 \times 10^9 \text{ } \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \text{ } \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \text{ } \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗の値は、20で測定した値とする。

【0460】

本実施の形態で用いる高純度化された酸化物半導体層を用いたトランジスタは、オフ状態における電流値（オフ電流値）を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

【0461】

液晶表示装置に設けられる保持容量の大きさは、画素部に配置されるトランジスタのリーケ電流等を考慮して、所定の期間の間電荷を保持できるように設定される。保持容量の大きさは、トランジスタのオフ電流等を考慮して設定すればよい。高純度の酸化物半導体層を有するトランジスタを用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。

【0462】

また、上述の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。よって、表示機能を有する半導体装置の画素部に上記トランジスタを用いることで、高画質な画像を提供することができる。また、同一基板上に駆動回路部または画素部を作り分けて作製することができるため、半導体装置の部品点数を削減することができる。

【0463】

液晶表示装置には、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

【0464】

10

20

30

40

50

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向（V A）モードを採用した透過型の液晶表示装置としてもよい。ここで、垂直配向モードとは、液晶表示パネルの液晶分子の配列を制御する方式の一種であり、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。垂直配向モードとしては、いくつか挙げられるが、例えば、M V A（Multi-Domain Vertical Alignment）モード、P V A（Patterned Vertical Alignment）モード、A S V（Advanced Super View）モードなどを用いることができる。また、画素（ピクセル）をいくつかの領域（サブピクセル）に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

10

【0465】

また、表示装置において、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0466】

また、画素部における表示方式は、プログレッシブ方式やインタークレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、R G B（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、R G B W（Wは白を表す）、又はR G Bに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。ただし、本発明の一態様はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

20

【0467】

また、表示装置に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子を適用することができる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機E L素子、後者は無機E L素子と呼ばれている。

【0468】

有機E L素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

30

【0469】

無機E L素子は、その素子構成により、分散型無機E L素子と薄膜型無機E L素子とに分類される。分散型無機E L素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機E L素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機E L素子を用いて説明する。

40

【0470】

発光素子は発光を取り出すために少なくとも一対の電極の一方が透明であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、どの射出構造の発光素子も適用することができる。

【0471】

図23（B）は、表示素子として発光素子を用いたE L表示装置（「発光装置」ともいう

50

)の一例である。表示素子である発光素子 4513 は、画素部 4002 に設けられたトランジスタ 4010 と電気的に接続している。なお発光素子 4513 の構成は、第 1 の電極層 4030、電界発光層 4511、第 2 の電極層 4031 の積層構造であるが、この構成に限定されない。発光素子 4513 から取り出す光の方向などに合わせて、発光素子 4513 の構成は適宜変えることができる。

【0472】

隔壁 4510 は、有機絶縁材料、又は無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第 1 の電極層 4030 上に開口部を形成し、その開口部の側壁が連續した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0473】

電界発光層 4511 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0474】

発光素子 4513 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4031 及び隔壁 4510 上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、DLC (Diamond Like Carbon) 等を形成することができる。また、第 1 の基板 4001、第 2 の基板 4006、及びシール材 4005 によって封止された空間には充填材 4514 が設けられ密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0475】

充填材 4514 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル樹脂、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。例えば充填材として窒素を用いればよい。

【0476】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（1/4 板、1/2 板）、カラーフィルタなどの光学フィルムを適宜設けてよい。また、偏光板又は円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0477】

表示素子に電圧を印加する第 1 の電極層及び第 2 の電極層（画素電極層、共通電極層、対向電極層などともいう）においては、取り出す光の方向、電極層が設けられる場所、及び電極層のパターン構造によって透光性、反射性を選択すればよい。

【0478】

第 1 の電極層 4030、第 2 の電極層 4031 は、酸化タンクス滕を含むインジウム酸化物、酸化タンクス滕を含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0479】

また、第 1 の電極層 4030、第 2 の電極層 4031 はタンクス滕 (W)、モリブデン (Mo)、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、チタン (Ti)、白金 (Pt)、アルミニウム (Al)、銅 (Cu)、銀 (Ag) 等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

【0480】

10

20

30

40

50

また、第1の電極層4030、第2の電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる 電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0481】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0482】

上記実施の形態で示したトランジスタを適用することで、表示機能を有する信頼性のよい半導体装置を提供することができる。また、上記実施の形態で示した配線構造を用いることで、配線の幅や厚さを増加させること無く配線抵抗を低減することができる。よって、高精細化や、大面積化が可能で、表示品質の良い表示機能を有する半導体装置を提供することができる。また、消費電力が低減された半導体装置を提供することができる。

10

【0483】

〔8-2-2. 画素回路の一例〕

図24に、表示装置に適用可能な画素回路の一例を示す。図24(A)は、液晶表示装置に適用可能な画素回路の一例を示す回路図である。図24(A)に示す画素回路は、トランジスタ851と、キャパシタ852と、一対の電極間に液晶の充填された液晶素子853とを有する。

20

【0484】

トランジスタ851では、ソースおよびドレインの一方が信号線855に電気的に接続され、ゲートが走査線854に電気的に接続されている。

【0485】

キャパシタ852では、一方の電極がトランジスタ851のソースおよびドレインの他方に電気的に接続され、他方の電極が共通電位を供給する配線に電気的に接続されている。

【0486】

液晶素子853では、一方の電極がトランジスタ851のソースおよびドレインの他方に電気的に接続され、他方の電極が共通電位を供給する配線に電気的に接続されている。なお、上述のキャパシタ852の他方の電極が電気的に接続する配線に与えられる共通電位と、液晶素子853の他方の電極に与えられる共通電位は、異なる電位であってもよい。

30

【0487】

図24(B)は、EL表示装置に適用可能な画素回路の一例を示す回路図である。

【0488】

図24(B)に示す画素回路は、スイッチ素子843と、トランジスタ841と、キャパシタ842と、発光素子719と、を有する。

【0489】

トランジスタ841のゲートはスイッチ素子843の一端およびキャパシタ842の一端と電気的に接続される。トランジスタ841のソースは発光素子719の一端と電気的に接続される。トランジスタ841のドレインはキャパシタ842の他端と電気的に接続され、高電源電圧VDDが与えられる。また、スイッチ素子843の他端は信号線844と電気的に接続される。発光素子719の他端は低電源電圧VSS、接地電位GNDなどの、高電源電圧VDDより小さい電位とする。

40

【0490】

なお、高電源電圧VDDとは、高電圧側の電源電位のこと。また、低電源電圧VSSとは、低電圧側の電源電位のこと。なお、接地電位GNDを高電源電圧または低電源電圧として用いることもできる。例えば高電源電圧が接地電位の場合には、低電源電圧は接地電位より低い電圧であり、低電源電圧が接地電位の場合には、高電源電圧は接地電位より高い電圧である。

【0491】

50

なお、トランジスタ 841 は、上述した酸化物半導体層を含む積層体を用いたトランジスタを用いる。当該トランジスタは、安定した電気特性を有する。そのため、表示品位が良好な E L 表示装置とすることができる。

【 0492 】

スイッチ素子 843 としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高い E L 表示装置とすることができる。また、スイッチ素子 843 として、上述した酸化物半導体層を含む積層体を用いたトランジスタを用いてもよい。スイッチ素子 843 として当該トランジスタを用いることで、トランジスタ 841 と同一工程によってスイッチ素子 843 を作製することができ、 E L 表示装置の生産性を高めることができる。

10

【 0493 】

上述したトランジスタを用いることで、消費電力が少なく、信頼性の良好な表示装置を実現することができる。

【 0494 】

〔 8 - 3 . 電子機器 〕

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD (Digital Versatile Disc) などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブル CD プレイヤー、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、コードレス電話子機、トランシーバ、携帯無線機、携帯電話、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナーなどの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA 保存用冷凍庫、放射線測定器、透析装置等の医療機器、災、煙、漏電、ガス漏れなどを検知する検知装置、近接センサ、赤外線センサ、振動センサ、放射線センサ、人感センサなどの各種センサなどが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、石油を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電気機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車 (EV)、内燃機関と電動機を併せ持ったハイブリッド車 (HEV)、プラグインハイブリッド車 (PHEV)、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。電子機器の具体例を図 25 に示す。

20

【 0495 】

図 25 (A) において、警報装置 8100 は、住宅用火災警報器であり、検出部と、MCU 8101 を有している。MCU 8101 には、上述したトランジスタを用いることができる。

30

【 0496 】

図 25 (A) において、室内機 8200 および室外機 8204 を有するエアコンディショナーには、上述したトランジスタを用いた CPU が含まれる。具体的に、室内機 8200 は、筐体 8201、送風口 8202、MCU 8203 等を有する。図 25 (A) において、MCU 8203 が、室内機 8200 に設けられている場合を例示しているが、MCU 8203 は室外機 8204 に設けられていてもよい。または、室内機 8200 と室外機 8204 の両方に、MCU 8203 が設けられていてもよい。MCU 8203 に上述したトランジスタを用いることで、エアコンディショナーを省電力化できる。

【 0497 】

図 25 (A) において、電気冷凍冷蔵庫 8300 には、上述したトランジスタを用いた M

40

50

C Uが含まれる。具体的に、電気冷凍冷蔵庫 8 3 0 0 は、筐体 8 3 0 1、冷蔵室用扉 8 3 0 2、冷凍室用扉 8 3 0 3、M C U 8 3 0 4 等を有する。図 2 5 (A) では、M C U 8 3 0 4 が、筐体 8 3 0 1 の内部に設けられている。M C U 8 3 0 4 に上述したトランジスタを用いることで、電気冷凍冷蔵庫 8 3 0 0 を省電力化できる。

【 0 4 9 8 】

図 2 5 (B) および図 2 5 (C) において、電気自動車の例を示す。電気自動車 9 7 0 0 には、二次電池 9 7 0 1 が搭載されている。二次電池 9 7 0 1 の電力は、制御回路 9 7 0 2 により出力が調整されて、駆動装置 9 7 0 3 に供給される。制御回路 9 7 0 2 は、図示しないR O M、R A M、M C U 等を有する処理装置 9 7 0 4 によって制御される。上述したトランジスタを用いたM C U が含まれることで、電気自動車 9 7 0 0 を省電力化できる

10

【 0 4 9 9 】

駆動装置 9 7 0 3 は、直流電動機もしくは交流電動機単体、または電動機と内燃機関と、を組み合わせて構成される。処理装置 9 7 0 4 は、電気自動車 9 7 0 0 の運転者の操作情報（加速、減速、停止など）や走行時の情報（上り坂や下り坂等の情報、駆動輪にかかる負荷情報など）の入力情報に基づき、制御回路 9 7 0 2 に制御信号を出力する。制御回路 9 7 0 2 は、処理装置 9 7 0 4 の制御信号により、二次電池 9 7 0 1 から供給される電気エネルギーを調整して駆動装置 9 7 0 3 の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバーターも内蔵される。

【 0 5 0 0 】

20

上述したトランジスタを用いることで、消費電力が少なく、信頼性の良好な電子機器を実現することができる。

【 0 5 0 1 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【 符号の説明 】

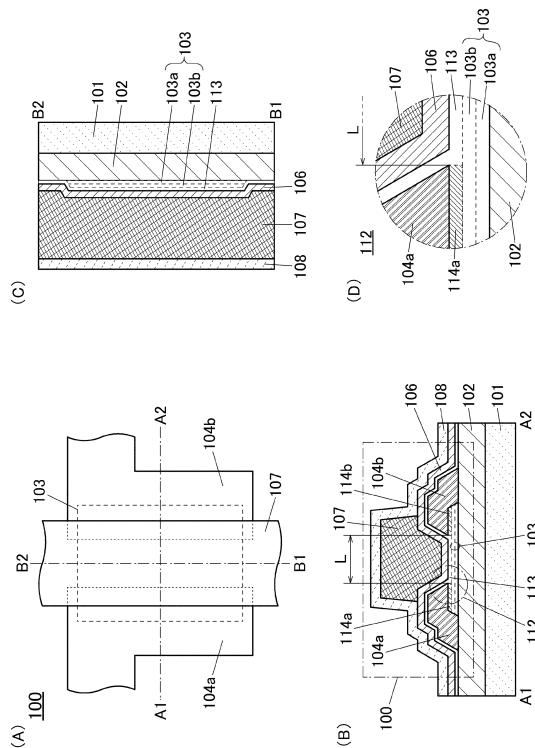
【 0 5 0 2 】

1 0 0	トランジスタ	
1 0 1	基板	
1 0 2	絶縁層	
1 0 3	積層体	30
1 0 6	絶縁層	
1 0 7	ゲート電極	
1 0 8	絶縁層	
1 0 9	絶縁層	
1 1 2	部位	
1 1 3	酸化物層	
1 1 4	低抵抗層	
1 2 1	レジストマスク	
1 2 2	酸素プラズマ	
1 2 3	レジストマスク	40
1 2 4	エッチングガス	
1 3 1	ゲート電極	
1 3 2	絶縁層	
1 5 0	トランジスタ	
1 5 5	トランジスタ	
1 5 7	部位	
1 6 0	トランジスタ	
1 7 0	トランジスタ	
1 7 2	部位	
1 7 5	トランジスタ	50

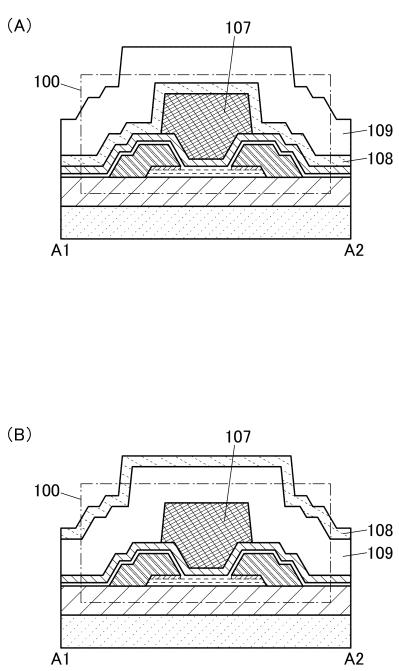
1 7 7	部位
1 8 0	トランジスタ
1 8 2	部位
1 9 0	トランジスタ
2 0 0	トランジスタ
1 0 3 a	酸化物層
1 0 3 b	酸化物半導体層
1 0 4 a	ソース電極
1 0 4 a b	ドレイン電極
1 0 4 a s	ソース電極
1 0 4 b	ドレイン電極
1 0 4 b s	ドレイン電極
1 1 4 a	低抵抗層
1 1 4 b	低抵抗層
1 7 4 a	ソース電極
1 7 4 b	ドレイン電極

10

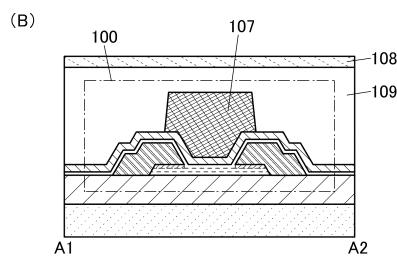
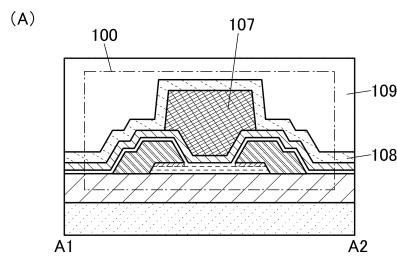
【図1】



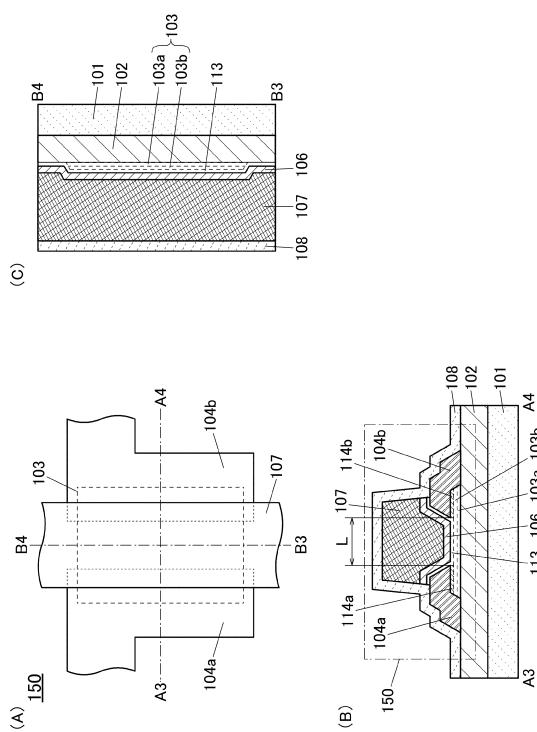
【図2】



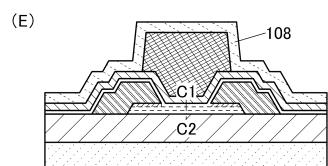
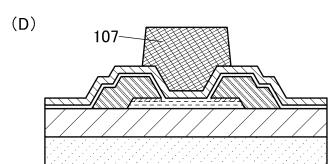
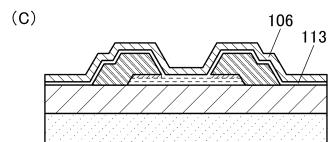
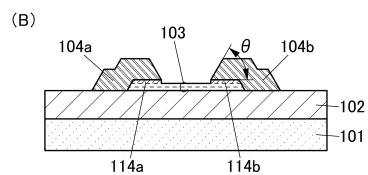
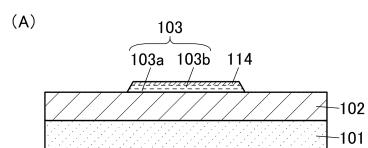
【図3】



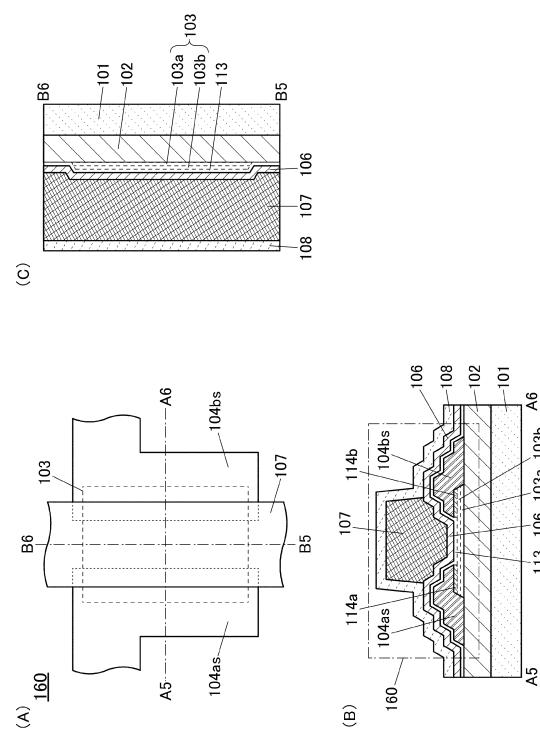
【図5】



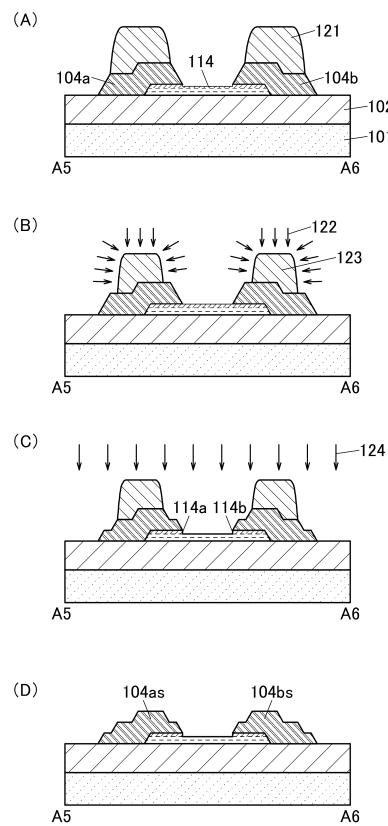
【図4】



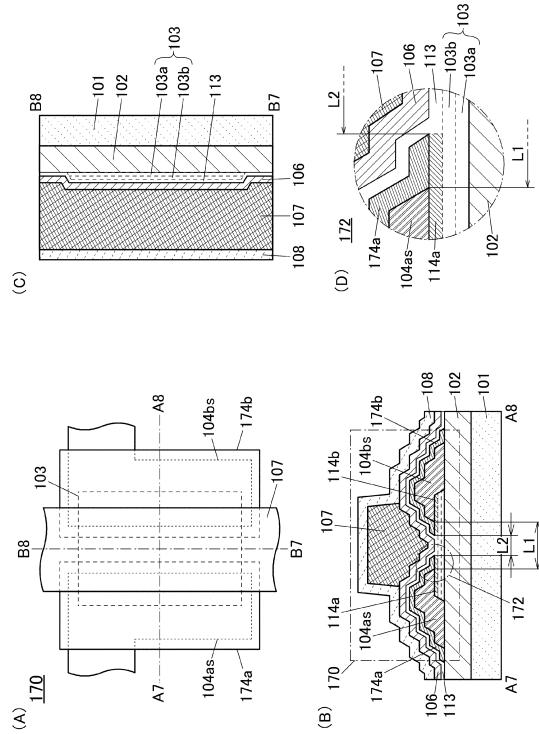
【図6】



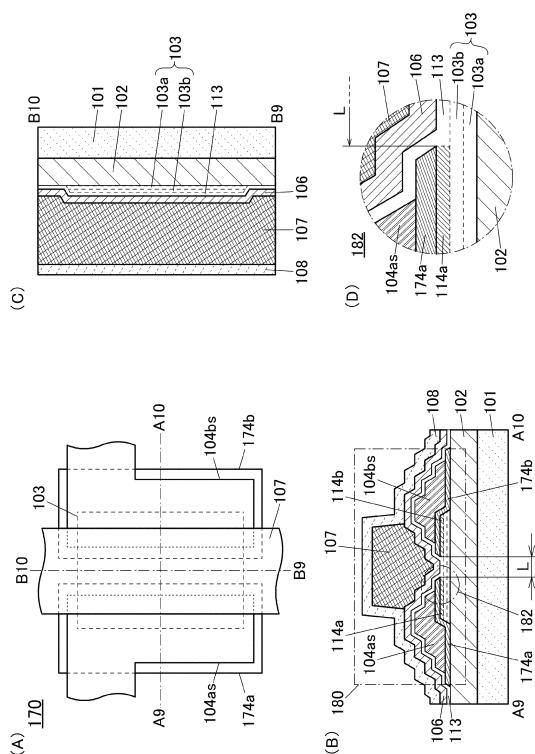
【図7】



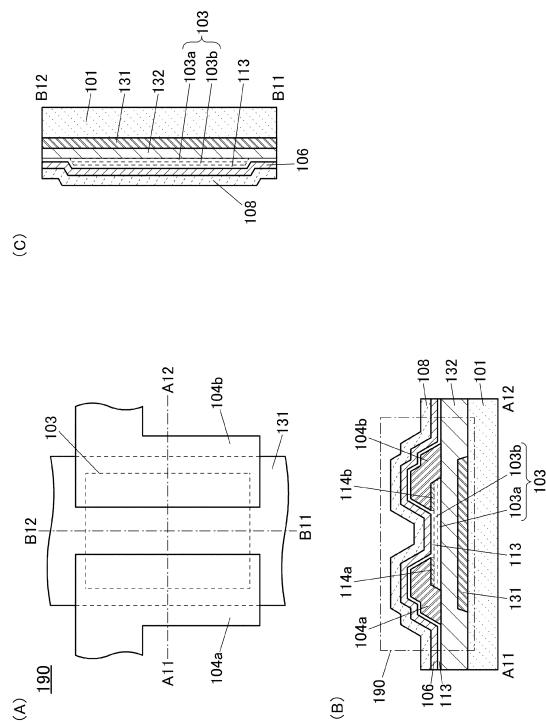
【 図 8 】



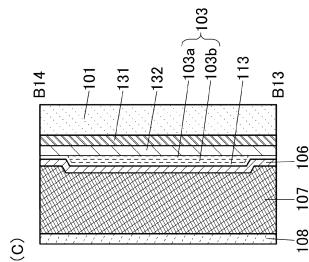
【図9】



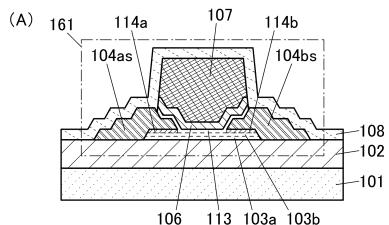
【図10】



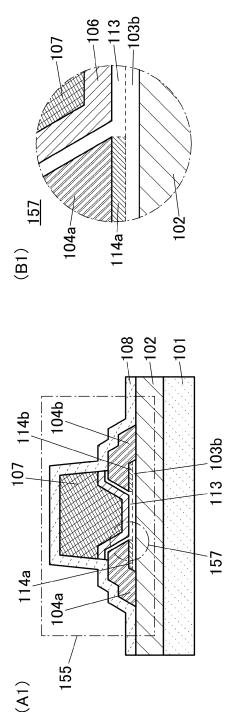
【図11】



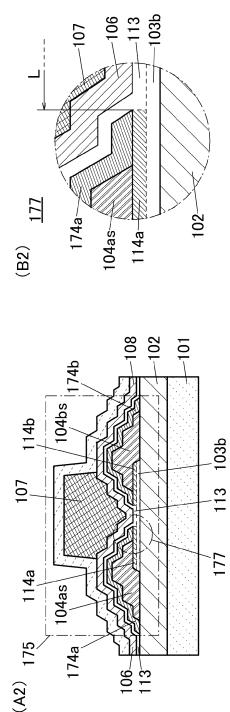
【 図 1 2 】



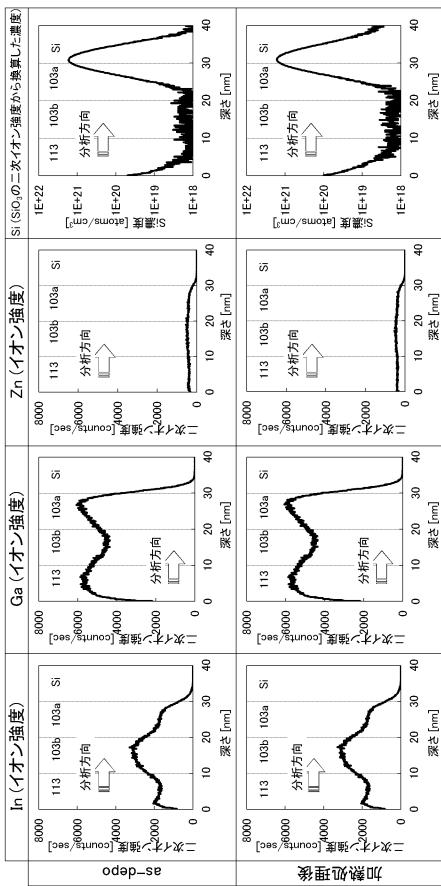
【図13】



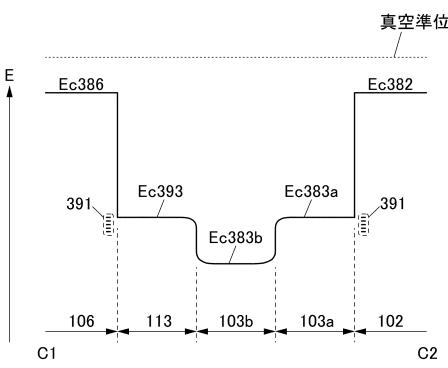
【図14】



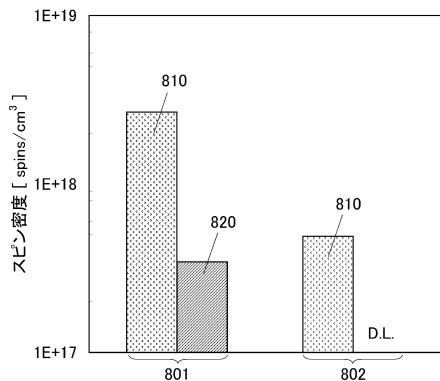
【図15】



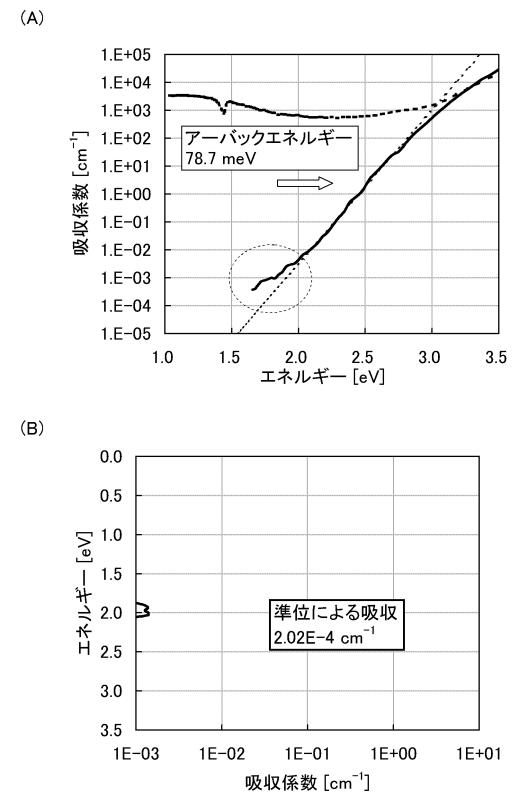
【図17】



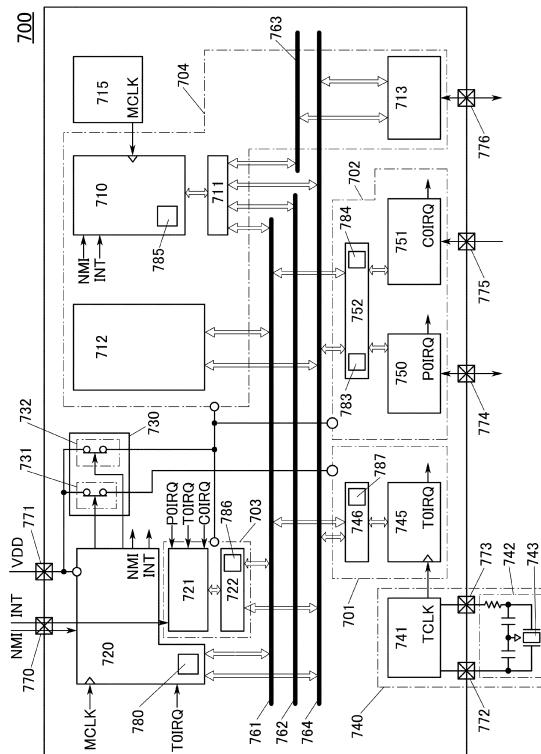
【 図 1 8 】



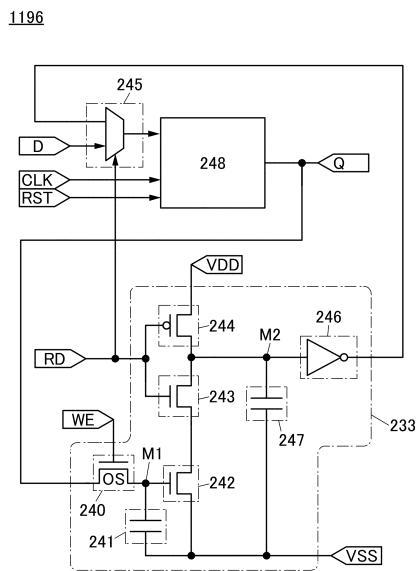
【 図 1 6 】



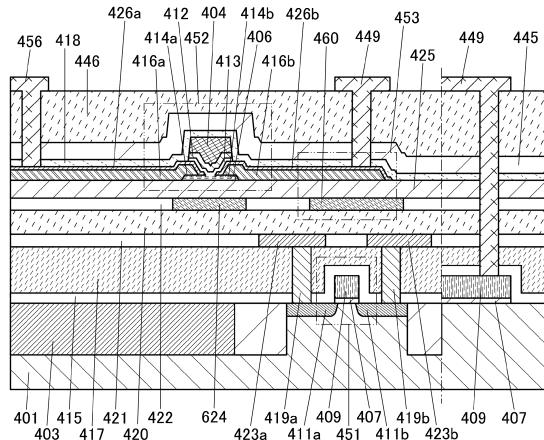
【図19】



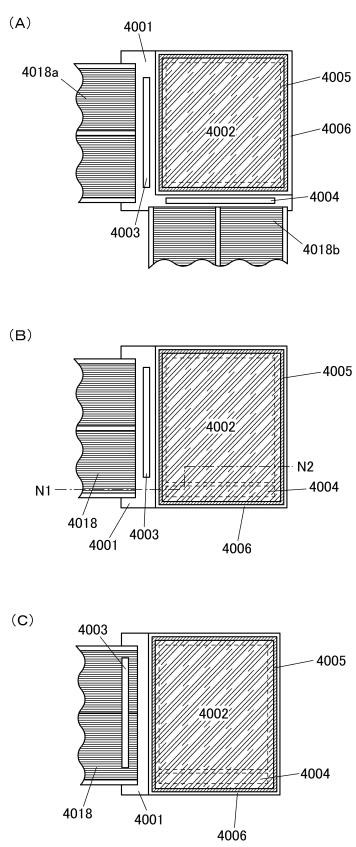
【図20】



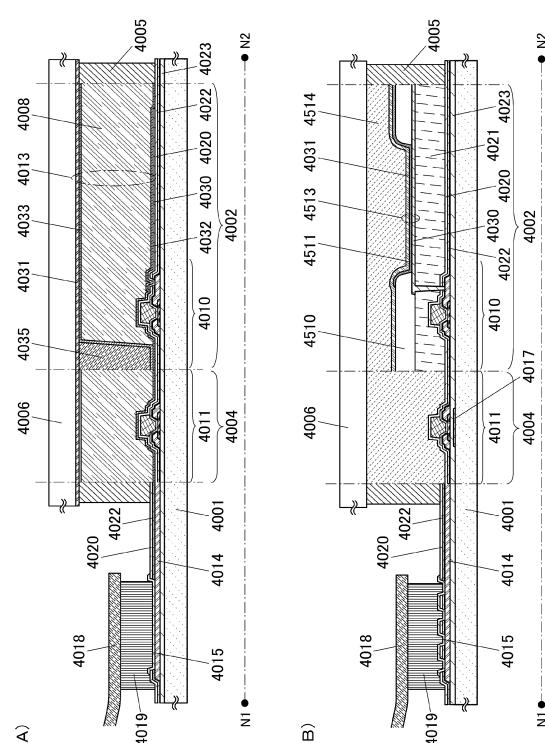
【 図 2 1 】



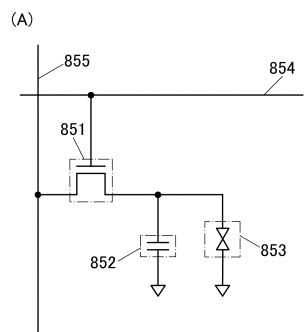
【図22】



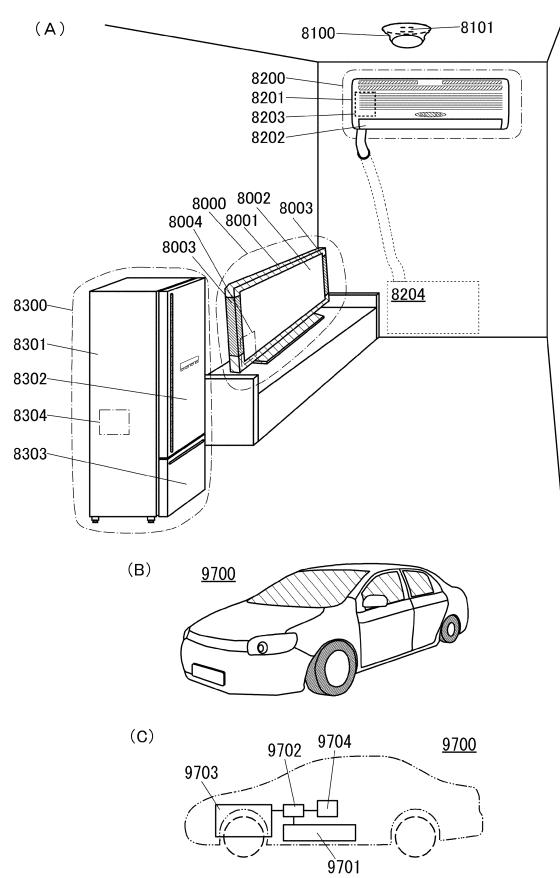
【 図 2 3 】



【図24】



【図25】



フロントページの続き

(51)Int.Cl.

F I

H 01 L 21/28 301 R
H 01 L 29/50 M

(56)参考文献 特開2012-134475 (JP, A)

特開2011-124360 (JP, A)

特開2007-150158 (JP, A)

特開2010-030824 (JP, A)

特開2006-173580 (JP, A)

特開平07-235219 (JP, A)

特開2010-067710 (JP, A)

特開2010-067954 (JP, A)

特開2007-281409 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 28

H 01 L 21 / 336

H 01 L 29 / 417

H 01 L 29 / 786