



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2012-0104441  
 (43) 공개일자 2012년09월20일

(51) 국제특허분류(Int. Cl.)  
*H01L 31/042* (2006.01) *H01L 31/0236*  
 (2006.01)  
*H01L 31/18* (2006.01) *H01L 21/3065* (2006.01)  
 (21) 출원번호 10-2012-7022312  
 (22) 출원일자(국제) 2011년01월26일  
 심사청구일자 없음  
 (85) 번역문제출일자 2012년08월24일  
 (86) 국제출원번호 PCT/FR2011/000049  
 (87) 국제공개번호 WO 2011/092401  
 국제공개일자 2011년08월04일  
 (30) 우선권주장  
 1000306 2010년01월27일 프랑스(FR)

(71) 출원인  
 폼미사리아 아 레네르지 아토미끄 에프 옥스 에너  
 지스 엘터네이티브즈  
 프랑스, 에프-75015 파리 바띠명 르 뽀낭 데 뒤  
 르블랑 25  
 (72) 발명자  
 모리스 위베르  
 프랑스 에프-38120 생-에그레브 뒤 뒤 푸르네 26  
 뒤르 피에르  
 프랑스 에프-38920 크롤 앵빠스 뒤 부아 라디에  
 26 시텍스 132에이  
 리베이롱 피에르-장  
 프랑스 에프-38330 생 이스미에 앵빠스 데 프레  
 191  
 (74) 대리인  
 특허법인코리아나

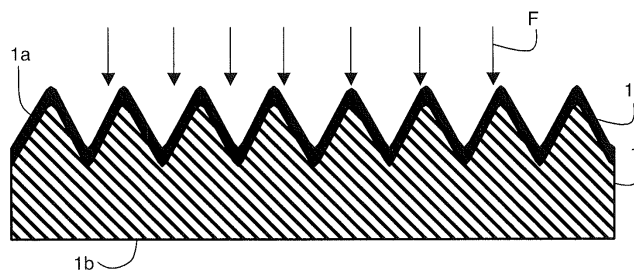
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 결정질 실리콘 기판의 표면 준비를 포함하는 광기전력 전지의 제조 방법

**(57) 요약**

본 발명은 결정질 실리콘 기판 (1) 의 표면 (1a) 의 이방성 식각 및 등방성 식각에 의한 상기 표면 (1a) 의 처리를 연속적으로 포함하는 적어도 하나의 광기전력 전지를 제조하는 방법에 관한 것이다. 등방성 식각에 의한 처리는 실리콘 산화물 박막 (11) 을 형성하고, 10nm 내지 500nm 사이의 조정된 평균 두께를 가지며, 상기 이렇게 형성된 박막을 제거하는 것을 각각 수반하는 적어도 2개의 연속 동작들을 포함한다. 기판 (1) 의 표면 (1a) 상에 실리콘 산화물 박막 (11) 을 형성하는 것을 수반하는 동작은 열적으로 활성화된 건식 산화에 의해 수행된다. 이러한 방법은 기판이 이방성 식각되면, 기판 (1) 의 표면 (1a) 의 표면 조건을 향상시키는 것을 가능하게 한다.

**대표도** - 도6



## 특허청구의 범위

### 청구항 1

적어도 하나의 광기전력 전지를 제조하는 방법으로서,

- 결정질 실리콘 기관 (1) 의 표면 (1a, 1b) 을 이방성 식각하는 단계, 및
- 상기 표면 (1a, 1b) 의 등방성 식각 처리 단계로서, 실리콘 산화물을 형성하고 상기 실리콘 산화물을 제거하는 단계를 포함하는, 상기 등방성 식각 처리 단계의

연속적 단계들을 포함하고,

상기 표면 (1) 의 등방성 식각 처리 단계가,

상기 기관 (1) 의 상기 표면 (1a, 1b) 상에 열적으로 활성화된 건식 산화에 의해 2nm 내지 500nm 사이 범위의 두께를 갖는 실리콘 산화물의 박막 (11) 을 형성하는 단계와, 상기 실리콘 산화물의 박막 (11) 을 제거하는 단계로 각각 구성된 2 개의 연속 동작들을 포함하는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

### 청구항 2

제 1 항에 있어서,

상기 열적으로 활성화된 건식 산화 동작은, 상기 기관 (1) 의 상기 표면 (1a, 1b) 에, 분위기 온도보다 더 높은 온도 및 가스성 형태로 또는 플라즈마에 함유된 산화제의 사용의 적용을 포함하는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

### 청구항 3

제 2 항에 있어서,

상기 열적으로 활성화된 건식 산화 동작은 상기 기관 (1) 의 상기 표면 (1a, 1b) 에 자외선 조사의 인가를 포함하는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

### 청구항 4

제 2 항에 있어서,

상기 열적으로 활성화된 건식 산화 동작은 마이크로파들, 무선 주파수들 또는 극초단파들에 의해 활성화되는 플라즈마 처리를 포함하는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

### 청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 실리콘 산화물 박막 (11) 의 제거 동작은 건식 방법에 의해 수행되는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

### 청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 실리콘 산화물 박막 (11) 의 제거 동작은 습식 방법에 의해 수행되는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

### 청구항 7

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 실리콘 산화물 박막 (11) 의 제거 동작은 환원 매체에서의 처리에 의해 수행되는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

**청구항 8**

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 2 개의 연속 동작들은 상기 등방성 식각 처리 동안 적어도 한 번 반복되는 동작 사이클을 구성하는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

**청구항 9**

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 등방성 식각 처리 동안 형성된 상기 실리콘 산화물은 전체 두께가 10nm 보다 큰 것을 특징으로 하는, 광기전력 전지의 제조 방법.

**청구항 10**

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 표면이 등방성 식각에 의해 처리되면, 상기 기관 (1) 의 상기 표면 (1a, 1b) 은,

- 패시베이션 층 (2),
- 미리 결정된 도핑 유형을 갖는 비정질 또는 마이크로결정질 실리콘의 박층 (3, 8),
- 전극 (4), 및
- 집전기 (current collector) (5)

를 연속적으로 포함하는 다층 스택에 의해 적어도 부분적으로 커버되는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

**청구항 11**

제 10 항에 있어서,

상기 비정질 또는 마이크로결정질 실리콘의 박층 (3) 의 상기 도핑 유형은 상기 결정질 실리콘 기관 (1) 의 도핑 유형과 반대인 것을 특징으로 하는, 광기전력 전지의 제조 방법.

**청구항 12**

제 10 항에 있어서,

상기 비정질 또는 마이크로결정질 실리콘의 박층 (8) 의 상기 도핑 유형은 상기 결정질 실리콘 기관 (1) 의 도핑 유형과 동일한 것을 특징으로 하는, 광기전력 전지의 제조 방법.

**청구항 13**

제 10 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 기관 (1) 과 상이한 성질 및/또는 결정질 구조 및/또는 몰폴로지를 갖는 재료로 형성된 층 (12a, 12b) 을 성막하는 단계를 포함하고,

상기 성막하는 단계는 상기 표면 (1a, 1b) 의 이방성 식각 단계와 상기 등방성 식각 처리 단계 사이에서 수행되고, 상기 층은 상기 실리콘 산화물 박막 (11) 을 제거하는 동작 동안 제거되는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

**청구항 14**

제 10 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 패시베이션 층 (2) 은 진성 비정질 실리콘의 적어도 하나의 박층 (2) 에 의해 형성되는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

**청구항 15**

제 10 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 패시베이션 층 (2) 은 상기 기관 (1) 의 상기 표면 (1a, 1b) 과 직접 콘택하는 결정질 실리콘 산화물의 적어도 하나의 박층에 의해 형성되는 것을 특징으로 하는, 광기전력 전지의 제조 방법.

## 명세서

### 기술분야

[0001] 본 발명은 다음의 연속적인 단계들을 포함하는 적어도 하나의 광기전력 전지를 제조하는 방법에 관한 것이다:

[0002] - 결정질 실리콘 기관의 표면을 이방성 식각하는 단계, 및

[0003] - 상기 표면의 등방성 식각 처리의 단계로서, 실리콘 산화물을 형성하고 상기 실리콘 산화물을 제거하는 단계를 포함하는, 상기 등방성 식각 처리 단계.

### 배경기술

[0004] 광기전력 전지는 수신된 광자를 전기 신호로 직접 변환하는 것을 가능하게 하는 다층 스택으로 이루어진다.

[0005] 예를 들어, 이러한 광기전력 전지는 광기전력 이종접합 전지일 수 있다. 이종접합은 특히 소정의 도핑 유형 (n 또는 p) 을 갖는 결정질 실리콘 기관에 의해 그리고 기관과 반대 유형의 비정질 실리콘층에 의해 형성된다.

게다가, 이종접합의 계면 특성들을 개선하고 이로써 변환 효율을 개선하기 위하여, 이종접합을 형성하는 2개의 엘리먼트들 사이에, 일반적으로 "패시베이션" 층이라 칭하는 중간층이 배열된다. 특허출원 US2001/0029978에 나타낸 바와 같이, 이 중간층은 일반적으로 진성 비정질 실리콘의 층이다.

[0006] 일 예로서, 도 1은 특허출원 US2001/0029978에 기재된 바와 같이, 종래 기술에 따른 광기전력 이종접합 전지의 특정 실시형태를 도시한다. 광기전력 이종접합 전지는 예를 들어 n 도핑되고 전면 (1a) 을 포함하며,

[0007] - 진성 비정질 실리콘의 층 (2),

[0008] - 기관 (1) 과 함께 이종접합을 형성하는, 예를 들어 p 도핑된 비정질 실리콘의 층 (3),

[0009] - 예를 들어 인듐 틴 옥사이드 (또는 ITO) 로 이루어진 전극 (4), 및

[0010] - 예를 들어 빗살 (comb) 형태의 집전기 (current collector) (5)

[0011] 에 의해 균일하게 연속적으로 커버되는 결정질 실리콘 기관 (1) 을 포함한다.

[0012] 또한, 기관 (1) 의 전면 (1a) 은 전지의 광학적 한정을 증가시키기 위해 텍스처링 (또는 구조화) 된다.

[0013] 도 1에서, 기관 (1) 의 배면 (1b) 은 평탄하며 전극 (6) 으로 커버된다. 그러나, 다른 경우들에 있어서, 도 2에 나타낸 바와 같이, 기관은 텍스처링되고 다층 스택에 의해 커버될 수도 있다. 이로써, 본 실시형태에서, 기관 (1) 의 배면 (1b) 은,

[0014] - 진성 비정질 실리콘의 층 (7),

[0015] - 매우 고농도로 도핑된, 예를 들어 n 도핑된 비정질 실리콘의 층 (8),

[0016] - 예를 들어 ITO로 이루어진 전극 (9), 및

[0017] - 빗살 형태를 갖는 집전기 (10)

[0018] 에 의해 균일하게 연속적으로 커버된다.

[0019] 이와 같이, 도 1 및 도 2에 도시된 바와 같은 광기전력 이종접합 전지와 같은 광기전력 전지들은, 적어도 일면이 텍스처링된 기관 상으로 복수의 매우 미세한 층들 (약 몇 나노미터 내지 수십 나노미터) 의 균일한 성막 (deposition) 을 필요로 한다. 박층이 성막되는 면의 릴리프를 따르기 위하여, 컨폼 성막 (conform deposition) 이라 칭하는 박층의 균일한 성막에 의해, 박층의 성막이 실질적으로 일정한 두께를 가짐을 이해한다.

[0020] 그러나, 적어도 일면 상의 기관을 텍스처링하는 단계는, 이러한 층들의 우수한 형태 (conformantion) (또는 균일한 분포) 를 용이하게 하지 않는다.

- [0021] 또한, 광기전력 전지들의 분야에서, 도 1 및 도 2에 나타난 바와 같은 피라미드의 형태로 기관의 적어도 일면을 텍스처링하는 것이 일반적이다. 그러나, 획득된 피라미드의 측면들은 종종 매우 거칠고 피라미드의 정점들 및 골짜기들은 가파른데 (곡률의 반경 < 30nm), 이는 텍스처링된 면 상에 연속적으로 성장된 층들의 완벽한 형태에 불리하다.
- [0022] 일반적으로, 텍스처링은 수산화칼륨 (KOH) 또는 수산화나트륨 (NaOH) 과 같은 알칼리 용액을 사용하여 이방성 식각의 적어도 일 단계에 의해 이롭게 수행된다. 또한, 거칠기 현상을 제한하기 위해 알칼리 수용액에 이소프로판올 (IPA) 과 같은 계면 활성제를 첨가하는 것이 제안되었다.
- [0023] 일 예로서, 특허출원 US2001/0029978에서, 기관 (1) 은 그 표면을 세정한 다음 세정된 기관을 NaOH와 같은 알칼리 용액에 플러깅함으로써 텍스처링되며, 알칼리 용액에는 상기 이방성 식각을 수행하기 위해 이소프로판올 (IPA) 이 첨가될 수 있다.
- [0024] 또한, 이방성 식각으로 인한 특정 문제들을 회피하기 위해, 특허출원 US2001/0029978은 이방성 식각 단계 이후에, 이방성 식각 단계 동안 형성된 2 개의 피라미드들 사이의 구역들 (도 1의 구역들 "b") 을 라운딩 오프하는 단계를 수행하는 것을 제안한다. 이를 위해, 플루오르화 수소산 (HF) 및 질산 (HNO<sub>3</sub>) 을 1:20의 비율로 함유하는 수용액에 대략 30초 동안 침지하는 것에 의해, 등방성 식각 단계를 수행하기 전에, 기관이 일련의 세정 단계들로 처리된다. 그 다음, 기관은 세정 단계들 (DI 워터로도 알려진 탈이온수, 그 다음 HF + 워터, 그 다음 DI 워터) 로 처리된다. 이로써, HF 및 HNO<sub>3</sub>의 혼합물에 의한 등방성 식각 단계는, 알려진 방식으로, 질산의 산화 작용에 의해 실리콘 산화물을 형성하고 플루오르화 수소산에 의한 어택 작용에 의해 상기 실리콘 산화물을 식각 프로세스에 의해 제거하는 것을 허용한다. 특허 출원 US2001/0029978에서 언급된 대안에 따라, 수용성 혼합물은 CH<sub>3</sub>COOH를 또한 함유할 수 있다.
- [0025] 그러나, 특허 출원 US2001/0029978에서 제안된 습식 등방성 식각은 매우 중요하다 (약 2 $\mu$ m 이상). 즉, 그것은 나노미터 레벨 상의 피라미드의 측면의 평활화를 획득하는 것을 가능하게 하지도 않고 피라미드들의 정점을 라운드 오프 하지도 않는다.
- [0026] 특허 출원 US2001/0029978에서, HF 및 HNO<sub>3</sub>를 이용한 습식 등방성 식각이 가스 결합 CF<sub>3</sub>/O<sub>2</sub> 을 사용한 건식 식각으로 대체하는 것이 제안된다. 그러나, 이러한 식각 동작은 표면 상에, 심지어 패시베이션의 문제들을 야기할 수 있는 표면 내에서 결정질 장애를 발생함으로써 그렇게 처리된 표면 품질을 손상시킨다.
- [0027] 특허 출원 WO-A-2009/120631에서, 광기전력 전지들의 제조는 예를 들어 피라미드의 형태를 갖는 패턴들을 형성하기 위해 표면 텍스처링 단계를 포함한다. 게다가, 특허 출원 WO-A-2009/120631에 기재된 방법은, 표면 산화 동작 다음의 식각 동작으로 수행되는 포스트 세정 단계를 또한 포함할 수 있다. 산화 동작은 1 부피% 정도의 HCl과 함께 1ppm 내지 30ppm 사이의 오존을 함유하는 탈이온수 배스와 같은 수용액에 침지함으로써 화학적으로 수행된다. 그러면, 이러한 화학적 산화 동작은 매우 미세한 산화물을 생성하는데, 그 두께는 처리되는 텍스처링된 표면 상에서 균질하지 않다. 이러한 산화물의 식각에 의한 제거는 표면을 세정하기에 충분하지만, 목적이 텍스처 각도를 라운드 오프하거나 소프트하게 하는 것인, 텍스처를 평활하게 하기에는 여전히 불충분하다. 이것은 특허 출원 WO-A-2009/120631에서, 획득된 텍스처의 각도를 라운드 오프하거나 소프트하게 하는 것을 원하는 경우, 이러한 포스트 세정의 단계 전에 특히 평활화의 특정 단계가 수행되기 때문이다. 특허 출원 US2001/0029978에서와 같이, 이러한 평활화의 가능한 단계는 상술한 단점들을 갖는 습식 프로세스로 수행된다.

## 발명의 내용

### 해결하려는 과제

- [0028] 본 발명의 목적은 적어도 하나의 광기전력 전지를 제조하는 방법을 위하여, 결정질 실리콘 표면이 이방성으로 식각되면, 종래 기술에서 제안된 등방성 식각에 비해, 결정질 실리콘 표면의 표면 품질을 향상시키는 것을 가능하게 하는 등방성 식각 처리를 제안하는 것이다. 특히, 피라미드의 형태로 텍스처링된 기관 표면을 위하여, 본 발명의 목적은 상기 피라미드들의 측면들을 평활화할 뿐만 아니라 2개의 피라미드들 사이의 정점들 및 구역들을 라운드 오프하는 것이다.

### 과제의 해결 수단

- [0029] 본 발명에 따라, 이러한 목적은 다음의 연속적인 단계들:
- [0030] - 결정질 실리콘 기판의 표면을 이방성 식각하는 단계, 및
- [0031] - 상기 표면의 등방성 식각 처리의 단계로서, 실리콘 산화물을 형성하고 상기 실리콘 산화물을 제거하는 단계를 포함하는, 상기 등방성 식각 처리 단계
- [0032] 를 포함하고,
- [0033] 상기 표면의 등방성 식각 처리 단계가, 기판의 상기 표면 상에 열적으로 활성화된 건식 산화에 의해 2nm 내지 500nm 사이의 두께를 갖는 실리콘 산화물의 박막을 형성하는 단계와, 상기 실리콘 산화물의 박막을 제거하는 단계로 각각 구성된 2개의 연속 동작들을 포함하는 것을 특징으로 하는 적어도 하나의 광기전력 전지를 제조하는 방법에 의해 달성된다.
- [0034] 본 발명의 전개에 따라, 2개의 연속 동작들은 등방성 식각 처리 동안 적어도 한 번 반복되는 동작 사이클을 구성한다.

**도면의 간단한 설명**

- [0035] 다른 장점들 및 특성들은, 비한정적인 예시들로서 주어지고 부가적 도면들에서 나타낸 본 발명의 특정 실시형태들의 다음의 설명으로부터 보다 명백하게 나타나게 된다.
- 도 1 및 도 2는 종래 기술에 따른 광기전력 전지의 제 1 및 제 2 실시형태들을 개략적인 단면들로 각각 나타낸다.
- 도 3 내지 도 9는 본 발명에 따른 적어도 하나의 광기전력 전지를 제조하는 특정 방법의 상이한 단계들을 도시한다.
- 도 10 내지 도 15는 본 발명에 따른 실시형태의 대안들을 도시한다.

**발명을 실시하기 위한 구체적인 내용**

- [0036] 광기전력 이중접합 전지와 같은 적어도 하나의 광기전력 전지의 특정 실시형태의 다양한 단계들이 도 3 내지 도 9에 도시된다.
- [0037] 예를 들어 n 도핑된 결정질 실리콘 기판 (1) 의 실질적으로 평탄한 전면 (1a) 은, 초기에 이방성 식각 동작으로 처리된다.
- [0038] 특히, 도 3 및 도 4에서, 기판 (1) 의 전면 (1a) 의 이방성 식각은 피라미드들의 형태로 전면 (1a) 을 구조화 (또는 텍스처링) 하는 것을 가능하게 한다. 예를 들어, 이방성 식각은 수산화칼륨 (KOH) 및 이소프로판올 (IPA) 을 함유하는 수용성 이방성 식각 용액에 80°C 의 온도에서 30분 동안 기판 (1) 의 전면 (1a) 을 침지함으로써 수행된다. 또한, 도 3 및 도 4에 나타낸 바와 같이, 기판 (1) 의 전면 (1a) 만이 구조화되는 경우, 배면 (1b) 을 보호하기 위해 KOH-함유 수용액에 의한 이방성 식각에 대해 내성이 있는, 보호 마스크 (예를 들어, SiO<sub>2</sub> 또는 Si<sub>3</sub>N<sub>4</sub>) 로 상기 배면 (1b) 이 커버될 수 있다.
- [0039] 표면에 대해 수직으로 배향되는 결정축 (100) 을 갖는 실리콘 기판에 대하여, 획득된 피라미드들의 측면들 "f" 은, 일반적으로 면 (1a) 의 메인 평면 "P", 즉 상기 면이 텍스처링되기 전의 전면 (1a) 의 평면과 54.7° 의 각도를 이룬다. 또한, 수용액의 농도 및 식각 시간에 따라, 피라미드의 폭은 0.1μm 내지 40μm 의 사이의 범위이고, 이윽게는 1μm 내지 30μm 사이의 범위이다.
- [0040] 기판 (1) 의 전면 (1a) 의 일 부분의 확대도 (A) 에 의해 도시된 바와 같이, 이방성 식각 동작 이후의 상기 면 (1a) 의 표면 품질, 그리고 특히 피라미드들의 측면들 "f" 은 거칠고 (도 5에서 점선으로 개략적으로 나타냄), 2 개의 피라미드들 사이의 구역들 "b" 처럼 피라미드들의 정점들 "s" 은 가파르다 (특히 30nm 보다 낮은 곡률 반경을 가짐).
- [0041] 이방성 식각 동작 이후의 면 (1a) 의 표면 품질을 개선하기 위해, 그리고 특히 이윽게 생성된 피라미드들의 측면들 "f" 을 평활화하고 피라미드들 사이의 "b" 로 칭하는 구역들과 상기 피라미드들의 정점들 "s" 을 라운드 오프하기 위해, 제어된 두께를 갖는 실리콘 산화물의 박막을 형성하는 단계와, 이렇게 형성된 상기 박막을 바람직하게 균질한 방식으로 제거하는 단계로 각각 이루어진, 적어도 2개의 연속 동작들을 포함하는 등방성 식각 처

리를 수행하는 것이 제안된다. 또한, 실리콘 산화물의 박막의 두께는 2nm 내지 500nm 사이에 포함되고, 피라미드들의 적어도 측면들 "f" 상에서 우선적으로 균질하고 또한 이륙계는 모든 처리된 표면 상에서 균질하다.

[0042] 기관 (1) 의 면 (1a) 상의 실리콘 산화물의 박막의 형성은 열적으로 활성화된 건식 산화 동작에 의해, 즉 상기 면을 분위기 온도보다 높은 온도로 유지하면서 비액체 산화제에 의해 기관의 면을 산화함으로써 수행된다. 산화제는 특히 가스성 형태이거나 플라즈마 내에 함유될 수 있다. 예를 들어, 산화제는 산소, 오존, 물 단독 또는 혼합물일 수 있다. 특히, 건식 산화의 열적 활성화는 적어도 분위기 온도보다 높은 온도, 이륙계는 40°C 이상의 온도에 의해 정의된 열적 버짓 (thermal budget) 을 적용함으로써 기관의 면에 에너지를 제공하는 것으로 구성된다. 또한, 이러한 열적 버짓은 실리콘 산화물의 박막을 생성하는 온도에서의 빠르고 충분히 높은 상승과, 실리콘 기관의 표면 또는 체적 특성의 저하를 회피하기 위해 매우 높지 않은 최종 온도 사이에서의 절충을 획득하는 것을 가능하게 하도록 이륙계 적용된다.

[0043] 또한, 특정의 제어된 두께를 갖는 실리콘 산화물의 박층을 형성한 다음 박층을 제거하는 것은,

[0044] - 기관의 텍스처링된 면의 표면 거칠기를 강하게 감소시킴으로써 상기 기관 면 상으로 직접 성막하고자 하는 박층과의 계면에서 에너지 상태 밀도의 최소 레벨을 보장하고,

[0045] - 이후에 성막되는 박층의 보다 우수한 형태를 획득하는 것을 가능하게 하는 구조물들 (피라미드들의 정점들 "s" 및 구역들 "b") 의 각도들을 라운드 오프하는 것을 가능하게 한다.

[0046] 더욱이, 처리는 텍스처링된 실리콘 기관들 상에서 특히 중요한 파티클성 오염물들을 대부분 제거하는 것을 또한 가능하게 한다.

[0047] 보다 상세하게, 등방성 식각은 다양한 방식으로 수행될 수 있다.

[0048] 특히, 열적으로 활성화된 건식 산화 동작은 열산화, 즉 가스성 형태로 또는 플라즈마에 함유된 적어도 하나의 산화제에 의해 그리고 분위기 온도보다 높은 온도, 이륙계는 40°C 이상의 온도를 기관의 면에 적용하는 것에 의한 산화일 수 있다. 특히, 적용된 온도는 1100°C 보다 낮다. 보다 상세하게, 이러한 동작은 등방성 산화를 획득하기 위해 "빠른 열적 프로세스" 또는 "RTP" 로도 칭하는 빠른 처리 프로세스에 의해 수행된다. 이로써, 건식 산화 동작은 온도에 있어서 매우 빠른 상승 (예를 들어 100°C/s 내지 200°C/s 사이) 을 가지고 수행되는 것이 바람직하다. 반면, 기관의 체적 특성들 및 처리된 표면 품질의 손상을 회피하기 위해, 온도에서의 이러한 상승의 끝에서 획득되는 최종 온도는 적당한 것이 바람직하다.

[0049] 또한, 열적으로 활성화된 건식 산화 동작은 0.15µm 내지 0.4µm 범위, 이륙계는 대략 254nm 및 대략 185nm 의 파장을 갖는 자외선 조사를 인가함으로써 보조되고 획득될 수 있다. 동일한 방식으로, 예를 들어 무선 주파수, 마이크로파 또는 극초단파에 의해 활성화된 플라즈마 처리에 의해 또한 보조되거나 획득될 수 있다. 플라즈마는, 예를 들어 유도성 플라즈마 또는 반응성 이온 식각 (RIE) 플라즈마와 같은 플라즈마일 수 있다. 산화제는 산소, 오존, 수증기를 함유할 수 있는 가스 또는 가스들의 혼합물일 수 있으며, 또는 분자, 이온, 라디칼형 또는 원자 형태의 다른 산화 가스종들 단독 또는 조합일 수 있다. 산화 동작 동안의 전체 압력은 임의의 유형일 수 있다: 그것은 대기중일 수 있고, 대기중보다 낮을 수도 있고 또는 대기중보다 높을 수도 있다. 또한, 전체 압력에 따라 산화제를 구성하는 각각의 종들의 부분 압력(들)을 변화시키는 것이 가능하다. 특히, 각 종들의 부분 압력(들)은 원하는 산화 속도에 따라 조정될 수 있다.

[0050] 제 1 실시예에 따라, 산화 동작은 산소 및 오존의 가스 혼합물 (특히 O<sub>2</sub>에 대해 3 내지 4%의 O<sub>3</sub>) 로 약 400°C의 온도에서 수행되는 열산화이다. 이러한 동작은, 상기 필름이 제거되면, 표면 품질을 향상시키기에 충분한 두께를 갖는 실리콘 산화물의 박막을 획득하는 것을 가능하게 한다. 하나는, 예를 들어, 450°C의 온도에서 3시간 동안 획득될 수 있는 10nm 보다 큰 두께를 이륙계 선택하게 된다. 보다 큰 두께는 온도 및/또는 프로세스 시간을 증가시킴으로써 획득될 수 있다. 예를 들어, 하나는 550°C의 온도에서 4시간 동안 25nm의 실리콘 산화물의 필름을 획득할 수 있다. 등방성 식각 처리의 동작 동안 생성된 실리콘 산화물 필름의 두께를 증가시키기 위해, 또한 하나는 이후에 상세하게 설명되는 바와 같이, 연속적인 산화 및 제거 동작들로 이루어진 동작 사이클을 반복할 수 있다. 실리콘 산화물의 두께는 동일한 온도에서 산소만으로 산화에 의해 획득된 필름에 비해 4배이다.

[0051] 제 2 실시예에 따라, 산화 동작은 산소 및 오존의 가스 혼합물 (O<sub>2</sub>에 대해 대략 2ppm의 O<sub>3</sub>) 로 UV 조사에 의해 보조되고 700°C 내지 800°C 사이에서 수행되는 열산화일 수 있다. 이러한 동작은, 상기 필름이 제거되면, 표면 품질을 향상시키기에 충분한 두께를 갖는 실리콘 산화물의 박막을 획득하는 것을 가능하게 한다. 실리콘

콘 산화물의 두께는 산소만으로의 산화에 의해 획득된 필름에 비해 50% 내지 100% 만큼 증가된다. 생성된 실리콘 산화물의 필름의 두께가 10nm 보다 크도록 선택되는 것이 이롭다. 예를 들어, 800°C에서 140분 동안의 산화에 의해, 하나는 약 25nm의 두께를 갖는 실리콘 산화물의 필름을 획득한다. 동일한 기간 동안, 하나는 900°C에서 60nm, 700°C에서 5nm의 두께를 갖는 필름을 획득한다. 또한, 등방성 식각 처리 동작 동안 생성된 실리콘 산화물의 두께는 이후 상세하게 설명되는 바와 같이 산화 및 제거 동작들로 이루어진 동작 사이클에 의해 증가될 수 있다.

[0052] 제 3 실시예에 따라, 산화 동작은 마이크로파 (2.45GHz) 에 의해 활성화되고 DC 마그네트론 편광 (100V) 에 의해 보조되며 대략 100mT의 산소 부분압력을 가지는 플라즈마 처리에 의해 획득되는 산화일 수 있다. 이 경우에 있어서, 형성된 산화물 박막은, 표면 온도가 대략 600°C로 유지되는 실리콘 플레이트의 표면 상에서 1시간의 산화 기간 동안 약 400nm의 두께를 갖는다.

[0053] 산화 동작 바로 다음의 실리콘 산화물의 박막을 제거하는 동작은, 건식 방법, 예를 들어 반응성 이온 식각 (RIE) 또는 습식 방법, 예를 들어 기관 (1) 의 면 (1a) 을 염화 수소산 (HCl) 및 플루오르화 수소산 (HF), 가능하게는 완충제 (BHF) 를 함유하는 액체 용액에 침지함으로써 수행될 수 있다. 또한, 제거 동작은 환원 매체에서의 처리에 의해, 예를 들어 수소 분위기 하에서 가열 처리를 수행함으로써 수행될 수 있다. 제거 단계들의 이러한 예들은 균질한 제거 단계들, 즉 텍스처에도 불구하고, 표면 하부에 대해 일정한 제거 속도로의 제거로 알려져 있다.

[0054] 또한, 2개의 연속 동작들은 적어도 한번 반복될 수 있는 동작 사이클을 구성하는 것이 이롭다. 이러한 반복은, 형성된 실리콘 산화물의 박막이 약 2nm 두께를 가지는 경우 특히 이로울 수 있다. 실리콘 산화물 박막의 산화 및 제거의 2개의 연속 동작들의 반복은 상기 방법을 최적화하는 것을 가능하게 하고 특히 시간을 절약하는 것을 가능하게 한다.

[0055] 또한, 본 실시형태에 있어서, 등방성 식각 처리 동안 형성된 실리콘 산화물의 전체 (또는 누적된) 두께는 10nm 보다 큰 것이 이롭고, 20nm 보다 큰 것이 바람직하다. 실리콘 산화물의 전체 두께에 의해, 본 실시형태에 있어서, 처리 동안 연속적으로 형성된 실리콘 산화물의 박막의 두께의 합은, 제거 동작들에 의해 방해되지 않게 된다고 가정하면 다양한 연속 산화 동작들 전체에 의해 형성된 실리콘 산화물의 박막의 두께에 보다 정확하게 상응함을 이해한다.

[0056] 또한, 동작 사이클이 반복될 필요가 없는 경우, 처리의 단일의 열적으로 활성화된 건식 산화 동작 동안 형성된 실리콘 산화물의 박막의 두께는, 이로운 방식으로 10nm 보다 크고, 바람직하게는 20nm 보다 크다. 또한, 하나는 이러한 경우에 있어서, 등방성 식각 처리 동안 형성된 실리콘 산화물의 전체 두께를 유추에 의해 증명하게 된다.

[0057] 하나 이상의 동작 사이클들을 수행하는 것은, 텍스처의 광학적 오염을 매우 우수한 레벨로 유지하면서, 피라미드들의 측면들을 평활하는 것에 의해 그리고 피라미드들의 정점들의 지오메트리 뿐만 아니라 피라미드들 사이의 구역들을 변경하는 것에 의해, 매우 작은 실리콘의 식각을 수반한다.

[0058] 기관 (1) 의 면 (1a) 의 등방성 식각 처리는, 예를 들어 도 6 내지 도 8에 도시된다. 도 6에서 화살표들 (F) 은 기관 (1) 의 면 (1a) 상에 실리콘 산화물 박막 (11) 을 형성하고 피라미드들의 정점들 "s" 및 피라미드들 사이의 골짜기 구역들 "b" 의 라운딩 오프를 허용하는 열적으로 활성화된 건식 산화 동작을 나타낸다. 동작이 완료되면, 실리콘 산화물 박막 (11) 이 제거된다 (도 7). 도 8에 나타난 확대도 A'는, 박막 (11) 이 제거되면, 피라미드들의 정점들 "s" 및 피라미드들 사이의 골짜기 구역들 "b" 의 이러한 라운딩 오프를 도시할 뿐만 아니라 측면들 "f" (도 8의 모든 라인들) 의 평활화를 도시한다.

[0059] 그 다음, 도 9에 도시된 바와 같이, 등방성 식각 동작이 수행된 후 상기 기관 상에 다음을 연속적으로 포함하는 다층 스택이 형성될 수 있다:

[0060] - 도 9에서 패시베이션층을 형성하는 진성 비정질 실리콘 (2) 의 박층,

[0061] - 결정질 실리콘 기관의 도핑 유형과 반대의 도핑 유형을 갖는 비정질 실리콘 (3) 의 박층,

[0062] - 전극 (4), 및

[0063] - 집전기 (5).

[0064] 또한, 결정질 실리콘 기관 (1) 의 전면 (1a) 은, 등방성 식각 처리 이후 그리고 다층 스택의 형성 전에, 적어도

일 단계의 세정 및 일 단계의 건조로 처리될 수 있다. 이에 따라, 일 예로서, 기판 (1) 의 면 (1a) 은, 표면의 새로운 오염을 회피하기 위해, 낮은 HF 함량을 갖는 플루오르화 수소산 및 염화 수소산 (HF/HCl) 의 혼합물에 의한 처리로 수행될 수 있다. 또한, 세정 처리는 플루오르화 수소산 (HF) 증기에 의해 수행된 후, 산소에 의한 표면의 임의의 오염을 회피하기 위해 산소가 없는 탈기수 (deaerated water) 와 HCl의 혼합물로 린싱 처리가 수행될 수 있다. 이러한 오염은 표면의 우수한 패시베이션에 해로운 자연 산화물의 조기 형성을 수반하게 된다. 또한, 피라미드들 상으로의 임의의 오염성 성막을 회피하기 위해 건조 동작이 이어질 수 있다. 건조 동작은, 예를 들어, 기화된 이소프로판올 (IPA) 에 의해 또는 약한 표면 장력을 갖는 액체 내에서, 또는 탈기수와 같은 액체 용액에 침지한 후 바람직하게는 가열된 IPA의 용액에 침지함으로써 수행될 수 있다. 그 후, 획득된 광기전력 전지의 아웃풋을 감소시키지 않으면서, 예를 들어 플라즈마 강화 화학기상 증착 (PECVD) 에 의한 다층 스택의 형성이 건조 프로세스 이후 30분까지 수행되는 것이 이롭다.

[0065] 도 1 및 도 2에 나타난 실시형태들에서와 같이, 기판 (1) 의 배면 (1b) 은 적어도 하나의 박층에 의해 커버되는 것이 이로우 수 있다. 예를 들어, 그것은 도 1에 나타난 바와 같은 전극 (6) 또는 도 2에 나타난 바와 같은 다층 스택에 의해 커버될 수 있다.

[0066] 또한, 본 발명은 특히 기판 (1) 의 도핑 유형 및 비정질 실리콘의 층들 (3 및 8) 에 대하여 상술한 실시형태들에 한정되지 않는다. 따라서, 본 발명은 n 도핑된 결정질 실리콘의 기판 (1) 과, 각각 p 및 n 도핑된 비정질 실리콘의 층들 (3 및 8) 을 포함하는 실시형태들에 한정되지 않는다. 광기전력 전지의 이중접합을 형성하기 위해 비정질 실리콘의 층 (3) 은 기판 (1) 과 반대의 도핑 유형을 갖고, 기판 (1) 의 배면 (1b) 의 측면 상의 비정질 실리콘의 층 (8) 은 특히 기판 (1) 과 동일한 도핑 유형을 갖는다. 게다가, 박층들 (3 및 8) 은 비정질 실리콘으로 이루어지는 대신 마이크로결정질 실리콘으로 또한 이루어질 수 있다.

[0067] 동일한 방식으로, 상술한 실시형태들은 기판 (1) 의 전면 (1a) 의 이방성 식각 및 등방성 식각 처리를 예시한다. 그러나, 이러한 식각들은 기판 (1) 의 전면 (1a) 상에서 사용되는 것이 아니라 그 배면 (1b) 또는 심지어 기판 (1) 의 전면 (1a) 에 부가하여 기판 (1) 의 배면 (1b) 상에서 사용될 수 있다. 이 경우, 배면 (1b) 상의 다층 스택의 비정질 또는 마이크로결정질 실리콘의 박층 (8) 은 결정질 실리콘 기판 (1) 과 동일한 도핑 유형을 갖는다.

[0068] 또한, 대안의 실시형태에 따라, 기판 (1) 과 상이한 성질 및/또는 결정질 구조 및/또는 몰폴로지를 갖는 재료의 층을 성막하는 단계가 이방성 식각 및 등방성 식각 처리 단계 사이에서 수행될 수 있다. 이러한 층은 비정질 실리콘 또는 다결정질 실리콘 또는 실리콘 산화물 또는 HfO<sub>2</sub> 또는 Al<sub>2</sub>O<sub>3</sub> 또는 ZrO<sub>2</sub> 와 같은 높은 유전율 (하이 K) 을 갖는 산화물로 형성될 수 있다. 예를 들어, 이것은 화학기상 증착 (CVD) 의 기술에 의해, 적절한 온도 (예를 들어 100°C 내지 800°C) 에서 성막될 수 있다.

[0069] 이와 같이, 일 예로서, 도 10 내지 도 12에서, 비정질 또는 다결정질 실리콘에 의해 형성된 층 (12a) 이 이방성 식각 및 등방성 식각 처리의 단계 사이에서 기판 (1) 의 전면 (1a) 상에 성막된다. 이 경우에 있어서, 열적으로 활성화된 건식 산화 동작은, 실리콘 산화물 박막 (11) 을 형성하기 위해, 상기 층 (12) 이 성막되는 기판의 면 (1a) 과 동시에 층 (12a) 의 실리콘은 산화시키는 것을 가능하게 한다.

[0070] 도 13 내지 도 15에 있어서, 상기 면이 텍스처링되면, 실리콘 산화물에 의해 형성된 층 (12b) 은 기판 (1) 의 전면 (1a) 상에 성막된다. 이 경우, 열적으로 활성화된 건식 산화 동작은, 기판 (1) 과 층 (12b) 사이에 실리콘 산화물 박막 (11) 을 형성하기 위해, 층 (12b) 을 통해 기판 (1) 의 전면을 산화시키는 것을 가능하게 한다.

[0071] 모든 경우들에 있어서 그리고 도 12 및 도 15에 도시된 바와 같이, 층 (12a 또는 12b) 은 실리콘 산화물 박막 (11) 의 제거 동작 동안 제거된다. 또한, 박층 (12a 또는 12b) 은, 예를 들어 약 백 나노미터 정도로 충분히 두꺼워야 한다. 그것은 등방성 식각에 의해 처리된 표면의 표면 품질의 향상을 지원하려는 것으로 의도된다. 특히, 그것은 이러한 층의 성막, 피라미드들의 정점 "s" 및 피라미드들 사이의 구역들 "b" 에서의 라운딩 오프 동안 형성된다. 이로써, 피라미드들의 측면들 "f"에 대한 구역들 "b" 및 정점들 "s" 의 산화와 상이한 측면들 "f"의 산화가 가능하며, 이는 측면들 "f"의 평활화 및 구역들 "b" 과 정점들 "s"의 라운딩 오프를 향상시킨다.

[0072] 일 예로서, 표면에 대해 수직으로 배향된 결정축 <100> 을 갖는 초기의 기판은, 표면 상에, 정점들 "s" 과 피라미드들 사이의 골짜기들 "b" 을 갖고, 그 각각이 일반적으로 30nm의 평균 곡률 반경을 갖는 피라미드들을 갖도록 텍스처링된다. 그것은 기판일 수 있다. 약 100nm의 두께를 갖는 실리콘의 층 (12a) 은 500 내지 620

℃의 온도들의 범위에서 상기 표면 상에 LPCVD에 의해 성막된다. 이와 같이 성막된 실리콘은 그 후 비정질 또는 다결정질이다. 또한, 필요에 따라, 이 층 (12a) 은 도핑될 수 있다. 층 (12a) 의 성막 이후에, 층 (12a)에 의해 형성된 정점들 "s" 및 골짜기들 "b" 은 라운딩 오프되는 것을 유념해야 한다. 이러한 라운딩 오프는 피라미드들의 골짜기들을 갖는 라인에서 약 200nm의 곡률 반경을 획득하는 것을 가능하게 한다. 또한, 사용자의 필요에 따라, 원하는 곡률 반경에 따라 층 (12a) 의 두께를 조정하는 것이 가능하다. 그 후, 이러한 층은 예를 들어 스팀 ("스팀" 모드) 하에서 950℃의 산화에 의해 열적으로 산화되어 그 모든 두께를 소모한다. 그 후, 산화 동안, 실리콘의 층 (12a) 의 표면 상의 라운딩 오프의 존재는, 피라미드들 사이의 골짜기들을 갖는 라인에서 약 200 내지 300nm의 곡률 반경을 갖는 피라미드들의 정점들 및 골짜기들에서, 초기 실리콘 기판의 표면 상에 라운딩 오프를 유도한다. 산화물 제거 이후, 이 라운딩된 형상이 유지된다.

[0073] 다른 실시형태의 대안에 따라, 도 9에서 진성 비정질 실리콘 (2) 의 박층으로 형성된 패시베이션층은 사전에 등방성 식각에 의해 처리된 기판의 표면 상에 직접 성막된 결정질 실리콘 산화물의 박층에 의해 적어도 형성된다.

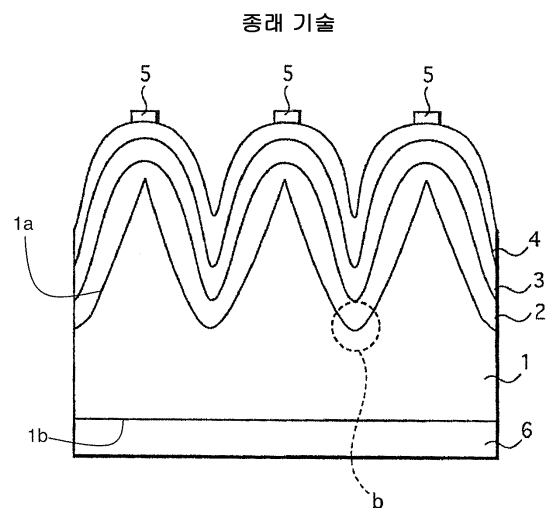
이러한 결정질 실리콘 산화물의 박층은, 기판 (1) 의 표면의 라디칼 표면 산화에 의해, 예를 들어 산소로부터 및/또는 오존 및/또는 물로부터 획득된 산소처리된 라디칼들에 의해 획득되는 것이 이로우며, 그것은 제거되지 않는다. 그것은 2nm 이하의 두께를 갖는 것이 이롭고, 비정질 실리콘 산화물로 커버될 수 있다. 일 예로서, 기판 (1) 의 표면 부분의 산화는 산소 및 160nm 내지 400nm 사이의 파장 범위에서의 자외선 조사로부터 수행될 수 있다. 사용되는 자외선 조사의 파장은, 예를 들어 대략 185nm 이고, 대략 254nm 이다. 이러한 특정 실시형태에 있어서, 산소는 자외선 조사의 작동 하에서 프리 라디칼 0 로 분해하고, 오존 및 상기 프리 라디칼들은 실리콘의 표면을 산화하고 결정질 실리콘 산화물의 적어도 박층을 형성한다.

[0074] 또한, 다른 실시형태의 대안에 있어서, 패시베이션층은 결정질 실리콘 산화물의 박층에 의해 그리고 진성 비정질 실리콘의 박층에 의해 형성될 수 있으며, 상기 박층은 결정질 실리콘 산화물의 박층과 비정질 또는 마이크로 결정질 실리콘의 박층 사이에 성막된다.

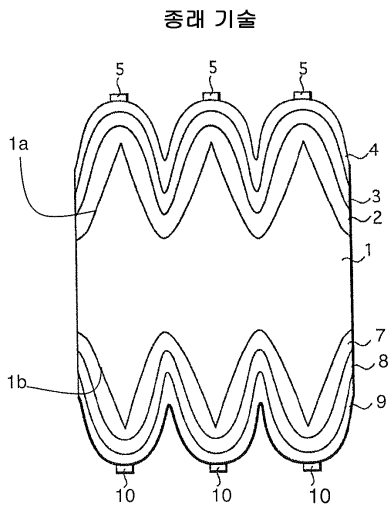
[0075] 마지막으로, 상술한 실시형태들은 광기전력 전지에 관한 것이다. 그러나, 이러한 다양한 실시형태들에 노출된 등방성 식각 처리는, 임의의 유형의 광기전력 전지들을 제조하고, 보다 상세하게는 광기전력 이중접합 전지들을 제조하기 위해, 이방성 식각의 단계 이전에 결정질 실리콘 기판의 표면에 적용될 수 있다.

**도면**

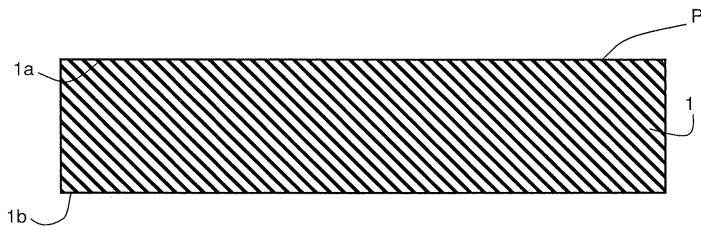
**도면1**



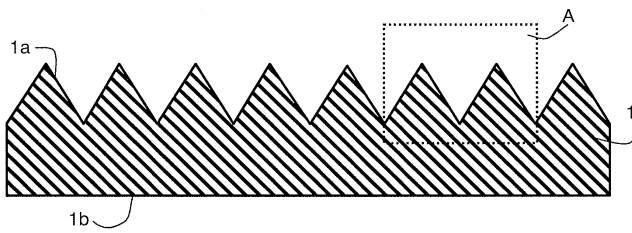
도면2



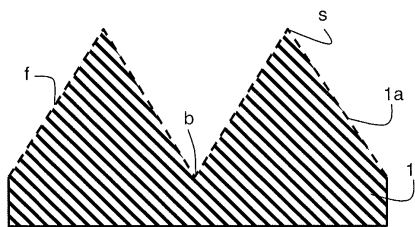
도면3



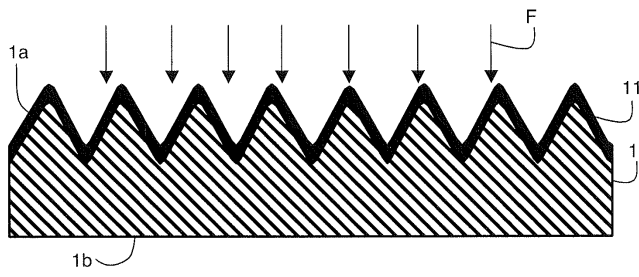
도면4



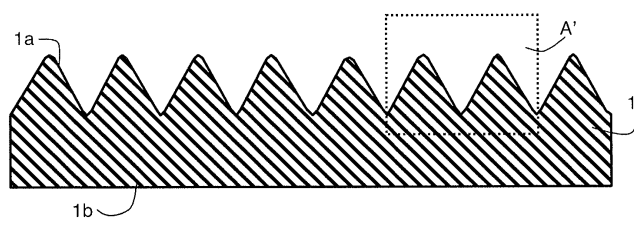
도면5



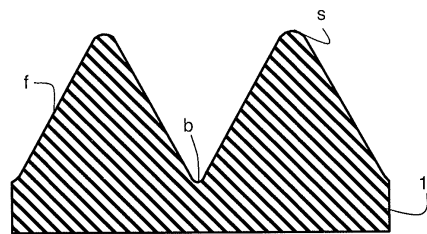
도면6



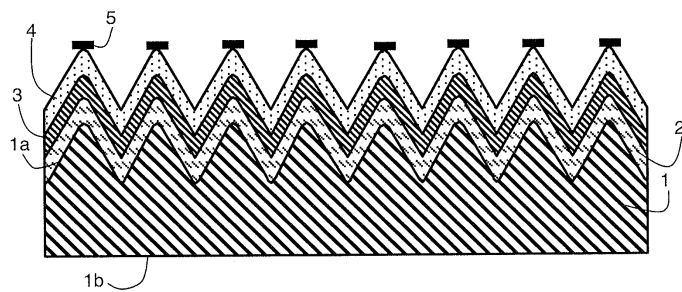
도면7



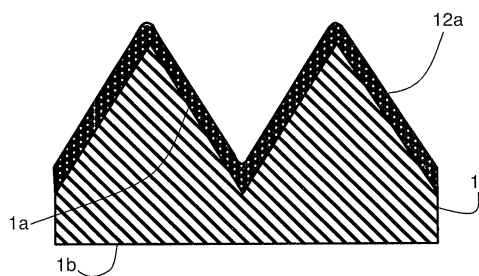
도면8



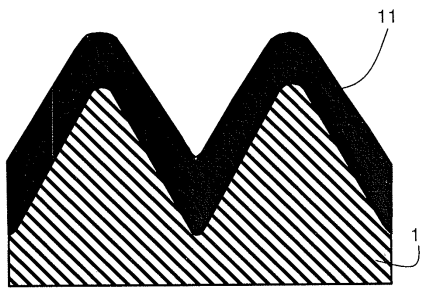
도면9



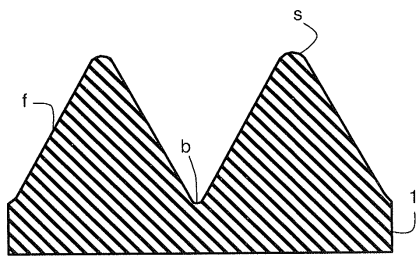
도면10



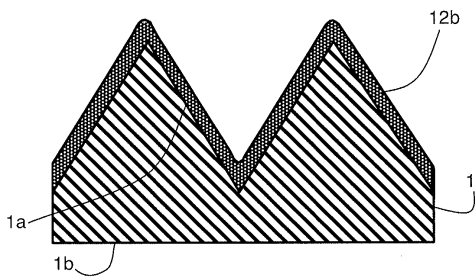
도면11



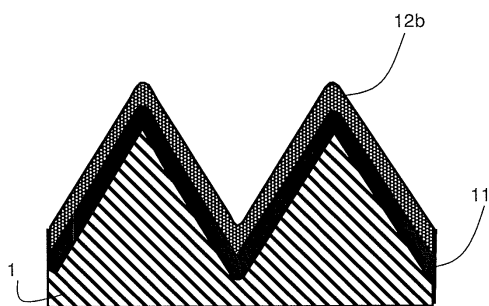
도면12



도면13



도면14



도면15

