



(12) 发明专利

(10) 授权公告号 CN 103140920 B

(45) 授权公告日 2016.05.04

(21) 申请号 201180047023.2

G02F 1/167(2006.01)

(22) 申请日 2011.09.21

G09F 9/30(2006.01)

H01L 29/786(2006.01)

(30) 优先权数据

2010-217410 2010.09.28 JP

2011-068149 2011.03.25 JP

(85) PCT国际申请进入国家阶段日

2013.03.28

(86) PCT国际申请的申请数据

PCT/JP2011/071482 2011.09.21

(87) PCT国际申请的公布数据

W02012/043338 JA 2012.04.05

(73) 专利权人 凸版印刷株式会社

地址 日本东京

(72) 发明人 今村千裕 宫入由香里 小山浩晃

(74) 专利代理机构 北京鸿元知识产权代理有限公司 11327

代理人 许向彤 陈英俊

(56) 对比文件

CN 101617408 A, 2009.12.30,

JP 特开 2009-275272 A, 2009.11.26,

JP 特开 2009-272427 A, 2009.11.19,

CN 101548383 A, 2009.09.30,

JP 特开 2007-220817 A, 2007.08.30,

审查员 吴艳艳

(51) Int. Cl.

H01L 21/336(2006.01)

G02F 1/1368(2006.01)

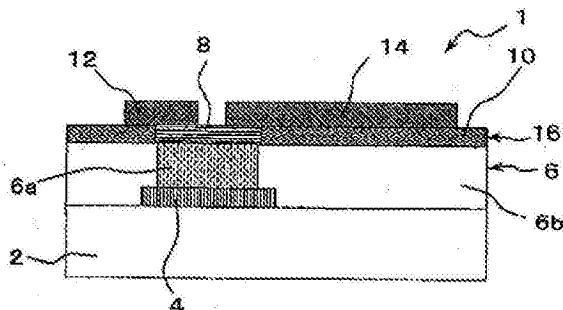
权利要求书2页 说明书24页 附图6页

(54) 发明名称

薄膜晶体管、其制造方法以及装备有该薄膜晶体管的图像显示装置

(57) 摘要

一种薄膜晶体管,在绝缘基板上至少包括:栅电极;栅极绝缘层;源电极;漏电极;包含半导体区和绝缘区的金属氧化物层,半导体区和绝缘区中的每一个由相同的金属氧化物材料组成;和绝缘保护层。半导体区包括在源电极与漏电极之间的区域,且其覆盖源电极和漏电极中的每一个的一部分。半导体区形成在栅极绝缘层与绝缘保护层之间以与它们中的至少一层邻接。该半导体的电导率高于绝缘区的电导率。



1. 一种薄膜晶体管,在绝缘基板上,至少包括:

栅电极;

栅极绝缘层;

源电极;

漏电极;

金属氧化物层,其包含半导体区和绝缘区,半导体区和绝缘区中的每一个由相同的金属氧化物材料组成;和

绝缘保护层,

其中:

所述半导体区包括在源电极与漏电极之间的区域,且其覆盖源电极和漏电极中的每一个的一部分;

该半导体区形成在栅极绝缘层与绝缘保护层之间以与栅极绝缘层和绝缘保护层中的至少一层邻接;

与半导体区邻接的栅极绝缘层或绝缘保护层的一部分,在其中含有氢原子,且将栅极绝缘层或绝缘保护层的该部分中含有的氢原子浓度设定在  $1 \times 10^{20}/\text{cm}^3$  至  $5 \times 10^{22}/\text{cm}^3$  的范围内,包括端点值;

不与该半导体区邻接的栅极绝缘层或绝缘保护层的另一部分,在其中含有氢原子,且将栅极绝缘层或绝缘保护层的该另一部分中含有的氢原子浓度设定为低于  $1 \times 10^{20}/\text{cm}^3$ 。

2. 根据权利要求 1 的薄膜晶体管,其中:

栅电极形成在绝缘基板上;

栅极绝缘层形成在栅电极和绝缘基板上;

金属氧化物层形成在栅极绝缘层上;

源电极和漏电极形成在金属氧化物层上以与半导体区邻接;

绝缘保护层形成在源电极、漏电极和金属氧化物层上;

栅极绝缘层由邻接于金属氧化物层中的半导体区的第一栅极绝缘层和邻接于金属氧化物层中的绝缘区的第二栅极绝缘层组成;

第一栅极绝缘层中含有的氢原子浓度被设定在  $1 \times 10^{20}/\text{cm}^3$  至  $5 \times 10^{22}/\text{cm}^3$  的范围内,包括端点值;

第二栅极绝缘层中含有的氢原子浓度被设定为低于  $1 \times 10^{20}/\text{cm}^3$ 。

3. 根据权利要求 2 的薄膜晶体管,其中:

第一栅极绝缘层由氮化硅组成。

4. 根据权利要求 2 的薄膜晶体管,其中:

第二栅极绝缘层包括氧化硅、氮化硅、氮氧化硅和氧化铝中的任意一种。

5. 根据权利要求 1 的薄膜晶体管,其中:

栅电极形成在绝缘基板上;

栅极绝缘层形成在栅电极和绝缘基板上;

金属氧化物层形成在栅极绝缘层上;

源电极和漏电极形成在栅极绝缘层上;

金属氧化物层形成在栅极绝缘层、源电极和漏电极上;

绝缘保护层形成在源电极、漏电极和金属氧化物层上；

绝缘保护层由邻接于金属氧化物层中的半导体区的第一绝缘保护层和邻接于金属氧化物层中的绝缘区的第二绝缘保护层组成；

第一绝缘保护层中含有的氢原子浓度被设定在  $1 \times 10^{20}/\text{cm}^3$  至  $5 \times 10^{22}/\text{cm}^3$  的范围内，包括端点值；

第二绝缘保护层中含有的氢原子浓度被设定为低于  $1 \times 10^{20}/\text{cm}^3$ 。

6. 根据权利要求 5 的薄膜晶体管，其中：

第一绝缘保护层由氮化硅组成。

7. 根据权利要求 5 的薄膜晶体管，其中：

第二绝缘保护层包括氧化硅、氮化硅、氮氧化硅和氧化铝中的任意一种。

8. 根据权利要求 1 至 7 中的任意一项的薄膜晶体管，其中：

将所述半导体区的导电率设置在从  $10^7 \text{S/cm}$  至  $10^3 \text{S/cm}$  的范围内，包括端点值；和将所述绝缘区的导电率设置为小于  $10^7 \text{S/cm}$ 。

9. 根据权利要求 1 至 7 中的任意一项的薄膜晶体管，其中：

所述金属氧化物材料包括铟、锌和镓中的任何一种。

10. 根据权利要求 1 至 7 中的任意一项的薄膜晶体管，其中：

所述绝缘基板为树脂基板。

11. 一种图像显示装置，包括：

装备有根据权利要求 1 至 7 中的任意一项的薄膜晶体管的薄膜晶体管阵列；和图像显示介质。

12. 根据权利要求 11 的图像显示装置，其中：所述图像显示介质为电泳显示介质。

## 薄膜晶体管、其制造方法以及装备有该薄膜晶体管的图像显示装置

### 技术领域

[0001] 本发明涉及薄膜晶体管、制造薄膜晶体管的方法以及装备有薄膜晶体管的图像显示装置。

### 背景技术

[0002] 通过具有非晶硅或多晶硅沟道层的薄膜晶体管来驱动的有源矩阵 FPD(平板显示器)是普通 FPD 的主流。

[0003] 高品质的非晶硅或多晶硅的生产需要大约 300°C 的高沉积温度。由于该原因,为了制造柔性器件,必须使用非常昂贵的高吸水性膜,即,很难与高热阻的聚胺亚酰胺共同使用的膜,作为它们的基板。

[0004] 近些年来,积极地研究利用有机半导体材料的薄膜晶体管。

[0005] 由于这种有机半导体材料可以在印刷工艺中制造,而不需要利用真空工艺,因此,潜在地可以降低成本制造它们。

[0006] 有机半导体材料还有一个优点是,它们可以安装在柔性塑料基板上。

[0007] 然而,有机半导体材料具有非常低的迁移率和低抗老化能力,因此他们不被广泛应用。

[0008] 在这样的情况下,最近人们开始关注能够在低温下形成的金属氧化物半导体材料。

[0009] 在非专利文献 1 中公开了一种薄膜晶体管,其通过在 PET(聚对苯二甲酸乙二醇酯)基板上形成非晶 InGaZnO 材料,一种在低温下可形成的金属氧化物半导体材料的实例,作为沟道层来制造,具有包括大约  $10\text{cm}^2/\text{Vs}$  的迁移率的优良特性。

[0010] 具有这种高迁移率的晶体管可以在室温下制造,使得能够在诸如 PET 的便宜且广泛引用的塑料基板上形成晶体管。这导致增强了对轻且持久柔韧的显示器的广泛应用的期望。

[0011] 引用列表:

[0012] 非专利文献 1

[0013] K. Nomura, et al, Nature, 432, 48, 8, 2004

### 发明内容

[0014] 发明要解决的技术问题

[0015] 如在非专利文献 1 中所述,通常使用湿法蚀刻来涂敷金属氧化物半导体材料作为沟道层。

[0016] 然而,湿法蚀刻会带来缺点,诸如低的微制造精度,和由于干法工艺的必然性导致的低产量。

[0017] 为了处理这些缺点,本发明旨在提供一种利用金属氧化物半导体材料的底栅薄膜

晶体管,由于除去了用于半导体层的构图工艺,因此其可以高质量且低成本地制造。本发明旨在提供制造这种底栅薄膜晶体管的方法,和提供装备有该底栅薄膜晶体管的图像显示装置。

[0018] 解决技术问题的手段

[0019] 根据本发明第一个方面的发明方案是一种薄膜晶体管。该薄膜晶体管包括:在绝缘基板上的至少一个栅电极、一个栅极绝缘层、源电极、漏电极、包括半导体区和绝缘区的金属氧化物层和绝缘保护层,半导体区和绝缘区中的每一个由相同的金属氧化物材料组成。半导体区包括在源电极与漏电极之间的区域,且覆盖在源电极和漏电极中的每一个的一部分上。该半导体区形成在栅极绝缘层与绝缘保护层之间以邻接栅极绝缘层与绝缘保护层中的至少一层。邻接于半导体区的栅极绝缘层或绝缘保护层的一部分在其中含有氢原子。将栅极绝缘层或绝缘保护层的这部分中含有的氢原子浓度设置在从  $1 \times 10^{20}/\text{cm}^3$  至  $5 \times 10^{22}/\text{cm}^3$  的范围内,包括端点值。不与半导体区邻接的栅极绝缘层或绝缘保护层的另一部分在其中含有氢原子。将栅极绝缘层或绝缘保护层的该另一部分中含有的氢原子浓度设置为低于  $1 \times 10^{20}/\text{cm}^3$ 。

[0020] 接着,根据本发明第二个方面的发明方案是根据第一个方面的薄膜晶体管。在根据第二个方面的薄膜晶体管中,栅电极形成在绝缘基板上,且栅极绝缘层形成在栅电极和绝缘基板上,金属氧化物层形成在栅极绝缘层上,且源电极和漏电极形成在金属氧化物层上以邻接半导体区。绝缘保护层形成在源电极、漏电极和金属氧化物层上,且栅极绝缘层由邻接于金属氧化物层中的半导体区的第一栅极绝缘层和邻接于金属氧化物层中的绝缘区的第二栅极绝缘层组成。将第一栅极绝缘层中含有的氢原子浓度设置在从  $1 \times 10^{20}/\text{cm}^3$  至  $5 \times 10^{22}/\text{cm}^3$  的范围内,包括端点值。将第二栅极绝缘层中含有的氢原子浓度设置为低于  $1 \times 10^{20}/\text{cm}^3$ 。

[0021] 接着,根据本发明第三个方面的发明方案是根据本发明第二个方面的薄膜晶体管,其中,第一栅极绝缘层由氮化硅组成。

[0022] 本发明第四个方面中所述的发明方案是根据第二或第三个方面的薄膜晶体管,其中,第二栅极绝缘层包括氧化硅、氮化硅、氧氮化硅和氧化铝中的任何一种。

[0023] 本发明第五个方面中所述的发明方案是根据本发明第一个方面的薄膜晶体管,其中,栅电极形成在绝缘基板上,且栅极绝缘层形成在栅电极和绝缘基板上。金属氧化物层形成在栅极绝缘层上,源电极和漏电极形成在栅极绝缘层上,且金属氧化物层形成在栅极绝缘层、源电极和漏电极上。绝缘保护层形成在源电极、漏电极和金属氧化物层上,且绝缘保护层由邻接于金属氧化物层中的半导体区的第一绝缘保护层和邻接于金属氧化物层中的绝缘区的第二绝缘保护层组成。将第一绝缘保护层中含有的氢原子浓度设置在从  $1 \times 10^{20}/\text{cm}^3$  至  $5 \times 10^{22}/\text{cm}^3$  的范围内,包括端点值。将第二绝缘保护层中含有的氢原子浓度设置为低于  $1 \times 10^{20}/\text{cm}^3$ 。

[0024] 接着,本发明第六个方面中所述的发明方案是根据第五个方面的薄膜晶体管,其中,第一绝缘保护层由氮化硅组成。

[0025] 本发明第七个方面中所述的发明方案是根据第五或第六个方面的薄膜晶体管,其中,第二绝缘保护层包括氧化硅、氮化硅、氧氮化硅和氧化铝中的任何一种。

[0026] 本发明第八个方面中所述的发明方案是根据第一至七个方面任意一项的薄膜晶

体管,其中将半导体区的导电率设置在从  $10^{-7}$ S/cm 至  $10^{-3}$ S/cm 的范围内,包括端点值,且将绝缘区的导电率设置为小于  $10^{-7}$ S/cm。

[0027] 接着,本发明第九个方面中所述的发明方案是根据第一至七个方面中的任意一项的薄膜晶体管,其中金属氧化物材料包括铟、锌和镓中的任何一种。

[0028] 本发明第十个方面中所述的发明方案是根据第一至七个方面中的任意一项的薄膜晶体管,其中绝缘基板是树脂基板。

[0029] 本发明第十一个方面中所述的发明方案是图像显示装置。该图像显示装置包括:装备有根据第一至七个方面中任意一项的薄膜晶体管的薄膜晶体管阵列;和图像显示介质。

[0030] 本发明第十二个方面中所述的发明方案是根据第十一个方面的图像显示装置,其中所述图像显示介质是电泳显示介质。

[0031] 本发明第十三个方面中所述的发明方案是制造薄膜晶体管的方法。该薄膜晶体管包括:在绝缘基板上的至少一个栅电极、栅极绝缘层、源电极、漏电极和包括半导体区和绝缘区的金属氧化物层。半导体区和绝缘区中的每一个由相同的金属氧化物材料组成。该薄膜晶体管包括绝缘保护层。该方法包括下述步骤:利用相同的金属氧化物材料同时形成金属氧化物层中的半导体区和绝缘区;在栅极绝缘层与绝缘保护层之间如此形成半导体区以使得半导体区与栅极绝缘层和绝缘保护层中的至少一层邻接;以及利用 CVD 形成栅极绝缘层或绝缘保护层中的一部分。栅极绝缘层或绝缘保护层中的该部分邻接于半导体区。

[0032] 接着,本发明第十四个方面中所述的发明方案是根据第十三个方面的制造薄膜晶体管的方法。该方法还包括:依次的下述步骤:在绝缘基板上形成栅电极;在栅电极和绝缘基板上形成栅极绝缘层;在栅极绝缘层上形成金属氧化物层;在金属氧化物层上如此形成源电极和漏电极从而源电极和漏电极邻接于半导体区;以及在源电极、漏电极和金属氧化物层上形成绝缘保护层。在该方法中,形成栅极绝缘层的步骤还包括下述步骤:利用 CVD 在绝缘基板和栅电极上形成第一栅极绝缘层以邻接于金属氧化物层中的半导体区;和利用 CVD 在绝缘基板和栅电极上形成第二栅极绝缘层以邻接于金属氧化物层中的绝缘区。

[0033] 本发明第十五个方面中所述的发明方案是根据第十三个方面的制造薄膜晶体管的方法。该方法还包括:依次的下述步骤:在绝缘基板上形成栅电极;在栅电极和绝缘基板上形成栅极绝缘层;在栅极绝缘层上形成源电极和漏电极;在栅极绝缘层、源电极和漏电极上形成金属氧化物层;在源电极、漏电极和金属氧化物层上形成绝缘保护层。在该方法中,形成绝缘保护层的步骤还包括下述步骤:利用 CVD 在金属氧化物层中的半导体区上形成第一绝缘保护层以邻接于半导体区;和利用 CVD 在金属氧化物层中的绝缘区上形成第二绝缘保护层以邻接于绝缘区。

[0034] 发明效果

[0035] 根据本发明第一个方面中所述的发明方案,基于金属氧化物半导体的底栅薄膜晶体管能够省略金属氧化物层的构图工艺,即湿法蚀刻工艺。这使得能够简化薄膜晶体管的制造工艺。

[0036] 这提供了可高质量且低成本制造的薄膜晶体管和制造该薄膜晶体管的方法,以及装备有该薄膜晶体管的图像显示装置。

[0037] 根据本发明第二个方面中所述的发明方案,形成在第一栅极绝缘层上作为金属氧

化物层的半导体区的导电率高于形成在第二栅极绝缘层上作为金属氧化物层的绝缘区的导电率。

[0038] 值得注意的是,本发明基于改变膜中的成分来使得金属氧化物层中的导电率易于控制的事实。如果用作金属氧化物层的基础层的栅极绝缘层含有氢原子,氢原子从栅极绝缘层扩散到金属氧化物层,且扩散的氢原子充当施主。这增加了导电率。

[0039] 第一栅极绝缘层和第二栅极绝缘层的每一个中的氢原子浓度被改变。这种改变,在构成薄膜晶体管的金属氧化物层的沉积期间,允许同时形成分别在栅极绝缘层上具有高氢原子浓度的和在栅极绝缘层上具有低氢原子浓度的半导体区和绝缘区。即,半导体区具有高导电率并显示半导体特性,而绝缘区具有低导电率且显示绝缘特性。这导致消除了半导体层的构图工艺。

[0040] 根据本发明第五个方面中所述的发明方案,形成在第一绝缘保护层下方的金属氧化物层的导电率高于形成在第二绝缘保护层下方的金属氧化物层的导电率。

[0041] 值得注意的是,本发明基于改变膜中的成分来使得金属氧化物层中的导电率易于控制的事实。如果邻接于金属氧化物层的绝缘保护层含有氢原子,氢原子从绝缘保护层扩散到金属氧化物层,以便于扩散的氢原子充当施主。这增加了金属氧化物的导电率。

[0042] 第一栅极绝缘层和第二栅极绝缘层的每一个中的氢原子浓度被改变。这种改变,在构成薄膜晶体管的金属氧化物层的沉积期间,允许同时形成分别在栅极绝缘层上具有高氢原子浓度的和在栅极绝缘层上具有低氢原子浓度的半导体区和绝缘区。即,半导体区具有高导电率并显示半导体特性,而绝缘区具有低导电率且显示绝缘特性。这导致消除了半导体层的构图工艺。

[0043] 改变邻接于金属氧化物层的第一绝缘保护层中的和第二绝缘保护层中的氢原子浓度。这些改变允许在形成于绝缘保护层下方的单一金属氧化物层中形成具有不同导电率特性的区域。即,尽管是单一的金属氧化物层,半导体区形成在金属氧化物层的一部分中,其位于具有高氢原子浓度的第一绝缘保护层的下方;而绝缘区形成在金属氧化物层的另一部分,其位于具有低氢原子浓度的第二绝缘保护层下方。

[0044] 根据本发明第八个方面中所述的发明方案,栅极绝缘层和包括半导体区和绝缘区的金属氧化物层如此沉积以使得将半导体区的导电率设置在从  $10^7$ S/cm 至  $10^3$ S/cm 的范围内,包括端点值,而将绝缘区的导电率设置为小于  $10^7$ S/cm。这使得能够获得具有高可靠性的薄膜晶体管。

[0045] 根据本发明第九个方面中所述的发明方案,金属氧化物材料包括铟、锌和镓中的任何一种。这使得能够获得具有优良晶体管特性的薄膜晶体管。

[0046] 根据本发明第十个方面中所述的发明方案,绝缘基板为树脂基板,使得能够获得重量轻的柔性薄膜晶体管。

[0047] 根据本发明第三个方面中所述的发明方案,第一栅极绝缘层由通过 CVD 沉积的氮化硅形成。这容易使第一栅极绝缘层中的氢原子浓度在从  $1 \times 10^{20}/\text{cm}^3$  至  $5 \times 10^{22}/\text{cm}^3$  的范围内,包括端点值,且能够使栅极绝缘层具有充足的耐压。

[0048] 根据本发明第十三个方面中所述的发明方案,在例如大约  $150^\circ\text{C}$  的低温下通过 CVD 沉积的氮化硅层具有许多来自原材料的氢原子,具体地,通常  $\text{NH}_3$  用作原材料。由于该原因,氢原子很可能扩散到邻接于氮化硅层的金属氧化物层中,导致容易增加半导体区的

导电率。

[0049] 根据本发明第十四个方面中所述的发明方案,利用通过 CVD 形成的氧化硅形成第二栅极绝缘层使得能够容易控制金属氧化物层,即,绝缘层,中的氢原子浓度,使之等于或低于  $10^{20}/\text{cm}^3$ 。此外,能够使得第二栅极绝缘层作为栅极绝缘层具有足够的耐压。

[0050] 根据本发明第十五个方面中所述的发明方案,利用通过 CVD 形成的氧化硅形成第二绝缘保护层使得能够容易控制金属氧化物层,即,绝缘层,中的氢原子浓度,使之等于或低于  $10^{20}/\text{cm}^3$ 。此外,能够使得第二绝缘保护层作为栅极绝缘层具有足够的耐压。

[0051] 附图的简要描述

[0052] 图 1 是示意性示出根据本发明第一实施例的薄膜晶体管的横截面图;

[0053] 图 2 是示意性示出根据本发明第一实施例的第一实例、第二实例和第二比较实例中的每一个的薄膜晶体管的横截面图;

[0054] 图 3 是示意性示出根据本发明第一实施例的第三实例的薄膜晶体管的横截面图;

[0055] 图 4 是示意性示出根据本发明第一实施例的第三实例的图像显示装置的横截面图;

[0056] 图 5 是示意性示出根据本发明第一实施例的第一和第三比较实例中的每一个的薄膜晶体管的横截面图;

[0057] 图 6 是示出根据本发明第二实施例的薄膜晶体管的示意性横截面图;

[0058] 图 7 是示出根据本发明第二实施例的第四实例、第五实例、第六实例和第二比较实例中的每一个的薄膜晶体管的示意性横截面图;

[0059] 图 8 是示出根据本发明第二实施例的第四实例、第五实例、第六实例和第二比较实例中的每一个的图像显示装置的一个像素的示意性横截面图;

[0060] 图 9 是示出根据本发明第二实施例的第五实例和第五比较实例中的每一个的薄膜晶体管的示意性横截面图;

[0061] 图 10 是示出根据本发明第二实施例的第五实例和第五比较实例中的每一个的图像显示装置的一个像素的示意性横截面图。

[0062] 实施例的详细说明

[0063] 根据本发明的每一薄膜晶体管包括:绝缘基板上的栅电极、栅极绝缘层、源电极、漏电极、具有由相同金属氧化物材料组成的半导体区和绝缘层的金属氧化物层、以及绝缘保护层。所述半导体区包括在源电极与漏电极之间的区域,其覆盖源电极和漏电极中的每一个的一部分。

[0064] 该半导体区如此形成在栅极绝缘层与绝缘保护层之间以便于邻接栅极绝缘层和绝缘保护层中的任意一层。

[0065] 将栅极绝缘层或绝缘保护层中与半导体区邻接的部分中含有的氢原子浓度设置在从  $1 \times 10^{20}/\text{cm}^3$  至  $5 \times 10^{22}/\text{cm}^3$  的范围内,包括端点值。将栅极绝缘层或绝缘保护层中不与半导体区邻接的另外的部分中含有的氢原子浓度设置为低于  $1 \times 10^{20}/\text{cm}^3$ 。

[0066] 这导致:

[0067] 金属氧化层中的一部分,其接触栅极绝缘层中具有高氢原子浓度的部分或接触具有高氢原子浓度的绝缘保护层,成为半导体区;而

[0068] 金属氧化层的另一部分,其接触栅极绝缘层中具有低氢原子浓度的另一部分或接



触绝缘保护层中具有低氢原子浓度的另一部分,成为绝缘区。

[0069] 因此,能够将半导体区与绝缘区分离,而不需对金属氧化物层构图。

[0070] 接着,下文将详细描述作为本发明的具体结构实例的第一和第二实施例。

[0071] 第一实施例

[0072] 参考附图,将详细描述根据本发明第一实施例的薄膜晶体管 and 装备有该薄膜晶体管的图像显示装置的结构、以及制造该薄膜晶体管的方法。

[0073] (结构)

[0074] 参考图 1,将详细描述根据第一实施例的薄膜晶体管的结构。

[0075] 参考图 1,薄膜晶体管 1 由绝缘基板 2、栅电极 4、栅极绝缘层 6、半导体区 8、绝缘区 10、源电极 12 和漏电极 14 组成。

[0076] 具体地,将薄膜晶体管 1 设计为底栅顶接触薄膜晶体管。

[0077] (绝缘基板 2 的详细结构)

[0078] 下文,将参考图 1 来详细描述绝缘基板 2 的具体结构。

[0079] 作为绝缘基板 2 的材料,例如,可以使用玻璃或塑料基板。

[0080] 在第一实施例中,使用塑料基板作为绝缘基板 2 的材料,以便于将树脂基板形成成为绝缘基板 2。

[0081] 作为塑料基板,例如,可以使用聚甲基丙烯酸甲酯、聚丙烯酸酯、聚碳酸酯、聚苯乙烯、聚乙烯硫化物、聚醚砜 (PES)、聚烯烃、聚对苯二甲酸乙二醇酯、聚乙烯萘甲醚 (PEN)、环烯聚合物、聚醚砜、三乙酰纤维素、聚氟乙烯膜、乙烯基四氟乙烯共聚物树脂、耐风化的聚对苯二甲酸乙二醇酯、耐风化的聚丙烯、玻璃纤维强化丙烯酸树脂膜、玻璃纤维强化聚碳酸酯、透明聚酰亚胺、氟基树脂、环聚烯烃等。

[0082] 可以使用这些基板中的单一基板,且可以使用通过叠加两层或更多的基板形成的复合基板。可以将在其上形成诸如滤色镜的树脂层的基板叠加到玻璃或塑料基板上。

[0083] (栅电极 4 的具体结构)

[0084] 下文,将参考图 1 来详细描述栅电极 4 的具体结构。

[0085] 将栅电极 4 行成为覆盖绝缘基板 2 的一部分。

[0086] 作为栅电极 4 的材料,优选可以优选使用氧化物,例如,氧化铟 ( $\text{In}_2\text{O}_3$ )、氧化锡 ( $\text{SnO}_2$ )、氧化锌 ( $\text{ZnO}$ )、氧化镉 ( $\text{CdO}$ )、氧化铟镉 ( $\text{CdIn}_2\text{O}_4$ )、氧化锡镉 ( $\text{Cd}_2\text{SnO}_4$ )、氧化锡锌 ( $\text{Zn}_2\text{SnO}_4$ ) 或氧化铟锌 ( $\text{In-Zn-O}$ )。

[0087] 利用诸如掺杂的上述氧化物材料作为栅电极 4 的材料是优选的以增加导电率。例如,可以使用锡掺杂的氧化铟、钼掺杂的氧化铟、钛掺杂的氧化铟、锑掺杂的氧化锡、氟掺杂的氧化锡、铟掺杂的氧化锌、铝掺杂的氧化锌、镓掺杂的氧化锌或其他类似的掺杂氧化物材料。在这些掺杂氧化物材料中被称为 ITO 的掺锡氧化铟由于其低电阻系数而特别适合。

[0088] 例如,利用诸如 Au、Ag、Cu、Cr、Al、Mg 或 Li 的低阻抗金属材料作为栅电极 4 的材料是合适的。

[0089] 可以使用导电氧化物材料和低阻抗金属材料的叠层作为栅电极 4 的材料。在这种情况下,导电氧化物膜、金属膜和导电氧化物膜的三层叠层特别适合用于防止金属材料的氧化和老化。

[0090] 利用诸如聚乙炔基二氧噻吩 (PEDOT) 的有机导电材料作为栅电极 4 的材料是合适

的。

[0091] (栅极绝缘层 6 的具体结构)

[0092] 下文,将参考图 1 来具体描述栅极绝缘层 6 的具体结构。

[0093] 将栅极绝缘层 6 形成在绝缘基板 2 和栅电极 4 上以覆盖栅电极 4 的一部分。栅极绝缘层 6 由第一栅极绝缘层 6a 和第二栅极绝缘层 6b 组成。

[0094] 栅极绝缘层 6 的厚度优选在从 50nm 至  $2\mu\text{m}$  的范围内,包括端点值。

[0095] 将第一绝缘层 6a 形成为覆盖栅电极 4 的一部分,并设置在与半导体区 8 邻接。

[0096] 作为第一栅极绝缘层 6a 的材料,例如使用通过 CVD 沉积的氮化硅。作为通过 CVD 沉积的氮化硅的初始材料,使用  $\text{SiH}_4/\text{NH}_3$  或其等同物。值得注意的是第一栅极绝缘层 6a 的材料不限于通过 CVD 沉积的氮化硅。

[0097] 第一绝缘层 6a 中含有的氢原子浓度被设置在从  $1\times 10^{20}/\text{cm}^3$  至  $5\times 10^{22}/\text{cm}^3$  的范围内,包括端点值。

[0098] 将第一绝缘层 6a 中含有的氢原子浓度设置在从  $1\times 10^{20}/\text{cm}^3$  至  $5\times 10^{22}/\text{cm}^3$  且包括端点值的范围内的原因是,可以增高形成在第一绝缘层 6a 上的半导体区 8 的导电率。

[0099] 由于栅极绝缘层 6 包括大量氢原子,氢原子容易扩散到作为形成在栅极绝缘层 6 上的作为金属氧化物层的半导体区 8 中。因此,扩散的氢原子充当金属氧化层中的 P 型杂质以增高作为金属氧化物层的半导体层 8 的导电率。

[0100] 如果包含在第一栅极绝缘层 6a 的氢原子浓度低于  $1\times 10^{20}/\text{cm}^3$ ,则扩散到金属氧化物层的小量氢原子不能有助于金属氧化物层的导电率提高。这会使得形成于第一栅极绝缘层 6a 上的半导体区 8 很难用作半导体层。

[0101] 在第一实施例中,由后面要叙述的通过 CVD 沉积的材料形成第一栅极绝缘层 6a。由于该原因,第一栅极绝缘层 6a 中含有的氢原子来自于通常用作源气体的  $\text{NH}_3$  气体。

[0102] 因此,如果第一栅极绝缘层 6a 中含有的氢原子浓度高于  $5\times 10^{22}/\text{cm}^3$ ,则作为源气体的  $\text{NH}_3$  气体的浓度会非常得高。这会使得很难形成 SiN 膜,导致难于利用 CVD 沉积栅极绝缘层 6。

[0103] 第一栅极绝缘层 6a 的电阻率优选设置为等于或高于  $10^{11}\Omega\cdot\text{cm}$ ,更为优选地等于或高于  $10^{12}\Omega\cdot\text{cm}$ 。如果第一栅极绝缘层 6a 的电阻率低于  $10^{11}\Omega\cdot\text{cm}$ ,则绝缘层 6 整体很难发挥充分的性能,导致栅极泄漏电流的增加。由此,很难获得器件的良好特性。

[0104] 第二栅极绝缘层 6b 形成为覆盖绝缘层 2 和未被第一栅极绝缘层 6a 覆盖的栅电极 4 的部分。第二栅极绝缘层 6b 设置成与绝缘区 10 邻接。

[0105] 作为第二栅极绝缘层 6b 的材料,例如,氧化硅、氮化硅、氮氧化硅或氧化铝是特别合适的。

[0106] 在第一实施例中,将通过 CVD 沉积的氧化硅用作第二栅极绝缘层 6b 的材料。

[0107] 在第一实施例中,将第二栅极绝缘层 6b 形成为包含氧化硅、氮化硅、氮氧化硅或氧化铝中的任意一种的层。

[0108] 可以使用氧化钽、氧化钇、氧化钪、铝酸钪、氧化锆、氧化钛或等同物作为第二栅极绝缘层 6b 的材料。利用这些材料中的一种用于第二栅极绝缘层 6b 可以获得充分的绝缘性能以减小栅极泄漏电流。

[0109] 值得注意的是,第二栅极绝缘层 6b 的材料不限于这些材料。

[0110] 第二栅极绝缘层 6b 中含有的氢原子浓度设置为低于  $1 \times 10^{20}/\text{cm}^3$ 。

[0111] 将第二栅极绝缘层 6b 中含有的氢原子浓度设置为低于  $1 \times 10^{20}/\text{cm}^3$  的原因是, 允许形成在作为金属氧化物层的第二栅极绝缘层 6b 上的绝缘层 10 的导电率低于形成在第一绝缘层 6a 上的半导体区 8 的导电率。这允许第二栅极绝缘层 6b 将 TFT 的彼此相邻的金属氧化物半导体层绝缘。

[0112] 如果第二栅极绝缘层 6b 中含有的氢原子浓度等于或高于  $10^{20}/\text{cm}^3$ , 则第二栅极绝缘层 6b 中含有的氢原子会扩散到第二栅极绝缘层 6b 上作为金属氧化物层的绝缘区 10。这会增加第二栅极绝缘层 6b 上作为金属氧化物层的绝缘区 10 的导电率, 导致绝缘区的正常活性变差。

[0113] 第二栅极绝缘层 6b 的电阻率优选设置为等于或高于  $10^{11} \Omega \cdot \text{cm}$ , 更为优选地等于或高于  $10^{12} \Omega \cdot \text{cm}$ 。如果第二栅极绝缘层 6b 的电阻率低于  $10^{11} \Omega \cdot \text{cm}$ , 则绝缘层 6 整体很难发挥充分的性能, 导致泄漏电流的增加。由此, 很难获得器件的良好特性。

[0114] (半导体区 8 的具体结构)

[0115] 下文, 将参考图 1 来详细描述半导体区 8 的具体结构。

[0116] 半导体区 8 包括沟道, 且形成在栅极绝缘层 6 中的第一栅极绝缘层 6a 上。

[0117] 半导体区 8 和绝缘区 10 组成如上所述的金属氧化物层 16。特别地, 将半导体区 8 和绝缘区 10 同时沉积以存在于单一金属氧化物层 16 的膜中。

[0118] 作为半导体区 8 的材料, 可以使用包含下述元素: 锌、镉、锡、钨、镁和镓中的任何一种的氧化物。

[0119] 在第一实施例中, 使用包含镉、锌、和镓中的一种的材料作为半导体区 8 的材料。作为半导体区 8 的材料, 可以使用包括氧化锌、氧化镉、氧化镉锌、氧化锡、氧化钨、氧化镉镓锌 (In-Ga-Zn-O) 的公知材料。

[0120] 半导体区 8 的材料不限于这些材料。

[0121] 值得注意的是, 半导体区 8 的厚度, 即膜厚, 优选设置为等于或高于 10nm。这是因为, 如果半导体区 8 的膜厚低于 10nm, 则岛生长会导致在半导体区 8 中形成非半导体部分。

[0122] (绝缘区 10 的具体结构)

[0123] 下文, 将参考图 1 来详细描述绝缘区 10 的具体结构。

[0124] 绝缘区 10 形成在栅极绝缘层 6 的一部分上; 栅极绝缘层 6 的这部分邻接于第二栅极绝缘层 6b。

[0125] 如同半导体区 8, 作为绝缘区 10 的材料, 可以使用包含下述元素: 锌、镉、锡、钨、镁和镓中的任何一种的氧化物。

[0126] 在第一实施例中, 使用包含镉、锌、和镓中的一种的材料作为绝缘区 10 的材料。如同半导体区 8, 作为绝缘区 10 的材料, 可以使用包括氧化锌、氧化镉、氧化镉锌、氧化锡、氧化钨、氧化镉镓锌 (In-Ga-Zn-O) 的公知材料。

[0127] 绝缘区 10 的材料不限于这些材料。

[0128] 值得注意的是, 绝缘区 10 的厚度, 即膜厚, 优选设置为等于或高于 10nm。这是因为, 如果绝缘区 10 的膜厚低于 10nm, 则岛生长会导致在绝缘区 10 中形成非半导体部分。绝缘区的导电率优选设置为低于  $10^9 \text{S}/\text{cm}$ 。这是因为, 如果绝缘区 10 的导电率等于或高于  $10^9 \text{S}/\text{cm}$ , 则绝缘区 10 不能展现出充足的性能, 且会从半导体区 8 流出漏电电流。

[0129] (源电极 12 的具体结构)

[0130] 下文,将参考图 1 详细描述源电极 12 的具体结构。

[0131] 源电极 12 形成为覆盖金属氧化物层 16 的一部分。

[0132] 如同栅电极 4,作为源电极 10 的材料,优选可以使用氧化物,例如氧化铟 ( $\text{In}_2\text{O}_3$ )、氧化锡 ( $\text{SnO}_2$ )、氧化锌 ( $\text{ZnO}$ )、氧化镉 ( $\text{CdO}$ )、氧化铟镉 ( $\text{CdIn}_2\text{O}_4$ )、氧化锡镉 ( $\text{Cd}_2\text{SnO}_4$ )、氧化锡锌 ( $\text{Zn}_2\text{SnO}_4$ ) 或氧化铟锌 ( $\text{In-Zn-O}$ )。

[0133] 如同栅电极 4,利用诸如掺杂的上述氧化物材料作为源电极 12 的材料是优选的以增加导电率。例如,可以使用锡掺杂的氧化铟、钼掺杂的氧化铟、钛掺杂的氧化铟、锑掺杂的氧化锡、氟掺杂的氧化锡、铟掺杂的氧化锌、铝掺杂的氧化锌、镓掺杂的氧化锌或其他类似的掺杂氧化物材料。在这些掺杂氧化物材料中被称为 ITO 的掺锡氧化铟由于其低电阻系数而特别适合。

[0134] 如同栅电极 4,例如,利用诸如 Au、Ag、Cu、Cr、Al、Mg 或 Li 的低阻抗金属材料作为源电极 12 的材料是合适的。

[0135] 如同栅电极 4,可以使用导电氧化物材料和低阻抗金属材料的叠层作为源电极 12 的材料。在这种情况下,导电氧化物膜、金属膜和导电氧化物膜的三层叠层特别适合用于防止金属材料的氧化和老化。

[0136] 如同栅电极 4,利用诸如聚乙烯基二氧噻吩 (PEDOT) 的有机导电材料作为源电极 12 的材料是合适的。

[0137] (漏电极 14 的具体结构)

[0138] 下文,将参考图 1 详细描述漏电极 14 的具体结构。

[0139] 漏电极 14 形成为覆盖金属氧化物层 16 的未被源电极 12 覆盖的部分。

[0140] 如同栅电极 4,作为漏电极 14 的材料,优选可以使用氧化物,例如,氧化铟 ( $\text{In}_2\text{O}_3$ )、氧化锡 ( $\text{SnO}_2$ )、氧化锌 ( $\text{ZnO}$ )、氧化镉 ( $\text{CdO}$ )、氧化铟镉 ( $\text{CdIn}_2\text{O}_4$ )、氧化锡镉 ( $\text{Cd}_2\text{SnO}_4$ )、氧化锡锌 ( $\text{Zn}_2\text{SnO}_4$ ) 或氧化铟锌 ( $\text{In-Zn-O}$ )。

[0141] 如同栅电极 4,利用诸如掺杂的上述氧化物材料作为漏电极 14 的材料是优选的以增加导电率。例如,可以使用锡掺杂的氧化铟、钼掺杂的氧化铟、钛掺杂的氧化铟、锑掺杂的氧化锡、氟掺杂的氧化锡、铟掺杂的氧化锌、铝掺杂的氧化锌、镓掺杂的氧化锌或其他类似的掺杂氧化物材料。在这些掺杂氧化物材料中被称为 ITO 的掺锡氧化铟由于其低电阻系数而特别适合。

[0142] 如同栅电极 4,例如,利用诸如 Au、Ag、Cu、Cr、Al、Mg 或 Li 的低阻抗金属材料作为漏电极 14 的材料是合适的。

[0143] 如同栅电极 4,可以使用导电氧化物材料和低阻抗金属材料的叠层作为漏电极 14 的材料。在这种情况下,导电氧化物膜、金属膜和导电氧化物膜的三层叠层特别适合用于防止金属材料的氧化和老化。

[0144] 如同栅电极 4,利用诸如聚乙烯基二氧噻吩 (PEDOT) 的有机导电材料作为漏电极 14 的材料是合适的。

[0145] 值得注意的是,可以使用相同的材料作为栅电极 4、源电极 12 和漏电极 14 的材料。也可以使用不同的材料作为栅电极 4、源电极 12 和漏电极 14 的材料。然而,为了减少制造工艺的数量,优选使用相同的材料作为源电极 12 和漏电极 14 的材料。

[0146] (图像显示装置)

[0147] 接着,将参考图 1 来描述装备有薄膜晶体管 1 的图像显示装置的结构。

[0148] 例如,将图像显示装置(未示出)设计成彩色显示器,且设置有包含薄膜晶体管 1 的薄膜晶体管阵列(未示出)和图像显示介质(未示出)。

[0149] 图像显示装置的图像显示介质为电泳显示介质。

[0150] 值得注意的是,作为图像显示装置装备的薄膜晶体管 1,可以使用下文所述的制造薄膜晶体管的方法来制造的薄膜晶体管。

[0151] 接下来,将参考图 1 来详细描述制造薄膜晶体管 1 的方法。

[0152] 在制造薄膜晶体管 1 期间,执行栅电极形成工艺,其在绝缘基板 2 上形成栅电极 4。特别地,制造薄膜晶体管 1 的方法包括栅电极形成工艺。

[0153] 在栅电极形成工艺期间,作为形成栅电极 4 的方法,例如,可以使用真空沉积、离子镀、溅射、激光烧蚀、等离子体 CVD(化学气相沉积)、光助 CVD 或热线 CVD。

[0154] 作为形成栅电极 4 的方法,例如,将呈糊状形式的上述导电材料或墨水通过丝网印刷、凸版印刷、凹版印刷、反向偏移印刷、喷墨印刷或等同方式来涂敷,并且烧制以形成为栅电极 4。

[0155] 值得注意的是,形成栅电极的方法不限于前述方法。

[0156] 在将栅电极 4 形成于绝缘基板 2 上之后,执行栅极绝缘层形成工艺,其在绝缘基板 2 和栅电极 4 上形成栅极绝缘层 6。具体地,制造薄膜晶体管 1 的方法包括栅极绝缘层形成工艺。

[0157] 在栅极绝缘层形成工艺期间,可以使用 CVD 作为形成第一栅极绝缘层 6a 的方法。

[0158] 在栅极绝缘层形成工艺期间,优选可以使用诸如溅射、等离子体 CVD 或原子层沉积作为形成第二栅极绝缘层 6b 的方法。另外,可以使用真空沉积、离子镀或激光烧蚀作为形成第二栅极绝缘层 6b 的方法。

[0159] 在形成第二栅极绝缘层 6b 的工艺中,可以沿着膜厚方向形成组分梯度。

[0160] 在栅极绝缘层形成工艺中将栅极绝缘层 6 形成于绝缘基板 2 和栅电极 4 上之后,执行金属氧化物层形成工艺,该工艺在栅极绝缘层 6 上形成金属氧化物层 4。具体地,制造薄膜晶体管 1 的方法包括金属氧化物形成工艺。

[0161] 金属氧化物形成工艺包括用于形成半导体区 8 的半导体区形成工艺和用于形成绝缘区 10 的绝缘区形成工艺。

[0162] 在根据第一实施例的金属氧化物层形成工艺中,同时执行半导体区形成工艺和绝缘区形成工艺。具体地,在制造根据第一实施例的薄膜晶体管 1 的方法中,同时沉积半导体区 8 和绝缘区 10。

[0163] 在金属氧化物层形成工艺中,作为同时形成半导体区 8 和绝缘区 10 的方法,例如,使用溅射、脉冲激光沉积、真空沉积、CVD、溶胶-凝胶工艺或等同方式。优选,作为同时形成半导体区 8 和绝缘区 10 的方法,使用溅射、脉冲激光沉积、真空沉积或 CVD。

[0164] 作为溅射,可以使用 RF 磁控管溅射、DC 溅射或离子束溅射。作为真空沉积,可以使用加热沉积、电子束沉积或离子镀。作为 CVD,可以使用热线 CVD 或等离子体 CVD。

[0165] 值得注意的是,形成半导体区 8 和绝缘区 10 的方法不限于前述方法。

[0166] 在金属氧化物形成工艺中,在形成半导体区 8 期间,当将半导体区 8 的导电率设置

在从  $10^7$ S/cm 至  $10^3$ S/cm 且包括端点值的范围内时,沉积半导体 8。

[0167] 在该工艺期间,仅在栅极绝缘层 6 上均匀地沉积半导体区 8 而不构图,这允许氢原子从第一栅极绝缘层 6a 扩散,导致位于第一栅极绝缘层 6a 上的半导体区 8 成为半导体层。

[0168] 另一方面,在金属氧化物形成工艺期间,在形成绝缘区 10 时,沉积导电率被设置成低于  $10^7$ S/cm 的绝缘区 10。

[0169] 由于位于第二栅极绝缘层 6b 上的绝缘层 10 作为具有低于  $10^7$ S/cm 的导电率的绝缘层被保留,所以能够将 TFT 中相邻的半导体层绝缘,而不需要执行半导体层构图工艺,由此消除了该半导体层构图工艺。

[0170] 在半导体区 8 的导电率等于或高于  $10^7$ S/cm 且等于或低于  $10^3$ S/cm 而绝缘区 10 的导电率低于  $10^7$ S/cm 时,沉积栅极绝缘层 6 和金属氧化物层 16 能够获得具有高可靠性的薄膜晶体管 1。还能够提供高产量的制造薄膜晶体管 1 的方法,因为不需要构图工艺。

[0171] 在金属氧化物层形成工艺中将金属氧化物层 16 沉积到栅极绝缘层 6 之后,执行源电极形成工艺和漏电极形成工艺,该工艺将源电极 12 和漏电极 14 形成在金属氧化物层 16 上。具体地,制造薄膜晶体管 1 的方法包括源电极形成工艺和漏电极形成工艺。

[0172] 源电极形成工艺和漏电极形成工艺中的每一个中,作为形成源电极 12 和漏电极 14 中的相应一个的方法,可以以与形成栅电极 14 相同的方式使用诸如真空沉积、离子电镀、溅射、激光烧蚀、等离子体 CVD、光辅助 CVD 或热线 CVD。

[0173] 作为形成源电极 12 和漏电极 14 中的每一个的方法,例如,将呈糊状形式的上述导电材料或墨水通过丝网印刷、凸版印刷、凹版印刷、反向偏移印刷、喷墨印刷或等同方式来涂敷,并且烧制以形成为源电极 12 和漏电极 14 中的相应一个。

[0174] 值得注意的是,形成源电极 12 和漏电极 14 中的每一个的方法不限于前述方法。

[0175] 在源电极 12 和漏电极 14 形成之后,薄膜晶体管 1 的制造方法终止。

[0176] 如果需要,优选在金属氧化物层的半导体区上形成密封层。作为构成密封层的无机材料,氧化硅、氮化硅、氮氧化硅或氧化铝特别适合。可以使用氧化钽、氧化钇、铝酸钡、氧化锆、氧化钛或等同物作为构成密封层的无机材料。利用这些无机材料中的一种用于密封层可以获得充分的密封性能。可以通过溅射、等离子体 CVD 或原子沉积来形成这些无机材料,然而可以使用真空沉积、离子电镀、激光烧蚀或其他方法作为形成密封层的方法。

[0177] 作为构成封装层的有机材料,可以使用具有替代聚合树脂中的氢原子的氟原子的氟化树脂。具体地,可以使用氟化环氧树脂、氟化丙烯酸、氟化聚酰亚胺、聚偏二氟乙烯、氟化烯烃和丙烯的共聚物、氟化烯烃和乙烯醚的共聚物、氟化烯烃和乙烯酯的共聚物、氟化烯烃的共聚物、氟化环醚共聚物或等同物作为构成封装层的有机材料。氟化树脂包括其中一些氢原子被氟原子替换的部分氟化树脂和其中所有氢原子被氟原子替换的全氟化树脂。全氟化树脂比部分氟化树脂更适合。与诸如环氧树脂和丙烯酸树脂的常规非氟化树脂不同,氟化树脂具有非常好的稳定性,使得不会对半导体层产生影响。对于无机绝缘膜,优选在分离工艺中进行构图。对于氟化树脂膜,可以通过诸如丝网印刷、苯胺印刷、反向印刷或喷墨印刷的印刷术来进行构图。可以通过旋涂或模压涂层将氟化膜形成在半导体区域上,且其后可以利用镊子等将接触部分从氟化膜剥离掉。

[0178] (利用薄膜晶体管 1 的图像显示装置)

[0179] 如在图 3 和 4 中示出的实例,根据第一实施例的图像显示装置由至少一层层间绝

缘层 22、像素电极 24、电泳部件 32 和反向电极 30 组成。

[0180] 根据其材料,利用诸如真空沉积、离子电镀、溅射、激光烧蚀、等离子体 CVD、光辅助 CVD 或热线 CVD 的干法沉积和 / 或诸如旋涂、浸渍涂布的湿法沉积或丝网印刷适合地形成层间绝缘层 22。层间绝缘层 22 在漏电极 14 上具有开口,以便于漏电极 14 和像素电极 24 经由该开口相互连接。可以利用诸如光刻或蚀刻的公知方法在与层间绝缘层的形成同时或在其之后形成开口。

[0181] 将导电材料以膜的形式沉积在层间绝缘层 22 上并构图以形成具有预定像素形状的像素电极 24。在其中形成开口以便于暴露漏电极 14 的层间绝缘层 22 上形成像素电极 24 使得漏电极 14 与像素电极相互电连接。

[0182] 反向电极 30 安装在形成于像素电极 24 的电泳部件 32 上。电泳部件 32 是利用电泳的图像显示介质。可以利用有效的公知方法对各电极和绝缘保护层构图。例如,可以使用光刻,其利用光致抗蚀剂保护被构图的部分,并通过蚀刻去除不想要的部分。构图不限于光刻。

[0183] (第一实施例的效果)

[0184] 下文将列出第一实施例的效果。

[0185] 根据第一实施例的薄膜晶体管 1 和制造薄膜晶体管 1 的方法能够消除金属氧化物层 16 的构图工艺,即,湿法蚀刻工艺。这使得能够简化薄膜晶体管 1 的制造工艺。

[0186] 这提供了可以高质量且低成本制造的薄膜晶体管 1 和制造薄膜晶体管 1 的方法、以及装备有薄膜晶体管 1 的图像显示装置。

[0187] 第二实施例

[0188] 将参考附图来详细描述根据本发明第二实施例的薄膜晶体管的结构、装备有该薄膜晶体管的图像显示器的结构、以及制造该薄膜晶体管的方法。

[0189] (结构)

[0190] 将参考图 6 来详细描述根据第二实施例的薄膜晶体管的结构。

[0191] 参考图 6,薄膜晶体管依序包括:绝缘基板 100、栅电极 110、栅极绝缘层 120、源电极 130、漏电极 140、金属氧化物层 150 和绝缘保护层 160。即,将薄膜晶体管设计为底栅底接触薄膜晶体管。

[0192] 绝缘保护层 160 由第一绝缘保护层 160a 和第二绝缘保护层 160b 组成,且金属氧化物层 150 由形成在第一绝缘保护层 160a 下方的半导体区 150a 和形成在第二绝缘保护层 160b 下方的绝缘区 150b 组成。与包含沟道的半导体区 150a 邻接的第一绝缘保护层 160a 由通过 CVD 沉积的氮化硅制成。

[0193] 作为根据第二实施例的绝缘基板材料,例如,可以使用玻璃或塑料基板。

[0194] 作为塑料基板,例如,可以使用聚甲基丙烯酸甲酯、聚丙烯酸酯、聚碳酸酯、聚苯乙烯、聚乙烯硫化物、聚醚砜、聚烯烃、聚对苯二甲酸乙二醇酯、聚乙烯萘甲醛、环烯聚合物、聚醚砜、三乙酰纤维素、聚氟乙烯膜、乙烯基四氟乙烯共聚物树脂、耐风化的聚对苯二甲酸乙二醇酯、耐风化的聚丙烯、玻璃纤维强化丙烯酸树脂膜、玻璃纤维强化聚碳酸酯、透明聚酰亚胺、氟基树脂、环聚烯烃等。

[0195] 然而,本发明不限于这些基板。可以使用这些基板中的单个基板,且可以使用通过叠置两个或以上基板形成的复合基板。可以将其上形成有诸如滤色镜的树脂层的基板叠置

在玻璃或塑料基板上。

[0196] 作为栅电极 110、源电极 130 和漏电极 140 中的每一个的材料,优选可以使用诸如氧化铟 ( $\text{In}_2\text{O}_3$ )、氧化锡 ( $\text{SnO}_2$ )、氧化锌 ( $\text{ZnO}$ )、氧化镉 ( $\text{CdO}$ )、氧化铟镉 ( $\text{CdIn}_2\text{O}_4$ )、氧化锡镉 ( $\text{Cd}_2\text{SnO}_4$ )、氧化锡锌 ( $\text{Zn}_2\text{SnO}_4$ ) 或氧化铟锌 ( $\text{In-Zn-O}$ ) 的氧化物材料。

[0197] 利用例如掺杂的上文所述的氧化物材料作为栅电极 110、源电极 130 和漏电极 140 中的每一个的材料是优选的。例如,可以使用钼掺杂的氧化铟、钛掺杂的氧化铟、锑掺杂的氧化锡、氟掺杂的氧化锡、铟掺杂的氧化锌、铝掺杂的氧化锌、镓掺杂的氧化锌或其他类似的掺杂氧化物材料。在这些掺杂氧化物材料中被称为 ITO 的掺锡氧化铟由于其低电阻系数而特别适合。

[0198] 例如,利用诸如 Au、Ag、Cu、Cr、Al、Mg 或 Li 的低阻抗金属材料作为栅电极 110、源电极 130 和漏电极 140 中的每一个的材料是合适的。

[0199] 利用诸如聚乙烯基二氧噻吩 (PEDOT) 的有机导电材料作为栅电极 110、源电极 130 和漏电极 140 中的每一个的材料是合适的。可以使用由有机导电材料制成的单个层或有机导电材料和导电氧化物材料构成的多层作为栅电极 110、源电极 130 和漏电极 140 中的每一个的材料。

[0200] 可以使用相同的材料用于栅电极 110、源电极 130 和漏电极 140。也可以使用不同的材料用于栅电极 110、源电极 130 和漏电极 140。然而,为了减少制造工艺的数量,优选使用相同的材料用于源电极 130 和漏电极 140。

[0201] 可以通过真空沉积、离子电镀、溅射、激光烧蚀、等离子体 CVD、光辅助 CVD 或热线 CVD 来形成栅电极 110、源电极 130 和漏电极 140 中的每一个。作为形成栅电极 110、源电极 130 和漏电极 140 中的每一个的方法,例如,将呈糊状形式的上述导电材料或墨水通过丝网印刷、凸版印刷、凹版印刷、反向偏移印刷、喷墨印刷或等同方式来涂敷,并且烧制以形成为相应的电极。然而,形成栅电极 110、源电极 130 和漏电极 140 中的每一个的方法不限于前述方法。

[0202] 根据第二实施例的形成栅极绝缘层 120 的绝缘膜可以由诸如氧化硅、氮化硅、氮氧化硅、氧化铝、氧化钽、氧化钇、氧化钪、铝酸钪、氧化锆或氧化钛的无机材料制成。根据第二实施例的形成栅极绝缘层 120 的绝缘膜可以由诸如聚甲基丙烯酸甲酯 (PMMA)、聚乙烯醇 (PVA)、聚乙烯苯酚 (PVP) 或等同物的聚丙烯酸酯制成。然而,本发明不限于这些材料。绝缘材料的电阻率优选设定为等于或高于  $10^{11} \Omega \cdot \text{cm}$ ,更为优选地等于或高于  $10^{12} \Omega \cdot \text{cm}$ 。

[0203] 将根据第二实施例的组成金属氧化物层 150 的半导体区 150a 和绝缘区 150b 同时沉积以存在于单一层的膜中。作为金属氧化物 150 的组分的实例,可以使用包含下述元素: 锌、铟、锡、钨、镁和镓中的任何一种的氧化物。作为这种氧化物的实例,可以使用包括氧化锌、氧化铟、氧化铟锌、氧化锡、氧化钨、氧化铟镓锌 ( $\text{In-Ga-Zn-O}$ ) 的公知材料。然而本发明不限于这些材料。优选将金属氧化物层的膜厚设置成等于或高于 10nm。这是因为,如果金属氧化物层的膜厚低于 10nm,则很难在整个膜中形成均匀的半导体层。

[0204] 金属氧化物层 150 可以通过溅射、脉冲激光沉积、真空沉积、CVD、溶胶-凝胶工艺或等同方式来形成。优选,使用溅射、脉冲激光沉积、真空沉积或 CVD 作为形成金属氧化物层 150 的方法。作为溅射,RF 磁控管溅射、DC 溅射或离子束溅射是合适的。作为真空沉积,可以使用加热沉积、电子束沉积或离子电镀。作为 CVD,热线 CVD 或等离子体 CVD 是合适的。



[0205] 值得注意的是,形成金属氧化物层的方法不限于前述方法。

[0206] 根据第二实施例的绝缘保护层 160 由第一绝缘保护层 160a 和第二绝缘保护层 160b 组成。绝缘保护层 160 的厚度优选在从 30nm 至 500nm 的范围内,包括端点值。如果绝缘保护层 160 的厚度低于 30nm,则具有不充足的耐压性。如果绝缘保护层 160 的厚度高于 500nm,则会减少产量。

[0207] 将第一绝缘保护层 6a 中含有的氢原子浓度设定在从  $1 \times 10^{20}/\text{cm}^3$  至  $5 \times 10^{22}/\text{cm}^3$  的范围内,包括端点值。将第二绝缘保护层 6b 中含有的氢原子浓度设置为低于  $1 \times 10^{20}/\text{cm}^3$ 。

[0208] 由于绝缘保护层包括大量氢原子,氢原子容易扩散到作为形成在绝缘保护层上的金属氧化物层的半导体区中。因此,扩散的氢原子充当金属氧化层中的 P 型杂质以增高作为金属氧化物层的半导体层的导电率。

[0209] 如果包含在第一绝缘保护层 160a 的氢原子浓度低于  $1 \times 10^{20}/\text{cm}^3$ ,则扩散到金属氧化物层的小量氢原子不能有助于金属氧化物层的导电率提高。这会使得形成于绝缘保护层 160a 上的半导体区 8 很难用作半导体层。

[0210] 在第二实施例中,由通过稍后所述的 CVD 沉积的材料制成绝缘保护层 160a。由于该原因,绝缘保护层 160a 中含有的氢原子源自通常作为源气体的  $\text{NH}_3$  气体。

[0211] 因此,如果第一绝缘保护层 160a 中含有的氢原子浓度高于  $5 \times 10^{22}/\text{cm}^3$ ,则作为源气体的  $\text{NH}_3$  气体的浓度会非常得高。这会使得很难形成 SiN 膜,导致难于利用 CVD 沉积绝缘保护层。

[0212] 将第二绝缘保护层 160b 中含有的氢原子浓度设置为低于  $1 \times 10^{20}/\text{cm}^3$ 。

[0213] 将第二绝缘保护层 160b 中含有的氢原子浓度设置为低于  $1 \times 10^{20}/\text{cm}^3$  的原因是,允许形成在第一绝缘保护层 160a 下方的金属氧化物层的导电率高于形成在第二绝缘保护层 160b 下方的金属氧化物层的导电率。这允许第二绝缘保护层 160b 将 TFT 的彼此相邻的金属氧化物半导体层绝缘。

[0214] 如果第二绝缘保护层 160b 中含有的氢原子浓度等于或高于  $10^{20}/\text{cm}^3$ ,则第二绝缘保护层 160b 中含有的氢原子会扩散到第二绝缘保护层 160b 下的作为金属氧化物层的绝缘区 105b。这会增加第二绝缘保护层 160b 下作为金属氧化物层的绝缘区 10 的导电率,导致绝缘区 105b 的正常活性变差。

[0215] 第一绝缘保护层 160a 由通过 CVD 沉积的氮化硅形成,但其不限于此。作为通过 CVD 沉积的氮化硅的初始材料,使用  $\text{SiH}_4/\text{NH}_3$  或其等同物。

[0216] 作为第二绝缘保护层 160b 的材料,氧化硅、氮化硅、氮氧化硅或氧化铝是特别合适的。

[0217] 另外,可以使用氧化钽、氧化钇、氧化钪、铝酸钪、氧化锆、氧化钛或等同物作为第二绝缘保护层 160b 的材料。利用这些材料中的一种用于第二绝缘保护层 160b 可以获得作为保护层的充足性能。第二绝缘保护层 160b 优选可以通过溅射、等离子体 CVD、或原子沉积形成,但也可以使用真空沉积、离子电镀、激光烧蚀或其他方法作为形成第二绝缘保护层 160b 的方法。

[0218] 根据第二实施例的图像显示装置,如图 8 或 10 中示出其实例,由至少一层间绝缘层 180、像素电极 190、电泳部件 220 和反向电极 210 组成。

[0219] 适合地,根据其材料,利用诸如真空沉积、离子电镀、溅射、激光烧蚀、等离子体

CVD、光辅助 CVD 或热线 CVD 的干法沉积和 / 或诸如旋涂、浸渍涂布的湿法沉积或丝网印刷形成层间绝缘层 180。层间绝缘层 180 在漏电极 140 上具有开口, 以便于漏电极 140 和像素电极 190 经由该开口相互连接。可以利用诸如光刻或蚀刻的公知方法在与层间绝缘层 180 的形成同时或在其之后形成开口。

[0220] 将导电材料以膜的形式沉积在层间绝缘层 180 上并构图以形成具有预定像素形状的像素电极 190。在其中形成开口以便于暴露漏电极 14 的层间绝缘层 180 上形成像素电极 190 使得漏电极 140 与像素电极 190 相互电连接。

[0221] 反向电极 210 安装在形成于像素电极 190 的电泳部件 220 上。电泳部件 220 是利用电泳的图像显示介质。可以利用有效的公知方法进行各电极和绝缘保护层的构图。例如, 可以使用光刻, 其利用光致抗蚀剂保护被构图的部分, 并通过蚀刻去除不想要的部分。构图不限于光刻。

[0222] (第二实施例的效果)

[0223] 下文将列出第二实施例的效果。

[0224] 根据第二实施例的薄膜晶体管和制造薄膜晶体管的方法能够消除金属氧化物层 150 的构图工艺, 即, 湿法蚀刻工艺。这使得能够简化薄膜晶体管的制造工艺。

[0225] 这提供了可以高质量且低成本制造的薄膜晶体管和制造薄膜晶体管的方法、以及装备有该薄膜晶体管的图像显示装置。

[0226] (变型)

[0227] 下文将列出第一实施例和第二实施例的变型。

[0228] 在根据第一和第二实施例的薄膜晶体管的每一个中, 将半导体区的导电率设置在从  $10^7\text{S/cm}$  至  $10^3\text{S/cm}$  的范围内, 包括端点值, 而将绝缘区的导电率设置为小于  $10^7\text{S/cm}$ 。然而, 半导体区的导电率和绝缘区的导电率不限于上述值。

[0229] 在根据第一和第二实施例的薄膜晶体管中的每一个中, 使用包含钨、锌、和镓中的一种的材料作为金属氧化物层的材料, 但金属氧化物层的结构不限于此。

[0230] 在根据第一和第二实施例的薄膜晶体管中的每一个中, 树脂基板用作绝缘基板 2, 但绝缘层的结构不限于此。

[0231] 在根据第一实施例的制造薄膜晶体管的方法中, 第二栅极绝缘层 6b 基于通过 CVD 沉积的氧化硅形成, 但不限于此。第二栅极绝缘层 6b 可以基于除通过 CVD 沉积的氧化硅之外的一种或更多材料形成。在根据第一实施例的制造薄膜晶体管的方法中, 第二栅极绝缘层 6b 形成为包含氧化硅、氮化硅、氮氧化硅或氧化铝中的任意一种的层, 但不限于此。可以将第二栅极绝缘层 6b 形成为不包括这些化合物的层。

[0232] 在根据第二实施例的制造薄膜晶体管的方法中, 第二绝缘保护层基于通过 CVD 沉积的氧化硅形成, 但不限于此。第二绝缘保护层可以基于除通过 CVD 沉积的氧化硅之外的一种或更多材料形成。在根据第二实施例的制造薄膜晶体管的方法中, 第二绝缘保护层形成为包含氧化硅、氮化硅、氮氧化硅或氧化铝中的任意一种的层, 但不限于此。可以将第二绝缘保护层形成为不包括这些化合物的层。

[0233] 根据第一实施例的薄膜晶体管被设计成底栅顶接触薄膜晶体管, 且根据第二实施例的薄膜晶体管设计为底栅底接触薄膜晶体管, 但它们不限于此。将它们如此设计以便于栅极绝缘层或绝缘保护层导致金属氧化物层具有半导体区和绝缘区。可以将它们中的每一

个设计成顶栅底接触薄膜晶体管,其中,绝缘层、源漏电极、金属氧化物层和栅电极依序叠置。还可以将它们中的每一个设计成顶栅顶接触薄膜晶体管,其中,绝缘层、绝缘保护层、金属氧化物层、源和漏电极、栅极绝缘层、栅电极依序叠置。

[0234] 根据第一和第二实施例中的每一个的装备有薄膜晶体管的图像显示装置的图像显示介质为电泳显示介质,但不限于此。作为图像显示介质,可以使用除这种电泳显示介质之外的显示介质。

[0235] 实例

[0236] 下面利用比较实例来描述本发明的实例。

[0237] 第一实施例的实例

[0238] 制造根据第一实施例的三种类型的薄膜晶体管 1,制造根据比较实例的三种类型的薄膜晶体管 1,并参考图 1 来基于图 2 至 5 评估这些制造的薄膜晶体管 1 的每一种的物理特性。下文将详细描述物理特性评估的结果。

[0239] 第一实例

[0240] 薄膜晶体管 1,即图 2 中示出的薄膜晶体管元件制造成根据第一实例的薄膜晶体管 1。值得注意的是,图 2 是示意性示出根据该实例的薄膜晶体管的横截面图。

[0241] 在制造根据第一实施例的薄膜晶体管时,利用 DC 磁控管溅射系统在室温下在 125  $\mu\text{m}$  厚的 PEN 基板上沉积 80nm 厚的 Mo 膜。

[0242] 接着,在利用光刻的抗蚀剂图形形成之后,进行干法蚀刻和剥离,以便于形成栅电极 4 和电容电极 18。

[0243] 那时,将在 Mo 膜形成期间的输入功率、气体流速 Ar 和沉积压力分别设定为 100W、50SCCM 和 1.0Pa。

[0244] 接着,利用等离子体 CVD 系统沉积 500nm 厚的  $\text{SiN}_x$  膜。在利用光刻形成抗蚀剂图形后,执行干法蚀刻和剥离,以便于形成第一栅极绝缘层 6a。

[0245] 那时, $\text{SiN}_x$  膜的沉积基于下述条件进行:使用 10SCCM 气体流速的  $\text{SiN}_4$  气体和 5SCCM 气体流速的  $\text{NH}_3$  气体作为源气体;输入功率、沉积压力和基板温度分别设置为 200W、3Pa 和 150 $^\circ\text{C}$ 。

[0246] 接着,利用等离子体 CVD 系统沉积 500nm 厚的  $\text{SiO}_x$  膜。在利用光刻形成抗蚀剂图形后,执行干法蚀刻和剥离,以便于形成第二栅极绝缘层 6b。

[0247] 那时, $\text{SiO}_x$  膜的沉积基于下述条件执行:使用 10SCCM 气体流速的  $\text{SiN}_4$  气体和 10SCCM 气体流速的  $\text{N}_2\text{O}$  气体作为源气体;输入功率、沉积压力和基板温度分别设置为 300W、1Pa 和 150 $^\circ\text{C}$ 。

[0248] 接着,利用溅射在室温下沉积具有 40nm 膜厚的由 InGaZnO 构成的金属氧化物层 16。

[0249] 那时,将金属氧化物沉积期间的输入功率、Ar 气体流速、 $\text{O}_2$  气体流速和沉积压力分别设置为 100W、100SCCM、2SCCM 和 1.0Pa。

[0250] 最后,利用 DC 磁控管溅射系统在室温下沉积具有 80nm 厚度的 Mo 膜。在利用光刻形成抗蚀剂图形之后,执行干法蚀刻和剥离,以便于形成源电极 12 和漏电极 14。结果,获得根据第一实例的薄膜晶体管 1。

[0251] 将源电极 12 与漏电极 14 之间的沟道长度设置为 20  $\mu\text{m}$ ,并将其间沟道的宽度设置

为  $5\ \mu\text{m}$ 。

[0252] 利用 SIMS(次级离子质谱)系统测量的如上所述制造的第一实例的薄膜晶体管 1 的第一栅极绝缘层 6a 中含有的氢原子浓度为  $5.2 \times 10^{21}/\text{cm}^3$ 。利用 SIMS 系统测量的如上所述制造的第一实例的薄膜晶体管 1 的第二栅极绝缘层 6b 中含有的氢原子浓度为  $9.0 \times 10^{19}/\text{cm}^3$ 。

[0253] 利用半导体参数分析器测量的薄膜晶体管 1 的金属氧化物层 16 的半导体区 8 的导电率为  $1.7 \times 10^4\text{S}/\text{cm}$ 。利用半导体参数分析器测量的薄膜晶体管 1 的绝缘区 10 的导电率为  $9.0 \times 10^{10}\text{S}/\text{cm}$ 。

[0254] 薄膜晶体管 1 具有  $11\text{cm}^2/\text{Vs}$  的迁移率、在横跨源电极 12 和漏电极 14 施加 10V 的电压下五位数的 ON/OFF 比率、以及 1.1V/十进制的亚阈值,即 S 值。

[0255] 测量的结果表明根据第一实例的薄膜晶体管 1 展示出良好的晶体管特性。

[0256] 接着,利用与前述方法相同的方法,在形成于薄膜晶体管 1 上的源电极 12 和漏电极 14 上沉积由  $\text{SiO}_x$  制成的密封层 20、由聚合物制成的层间绝缘层 22 和由 ITO 制成的像素电极 24,以便于获得薄膜晶体管阵列基板 26,即,薄膜晶体管阵列。值得注意的是,图 3 是示意性示出根据该实例的薄膜晶体管阵列基板 26 的横截面示意图。

[0257] 薄膜晶体管阵列基板 26 具有  $480 \times 640$  像素,每一像素的尺寸为  $125\ \mu\text{m} \times 125\ \mu\text{m}$ 。

[0258] 接着,通过将电泳部件 32 夹在薄膜晶体管阵列基板 26 与反向电极 30 之间来制造如图 4 中所示的图像显示装置 28。当驱动图像显示装置 28 时,确保图像显示装置 28 能够良好显示。值得注意的事,图 4 是示意性示出根据该实例的图像显示装置 28 的横截面示意图。

[0259] 第二实例

[0260] 除通过溅射器件将  $\text{SiN}_x$  膜沉积为第二栅极绝缘层 6b 之外,以与根据第一实例相同的方法,制造在图 2 中示出其结构的根据第二实例的薄膜晶体管 1。那时, $\text{SiN}_x$  膜形成期间的输入功率、Ar 气体流速和沉积压力分别设定为 500W、50SCCM 和 1.0Pa。

[0261] 利用 SIMS 系统测量的如上所述制造的第二实例的薄膜晶体管 1 的第一栅极绝缘层 6a 中含有的氢原子浓度为  $5.2 \times 10^{21}/\text{cm}^3$ 。利用 SIMS 系统测量的如上所述制造的第二实例的薄膜晶体管 1 的第二栅极绝缘层 6b 中含有的氢原子浓度为  $8.1 \times 10^{19}/\text{cm}^3$ 。

[0262] 利用半导体参数分析器测量的薄膜晶体管 1 的金属氧化物层 16 的半导体区 8 的导电率为  $1.1 \times 10^4\text{S}/\text{cm}$ 。利用半导体参数分析器测量的薄膜晶体管 1 的绝缘区 10 的导电率为  $5.5 \times 10^{10}\text{S}/\text{cm}$ 。

[0263] 薄膜晶体管 1 在横跨源电极 12 和漏电极 14 施加 10V 的电压下具有  $9\text{cm}^2/\text{Vs}$  的迁移率、六位数的 ON/OFF 比率、以及 0.9V/十进制的亚阈值,即 S 值。

[0264] 测量的结果表明根据第二实例的薄膜晶体管 1 展示出良好的晶体管特性。

[0265] 接着,利用与前述方法相同的方法,在形成于如图 3 中所示的薄膜晶体管 1 上的源电极 12 和漏电极 14 上沉积由  $\text{SiO}_x$  制成的密封层 20、由聚合物制成的层间绝缘层 22 和由 ITO 制成的像素电极 24,以便于获得薄膜晶体管阵列基板 26。

[0266] 薄膜晶体管阵列基板 26 具有  $480 \times 640$  像素,每一像素的尺寸为  $125\ \mu\text{m} \times 125\ \mu\text{m}$ 。

[0267] 接着,通过将电泳部件 32 夹在薄膜晶体管阵列基板 26 与反向电极 30 之间来制造如图 4 中所示的图像显示装置 28。当驱动图像显示装置 28 时,确保了图像显示装置 28 能

够良好显示。

### [0268] 第三实例

[0269] 除通过原子层沉积系统将  $\text{Al}_2\text{O}_3$  膜沉积为第二栅极绝缘层 6b 之外, 以与根据第一实例相同的方法, 制造在图 2 中示出其结构的根据第三实例的薄膜晶体管 1。那时, 在基板温度设定为  $150^\circ\text{C}$  时利用三甲基铝和  $\text{H}_2\text{O}$  沉积  $\text{Al}_2\text{O}_3$  膜。

[0270] 利用 SIMS 系统测量的如上所述制造的第三实例的薄膜晶体管 1 的第一栅极绝缘层 6a 中含有的氢原子浓度为  $5.0 \times 10^{21}/\text{cm}^3$ 。利用 SIMS 系统测量的如上所述制造的第三实例的薄膜晶体管 1 的第二栅极绝缘层 6b 中含有的氢原子浓度为  $4.0 \times 10^{19}/\text{cm}^3$ 。

[0271] 利用半导体参数分析器测量的薄膜晶体管 1 的金属氧化物层 16 的半导体区 8 的导电率为  $1.2 \times 10^{-4}\text{S}/\text{cm}$ 。利用半导体参数分析器测量的薄膜晶体管 1 的绝缘区 10 的导电率为  $3.1 \times 10^{-10}\text{S}/\text{cm}$ 。

[0272] 薄膜晶体管 1 具有  $10\text{cm}^2/\text{Vs}$  的迁移率、在横跨源电极 12 和漏电极 14 施加 10V 的电压下六位数的 ON/OFF 比率、以及 0.9V/十进制的亚阈值, 即 S 值。

[0273] 测量的结果表明根据第三实例的薄膜晶体管 1 展示出良好的晶体管特性。

[0274] 接着, 利用与前述方法相同的方法, 在形成于如图 3 中所示的薄膜晶体管 1 上的源电极 12 和漏电极 14 上沉积由  $\text{SiO}_x$  制成的密封层 20、由聚合物制成的层间绝缘层 22 和由 ITO 制成的像素电极 24, 以便于获得薄膜晶体管阵列基板 26。

[0275] 薄膜晶体管阵列基板 26 具有  $480 \times 640$  像素, 每一像素的尺寸为  $125 \mu\text{m} \times 125 \mu\text{m}$ 。

[0276] 接着, 通过将电泳部件 32 夹在薄膜晶体管阵列基板 26 与反向电极 30 之间来制造如图 4 中所示的图像显示装置 28。当驱动图像显示装置 28 时, 确保了图像显示装置 28 能够良好显示。

### [0277] 第一比较实例

[0278] 除在与第二栅极绝缘层 6b 相同条件下形成栅极绝缘层 6 且在与半导体区 8 相同条件下形成金属氧化物层 16 之外, 以与根据第一实例相同的方法, 制造在图 5 中示出其结构的根据第一比较实例的薄膜晶体管 1。值得注意的是, 图 5 是示意性示出根据该实例的薄膜晶体管的横截面图。

[0279] 利用 SIMS 系统测量的如上所述制造的第一比较实例的薄膜晶体管 1 的栅极绝缘层 6 中含有的氢原子浓度为  $9.2 \times 10^{19}/\text{cm}^3$ 。

[0280] 利用半导体参数分析器测量的薄膜晶体管 1 的金属氧化物层 16 的导电率为  $9.1 \times 10^{-10}\text{S}/\text{cm}$ 。

[0281] 薄膜晶体管 1 的特性测量结果表明该薄膜晶体管的开启状态电流的水平低。

[0282] 测量结果表明根据第一比较实例的薄膜晶体管 1 没有获得良好的晶体管特性。

### [0283] 第二比较实例

[0284] 除将在第一栅极绝缘层 6a 沉积期间基板的加热温度设定为  $80^\circ\text{C}$  之外, 以与根据第一实例相同的方法, 制造在图 2 中示出其结构的根据第二比较实例的薄膜晶体管 1。

[0285] 利用 SIMS 系统测量的如上所述制造的第二比较实例的薄膜晶体管 1 的第一栅极绝缘层 6a 中含有的氢原子浓度为  $6.0 \times 10^{22}/\text{cm}^3$ 。利用 SIMS 系统测量的如上所述制造的第二比较实例的薄膜晶体管 1 的第二栅极绝缘层 6b 中含有的氢原子浓度为  $9.0 \times 10^{19}/\text{cm}^3$ 。

[0286] 利用半导体参数分析器测量的薄膜晶体管 1 的金属氧化物层 16 的导电率为

5.  $3 \times 10^2 \text{S/cm}$ , 且利用半导体参数分析器测量的薄膜晶体管 1 的绝缘层 10 的导电率为  $8.9 \times 10^{10} \text{S/cm}$ 。

[0287] 薄膜晶体管 1 的特性测量结果表明薄膜晶体管 1 的开启状态的电流水平低, 以至与发现根据第二比较实例的薄膜晶体管 1 没有获得良好的晶体管特性。

[0288] 第三比较实例

[0289] 除在与第一栅极绝缘层 6a 相同条件下形成栅极绝缘层 6 且在与半导体区 8 相同条件下形成金属氧化物层 16 之外, 以与根据第一实例相同的方法, 制造在图 5 中示出其结构的根据第三比较实例的薄膜晶体管 1。

[0290] 利用 SIMS 系统测量的如上所述制造的第三比较实例的薄膜晶体管 1 的栅极绝缘层 6 中含有的氢原子浓度为  $5.1 \times 10^{21} / \text{cm}^3$ 。

[0291] 利用半导体参数分析器测量的薄膜晶体管 1 的金属氧化物层 16 的导电率为  $1.9 \times 10^4 \text{S/cm}$ 。

[0292] 薄膜晶体管 1 具有  $10 \text{cm}^2 / \text{Vs}$  的迁移率、在横跨源电极 12 和漏电极 14 施加 10V 的电压下五位数的 ON/OFF 比率、以及 1.2V/十进制的亚阈值, 即 S 值。

[0293] 测量的结果表明根据第三比较实例的薄膜晶体管 1 展示出良好的晶体管特性。

[0294] 接着, 利用与前述方法相同的方法, 在形成于如图 3 中所示的薄膜晶体管 1 上的源电极 12 和漏电极 14 上沉积由  $\text{SiO}_x$  制成的密封层 20、由聚合物制成的层间绝缘层 22 和由 ITO 制成的像素电极 24, 以便于获得薄膜晶体管阵列基板 26。

[0295] 薄膜晶体管阵列基板 26 具有  $480 \times 640$  像素, 每一像素的尺寸为  $125 \mu\text{m} \times 125 \mu\text{m}$ 。

[0296] 接着, 通过将电泳部件 32 夹在薄膜晶体管阵列基板 26 与反向电极 30 之间来制造如图 4 中所示的图像显示装置 28。当驱动图像显示装置 28 时, 由于相邻像素之间的电交感, 确保了图像显示装置 28 能够良好显示。

[0297] 第二实施例的实例

[0298] 制造根据第二实施例的四种薄膜晶体管 1, 制造根据比较实例的两种薄膜晶体管, 并参考图 6 来基于图 7 至 10 评估这些制造的薄膜晶体管 1 的每一种的物理特性。下文将详细描述物理特性评估的结果。

[0299] 第四实例

[0300] 在第四实例中, 制造图 7 中所示的薄膜晶体管元件, 并制造图 8 中所示的图像显示装置。

[0301] 下面将描述如何制造根据第四实例的薄膜晶体管元件。

[0302] 利用  $125 \mu\text{m}$  厚的洗过的 PEN 基板作为绝缘基板 100。在绝缘基板 100 上沉积 100nm 厚的 Mo 膜。接着利用光刻形成栅电极 110 和电容电极 170。分别将在 Mo 膜形成过程中的输入功率、Ar 气体流速和沉积压力分别设定为 100W、50SCCM 和 1.0Pa。在光刻工艺中, 在将光致抗蚀剂涂敷到 Mo 膜之后, 经由光掩模将 Mo 膜暴露于光中。接着, 利用显影剂形成抗蚀剂图形, 通过蚀刻形成栅极图形, 且其后, 执行抗蚀剂的剥离。接着, 利用等离子体 CVD 系统沉积 500nm 厚的  $\text{SiO}_x$  膜, 生成栅极绝缘膜 120。那时, 基于下述条件执行  $\text{SiO}_x$  膜的形成: 将输入功率、 $\text{SiH}_4$  气体流速、 $\text{NO}_3$  气体流速、沉积压力和基板温度分别设置为 300W、10SCCM、10SCCM、1.0Pa 和  $150^\circ\text{C}$ 。

[0303] 接着, 沉积 100nm 厚的 Mo 膜, 并利用光刻形成源和漏电极 130 和 140。Mo 沉积条件

和光刻与栅电极 110 的沉积相同。将源电极 12 和漏电极 14 之间的沟道长度设定为  $20\ \mu\text{m}$ ，并将其间的沟道宽度设置为  $5\ \mu\text{m}$ 。接着，利用溅射在室温下将由 InGaZnO 构成的金属氧化物层 150 沉积为 40nm 厚的膜。那时，将在 InGaO 沉积期间的输入功率、Ar 气体流速、 $\text{O}_2$  气体流速和沉积压力分别设定为 300W、10SCCM、10SCCM 和 1.0Pa。

[0304] 在膜形成之后，利用光刻形成抗蚀剂图形，并进行干法蚀刻和剥离，以便于形成绝缘保护层 160b。

[0305] 最后，利用等离子体 CVD 系统沉积 80nm 厚的  $\text{SiN}_x$  膜作为绝缘保护层 160a，以便于获得图 7 中所示的薄膜晶体管元件。值得注意的是，将  $\text{SiN}_x$  膜形成期间的输入功率、 $\text{SiH}_4$  气体流速、 $\text{NH}_3$  气体流速、沉积压力和基板温度分别设置为 200W、10SCCM、5SCCM、3.0Pa 和  $150^\circ\text{C}$ 。

[0306] 利用 SIMS 系统测量上述制造的第四实例的薄膜晶体管元件的绝缘保护层 160a 和 160b 中的每一层中含有的氢原子浓度。结果，绝缘保护层 160a 中含有的氢原子浓度为  $4.8 \times 10^{21}/\text{cm}^3$ ，而绝缘保护层 160b 中含有的氢原子浓度为  $8.2 \times 10^{19}/\text{cm}^3$ 。

[0307] 利用半导体参数分析器测量金属氧化层的半导体区 150a 和绝缘区 150b 中的每一个的导电率。结果，半导体区 150a 的导电率为  $2.0 \times 10^4 \text{S}/\text{cm}$ ，而绝缘区 150b 的导电率为  $9.0 \times 10^{10} \text{S}/\text{cm}$ 。

[0308] 制造的薄膜晶体管元件具有  $9\text{cm}^2/\text{Vs}$  的迁移率、在横跨源电极 12 和漏电极 14 施加 10V 的电压下五位数的 ON/OFF 比率、以及 1.2V/十进制的亚阈值，即 S 值。测量的结果表明薄膜晶体管元件展示出良好的晶体管特性。

[0309] 下面描述如何制造根据第四实例的图像显示装置。

[0310] 在以与第四实例的薄膜晶体管相同的方法形成薄膜晶体管元件的绝缘保护层之后，在绝缘保护层上形成由聚合物制成的层间绝缘层 180，并通过干法蚀刻形成通孔。其后，形成由 ITO 制成的像素电极 190。其每一个形成有如上所述的绝缘层 180 且具有  $125\ \mu\text{m} \times 125\ \mu\text{m}$  的尺寸的  $480 \times 640$  薄膜晶体管被布置成以形成薄膜晶体管阵列基板。将电泳部件 22 夹在薄膜晶体管阵列基板与反向电极 210 之间来制造图 8 中示出的根据第四实例的图像显示装置。当驱动根据第四实例的图像显示装置时，确保了图像显示装置器件能够良好显示。

[0311] 第五实例

[0312] 在以与第四实例的薄膜晶体管的相同方法形成根据第五实例的薄膜晶体管元件的源电极 130 和漏电极 140 之后，利用溅射在室温下将 InGaZnO 制成的金属氧化物层 150 沉积为 40nm 厚的膜。那时，将 InGaZnO 沉积期间的输入功率、Ar 气体流速、 $\text{O}_2$  气体流速和沉积压力分别设置为 100W、100SCCM、3SCCM 和 1Pa。

[0313] 接着，利用提升工艺形成绝缘保护层 160a。在金属氧化物层 150 上形成抗蚀剂图形之后，利用等离子体 CVD 系统沉积 80nm 厚的  $\text{SiN}_x$  膜。值得注意的是，将  $\text{SiN}_x$  膜形成期间的输入功率、 $\text{SiH}_4$  气体流速、 $\text{N}_2\text{O}$  气体流速、沉积压力和基板温度分别设置为 300W、10SCCM、10SCCM、3.0Pa 和  $150^\circ\text{C}$ 。

[0314] 在膜沉积之后，执行抗蚀剂的剥离，以便于形成绝缘保护层 160a。

[0315] 最终，利用等离子体 CVD 系统沉积 80nm 厚的  $\text{SiO}_2$  膜作为绝缘保护层 160b，以便于获得图 9 中示出的薄膜晶体管元件。值得注意的是，将  $\text{SiN}_x$  膜形成期间的输入功率、 $\text{SiH}_4$

气体流速、NH<sub>3</sub>气体流速、沉积压力和基板温度分别设置为 200W、10SCCM、5SCCM、3.0Pa 和 150℃。

[0316] 利用 SIMS 系统测量上述制造的第五实例的薄膜晶体管元件的绝缘保护层 160a 和 160b 中的每一层中含有的氢原子浓度。结果,绝缘保护层 160a 中含有的氢原子浓度为  $4.7 \times 10^{21}/\text{cm}^3$ ,而绝缘保护层 160b 中含有的氢原子浓度为  $8.0 \times 10^{19}/\text{cm}^3$ 。

[0317] 利用半导体参数分析器测量金属氧化层的半导体区 150a 和绝缘区 150b 中的每一个的导电率。结果,半导体区 150a 的导电率为  $2.4 \times 10^{-4}\text{S}/\text{cm}$ ,而绝缘区 150b 的导电率为  $5.0 \times 10^{-10}\text{S}/\text{cm}$ 。

[0318] 制造的薄膜晶体管元件具有  $9\text{cm}^2/\text{Vs}$  的迁移率、在横跨源电极 12 和漏电极 14 施加 10V 的电压下五位数的 ON/OFF 比率、以及 0.9V/十进制的亚阈值,即 S 值。测量的结果表明薄膜晶体管元件展示出良好的晶体管特性。

[0319] 下面描述如何制造根据第五实例的图像显示装置。

[0320] 在以与第四实例的薄膜晶体管相同的方法形成薄膜晶体管元件的绝缘保护层之后,在绝缘保护层上形成由聚合物制成的层间绝缘层 180,并通过干法蚀刻形成通孔。其后,形成由 ITO 制成的像素电极 190。其每一个形成有如上所述的绝缘层 180 且具有  $125\mu\text{m} \times 125\mu\text{m}$  的尺寸的  $480 \times 640$  薄膜晶体管被布置以形成薄膜晶体管阵列基板。将电泳部件 22 夹在薄膜晶体管阵列基板与反向电极 210 之间来制造图 10 中示出的根据第五实例的图像显示装置 200。当驱动根据第五实例的图像显示装置时,确保了图像显示装置器件能够良好显示。

[0321] 第六实例

[0322] 除第二绝缘保护层 160b 是通过溅射沉积的 80nm 厚的 SiO<sub>2</sub>膜之外,以与第四实例的工序相同的工序制造具有与图 7 中示出的结构相同的结构的薄膜晶体管元件。那时,将 SiO<sub>2</sub>膜沉积期间的输入功率、Ar 气体流速和沉积压力分别设置为 500W、50SCCM 和 1.0Pa。

[0323] 利用 SIMS 系统测量上述制造的第六实例的薄膜晶体管元件的绝缘保护层 160a 和 160b 中的每一层中含有的氢原子浓度。结果,绝缘保护层 160a 中含有的氢原子浓度为  $4.2 \times 10^{21}/\text{cm}^3$ ,而绝缘保护层 160b 中含有的氢原子浓度为  $7.9 \times 10^{19}/\text{cm}^3$ 。

[0324] 利用半导体参数分析器测量金属氧化层的半导体区 150a 和绝缘区 150b 中的每一个的导电率。结果,半导体区 150a 的导电率为  $1.9 \times 10^{-4}\text{S}/\text{cm}$ ,而绝缘区 150b 的导电率为  $6.0 \times 10^{-10}\text{S}/\text{cm}$ 。

[0325] 薄膜晶体管元件具有  $8\text{cm}^2/\text{Vs}$  的迁移率、在横跨源电极 12 和漏电极 14 施加 10V 的电压下五位数的 ON/OFF 比率、以及 1.3V/十进制的亚阈值,即 S 值。测量的结果表明薄膜晶体管元件展示出良好的晶体管特性。

[0326] 下面描述如何制造根据第六实例的图像显示装置。

[0327] 在以与第六实例的薄膜晶体管相同的方法形成薄膜晶体管元件的绝缘保护层之后,在绝缘保护层上形成由聚合物制成的层间绝缘层 180,并通过干法蚀刻形成通孔。其后,形成由 ITO 制成的像素电极 190。其每一个形成有如上所述的绝缘层 180 且具有  $125\mu\text{m} \times 125\mu\text{m}$  的尺寸的  $480 \times 640$  薄膜晶体管被布置以形成薄膜晶体管阵列基板。将电泳部件 22 夹在薄膜晶体管阵列基板与反向电极 210 之间来制造的根据第六实例的图像显示装置 200,其结构与图 8 中示出的结构相同。当驱动根据第六实例的图像显示装置时,证



实了图像显示装置器件能够良好显示。

#### [0328] 第七实例

[0329] 除第二绝缘保护层 160b 是通过原子沉积而沉积的 80nm 厚的  $\text{Al}_2\text{O}_3$  膜之外, 以与第四实例的工序相同的工序制造具有与图 7 中示出的结构相同的结构的薄膜晶体管元件。值得注意的是,  $\text{Al}_2\text{O}_3$  膜由三甲基铝和  $\text{H}_2\text{O}$  制成且在  $150^\circ\text{C}$  的基板温度下被沉积。

[0330] 利用 SIMS 系统测量上述制造的第七实例的薄膜晶体管元件的绝缘保护层 160a 和 160b 中的每一层中含有的氢原子浓度。结果, 绝缘保护层 160a 中含有的氢原子浓度为  $2.1 \times 10^{21}/\text{cm}^3$ , 而绝缘保护层 160b 中含有的氢原子浓度为  $9.1 \times 10^{19}/\text{cm}^3$ 。

[0331] 利用半导体参数分析器测量金属氧化层的半导体区 150a 和绝缘区 150b 中的每一个的导电率。结果, 半导体区 150a 的导电率为  $1.7 \times 10^{-4}\text{S}/\text{cm}$ , 而绝缘区 150b 的导电率为  $4.0 \times 10^{-10}\text{S}/\text{cm}$ 。

[0332] 薄膜晶体管元件具有  $7\text{cm}^2/\text{Vs}$  的迁移率、在横跨源电极 12 和漏电极 14 施加 10V 的电压下五位数的 ON/OFF 比率、以及 1.5V/十进制的亚阈值, 即 S 值。测量的结果表明薄膜晶体管元件展示出良好的晶体管特性。

[0333] 下面描述如何制造根据第七实例的图像显示装置。

[0334] 在以与第七实例的薄膜晶体管相同的方法形成薄膜晶体管元件的绝缘保护层之后, 在绝缘保护层上形成由聚合物制成的层间绝缘层 180, 并通过干法蚀刻形成通孔。其后, 形成由 ITO 制成的像素电极 190。其每一个形成有如上所述的绝缘层 180 且具有  $125\ \mu\text{m} \times 125\ \mu\text{m}$  的尺寸的  $480 \times 640$  薄膜晶体管被布置以形成薄膜晶体管阵列基板。将电泳部件 22 夹在薄膜晶体管阵列基板与反向电极 210 之间来制造的根据第七实例的图像显示装置 200, 其结构与图 8 中示出的结构相同。当驱动根据第七实例的图像显示装置时, 确保了图像显示装置器件能够良好显示。

#### [0335] 第四比较实例

[0336] 除第二绝缘保护层 160b 在与第一绝缘保护层 160a 相同的条件下形成, 即在与第一绝缘保护层 160a 相同的条件下形成绝缘层 160 之外, 以与第四实例的工序相同的工序制造具有与图 7 中示出的结构相同的结构的根据第四比较实例的薄膜晶体管元件。

[0337] 利用 SIMS 系统测量第四比较实例的薄膜晶体管元件的绝缘保护层 160a 和 160b 中的每一层中含有的氢原子浓度。结果, 绝缘保护层 160a 中含有的氢原子浓度为  $3.6 \times 10^{21}/\text{cm}^3$ , 而绝缘保护层 160b 中含有的氢原子浓度为  $3.8 \times 10^{21}/\text{cm}^3$ 。

[0338] 利用半导体参数分析器测量金属氧化层的半导体区 150a 和绝缘区 150b 中的每一个的导电率。结果, 半导体区 150a 的导电率为  $1.9 \times 10^{-4}\text{S}/\text{cm}$ , 而绝缘区 150b 的导电率为  $2.0 \times 10^{-4}\text{S}/\text{cm}$ 。第四比较实例的薄膜晶体管的特性测量结果表明薄膜晶体管的关状态的电流水平高, 导致不充分的晶体管特性。

#### [0339] 第五比较实例

[0340] 除第一绝缘保护层 160a 在与第二绝缘保护层 160b 相同的条件下形成, 即在与第二绝缘保护层 160b 相同的条件下形成绝缘层 160 之外, 以与第五实例的工序相同的工序制造具有与图 9 中示出的结构相同的结构的根据第五比较实例的薄膜晶体管。

[0341] 利用 SIMS 系统测量第五比较实例的薄膜晶体管元件的绝缘保护层 160a 和 160b 中的每一层中含有的氢原子浓度。结果, 绝缘保护层 160a 中含有的氢原子浓度为

$7.0 \times 10^{19}/\text{cm}^3$ , 而绝缘保护层 160b 中含有的氢原子浓度为  $6.9 \times 10^{19}/\text{cm}^3$ 。

[0342] 利用半导体参数分析器测量金属氧化层的半导体区 150a 和绝缘区 150b 中的每一个的导电率。结果, 半导体区 150a 的导电率为  $8.0 \times 10^{10}\text{S}/\text{cm}$ , 而绝缘区 150b 的导电率为  $6.8 \times 10^{10}\text{S}/\text{cm}$ 。第五比较实例的薄膜晶体管的特性测量结果表明薄膜晶体管的关状态的电流水平高, 导致不充分的晶体管特性。

[0343] 工业应用

[0344] 根据本发明的薄膜晶体管可以用作电子书、LCD、有机 EL 显示器以及其它类似装置的开关元件。在整个工艺期间, 将温度保持在等于或低于  $150^\circ\text{C}$ , 且省去半导体层的构图, 这使得能够高产量、低成本且高质量地制造基于柔性基板的装置。具体地, 它们能广泛应用于柔性显示器、IC 卡、IC 标签及其它类似装置。

[0345] 附图标记的说明:

[0346] 1: 薄膜晶体管

[0347] 2: 绝缘基板

[0348] 4: 栅电极

[0349] 6: 栅极绝缘层

[0350] 6a: 第一栅极绝缘层

[0351] 6b: 第二栅极绝缘层

[0352] 8: 半导体区

[0353] 10: 绝缘区

[0354] 12: 源电极

[0355] 14: 漏电极

[0356] 16: 金属氧化物层

[0357] 18: 电容电极

[0358] 20: 密封层

[0359] 22: 层间绝缘层

[0360] 24: 像素电极

[0361] 26: 薄膜晶体管阵列基板

[0362] 28: 图像显示装置

[0363] 30: 反向电极

[0364] 32: 电泳部件

[0365] 100: 绝缘基板

[0366] 110: 栅电极

[0367] 120: 栅极绝缘层

[0368] 130: 源电极

[0369] 140: 漏电极

[0370] 150: 金属氧化物层

[0371] 150a: 金属氧化物层中的半导体区

[0372] 150b: 金属氧化物层中的绝缘区

[0373] 160: 绝缘保护层

- [0374] 160a :第一绝缘保护层
- [0375] 160b :第二绝缘保护层
- [0376] 170 :电容电极
- [0377] 180 :层间绝缘层
- [0378] 190 :像素电极
- [0379] 200 :晶体管阵列基板
- [0380] 210 :反向电极
- [0381] 220 :电泳部件

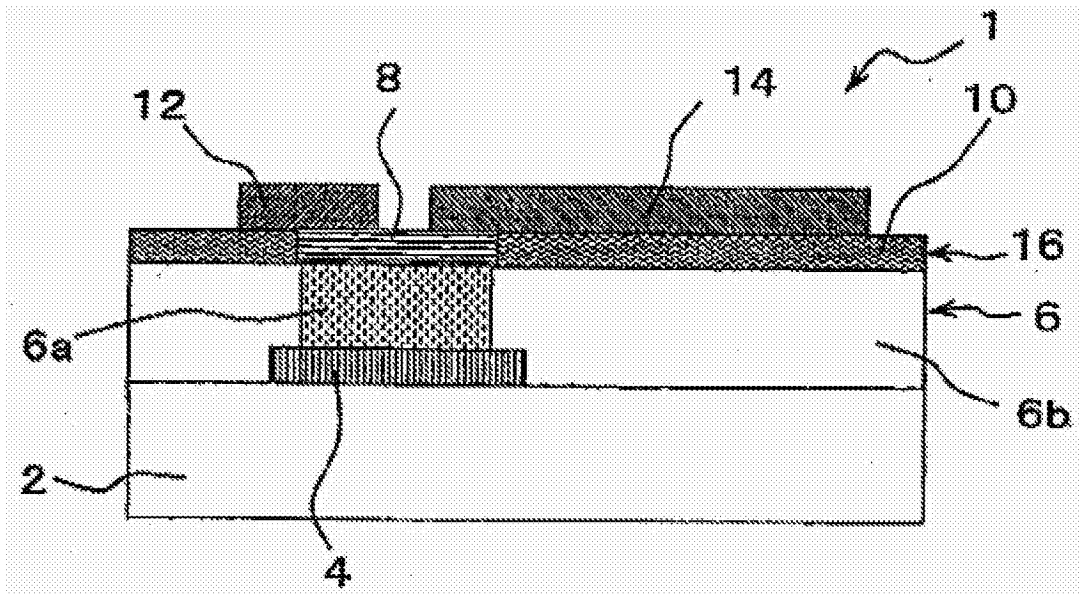


图 1

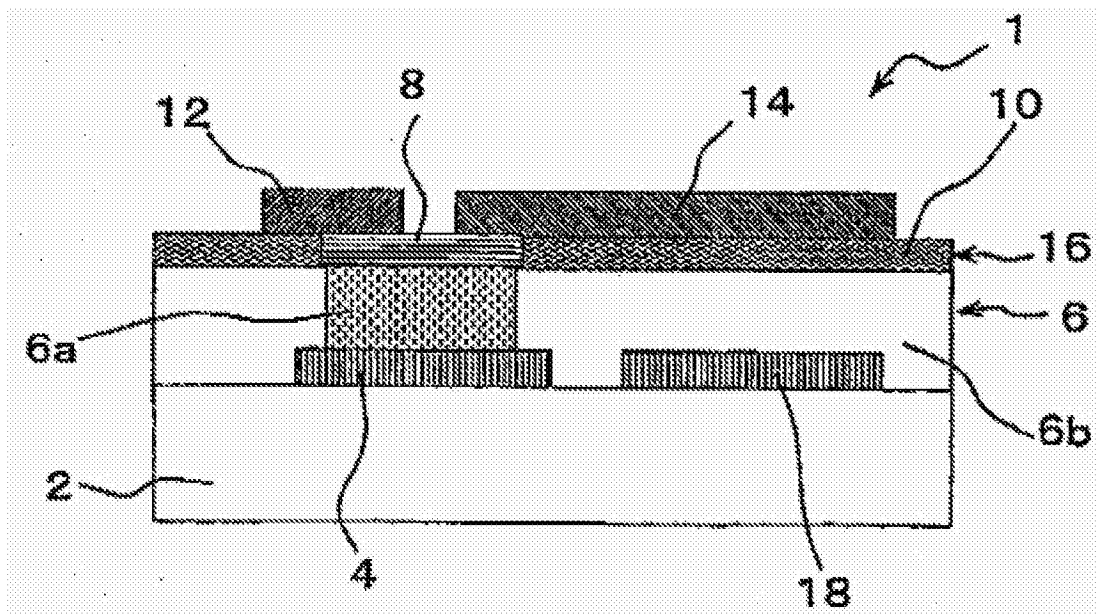


图 2

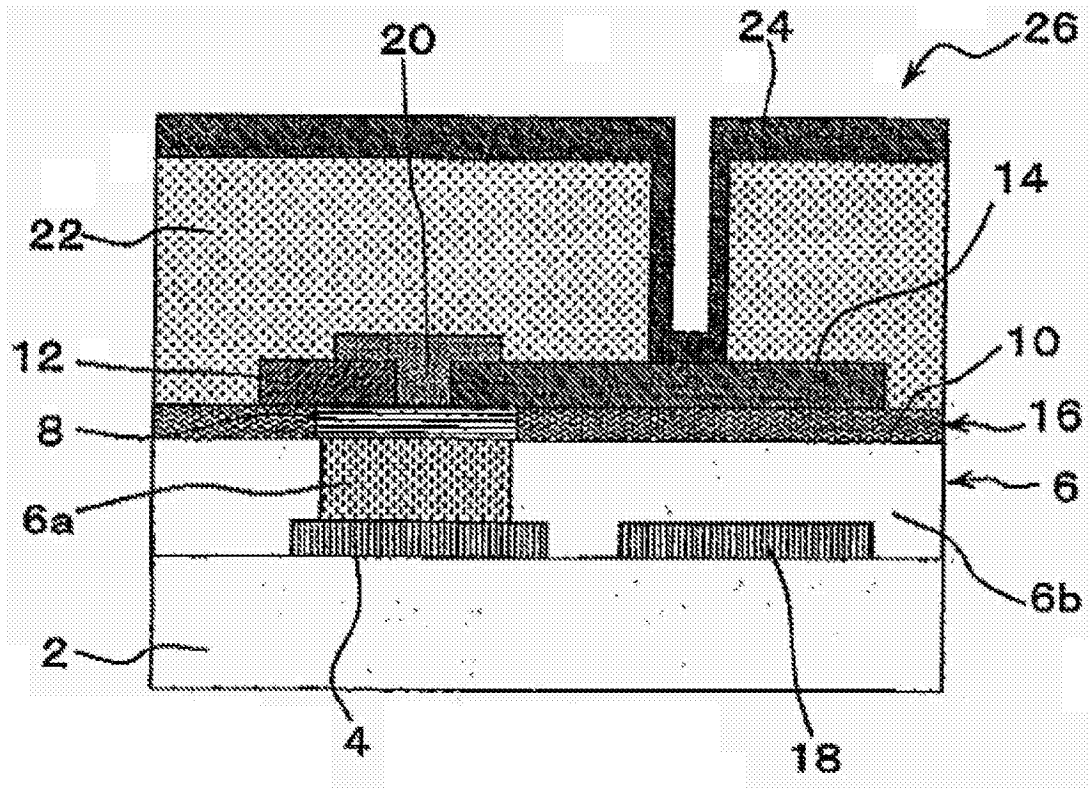


图 3

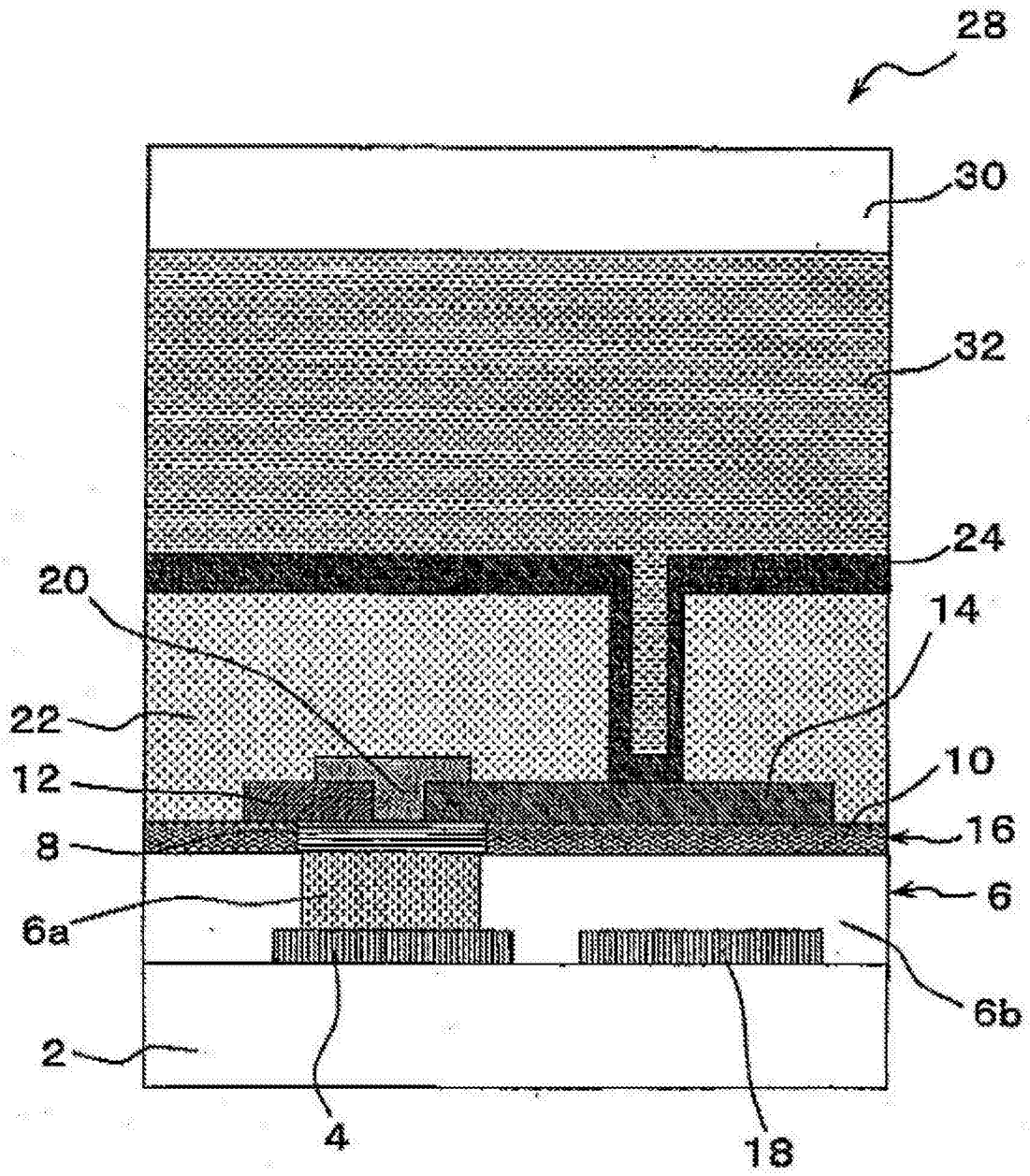


图 4

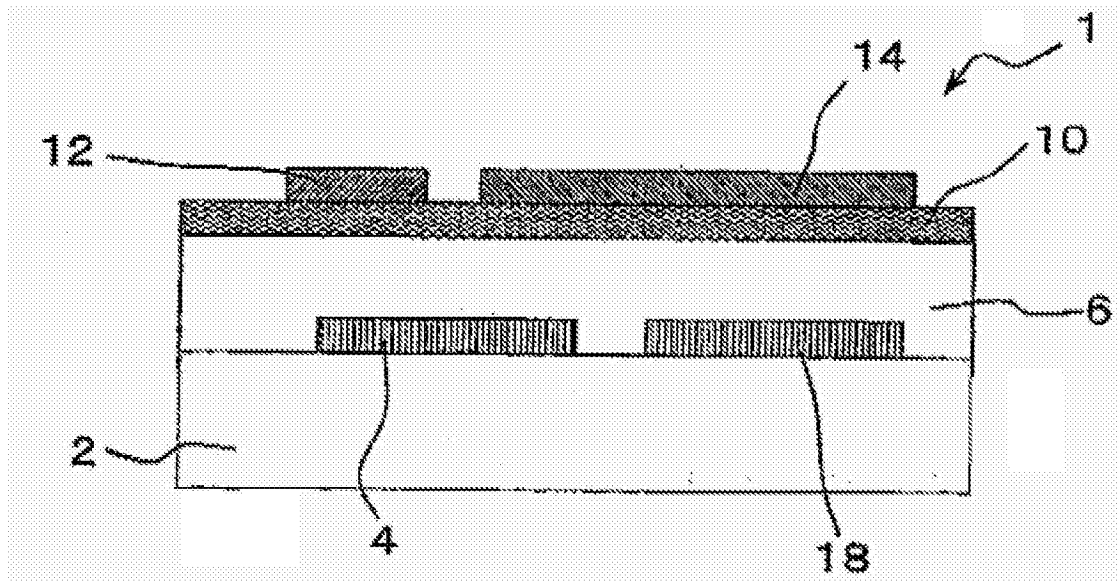


图 5

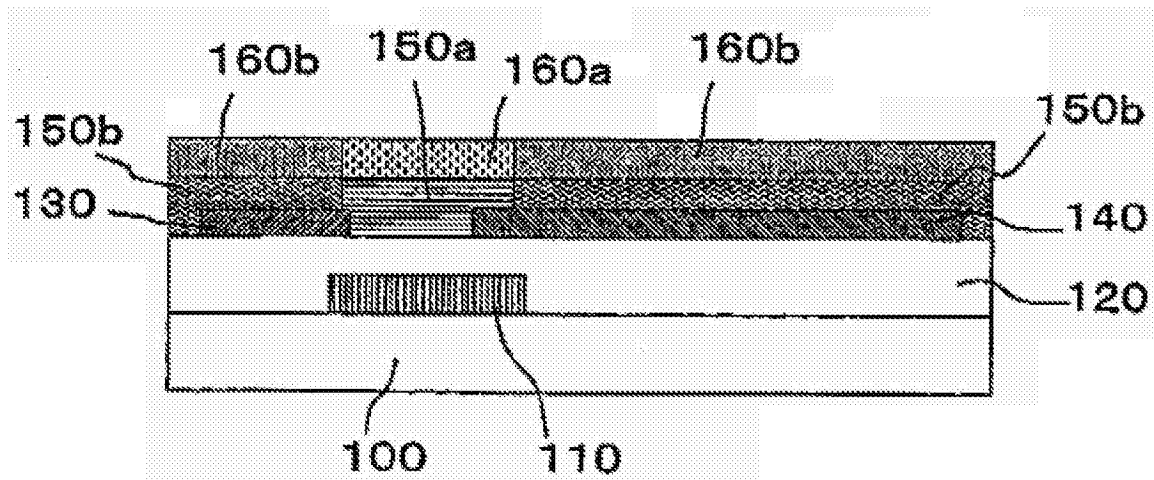


图 6

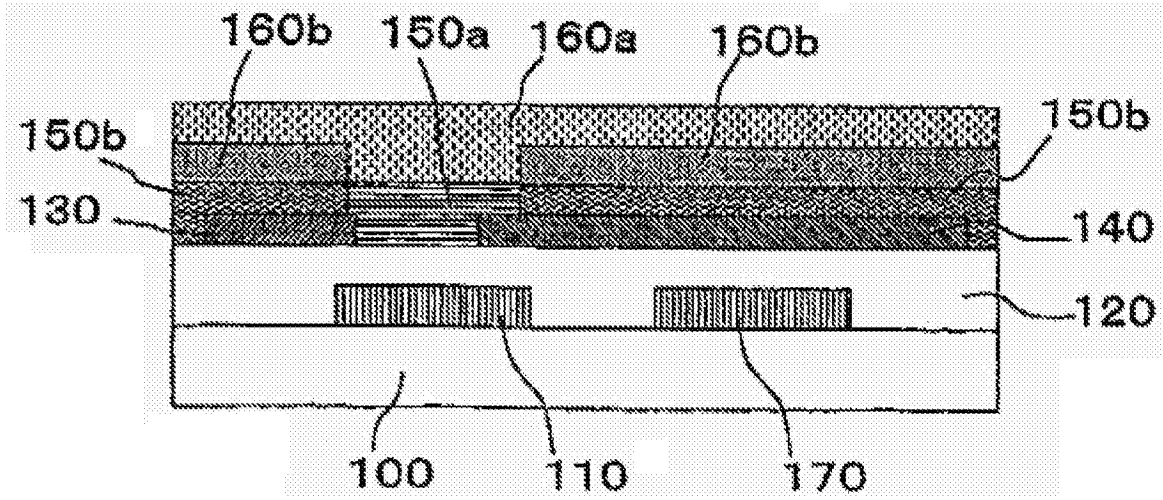


图 7

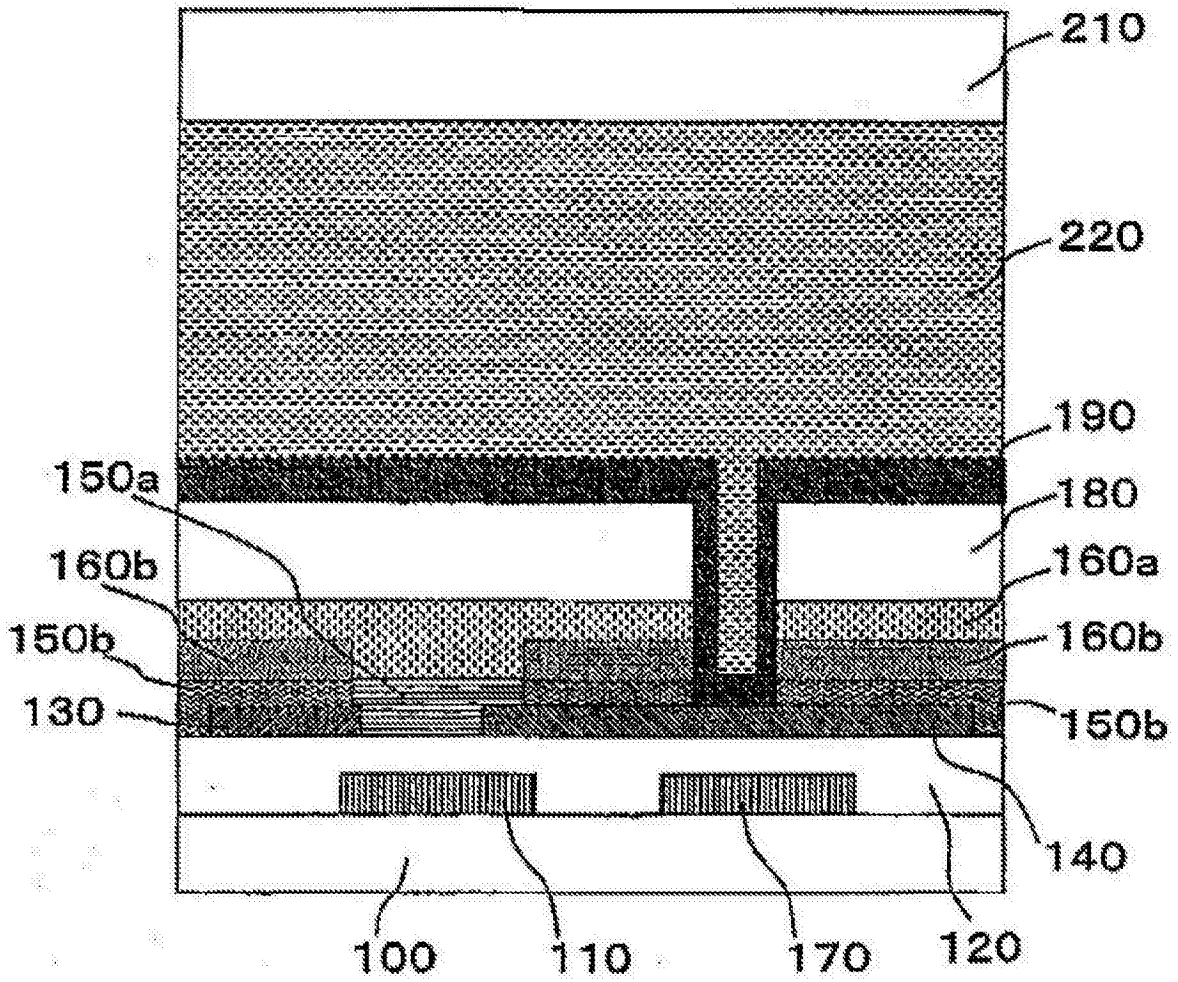


图 8



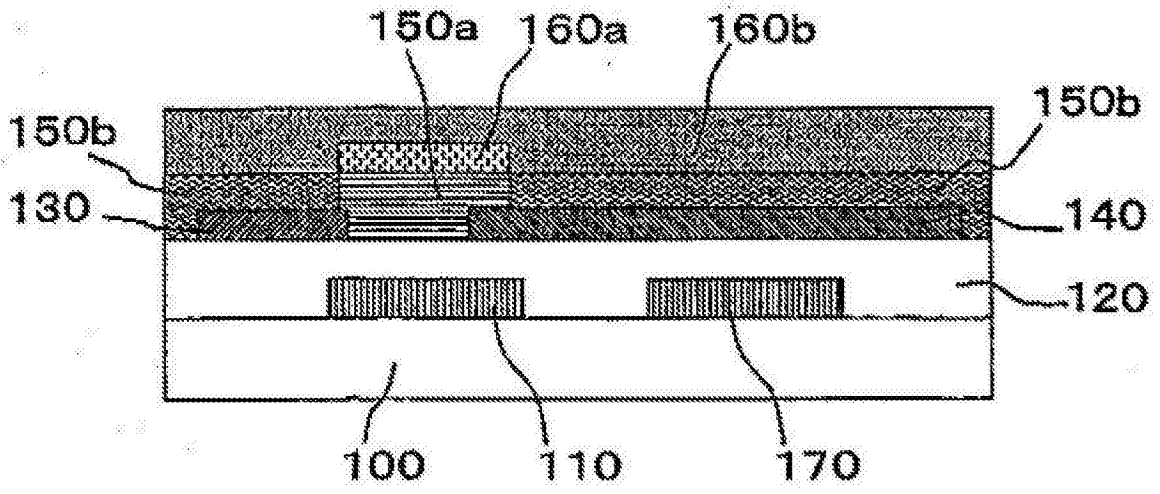


图 9

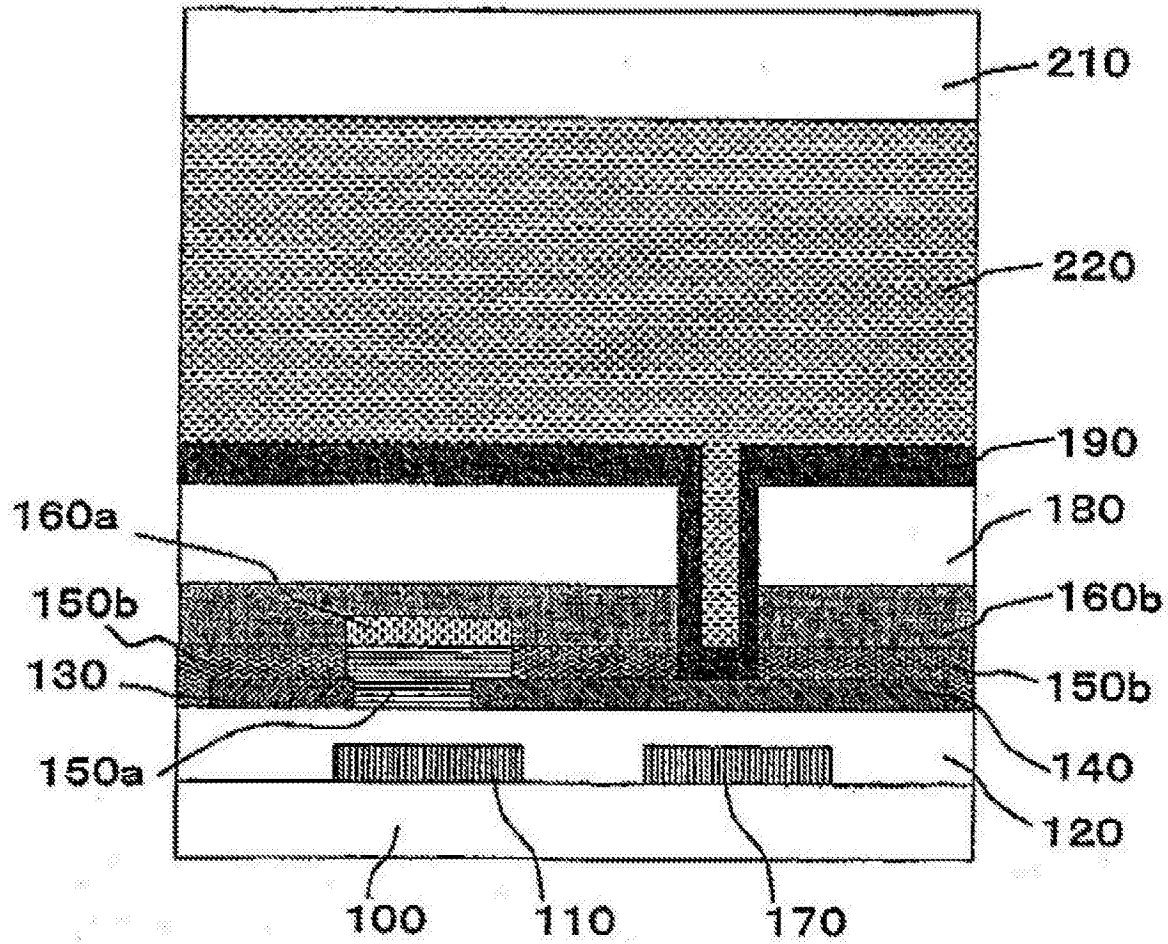


图 10