

**(19) 대한민국특허청(KR)**
(12) 공개특허공보(A)**(11) 공개번호** 10-2021-0109908
(43) 공개일자 2021년09월07일

(51) 국제특허분류(Int. Cl.)
H01L 45/00 (2006.01) *G11C 13/00* (2006.01)
(52) CPC특허분류
H01L 45/1253 (2013.01)
G11C 13/0002 (2018.05)
(21) 출원번호 10-2020-0025110
(22) 출원일자 2020년02월28일
심사청구일자 2020년02월28일

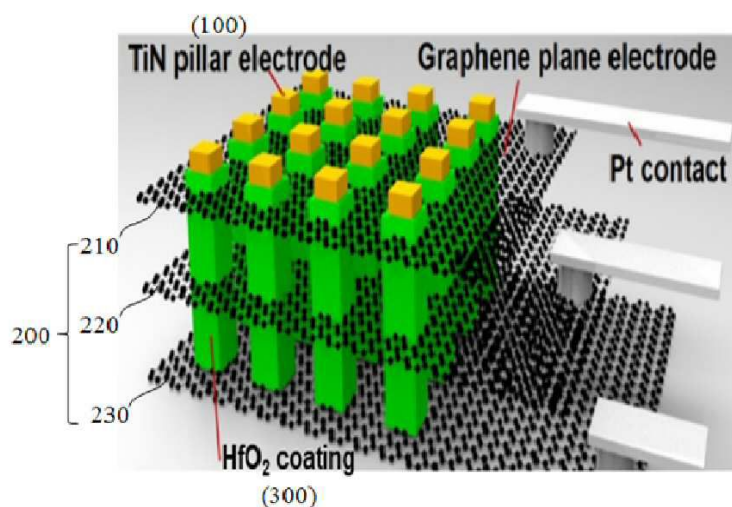
(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
이승현
경기도 수원시 영통구 광교호수공원로 45, 1005동 1101호
서샘
인천광역시 남동구 호구포로 294, 108동 104호
(74) 대리인
김홍석

전체 청구항 수 : 총 20 항

(54) 발명의 명칭 그래핀의 엣지를 이용한 수직구조 저항메모리

(57) 요약

본 발명에 따른 수직구조 저항 메모리가 제공된다. 상기 수직구조 저항 메모리는 상부 전극; 상기 상부 전극의 하부에 배치된 그래핀 층(graphene layer); 및 상기 상부 전극과 상기 그래핀 층 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀을 포함할 수 있다.

대표도 - 도3a

(52) CPC특허분류

H01L 45/1233 (2013.01)

H01L 45/146 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	20190582
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공분야기초연구사업/중점연구소지원사업
연구과제명	융복합 에너지 자율형 다기능 센서 플랫폼 연구 1단계-(2/3)
기 여 율	1/2
과제수행기관명	경희대학교 산학협력단
연구기간	2018.06.01 ~ 2021.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	20191906
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발사업(반도체)
연구과제명	3D 메모리스터 어레이 결점 극복을 위한 뉴로모픽 시스템-1단계3차년도(3/5)
기 여 율	1/2
과제수행기관명	경희대학교 산학협력단
연구기간	2017.12.01 ~ 2021.12.31

명세서

청구범위

청구항 1

수직구조 저항 메모리에 있어서,

상부 전극;

상기 상부 전극의 하부에 배치된 그래핀 층(graphene layer); 및

상기 상부 전극과 상기 그래핀 층 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀을 포함하는, 수직 구조 저항 메모리.

청구항 2

제1 항에 있어서,

상기 상부 전극은 TiN 전극으로 구성되고, 상기 그래핀 층의 엣지 영역은 그래핀 평면 전극(graphene plane electrode)로 구성되는, 수직 구조 저항 메모리.

청구항 3

제1 항에 있어서,

상기 메모리 물질은 HfO_2 로 코팅된 HfO_2 메모리 물질로 구성되고, 상기 HfO_2 메모리 물질은 상기 상부 전극과 상기 그래핀 층 사이에 배치되는 복수의 수직 구조 메모리 셀로 형성되는, 수직 구조 저항 메모리.

청구항 4

제1 항에 있어서,

상기 메모리 물질은 TiO_2 , Al_2O_3 및 Ta_2O_5 로 이루어진 군에서 선택된 어느 하나의 산화물로 코팅된 산화물 메모리 물질로 구성되고, 상기 산화물 메모리 물질은 상기 상부 전극과 상기 그래핀 층 사이에 배치되는 복수의 수직 구조 메모리 셀로 형성되는, 수직 구조 저항 메모리.

청구항 5

제1 항에 있어서,

상기 그래핀 층은 0.3nm 이하의 그래핀 층으로 구성되고, 상기 그래핀 층의 엣지 영역이 상기 수직구조 저항 메모리의 전극으로 형성되는, 수직 구조 저항 메모리.

청구항 6

제1 항에 있어서,

상기 그래핀 층은 제1 그래핀 층 및 상기 제1 그래핀 층의 하부에 배치되는 제2 그래핀 층을 포함하는, 수직 구조 저항 메모리.

청구항 7

제6 항에 있어서,

상기 제1 그래핀 층과 상기 제2 그래핀 층 사이에 제2 수직 구조 메모리 셀이 배치되는, 수직 구조 저항 메모리.

청구항 8

제6 항에 있어서,

상기 그래핀 층은 상기 제2 그래핀 층의 하부에 배치되는 제3 그래핀 층을 더 포함하는, 수직 구조 저항 메모리.

청구항 9

제8 항에 있어서,

상기 제2 그래핀 층과 상기 제3 그래핀 층 사이에 제3 수직 구조 메모리 셀이 배치되는, 수직 구조 저항 메모리.

청구항 10

제6 항에 있어서,

상기 제1 그래핀 층 상부에 형성된 상기 수직 구조 메모리 셀이 상기 제1 그래핀 층 하부로 연장되어 상기 제2 그래핀 층과 접합되도록 구성되는, 수직 구조 저항 메모리.

청구항 11

제8 항에 있어서,

상기 제1 그래핀 층 상부에 형성된 상기 수직 구조 메모리 셀이 상기 제1 그래핀 층 하부로 연장되어 상기 제2 그래핀 층과 접합되고, 상기 제2 그래핀 층 하부로 연장되어 상기 제3 그래핀 층과 접합되도록 구성되는, 수직 구조 저항 메모리.

청구항 12

제1 항에 있어서,

상기 그래핀 층과 상기 상부 전극 사이에 배치된 수직 구조 메모리 셀은 HfO_x 물질로 코팅되고, 상기 수직 구조 메모리 셀의 높이는 5nm 이하로 형성되는, 수직 구조 저항 메모리.

청구항 13

제12 항에 있어서,

상기 그래핀 층과 상기 수직 구조 메모리 셀은 Al_2O_3 물질을 이용하여 상호 간에 접합이 이루어지도록 구성된, 수직 구조 저항 메모리.

청구항 14

제13 항에 있어서,

상기 그래핀 층에 SiO_2 로 이루어진 보호막 층(passivation layer)이 형성되는, 수직 구조 저항 메모리.

청구항 15

비휘성 메모리(non-volatile memory)에 있어서,

상부 전극;

상기 상부 전극의 하부에 배치된 그래핀 층(graphene layer); 및

상기 상부 전극과 상기 그래핀 층 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀을 포함하고,

상기 수직 구조 메모리 셀은 상기 상부 전극과 상기 그래핀 층 사이에 복수의 열과 행으로 배치되는 수직 구조 메모리 셀인 것을 특징으로 하는, 비휘성 메모리.

청구항 16

제15 항에 있어서,

상기 상부 전극은 TiN 전극으로 구성되고, 상기 그래핀 층의 엣지 영역은 그래핀 평면 전극(graphene plane electrode)로 구성되고,

상기 메모리 물질은 HfO₂로 코팅된 HfO₂ 메모리 물질로 구성되고, 상기 HfO₂ 메모리 물질은 상기 상부 전극과 상기 그래핀 층 사이에 배치되는 복수의 수직 구조 메모리 셀로 형성되는, 비활성 메모리.

청구항 17

제15 항에 있어서,

상기 그래핀 층은 0.3nm 이하의 그래핀 층으로 구성되고, 상기 그래핀 층의 엣지 영역이 상기 수직구조 저항 메모리의 전극으로 형성되는, 비활성 메모리.

청구항 18

제15 항에 있어서,

상기 그래핀 층은 상호 평행하게 배치되는 복수의 그래핀 층으로 구성되고,

상기 복수의 그래핀 층은 제1 그래핀 층 및 상기 제1 그래핀 층의 하부에 배치되는 제2 그래핀 층을 포함하고

상기 제1 그래핀 층의 상부와 상기 제2 그래핀 층의 상부에 형성된 수직 구조 저항 메모리의 상단부에 상기 상부 전극이 TiN pillar 전극으로 형성되는, 비활성 메모리.

청구항 19

제15 항에 있어서,

상기 비활성 메모리는 resistive random access memory (RRAM)로 구성되고, 이전에 흘렀던 전류의 과거 정보에 따라 저항의 세기가 변하는 것을 특징으로 하는, 비활성 메모리.

청구항 20

제15 항에 있어서,

상기 RRAM은 뉴로모픽 프로세서와 동작 가능하게 결합되고, 상기 뉴로모픽 프로세서로부터 임계값 이상의 전압이 인가되면 상기 수직 구조 저항 메모리의 소자 저항이 상기 임계값 이하의 전압이 인가된 경우보다 낮은 저항값으로 변경되고, 상기 임계값 이하의 전압이 인가되면 상기 소자 저항이 이전의 저항값으로 다시 변경되는, 비활성 메모리.

발명의 설명

기술 분야

[0001] 본 발명은 수직구조 저항메모리에 관한 것이다. 보다 상세하게는, 그래핀의 엣지를 이용한 수직구조 저항메모리에 대한 것이다.

배경 기술

[0002] Flash 메모리는 지난 날 모바일 컴퓨팅에 많은 기여를 했었다. 하지만, 회로를 더욱 집적할수록 발생하는 비트 에러의 증가와 저장량의 감소는 미래 메모리로서의 역할을 담당하기에는 상당한 어려움이 발생한다.

[0003] 금속 산화물 기반의 메모리는 내구성, 유지, 속도, 낮은 프로그래밍 전압 및 높은 집적도로 인해 Flash 메모리의 후속 기술로 큰 가능성을 보였다. 또한 현재 많이 사용되고 있는 실리콘 기술과 호환되는 재료 및 제조 온도를 사용하며, 논리 연산 장치와 향후의 3D 수직구조에 가능성이 있다.

발명의 내용

해결하려는 과제

[0004] 따라서, 본 발명의 목적은 전술한 문제를 해결하기 위해, 그래핀의 엣지를 이용한 수직구조 저항메모리를 제공

함에 있다.

[0005] 또한, 본 발명의 목적은 그래핀 엣지를 수직구조 저항 메모리(Resistive RAM, RRAM)의 전극으로 적용한 저전력의 고집적 저항메모리를 제공함에 있다.

과제의 해결 수단

[0006] 상기와 같은 과제를 해결하기 위한 본 발명에 따른 수직구조 저항 메모리가 제공된다. 상기 수직구조 저항 메모리는 상부 전극; 상기 상부 전극의 하부에 배치된 그래핀 층(graphene layer); 및 상기 상부 전극과 상기 그래핀 층 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀을 포함할 수 있다.

[0007] 일 실시 예에 따르면, 상기 상부 전극은 TiN 전극으로 구성되고, 상기 그래핀 층의 엣지 영역은 그래핀 평면 전극(graphene plane electrode)로 구성될 수 있다.

[0008] 일 실시 예에 따르면, 상기 메모리 물질은 HfO_2 로 코팅된 HfO_2 메모리 물질로 구성되고, 상기 HfO_2 메모리 물질은 상기 상부 전극과 상기 그래핀 층 사이에 배치되는 복수의 수직 구조 메모리 셀로 형성될 수 있다.

[0009] 일 실시 예에 따르면, 상기 메모리 물질은 TiO_2 , Al_2O_3 및 Ta_2O_5 로 이루어진 군에서 선택된 어느 하나의 산화물로 코팅된 산화물 메모리 물질로 구성되고, 상기 산화물 메모리 물질은 상기 상부 전극과 상기 그래핀 층 사이에 배치되는 복수의 수직 구조 메모리 셀로 형성될 수 있다.

[0010] 일 실시 예에 따르면, 상기 그래핀 층은 0.3nm 이하의 그래핀 층으로 구성되고, 상기 그래핀 층의 엣지 영역이 상기 수직구조 저항 메모리의 전극으로 형성될 수 있다.

[0011] 일 실시 예에 따르면, 상기 그래핀 층은 제1 그래핀 층 및 상기 제1 그래핀 층의 하부에 배치되는 제2 그래핀 층을 포함할 수 있다.

[0012] 일 실시 예에 따르면, 상기 제1 그래핀 층과 상기 제2 그래핀 층 사이에 제2 수직 구조 메모리 셀이 배치될 수 있다.

[0013] 일 실시 예에 따르면, 상기 그래핀 층은 상기 제2 그래핀 층의 하부에 배치되는 제3 그래핀 층을 더 포함할 수 있다.

[0014] 일 실시 예에 따르면, 상기 제2 그래핀 층과 상기 제3 그래핀 층 사이에 제3 수직 구조 메모리 셀이 배치될 수 있다.

[0015] 일 실시 예에 따르면, 상기 제1 그래핀 층 상부에 형성된 상기 수직 구조 메모리 셀이 상기 제1 그래핀 층 하부로 연장되어 상기 제2 그래핀 층과 접합되도록 구성될 수 있다.

[0016] 일 실시 예에 따르면, 상기 제1 그래핀 층 상부에 형성된 상기 수직 구조 메모리 셀이 상기 제1 그래핀 층 하부로 연장되어 상기 제2 그래핀 층과 접합되고, 상기 제2 그래핀 층 하부로 연장되어 상기 제3 그래핀 층과 접합되도록 구성될 수 있다.

[0017] 일 실시 예에 따르면, 상기 그래핀 층과 상기 상부 전극 사이에 배치된 수직 구조 메모리 셀은 HfO_x 물질로 코팅되고, 상기 수직 구조 메모리 셀의 높이는 5nm 이하로 형성될 수 있다.

[0018] 일 실시 예에 따르면, 상기 그래핀 층과 상기 수직 구조 메모리 셀은 Al_2O_3 물질을 이용하여 상호 간에 접합이 이루어지도록 구성될 수 있다.

[0019] 일 실시 예에 따르면, 상기 그래핀 층에 SiO_2 로 이루어진 보호막 층(passivation layer)이 형성될 수 있다.

[0020] 본 발명의 다른 양상에 따른 비휘성 메모리(non-volatile memory)가 제공된다. 상기 비휘성 메모리는 상부 전극; 상기 상부 전극의 하부에 배치된 그래핀 층(graphene layer); 및 상기 상부 전극과 상기 그래핀 층 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀을 포함하고, 상기 수직 구조 메모리 셀은 상기 상부 전극과 상기 그래핀 층 사이에 복수의 열과 행으로 배치되는 수직 구조 메모리 셀인 것을 특징으로 한다.

[0021] 일 실시 예에 따르면, 상기 상부 전극은 TiN 전극으로 구성되고, 상기 그래핀 층의 엣지 영역은 그래핀 평면 전극(graphene plane electrode)로 구성되고, 상기 메모리 물질은 HfO_2 로 코팅된 HfO_2 메모리 물질로 구성되고, 상기 HfO_2 메모리 물질은 상기 상부 전극과 상기 그래핀 층 사이에 배치되는 복수의 수직 구조 메모리 셀로 형성

될 수 있다.

- [0022] 일 실시 예에 따르면, 상기 그래핀 층은 0.3nm 이하의 그래핀 층으로 구성되고, 상기 그래핀 층의 엣지 영역이 상기 수직구조 저항 메모리의 전극으로 형성될 수 있다.
- [0023] 일 실시 예에 따르면, 상기 그래핀 층은 상호 평행하게 배치되는 복수의 그래핀 층으로 구성되고, 상기 복수의 그래핀 층은 제1 그래핀 층 및 상기 제1 그래핀 층의 하부에 배치되는 제2 그래핀 층을 포함하고, 상기 제1 그래핀 층의 상부와 상기 제2 그래핀 층의 상부에 형성된 수직 구조 저항 메모리의 상단부에 상기 상부 전극이 TiN pillar 전극으로 형성될 수 있다.
- [0024] 일 실시 예에 따르면, 상기 비활성 메모리는 resistive random access memory (RRAM)로 구성되고, 이전에 흘렸던 전류의 과거 정보에 따라 저항의 세기가 변하는 것을 특징으로 할 수 있다.
- [0025] 일 실시 예에 따르면, 상기 RRAM은 뉴로모픽 프로세서와 동작 가능하게 결합되고, 상기 뉴로모픽 프로세서로부터 임계값 이상의 전압이 인가되면 상기 수직 구조 저항 메모리의 소자 저항이 상기 임계값 이하의 전압이 인가된 경우보다 낮은 저항 값으로 변경되고, 상기 임계값 이하의 전압이 인가되면 상기 소자 저항이 이전의 저항 값으로 다시 변경될 수 있다.

발명의 효과

- [0026] 본 발명에 따르면, 매우 얇은(약 0.3 nm) 그래핀의 엣지를 저항 메모리의 전극으로 사용하여 원자 수준으로 얇은 메모리 구조를 형성할 수 있다는 장점이 있다.
- [0027] 또한, 본 발명에 따르면, 극도로 얇은 전극으로 인해 낮은 프로그래밍 전압 및 저전력으로 구동하는 비휘발성 메모리 중 전력 및 에너지 소비량이 가장 낮은 장점이 있다.
- [0028] 또한, 본 발명에 따르면, 얇은 그래핀 엣지를 전극으로 사용하여 수직구조로 만들어 집적도를 크게 높였으며 저전력으로 구동하는 측면에서 전자전기분야 및 반도체 분야에 적용시킬 수 있다는 장점이 있다.
- [0029] 또한, 본 발명에 따르면, RRAM 구조의 집적도 증가와 낮은 전력 소비를 이끌수 있어 높은 에너지 효율이 필요한 뉴로모픽 분야에도 적용시킬 수 있다.
- [0030] 또한, 본 발명에 따르면, 결과적으로 그래핀 엣지를 이용한 수직구조 저항메모리는 얇은 2차원 물질을 이용함으로써 집적도를 매우 크게 높일 수 있을 뿐만 아니라 극도의 저전력으로 구동할 수 있다는 장점이 있다.
- [0031] 상술한 본 발명의 특징 및 효과는 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다.

도면의 간단한 설명

- [0032] 도 1은 본 발명에 따른 다양한 예시에 따른 그래핀 엣지 RRAM의 I-V 특성을 나타낸다.
- 도 2는 본 발명에 따른 1S-1R 그래핀 엣지 장치의 I-V 특성 및 저항 특성을 나타낸다.
- 도 3a 및 도 3b는 다양한 실시 예에 따른 수직 구조 저항 메모리의 사시도를 나타낸다.
- 도 4는 본 발명에 따른 그래핀 엣지를 이용한 수직구조 저항 메모리의 측면 구조 및 이를 상부에서 본 전면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 상술한 본 발명의 특징 및 효과는 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다.
- [0034] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 구체적으로 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

- [0035] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용한다.
- [0036] 제1, 제2등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0037] 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [0038] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다.
- [0039] 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않아야 한다.
- [0040] 이하의 설명에서 사용되는 구성요소에 대한 접미사 모듈, 블록 및 부는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다.
- [0041] 이하, 본 발명의 바람직한 실시 예를 첨부한 도면을 참조하여 당해 분야에 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 설명한다. 하기에서 본 발명의 실시 예를 설명함에 있어, 관련된 공지의 기능 또는 공지의 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다.
- [0042] 본 발명에 따른 포인트 아키텍처는 각 층에 대한 임계 리소그래피 단계가 적고 통합 비용이 적기 때문에 간단한 평면 교차점 아키텍처와 비교할 때 더 바람직하다.
- [0043] 3D 수직 구조 밀도(vertical architecture density)는 각 메모리 스택의 평면 전극의 두께에 의해 직접 영향을 받는다. 이와 관련하여, 금속-산화물 RRAM은 그래핀-엣지 전극을 사용하여 원자 한계까지 수직으로 스케일링될 수 있다.
- [0044] 셀렉터 장치와 함께 수직 스케일 전극은 누설 전류를 줄이고 메모리 윈도우와 메모리 층의 선택도를 향상시킨다.
- [0046] 본 명세서에서는 원자 적으로 얇은 그래핀-엣지 전극과 두꺼운 금속 (Pt) 전극을 사용하여 두 개의 다른 두께를 갖는 평면 전극의 특성을 비교했다. 이전 보고서에서, 단일 그래핀 층 (0.3 nm 두께)의 엣지는 금속-산화물 RRAM에서 하나의 전극으로 사용되었다. 이러한 얇은 전극은 3D 수직 구조에서 상당히 얇은 활성 메모리 층을 형성하여 스택의 수와 칩의 밀도를 증가시킨다. 전극은 낮은 전력 소비 및 프로그래밍 전압/전류를 나타내는 것으로 관찰되었다. 종래의 e⁻ 빔 증발에 의해 증착된 5nm 이하의 얇은 금속은 불연속 아일랜드를 형성하는 경향이 있으며, 두께가 감소할 때 시트 저항의 급격한 비선형 증가가 관찰될 수 있음에 주목해야한다. 따라서 그래핀 대신 Pt와 같은 금속을 사용하는 경우 훨씬 두꺼운 전극이 필요하다.
- [0047] 이와 관련하여, 전극 두께가 증가함에 따라, 금속과 칼코겐 화합물 셀렉터 사이의 계면 저항이 감소하여, OFF 상태에서 누설 전류가 커진다. 원자적으로 얇은 그래핀 엣지 전극의 경우, 인터페이스 저항이 증가하여 누설 전류를 자연스럽게 감소시킨다.
- [0048] 도 1은 본 발명에 의한 다양한 예시에 따른 그래핀 엣지 RRAM의 I-V 특성을 나타낸다. 구체적으로, 도 1의 (a), (b)는 셀렉터 층이 없는 그래핀 엣지 RRAM의 I-V 특성이고, TiN 층은 두 경우 모두 양극이다. 도 1의 (c)는 1S1R 구조와 다양한 엣지 전극 재료 (그래핀 및 Pt)의 I-V 곡선을 비교한 것이다. 도 1의 (d)는 셀렉터 층의 유무에 따른 그래핀 RRAM의 SET 및 RESET 전압 분포를 나타낸다. 도 1의 (e)는 셀렉터 층 유무에 따른 그래핀의 저항 분포를 나타낸다. 1S1R 구조의 메모리 윈도우는 셀렉터가 없는 그래핀 RRAM의 메모리 창보다 크다. 도 1의 (f) 셀렉터 층유무에 따른 그래핀의 1/3 V_{read} 전류 분포를 나타낸다.
- [0049] 그래핀 전극 유무에 따른 그래핀 엣지 RRAM의 I-V 특성이 실험적으로 획득될 수 있다 (각각 도 1(a)와 (b)). 도 1(a)에 도시된 바와 같이, 셀렉터 층 유무에 따른 RRAM의 비선형성 계수는 각각 1.9×10^3 및 5.41이다. 2 개

의 다른 엣지 전극 재료 (그래핀 및 Pt)와 1S1R 구조의 비교가 도 1(c)에 도시되어 있다. Pt 디바이스는 예상보다 훨씬 높은 전류 레벨을 나타낸다. 이러한 차이의 이유는 전극의 두께 차이 때문이다. 옴의 법칙에 따라 셀 영역의 역수가 증가함에 따라 HRS의 저항이 증가하는 것으로 알려져 있다. Pt는 그래핀보다 훨씬 두껍기 때문에, Pt 전극의 단면 또한 훨씬 더 커서 HRS 값이 더 작고 메모리 윈도우가 더 작다. 저항 레벨의 큰 차이로 인해, 셀렉터 재료는 그래핀 전극과 관련하여 더 강한 비선형성을 나타낼 수 있다.

[0050] 도 1(d)는 독립형 RRAM (1R) 및 1S1R 구조의 경우 SET/RESET 전압 분포를 나타낸다. 1S1R 구조는 셀렉터 층에 걸친 전압 강하로 인해 1R 구조에서 요구되는 것과 비교할 때 동작을 위해 더 큰 SET 전압이 필요하다. 도 1(e)에 도시된 바와 같이, 1S1R의 메모리 윈도우는 더 높은 HRS 저항으로 인해 그래핀 RRAM의 메모리 윈도우보다 크다. 1S1R 구조의 전체 HRS 전류 분포는 도 1f에 표시된 것처럼 1R 구조보다 2 배 이상 낮다. 감소된 오프 상태 전류 및 증가된 메모리 윈도우는 내장된 셀렉터 계층의 직접적인 결과이다.

[0051] 한편, 도 2는 본 발명에 따른 1S-1R 그래핀 엣지 장치의 I-V 특성 및 저항 특성을 나타낸다. 구체적으로, 도 2(a)는 대표적인 1S-1R 그래핀 엣지 장치의 반복된 DC I-V 곡선 (50 사이클)을 나타낸다. 이와 관련하여, 최악의 케이스는 빨간색 선으로 표시된다. 도 2 (b)는 대표적인 1S-1R 그래핀 엣지 장치의 반복 펄스 측정을 나타낸다. SET 및 RESET의 펄스 폭과 진폭은 각각 200ms, 100ms 및 3.5V, -4V이다. 관독 전압은 1.8V였다.

[0052] 대표적인 1S-1R 그레이 페인 엣지 장치의 반복 DC 및 펄스 측정 결과가 도 2에 나와 있다. 셀렉터의 존재로 인해 셀렉터가 켜질 때까지 이 장치는 낮은 전류를 나타낸다 (도 2(a)). 전원 전압은 0.5-1.2V 사이였으며 최악의 경우 빨간색 곡선으로 표시된다. 도 2(b)에서 1S-1R 구조의 반복성을 조사하기 위해 펄스 측정 방식이 사용될 수 있다. LRS 및 HRS 값은 변동을 보였지만 여전히 800 사이클 이상 동안 합리적인 메모리 윈도우를 유지할 수 있다.

[0053] 전술한 본 발명에 따른 저항 메모리와 관련하여, 수직구조 저항 메모리에 대해 설명하면 다음과 같다. 이와 관련하여, 도 3a 및 도 3b는 다양한 실시 예에 따른 수직 구조 저항 메모리의 사시도를 나타낸다. 일 예로, 도 3a는 수직 구조 저항 메모리가 복수의 그래핀 층에 접합된 구성일 수 있다. 다른 예로, 도 3b는 서로 다른 높이에 형성될 수 있는 서로 다른 수직 구조 저항 메모리가 복수의 그래핀 층에 접합된 구성일 수 있다.

[0054] 도 3a 및 도 3b를 참조하면, 그래핀 엣지를 이용한 수직구조 저항 메모리의 전반적인 구조를 보여준다. TiN 을 상부전극으로 사용한 경우이며 그래핀 엣지 전극과 상부 전극 사이에 HfO₂ 메모리 물질이 있는 구조이다. Al₂O₃ 를 사용하여 그래핀의 접합을 개선하며 SiO₂ 를 보호막(passivation)으로 이용한다. Pt 는 측정 편의를 위한 패드로서 그래핀과 접합시킨다.

[0055] 한편, 도 4는 본 발명에 따른 그래핀 엣지를 이용한 수직구조 저항 메모리의 측면 구조와 이를 상부에서 본 전면도이다. 도 4를 참조하면, 그래핀 엣지를 이용한 수직구조 저항메모리의 옆면 구조와 위에서 본 광학 이미지이다. 왼쪽 그림은 얇은 그래핀과 TiN을 전극으로 사용하고 HfO₂ 를 메모리 물질로 적용하여 저항메모리를 제작할 수 있는 것을 보여준다. 오른쪽 도면에서 파란색 박스영역은 그래핀으로 HfO₂ coating 과 접합하여 있다. TiN 이 상부전극으로 사용되었으며 측정을 위한 금속 패드를 그래핀과 접합시킬 수 있다.

[0056] 도 1 내지 도 4를 참조하면, 본 발명에 따른 수직구조 저항 메모리는 상부 전극(100), 그래핀 층(graphene layer, 200) 및 수직 구조 메모리 셀(300)을 포함할 수 있다.

[0057] 상부 전극(100)은 TiN 전극으로 구성되고, 그래핀 층(200)의 엣지 영역은 그래핀 평면 전극(graphene plane electrode)으로 구성될 수 있다.

[0058] 그래핀 층(200)은 상부 전극(100)의 하부에 배치되도록 구성될 수 있다. 수직 구조 메모리 셀(300)은 상부 전극(100)과 그래핀 층(200) 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀을 포함할 수 있다.

[0059] 메모리 물질은 HfO₂로 코팅된 HfO₂ 메모리 물질로 구성되고, HfO₂ 메모리 물질은 상부 전극(100)과 그래핀 층(200) 사이에 배치되는 복수의 수직 구조 메모리 셀(300)로 형성될 수 있다.

[0060] 그래핀 층(200)은 0.3nm 이하의 그래핀 층으로 구성되고, 그래핀 층(200)의 엣지 영역이 수직구조 저항 메모리(300)의 전극으로 형성될 수 있다.

[0061] 본 명세서에서 설명된 그래핀 층(200)은 복수의 그래핀 층으로 구성될 수 있다. 이와 관련하여, 그래핀 층(200)은 제1 그래핀 층(210) 및 제1 그래핀 층(210)의 하부에 배치되는 제2 그래핀 층(220)을 포함할 수 있다. 도

3b를 참조하면, 제1 그래핀 층(210)과 제2 그래핀 층(220) 사이에 제2 수직 구조 메모리 셀(320)이 배치될 수 있다.

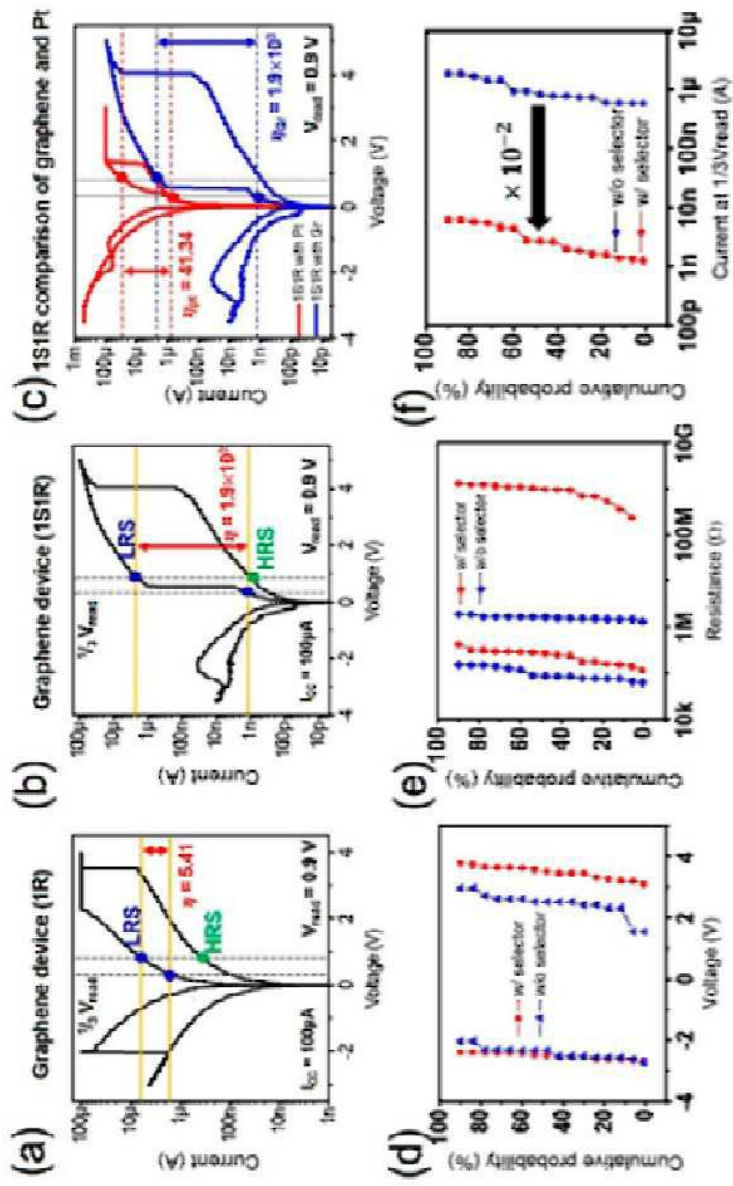
- [0062] 그래핀 층(200)은 제2 그래핀 층(220)의 하부에 배치되는 제3 그래핀 층(230)을 더 포함할 수 있다. 도 3b를 참조하면, 제2 그래핀 층(220)과 상 제3 그래핀 층(230) 사이에 제3 수직 구조 메모리 셀(330)이 배치될 수 있다.
- [0063] 도 3a를 참조하면, 수직 구조 메모리 셀(300)은 복수의 그래핀 층과 접합되도록 구성될 수 있다. 또는, 수직 구조 메모리 셀(300)은 복수의 그래핀 층을 관통하도록 구성될 수 있다.
- [0064] 제1 그래핀 층(210) 상부에 형성된 수직 구조 메모리 셀(300)이 제1 그래핀 층(210) 하부로 연장되어 제2 그래핀 층(220)과 접합되도록 구성될 수 있다. 한편, 제1 그래핀 층(210) 상부에 형성된 수직 구조 메모리 셀(300)이 제1 그래핀 층(210) 하부로 연장되어 제2 그래핀 층(220)과 접합되고, 제2 그래핀 층(220) 하부로 연장되어 제3 그래핀 층(230)과 접합되도록 구성될 수 있다.
- [0065] 일 실시 예에 따르면, 그래핀 층(200)과 상부 전극(100) 사이에 배치된 수직 구조 메모리 셀(300)은 HfO_x 물질로 코팅될 수 있다. 수직 구조 메모리 셀(300)의 높이는 5nm 이하로 형성될 수 있다. 나아가 수직구조 메모리 셀은 HfO_x 물질 이외에 TiO_2 , Al_2O_3 및 Ta_2O_5 로 이루어진 군에서 선택된 산화물로도 코팅될 수 있다.
- [0066] 일 실시 예에 따르면, 그래핀 층(200)과 수직 구조 메모리 셀(300)은 Al_2O_3 물질을 이용하여 상호 간에 접합이 이루어지도록 구성될 수 있다..
- [0067] 일 실시 예에 따르면, 그래핀 층(200)에 SiO_2 로 이루어진 보호막 층(passivation layer)이 형성될 수 있다.
- [0068] 본 발명의 다른 양상에 따른 비휘성 메모리(non-volatile memory)가 제공될 수 있다. 도 1 내지 도 4를 참조하면, 비휘성 메모리는 상부 전극(100), 그래핀 층(graphene layer, 200) 및 수직 구조 메모리 셀(300)을 포함하도록 구성될 수 있다. 이와 관련하여, 전술한 수직구조 메모리에 대한 설명이 이하의 비휘성 메모리에도 적용될 수 있다.
- [0069] 그래핀 층(200)은 상부 전극(100)의 하부에 배치되도록 구성될 수 있다. 수직 구조 메모리 셀(300)은 상부 전극(100)과 그래핀 층(200) 사이에 메모리 물질로 형성될 수 있다. 이와 관련하여, 수직 구조 메모리 셀(300)은 상부 전극(100)과 그래핀 층(200) 사이에 복수의 열과 행으로 배치되는 수직 구조 메모리 셀로 구성될 수 있다.
- [0070] 일 실시 예에 따르면, 상부 전극(100)은 TiN 전극으로 구성되고, 그래핀 층(200)의 엣지 영역은 그래핀 평면 전극(graphene plane electrode)으로 구성될 수 있다. 한편, 메모리 물질은 HfO_2 로 코팅된 HfO_2 메모리 물질로 구성되고, HfO_2 메모리 물질은 상부 전극(100)과 그래핀 층(200) 사이에 배치되는 복수의 수직 구조 메모리 셀로 형성될 수 있다.
- [0071] 일 실시 예에 따르면, 그래핀 층(200)은 0.3nm 이하의 그래핀 층으로 구성되고, 상기 그래핀 층의 엣지 영역이 상기 수직구조 저항 메모리의 전극으로 형성될 수 있다.
- [0072] 일 실시 예에 따르면, 그래핀 층(200)은은 상호 평행하게 배치되는 복수의 그래핀 층으로 구성될 수 있다. 복수의 그래핀 층은 제1 그래핀 층(210) 및 제1 그래핀 층(210)의 하부에 배치되는 제2 그래핀 층(220)을 포함할 수 있다. 이와 관련하여, 제1 그래핀 층(210)의 상부와 제2 그래핀 층(220)의 상부에 수직 구조 저항 메모리(200)가 형성될 수 있다. 이 경우, 수직 구조 저항 메모리(200)의 상단부에 상부 전극(100)이 TiN pillar 전극으로 형성될 수 있다.
- [0073] 일 실시 예에 따르면, 비휘성 메모리는 resistive random access memory (RRAM)로 구성될 수 있다. 이와 관련하여, RRAM로 구성된 비휘성 메모리는 이전에 흘렀던 전류의 과거 정보에 따라 저항의 세기가 변하는 것을 특징으로 할 수 있다.
- [0074] 일 실시 예에 따르면, RRAM은 뉴로모픽 프로세서와 동작 가능하게 결합되고, 뉴로모픽 프로세서로부터 임계값 이상의 전압이 인가되면 상기 수직 구조 저항 메모리의 소자 저항이 상기 임계값 이하의 전압이 인가된 경우보다 낮은 저항 값으로 변경되도록 구성될 수 있다. 또한, RRAM은 뉴로모픽 프로세서로부터 임계값 이하의 전압이 인가되면 소자 저항이 이전의 저항 값으로 다시 변경될 수 있다.
- [0075] 이상에서는 본 명세서에 따른 수직구조 저항 메모리에 대하여 설명하였다.
- [0076] 그래핀-엣지 전극은 더 두꺼운 금속계 전극에 의해 나타나는 것과 비교할 때 전극-셀렉터 계면에 걸쳐 증가된

저항을 나타내어, 오프 상태 누설 전류의 감소를 초래 하였다. 셀렉터를 금속-산화물 RRAM과 결합함으로써, 누설 전류가 크게 감소하는 것이 관찰될 수 있다. 또한, 강한 비선형성이 도입되어 메모리 윈도우가 증가할 수 있다. 스케일링된 저항성 메모리를 위한 다양한 3D 아키텍처의 관점에서 최근의 개발은 고밀도 RRAM 저장을 위한 경로를 제공할 수 있다. 또한, 이러한 RRAM 스케일링 트렌드를 수용할 수 있는 임베디드 셀렉터의 개발은 초 고 밀도 3D 메모리 기술을 달성하기 위한 중요한 단계가 될 것이다.

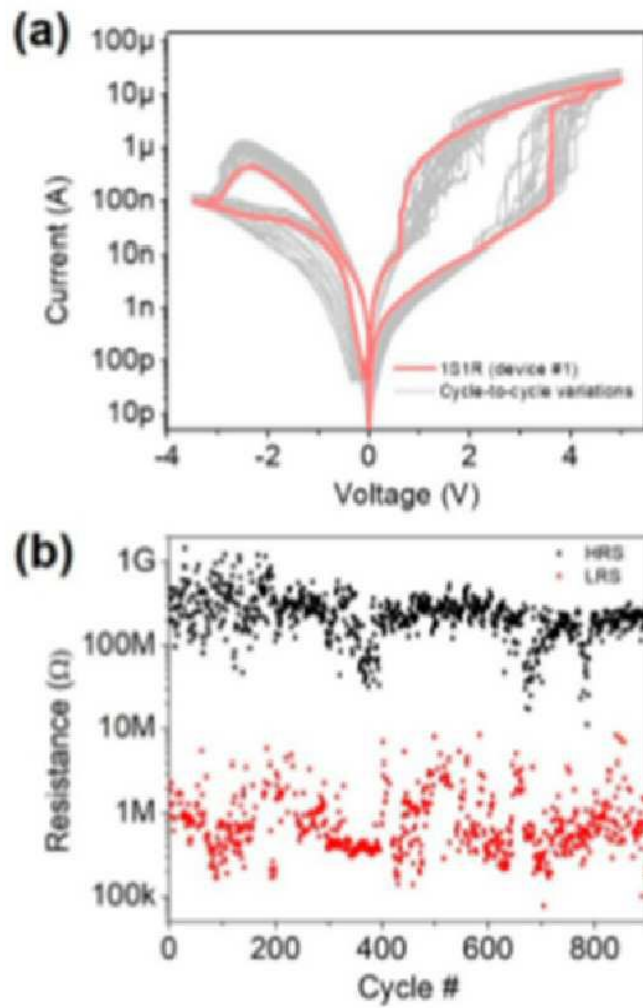
- [0077] 이와 관련하여, 저항성 메모리는 단순성, 소형성 및 관리 가능한 전력 손실로 인해 복잡한 신경 형성 네트워크의 하드웨어 구현에서 핵심 구성 요소로 간주된다. 그러나, two-terminal 장치의 장점을 유지하면서 충분한 장치 밀도를 제공하기 위해서는 셀렉터 재료 기술 및 비트 비용 효율적인 3 차원 (3D) 장치 아키텍처에 관한 획기적인 기술이 필요하다. 본 명세서에서, 3D 수직 메모리 구조에서 원자 적으로 얇은 그래핀 엣지를 셀렉터 층에서 고도로 집중된 전기장의 영향을 연구하는데 사용된다.
- [0078] 본 발명에 따르면, 매우 얇은(약 0.3 nm) 그래핀의 엣지를 저항 메모리의 전극으로 사용하여 원자 수준으로 얇은 메모리 구조를 형성할 수 있다는 장점이 있다.
- [0079] 또한, 본 발명에 따르면, 극도로 얇은 전극으로 인해 낮은 프로그래밍 전압 및 저전력으로 구동하는 비휘발성 메모리 중 전력 및 에너지 소비량이 가장 낮은 장점이 있다.
- [0080] 또한, 본 발명에 따르면, 얇은 그래핀 엣지를 전극으로 사용하여 수직구조로 만들어 집적도를 크게 높였으며 저전력으로 구동하는 측면에서 전자전기분야 및 반도체 분야에 적용시킬 수 있다는 장점이 있다.
- [0081] 또한, 본 발명에 따르면, RRAM 구조의 집적도 증가와 낮은 전력 소비를 이끌수 있어 높은 에너지 효율이 필요한 뉴로모픽 분야에도 적용시킬 수 있다.
- [0082] 또한, 본 발명에 따르면, 결과적으로 그래핀 엣지를 이용한 수직구조 저항메모리는 얇은 2차원 물질을 이용함으로써 집적도를 매우 크게 높일 수 있을 뿐만 아니라 극도의 저전력으로 구동할 수 있다는 장점이 있다.
- [0083] 상술한 본 발명의 특징 및 효과는 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다.
- [0084] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 구체적으로 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0085] 소프트웨어적인 구현에 의하면, 본 명세서에서 설명되는 절차 및 기능뿐만 아니라 각각의 구성 요소들에 대한 설계 및 파라미터 최적화는 별도의 소프트웨어 모듈로도 구현될 수 있다. 적절한 프로그램 언어로 쓰여진 소프트웨어 어플리케이션으로 소프트웨어 코드가 구현될 수 있다. 상기 소프트웨어 코드는 메모리에 저장되고, 제어부(controller) 또는 프로세서(processor)에 의해 실행될 수 있다.

도면

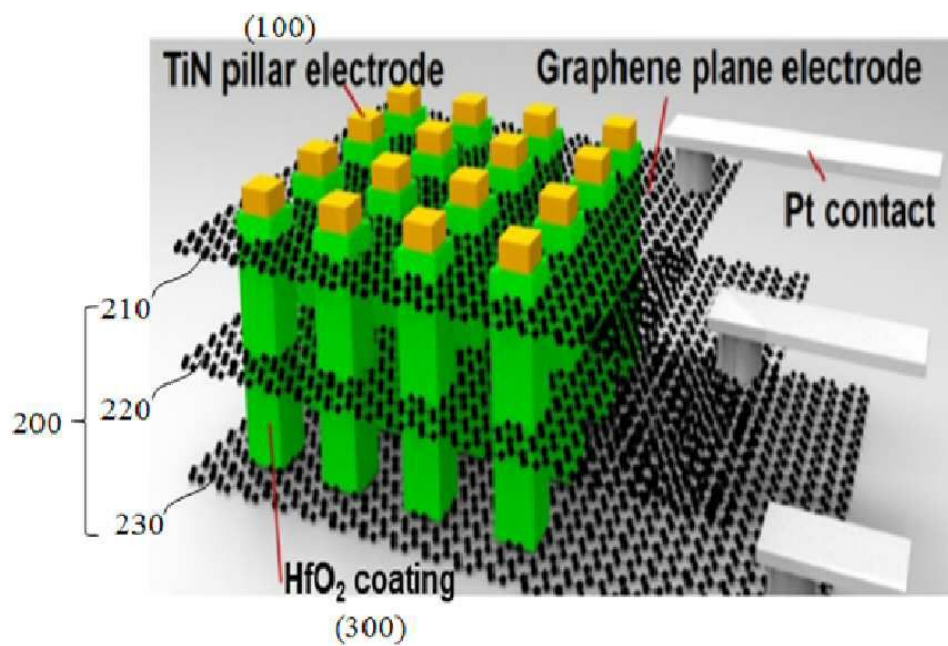
도면1



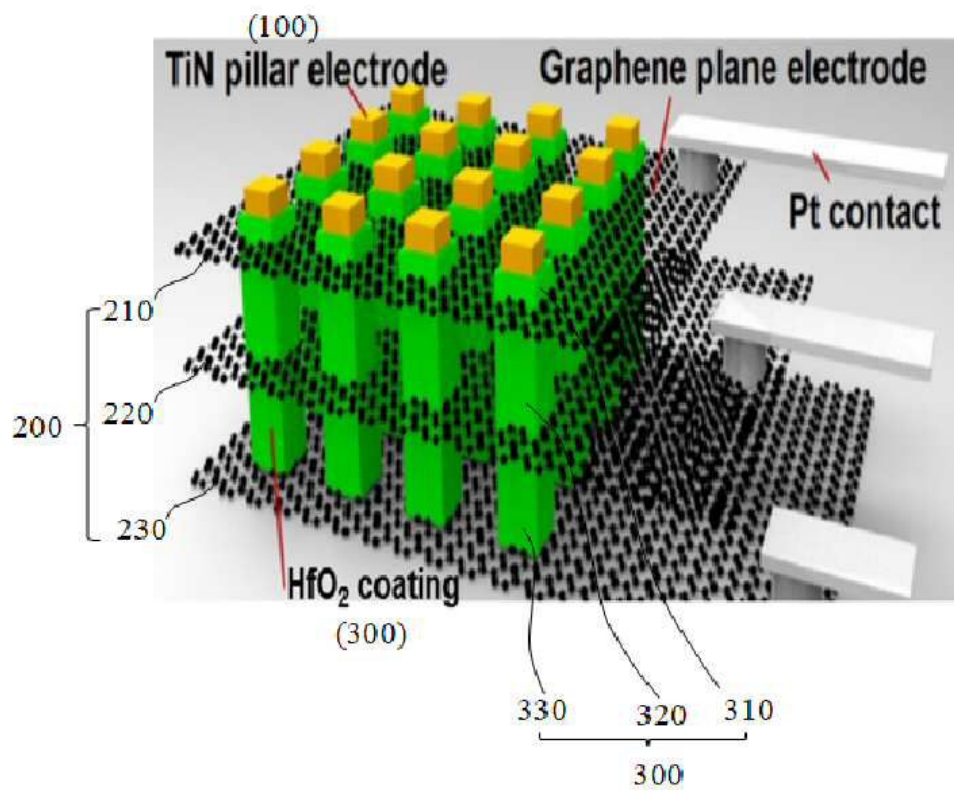
도면2



도면3a



도면3b



도면4

