

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成28年2月25日(2016.2.25)

【公表番号】特表2015-507273(P2015-507273A)

【公表日】平成27年3月5日(2015.3.5)

【年通号数】公開・登録公報2015-015

【出願番号】特願2014-551624(P2014-551624)

【国際特許分類】

G 06 T 3/40 (2006.01)

【F I】

G 06 T 3/40 7 4 5

【手続補正書】

【提出日】平成28年1月6日(2016.1.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

デジタル1D、2D又は3Dデータの低解像入力データ構造の超解像処理を行う方法であって、

低周波入力データ構造が取得されるように第1のローパスフィルタによって前記低解像入力データ構造をフィルタリングするステップと、

高周波入力データ構造が生成されるように前記低解像入力データ構造と前記低周波入力データ構造との間の差を計算するステップと、

低周波アップスケールドデータ構造が取得されるように、前記低解像入力データ構造をアップスケーリングし、該アップスケーリングされた入力データ構造を第2のローパスフィルタによってフィルタリングするステップと、

前記低周波アップスケールドデータ構造において、第1の位置にある第1のパッチを決定するステップと、

前記第1のパッチに最も良く整合する第1のブロックを前記低周波入力データ構造において探し、前記低周波入力データ構造内の前記第1のブロックの位置を決定するステップと、

前記低周波入力データ構造内の前記第1のブロックについて決定された位置にある前記高周波入力データ構造における第2のブロックを選択するステップと、

前記選択された第2のブロックのピクセルデータを、ピクセル単位の加算によって、前記第1の位置で、最初は空である高周波アップスケールドデータ構造におけるパッチである第2のパッチに累算するステップと、

前記低周波アップスケールドデータ構造において新しいパッチを決定するステップ、該決定されたパッチに最も良く整合するブロックを前記低周波入力データ構造において探すステップ、前記高周波入力データ構造における対応するブロックを選択するステップ、及び前記新しいパッチの位置にある前記高周波アップスケールドデータ構造におけるパッチに前記選択された対応するブロックのピクセルデータを累算するステップを繰り返すステップと、

正規化された高周波アップスケールドデータ構造が取得されるように前記高周波アップスケールドデータ構造における前記累算されたピクセル値を正規化するステップであって、現在のピクセルについて、該現在のピクセルの累算された値へのピクセルの寄与の数に

よって前記現在のピクセルの前記累算された値を割ることを含むステップと、
超解像データ構造が取得されるように前記正規化された高周波アップスケールドデータ構造を前記低周波アップスケールドデータ構造に加えるステップと
を有する方法。

【請求項 2】

前記低周波入力データ構造において、前記高周波アップスケールドデータ構造において前記第1の位置に対応する位置にあるブロックの周りの領域をカバーする第1のサーチ窓を決定するステップを更に有し、

前記低周波入力データ構造において探すステップは、前記第1のサーチ窓内でのみ実行され、

前記低周波入力データ構造においてサーチ窓を決定するステップは、前記低周波アップスケールドデータ構造において新しいパッチごとに繰り返される、

請求項1に記載の方法。

【請求項 3】

前記サーチ窓によってカバーされる領域は、前記高周波アップスケールドデータ構造において前記第1の位置に対応する位置にあるブロックの周りの前記低周波アップスケールドデータ構造の夫々の方向における複数の値を有する、

請求項2に記載の方法。

【請求項 4】

前記低周波アップスケールドデータ構造における夫々の新しいパッチは、少なくとも1つの前に処理されたパッチと重なり合う、

請求項1乃至3のうちいずれか一項に記載の方法。

【請求項 5】

前記低周波アップスケールドデータ構造は、前記低解像入力データ構造をアップスケーリング係数nによってアップスケーリングし、該アップスケーリングされた入力データ構造を前記第2のローパスフィルタによってフィルタリングし、該フィルタリングされたアップスケーリングされた入力データ構造をダウンスケーリング係数dによってダウンスケーリングすることによって取得され、 $n > d$ であり、

最終の非整数スケーリング係数 n / d が取得される、

請求項1乃至4のうちいずれか一項に記載の方法。

【請求項 6】

前記第1のローパスフィルタ及び前記第2のローパスフィルタは、同等のフィルタである、

請求項1乃至5のうちいずれか一項に記載の方法。

【請求項 7】

dがダウンスケーリング係数であり、nがアップスケーリング係数であるとして、前記第1のローパスフィルタは、次数 N_0 、 $0 = 1$ の大きさ、及び $0 = d / n$ の正規化されたカットオフ周波数の特性を備え、前記第2のローパスフィルタは、 $N_1 = n N_0$ の次数、 $1 = n$ の大きさ、及び $1 = 1 / n$ の正規化されたカットオフ周波数の特性を備える、

請求項1乃至6のうちいずれか一項に記載の方法。

【請求項 8】

dがダウンスケーリング係数であり、nがアップスケーリング係数であるとして、 1
 $h = d / n$ の正規化されたカットオフ周波数、 $N_{1,h} = \text{round}(N_0 \times n / d)$ の次数、及び $1,h = 1$ の大きさを有するハイパスフィルタにより前記高周波アップスケールドデータ構造をフィルタリングするステップを更に有する

請求項1乃至7のうちいずれか一項に記載の方法。

【請求項 9】

前記低周波アップスケールドデータ構造において新しいパッチを決定するステップ、該決定されたパッチに最も良く整合するブロックを前記低周波入力データ構造において探す

ステップ、前記高周波入力データ構造における対応するブロックを選択するステップ、及び前記新しいパッチの位置にある前記高周波アップスケールドデータ構造におけるパッチに前記選択された対応するブロックのピクセルデータを累算するステップは、前記低周波アップスケールドデータ構造の全体がカバーされるまで全てのパッチについて繰り返される、

請求項 1 乃至 7 のうちいずれか一項に記載の方法。

【請求項 1 0】

前記高周波アップスケールドデータ構造においてピクセルごとの寄与の数をカウントするステップを更に有し、

前記正規化するステップは、前記カウントするステップによって取得された前記寄与の数によってピクセルごとの累算値を割ることを含む、

請求項 1 乃至 8 のうちいずれか一項に記載の方法。

【請求項 1 1】

デジタル 2 D データの前記低解像入力データ構造は、デジタル画像である、

請求項 1 乃至 9 のうちいずれか一項に記載の方法。

【請求項 1 2】

前記低解像入力データ構造は、デジタル 2 D データを有し、

夫々のブロック及び夫々のパッチは、少なくとも 5×5 個の値を有し、夫々のパッチは、少なくとも 2 個の値だけ少なくとも 1 つの先に処理されたパッチと重なり合う、

請求項 1 乃至 1 0 のうちいずれか一項に記載の方法。

【請求項 1 3】

デジタルデータの低解像入力データ構造の超解像処理を行う装置であって、

低周波入力データ構造が取得されるように前記低解像入力データ構造をフィルタリングする第 1 のローパスフィルタと、

高周波入力データ構造が生成されるように前記低解像入力データ構造と前記低周波入力データ構造との間の差を計算する加算器、減算器又は微分器と、

前記低解像入力データ構造をアップスケーリングするアップスケーラと、

低周波アップスケールドデータ構造が取得されるように前記アップスケーリングされた入力データ構造をフィルタリングする第 2 のローパスフィルタと、

前記低周波アップスケールドデータ構造において、第 1 の位置にある第 1 のパッチを決定する第 1 の決定ユニットと、

前記第 1 のパッチに最も良く整合する第 1 のブロックを前記低周波入力データ構造において探すサーチユニットと、

前記低周波入力データ構造内の前記第 1 のブロックの位置を決定する第 2 の決定ユニットと、

前記低周波入力データ構造内の前記第 1 のブロックについて決定された位置にある前記高周波入力データ構造における第 2 のブロックを選択するセレクタユニットと、

前記選択された第 2 のブロックのピクセルデータを、ピクセル単位の加算によって、前記第 1 の位置で、最初は空である高周波アップスケールドデータ構造におけるパッチである第 2 のパッチに累算する累算器と、

前記低周波アップスケールドデータ構造における複数のパッチについての処理を繰り返すよう前記第 1 の決定ユニット、前記サーチユニット、前記第 2 の決定ユニット、前記セレクタユニット及び前記累算器を制御する制御ユニットと、

正規化された高周波アップスケールドデータ構造が取得されるように前記高周波アップスケールドデータ構造における前記累算されたピクセル値を正規化し、該正規化が、現在のピクセルについて、該現在のピクセルの累算された値へのピクセルの寄与の数によって前記現在のピクセルの前記累算された値を割ることを含む正規化ユニットと、

前記正規化された高周波アップスケールドデータ構造をフィルタリングするハイパスフィルタと、

超解像データ構造が取得されるように、前記ハイパスフィルタによりフィルタリングさ

れた前記正規化された高周波アップスケールドデータ構造を前記低周波アップスケールドデータ構造と結合する結合ユニットと
を有する装置。

【請求項 1 4】

前記低周波入力データ構造において、前記高周波アップスケールドデータ構造において前記第1の位置に対応する位置にあるブロックの周りの領域をカバーするサーチ窓を決定するサーチ窓決定ユニットを更に有し、

前記サーチユニットは、前記サーチ窓内でのみ前記低周波入力データ構造において探す、
請求項 1 3 に記載の装置。

【請求項 1 5】

前記高周波アップスケールドデータ構造においてピクセルごとの寄与の数をカウントするカウンタを更に有し、

前記正規化ユニットは、前記寄与の数によってピクセルごとの累算値を割る動作を実行する、

請求項 1 3 又は 1 4 に記載の装置。

【請求項 1 6】

コンピュータで実行される場合に、デジタルデータの低解像入力データ構造の超解像処理を行う方法を前記コンピュータに実行させるコンピュータプログラムであって、

前記方法は、

低周波入力データ構造が取得されるように第1のローパスフィルタによって前記低解像入力データ構造をフィルタリングするステップと、

高周波入力データ構造が生成されるように前記低解像入力データ構造と前記低周波入力データ構造との間の差を計算するステップと、

低周波アップスケールドデータ構造が取得されるように、前記低解像入力データ構造をアップスケーリングし、該アップスケーリングされた入力データ構造を第2のローパスフィルタによってフィルタリングするステップと、

前記低周波アップスケールドデータ構造において、第1の位置にある第1のパッチを決定するステップと、

前記第1のパッチに最も良く整合する第1のブロックを前記低周波入力データ構造において探し、前記低周波入力データ構造内の前記第1のブロックの位置を決定するステップと、

前記低周波入力データ構造内の前記第1のブロックについて決定された位置にある前記高周波入力データ構造における第2のブロックを選択するステップと、

前記選択された第2のブロックのピクセルデータを、ピクセル単位の加算によって、前記第1の位置で、最初は空である高周波アップスケールドデータ構造におけるパッチである第2のパッチに累算するステップと、

前記低周波アップスケールドデータ構造において新しいパッチを決定するステップ、該決定されたパッチに最も良く整合するブロックを前記低周波入力データ構造において探しステップ、前記高周波入力データ構造における対応するブロックを選択するステップ、及び前記新しいパッチの位置にある前記高周波アップスケールドデータ構造におけるパッチに前記選択された対応するブロックのピクセルデータを累算するステップを繰り返すステップと、

前記高周波アップスケールドデータ構造において前記累算されたピクセル値を正規化して、夫々の累算されたピクセル値が該値に寄与しているピクセルの寄与の数によって割られ、且つ、正規化された高周波アップスケールドデータ構造が取得されるようにするステップと、

超解像データ構造が取得されるように前記正規化された高周波アップスケールドデータ構造を前記低周波アップスケールドデータ構造に加えるステップと

を有する、コンピュータプログラム。

【手続補正2】**【補正対象書類名】**明細書**【補正対象項目名】**0070**【補正方法】**変更**【補正の内容】****【0070】**

図10は、a)及びb)において、画像及びその原のスペクトルを示す。更に、図10c)は、本発明に従って画像がアップスケーリングされた後のその画像のスペクトルを示し、図10d)は、既知の双三次補間を用いて従来手法でアップスケーリングされた後の画像のスペクトルを示す。認識され得るように、従来手法でアップスケーリングされた画像のクリッピングされたスペクトルは改善され、本例では、対角線沿いの付加的な値において可視的である。つまり、本発明に従ってアップスケーリングされたデータ構造のスペクトルは、従来手法によりアップスケーリングされたデータ構造のスペクトルよりも原のスペクトルに近づくことが、本発明の利点である。周波数スペクトルは、開示されている方法が如何にして、アップスケーリングされた画像の欠けている高周波をもっともらしく外挿することができるのかを明示し(それらは、アップスケーリングされた画像におけるより鮮明な輪郭に見られ、より視覚的に魅力的な画像が得られる。)、一方、双三次補間は、多大なエイリアシング・アーティファクトを導入する。

【手続補正3】**【補正対象書類名】**明細書**【補正対象項目名】**0081**【補正方法】**変更**【補正の内容】****【0081】**

明細書並びに(必要に応じて)特許請求の範囲及び図面において開示されている夫々の特徴は、独立して又は何らかの適切な組み合わせにおいて提供されてよい。特徴は、必要に応じて、ハードウェア、ソフトウェア、又はそれらの組み合わせにおいて、例えば、グラフィクスハードウェア(GPU)において実施されてよい。特許請求の範囲において現れる参照符号は、単に例示であり、特許請求の範囲の適用範囲に対する制限効果を有すべきではない。

上記の実施形態に加えて、以下の付記を開示する。

(付記1)

デジタル1D、2D又は3Dデータの低解像入力データ構造の超解像処理を行う方法であって、

低周波入力データ構造が取得されるように第1のローパスフィルタによって前記低解像入力データ構造をフィルタリングするステップと、

高周波入力データ構造が生成されるように前記低解像入力データ構造と前記低周波入力データ構造との間の差を計算するステップと、

低周波アップスケールドデータ構造が取得されるように、前記低解像入力データ構造をアップスケーリングし、該アップスケーリングされた入力データ構造を第2のローパスフィルタによってフィルタリングするステップと、

前記低周波アップスケールドデータ構造において、第1の位置にある第1のパッチを決定するステップと、

前記第1のパッチに最も良く整合する第1のブロックを前記低周波入力データ構造において探し、前記低周波入力データ構造内の前記第1のブロックの位置を決定するステップと、

前記低周波入力データ構造内の前記第1のブロックについて決定された位置にある前記高周波入力データ構造における第2のブロックを選択するステップと、

前記選択された第2のブロックのピクセルデータを、加算によって、前記第1の位置で、最初は空である高周波アップスケールドデータ構造におけるパッチである第2のパッチ

に累算するステップと、

前記低周波アップスケールドデータ構造において新しいパッチを決定するステップ、該決定されたパッチに最も良く整合するブロックを前記低周波入力データ構造において探すステップ、前記高周波入力データ構造における対応するブロックを選択するステップ、及び前記新しいパッチの位置にある前記高周波アップスケールドデータ構造におけるパッチに前記選択された対応するブロックのピクセルデータを累算するステップを繰り返すステップと、

正規化された高周波アップスケールドデータ構造が取得されるように前記高周波アップスケールドデータ構造における前記累算されたピクセル値を正規化するステップであって、現在のピクセルについて、該現在のピクセルの累算された値に寄与しているピクセルの数によって前記現在のピクセルの前記累算された値を割ることを含むステップと、

超解像データ構造が取得されるように前記正規化された高周波アップスケールドデータ構造を前記低周波アップスケールドデータ構造に加えるステップと
を有する方法。

(付記 2)

前記低周波入力データ構造において、前記高周波アップスケールドデータ構造において前記第 1 の位置に対応する位置にあるブロックの周りの領域をカバーする第 1 のサーチ窓を決定するステップを更に有し、

前記低周波入力データ構造において探すステップは、前記第 1 のサーチ窓内でのみ実行され、

前記低周波入力データ構造においてサーチ窓を決定するステップは、前記低周波アップスケールドデータ構造において新しいパッチごとに繰り返される、

付記 1 に記載の方法。

(付記 3)

前記サーチ窓によってカバーされる領域は、前記高周波アップスケールドデータ構造において前記第 1 の位置に対応する位置にあるブロックの周りの前記低周波アップスケールドデータ構造の夫々の方向における複数の値を有する、

付記 2 に記載の方法。

(付記 4)

前記低周波アップスケールドデータ構造における夫々の新しいパッチは、少なくとも 1 つの前に処理されたパッチと重なり合う、

付記 1 乃至 3 のうちいずれか一つに記載の方法。

(付記 5)

前記低周波アップスケールドデータ構造は、前記低解像入力データ構造をアップスケーリング係数 n によってアップスケーリングし、該アップスケーリングされた入力データ構造を前記第 2 のローパスフィルタによってフィルタリングし、該フィルタリングされたアップスケーリングされた入力データ構造をダウンスケーリング係数 d によってダウンスケーリングすることによって取得され、 $n > d$ であり、

最終の非整数スケーリング係数 n / d が取得される、

付記 1 乃至 4 のうちいずれか一つに記載の方法。

(付記 6)

前記第 1 のローパスフィルタ及び前記第 2 のローパスフィルタは、同等のフィルタである、

付記 1 乃至 5 のうちいずれか一つに記載の方法。

(付記 7)

前記第 1 のローパスフィルタは、次数 N_0 、 $\omega_0 = 1$ の大きさ、及び $\omega_0 = d / n$ の正規化されたカットオフ周波数の特性を備え、前記第 2 のローパスフィルタは、 $N_1 = n N_0$ の次数、 $\omega_1 = n$ の大きさ、及び $\omega_1 = 1 / n$ の正規化されたカットオフ周波数の特性を備える、

付記 1 乃至 6 のうちいずれか一つに記載の方法。

(付記 8)

$1_{\text{h}} = d / n$ の正規化されたカットオフ周波数、 $N_{1_{\text{h}}} = \text{round}(N_0 \times n / d)$ の次数、及び $1_{\text{h}} = 1$ の大きさを有するハイパスフィルタにより前記高周波アップスケールドデータ構造をフィルタリングするステップを更に有する

付記 1 乃至 7 のうちいずれか一つに記載の方法。

(付記 9)

前記低周波アップスケールドデータ構造において新しいパッチを決定するステップ、該決定されたパッチに最も良く整合するブロックを前記低周波入力データ構造において探すステップ、前記高周波入力データ構造における対応するブロックを選択するステップ、及び前記新しいパッチの位置にある前記高周波アップスケールドデータ構造におけるパッチに前記選択された対応するブロックのピクセルデータを累算するステップは、前記低周波アップスケールドデータ構造の全体がカバーされるまで全てのパッチについて繰り返される。

付記 1 乃至 7 のうちいずれか一つに記載の方法。

(付記 10)

前記高周波アップスケールドデータ構造においてピクセルごとの寄与の数をカウントするステップを更に有し、

前記正規化するステップは、前記カウントするステップによって取得された前記寄与の数によってピクセルごとの累算値を割ることを含む、

付記 1 乃至 8 のうちいずれか一つに記載の方法。

(付記 11)

デジタル 2 D データの前記低解像入力データ構造は、デジタル画像である、

付記 1 乃至 9 のうちいずれか一つに記載の方法。

(付記 12)

前記低解像入力データ構造は、デジタル 2 D データを有し、

夫々のブロック及び夫々のパッチは、少なくとも 5×5 個の値を有し、前記サーチ窓は、少なくとも 9×9 個の値をカバーし、夫々のパッチは、少なくとも 2 個の値だけ少なくとも 1 つの先に処理されたパッチと重なり合う、

付記 1 乃至 10 のうちいずれか一つに記載の方法。

(付記 13)

デジタルデータの低解像入力データ構造の超解像処理を行う装置であって、

低周波入力データ構造が取得されるように前記低解像入力データ構造をフィルタリングする第 1 のローパスフィルタと、

高周波入力データ構造が生成されるように前記低解像入力データ構造と前記低周波入力データ構造との間の差を計算する加算器、減算器又は微分器と、

前記低解像入力データ構造をアップスケーリングするアップスケーラと、

低周波アップスケールドデータ構造が取得されるように前記アップスケーリングされた入力データ構造をフィルタリングする第 2 のローパスフィルタと、

前記低周波アップスケールドデータ構造において、第 1 の位置にある第 1 のパッチを決定する第 1 の決定ユニットと、

前記第 1 のパッチに最も良く整合する第 1 のブロックを前記低周波入力データ構造において探すサーチユニットと、

前記低周波入力データ構造内の前記第 1 のブロックの位置を決定する第 2 の決定ユニットと、

前記低周波入力データ構造内の前記第 1 のブロックについて決定された位置にある前記高周波入力データ構造における第 2 のブロックを選択するセレクタユニットと、

前記選択された第 2 のブロックのピクセルデータを、加算によって、前記第 1 の位置で、最初は空である高周波アップスケールドデータ構造におけるパッチである第 2 のパッチに累算する累算器と、

前記低周波アップスケールドデータ構造における複数のパッチについての処理の繰り返

しを制御する制御ユニットと、

正規化された高周波アップスケールドデータ構造が取得されるように前記高周波アップスケールドデータ構造における前記累算されたピクセル値を正規化し、該正規化が、現在のピクセルについて、該現在のピクセルの累算された値に寄与しているピクセルの数によって前記現在のピクセルの前記累算された値を割ることを含む正規化ユニットと、

前記正規化された高周波アップスケールドデータ構造をフィルタリングするハイパスフィルタと、

超解像データ構造が取得されるように、前記ハイパスフィルタによりフィルタリングされた前記正規化された高周波アップスケールドデータ構造を前記低周波アップスケールドデータ構造と結合する結合ユニットと

を有する装置。

(付記 14)

前記低周波入力データ構造において、前記高周波アップスケールドデータ構造において前記第1の位置に対応する位置にあるブロックの周りの領域をカバーするサーチ窓を決定するサーチ窓決定ユニットを更に有し、

前記サーチユニットは、前記サーチ窓内でのみ前記低周波入力データ構造において探す、

付記13に記載の装置。

(付記 15)

前記高周波アップスケールドデータ構造においてピクセルごとの寄与の数をカウントするカウンタを更に有し、

前記正規化ユニットは、前記寄与の数によってピクセルごとの累算値を割る動作を実行する、

付記13又は14に記載の装置。

(付記 16)

デジタルデータの低解像入力データ構造の超解像処理を行う方法をコンピュータに実行させる実行可能命令を有するコンピュータ可読媒体であって、

前記方法は、

低周波入力データ構造が取得されるように第1のローパスフィルタによって前記低解像入力データ構造をフィルタリングするステップと、

高周波入力データ構造が生成されるように前記低解像入力データ構造と前記低周波入力データ構造との間の差を計算するステップと、

低周波アップスケールドデータ構造が取得されるように、前記低解像入力データ構造をアップスケーリングし、該アップスケーリングされた入力データ構造を第2のローパスフィルタによってフィルタリングするステップと、

前記低周波アップスケールドデータ構造において、第1の位置にある第1のパッチを決定するステップと、

前記第1のパッチに最も良く整合する第1のブロックを前記低周波入力データ構造において探し、前記低周波入力データ構造内の前記第1のブロックの位置を決定するステップと、

前記低周波入力データ構造内の前記第1のブロックについて決定された位置にある前記高周波入力データ構造における第2のブロックを選択するステップと、

前記選択された第2のブロックのピクセルデータを、加算によって、前記第1の位置で、最初は空である高周波アップスケールドデータ構造におけるパッチである第2のパッチに累算するステップと、

前記低周波アップスケールドデータ構造において新しいパッチを決定するステップ、該決定されたパッチに最も良く整合するブロックを前記低周波入力データ構造において探しステップ、前記高周波入力データ構造における対応するブロックを選択するステップ、及び前記新しいパッチの位置にある前記高周波アップスケールドデータ構造におけるパッチに前記選択された対応するブロックのピクセルデータを累算するステップを繰り返すステ

ップと、

正規化された高周波アップスケールドデータ構造が取得されるように前記高周波アップスケールドデータ構造における前記累算されたピクセル値を平均化することで正規化する
ステップと、

超解像データ構造が取得されるように前記正規化された高周波アップスケールドデータ構造を前記低周波アップスケールドデータ構造に加えるステップと
を有する、コンピュータ可読媒体。