



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년08월12일
(11) 등록번호 10-1646015
(24) 등록일자 2016년08월01일

(51) 국제특허분류(Int. Cl.)
H03L 7/10 (2006.01) H03L 7/085 (2006.01)
H03L 7/099 (2006.01)
(52) CPC특허분류
H03L 7/101 (2013.01)
H03L 7/085 (2013.01)
(21) 출원번호 10-2015-0024320
(22) 출원일자 2015년02월17일
심사청구일자 2015년02월17일
(56) 선행기술조사문헌
KR101190313 B1
KR101421379 B1
KR1020060013205 A

(73) 특허권자
부경대학교 산학협력단
부산광역시 남구 신선로 365 (용당동,
부경대학교)
(72) 발명자
최영식
부산광역시 부산진구 백양대로300번길 20, 210동
303호 (개금동, 신개금엘지아파트1차)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 19 항

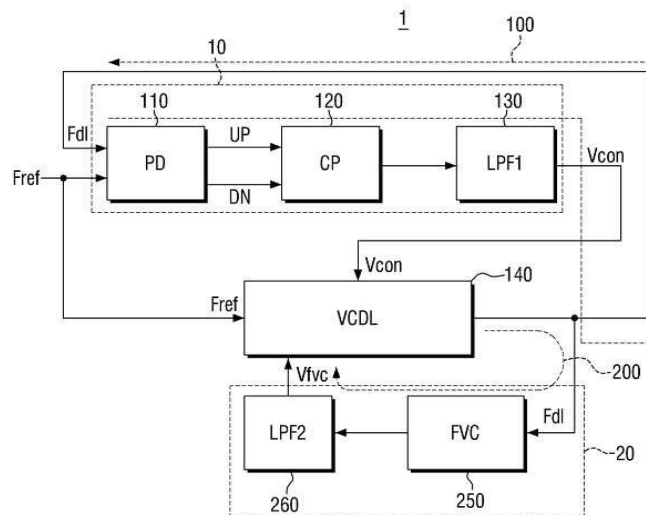
심사관 : 박정근

(54) 발명의 명칭 복수의 부궤환 루프를 구비한 위상지연루프 장치

(57) 요약

복수의 부궤환 루프를 구비한 위상지연루프 장치가 제공된다. 위상지연루프 장치는, 외부로부터 제공되는 기준 신호에 대한 지연동작을 통해 지연출력신호를 출력하는 전압 제어 지연단(VCDL), 기준 신호와, 지연출력신호를 비교하고, 이를 기초로 제1 제어 전압을 생성하여 전압 제어 지연단에 전달하는 제1 제어 전압 생성부, 및 전압 제어 지연단의 지연출력신호에 상응하는 제2 제어 전압을 생성하고, 제2 제어 전압을 상기 전압 제어 지연단으로 피드백시키는 주파수-전압 변환기(FVC)를 포함한다.

대표도 - 도1



(52) CPC특허분류
H03L 7/099 (2013.01)

명세서

청구범위

청구항 1

외부로부터 제공되는 기준 신호에 대한 지연동작을 통해 지연출력신호를 출력하고, 순차적으로 연결되는 제1 지연회로 및 상기 제1 지연회로와 다른 제2 지연회로를 포함하는 전압 제어 지연단(VCDL);

상기 기준 신호와, 상기 지연출력신호를 비교하고, 이를 기초로 제1 제어 전압을 생성하여 상기 전압 제어 지연단에 전달하는 제1 제어 전압 생성부;

상기 전압 제어 지연단의 상기 지연출력신호에 상응하는 제2 제어 전압을 생성하고, 상기 제2 제어 전압을 상기 전압 제어 지연단으로 피드백 시키는 제1 주파수-전압 변환기(FVC);

상기 제1 지연회로의 제1 출력 신호를 입력 받고 이에 대한 제1 피드백 신호를 상기 제1 지연회로에 전달하는 제2 주파수-전압 변환기; 및

상기 제2 지연회로의 제2 출력 신호를 입력 받고 이에 대한 제2 피드백 신호를 상기 제2 지연회로에 전달하는 제3 주파수-전압 변환기를 포함하는 위상지연루프 장치.

청구항 2

제1 항에 있어서,

상기 제1 주파수-전압 변환기, 상기 제2 주파수-전압 변환기 및 상기 제3 주파수-전압 변환기 중 적어도 어느 하나는,

전하가 충전 또는 방전되는 커패시터와,

제1 제어 신호에 의해 온오프되고, 상기 커패시터의 일단에 위치한 제1 노드의 전압을 풀다운 시키는 제1 스위치와,

상기 제1 노드와 연결되고, 상기 지연출력신호와 관계 없이, 상기 커패시터에 전하를 제공하는 전류원과,

제2 제어 신호에 의해 온오프되고, 일단이 상기 제1 노드와 연결되고, 타단이 상기 전압 제어 지연단과 전기적으로 연결되는 제2 스위치를 포함하는 위상지연루프 장치.

청구항 3

제2 항에 있어서,

상기 제1 주파수-전압 변환기, 상기 제2 주파수-전압 변환기 및 상기 제3 주파수-전압 변환기 중 적어도 어느 하나는, 제어 신호 생성부를 더 포함하되,

상기 제어 신호 생성부는,

상기 전압 제어 지연단에서 출력되는 상기 지연출력신호를 입력으로 상기 제1 제어 신호를 생성하는 제1 회로와,

상기 제1 제어 신호보다 미리 정해진 시간만큼 지연되는 상기 제2 제어 신호를 생성하는 제2 회로를 포함하는 위상지연루프 장치.

청구항 4

제2 항에 있어서,

상기 제1 스위치는, NMOS 트랜지스터를 포함하고,

상기 제1 스위치가 턴온 되는 경우, 상기 커패시터에 충전된 전하가 방전되어, 상기 제1 노드의 전압이 풀다운 되는 위상지연루프 장치.

청구항 5

제2 항에 있어서,

상기 커패시터는, 상기 제1 스위치 및 상기 제2 스위치가 오프 상태인 경우, 상기 전류원으로부터 공급받은 전하로 충전되는 위상지연루프 장치.

청구항 6

삭제

청구항 7

제1 항에 있어서,

상기 제1 피드백 신호는, 상기 제1 지연회로에만 전달되고,

상기 제2 피드백 신호는, 상기 제2 지연회로에만 전달되는 위상지연루프 장치.

청구항 8

제1 항에 있어서,

상기 제1 피드백 신호는, 상기 제1 지연회로에만 전달되고,

상기 제2 피드백 신호는, 상기 제1 및 제2 지연회로에 전달되는 위상지연루프 장치.

청구항 9

제1 항에 있어서,

상기 제1 피드백 신호는, 상기 제1 및 제2 지연회로에 전달되고,

상기 제2 피드백 신호는, 상기 제1 및 제2 지연회로에 전달되는 위상지연루프 장치.

청구항 10

제1 항에 있어서,

상기 제1 제어 전압 생성부는,

상기 기준 신호와 상기 지연출력신호의 위상차를 비교하고, 상기 위상차에 따라서 업신호(UP) 또는 다운신호(DOWN)를 출력하는 위상 검출기와,

상기 위상 검출기에서 출력되는 상기 업신호 또는 상기 다운신호에 비례하는 전류를 출력하는 차지 펌프와,

상기 차지 펌프에서 출력되는 전류를 전압으로 변환하는 제1 루프 필터를 포함하는 위상지연루프 장치.

청구항 11

제10 항에 있어서,

상기 위상지연루프 장치는, 상기 지연출력신호를 입력받고, 상기 지연출력신호에 상응하는 피드백 신호를 상기 제1 루프 필터에 전달하는 부궤환 회로를 더 포함하는 위상지연루프 장치.

청구항 12

제11 항에 있어서,

상기 부궤환 회로는,

상기 기준 신호와 상기 지연출력신호를 기초로 한 비교 신호의 검출 여부에 따라, 스위칭 신호를 생성하는 부궤환 제어부와,

상기 스위칭 신호에 의해 온오프되며 상기 제1 루프 필터와 연결되는 생성 스위치와, 상기 생성 스위치와 접지

사이에 배치되는 생성 커패시터를 포함하는 부궤환 생성부를 포함하는 위상지연루프 장치.

청구항 13

제12 항에 있어서,

상기 부궤환 회로는,

상기 비교 신호가 검출되는 경우, 상기 스위칭 신호를 이용하여 상기 생성 스위치를 턴오프 시키고,

상기 비교 신호가 검출되지 않는 경우, 상기 스위칭 신호를 이용하여 상기 생성 스위치를 턴온 시키는 위상지연루프 장치.

청구항 14

제12 항에 있어서,

상기 부궤환 제어부는,

상기 비교 신호를 입력 받는 OR 게이트와,

상기 OR 게이트의 출력에 따라 온오프되어 상기 스위칭 신호를 출력하는 경로 스위치를 포함하는 위상지연루프 장치.

청구항 15

제1 항에 있어서,

상기 제1 주파수-전압 변환기와 상기 전압 제어 지연단 사이에 연결되고, 상기 제1 주파수-전압 변환기에서 출력되는 신호를 변환하여 상기 전압 제어 지연단에 전달하는 제2 루프 필터를 더 포함하는 위상지연루프 장치.

청구항 16

외부로부터 제공되는 기준 신호와, 전압 제어 지연단으로부터 출력되는 지연출력신호를 비교하고, 상기 지연출력신호의 위상을 상기 기준 신호에 고정시키는 제1 부궤환 루프; 및

상기 전압 제어 지연단에 포함된 제1 지연회로의 제1 출력 신호를 입력받고 이에 대한 제1 피드백 신호를 상기 제1 지연회로에 전달하는 제1 주파수-전압 변환기를 포함하는 제1 서브 부궤환 루프와, 상기 전압 제어 지연단에 포함되고, 상기 제1 지연회로와 다른 제2 지연회로의 제2 출력 신호를 입력 받고 이에 대한 제2 피드백 신호를 상기 제2 지연회로에 전달하는 제2 주파수-전압 변환기를 포함하는 제2 서브 부궤환 루프로, 상기 제1 서브 부궤환 루프와 다른 제2 서브 부궤환 루프를 포함하는 제2 부궤환 루프를 포함하는 위상지연루프 장치.

청구항 17

제16 항에 있어서,

상기 제1 주파수-전압 변환기와 상기 제2 주파수-전압 변환기 중 적어도 하나는,

전하가 충전 또는 방전되는 커패시터와,

제1 제어 신호에 의해 온오프되고, 상기 커패시터의 일단에 위치한 제1 노드의 전압을 풀다운 시키는 제1 스위치와,

상기 제1 노드와 연결되고, 상기 전압 제어 지연단의 출력과 관계 없이, 상기 커패시터에 전하를 제공하는 전류원과,

제2 제어 신호에 의해 온오프되고, 일단이 상기 제1 노드와 연결되고, 타단이 상기 전압 제어 지연단과 전기적으로 연결되는 제2 스위치를 포함하는 위상지연루프 장치.

청구항 18

제16 항에 있어서,

상기 제1 부궤환 루프의 출력을 제공받고, 상기 제1 부궤환 루프에 포함된 제1 루프 필터에 피드백 신호를 전달

하는 부궤환 회로를 포함하는 제3 부궤환 루프를 더 포함하는 위상지연루프 장치.

청구항 19

제18 항에 있어서,

상기 부궤환 회로는,

상기 기준 신호와 상기 지연출력신호를 기초로 한 비교 신호의 검출 여부에 따라, 스위칭 신호를 생성하는 부궤환 제어부와,

상기 스위칭 신호에 의해 온오프되며 상기 제1 루프 필터와 연결되는 생성 스위치와, 상기 생성 스위치와 접지 사이에 배치되는 생성 커패시터를 포함하는 부궤환 생성부를 포함하는 위상지연루프 장치.

청구항 20

상기 제1 항 내지 제5항, 제7항 내지 제19항 중 어느 한 항의 위상지연루프 장치; 및

처리부를 포함하되,

상기 위상지연루프 장치는, 기준 클럭을 제공받아 클럭 신호를 출력하고,

상기 처리부는, 상기 위상지연루프 장치로부터 출력된 클럭 신호를 이용하여 제공받은 입력 신호를 처리하고, 이를 출력 신호로 출력하는 전자 장치.

발명의 설명

기술 분야

[0001] 본 발명은 복수의 부궤환 루프를 구비한 위상지연루프 장치에 관한 것으로서, 보다 상세하게는 부궤환 루프를 2개 이상으로 구성하여 전압 제어 지연단에서 출력되는 출력신호의 위상을 고정시키는 복수의 부궤환 루프를 구비한 위상지연루프 장치에 관한 것이다.

배경 기술

[0002] 위상지연루프(DLL: Delay Locked Loop)는 기준신호와 출력신호의 위상을 지속적으로 비교하고, 그 결과에 기초하여 위상을 보정함으로써 출력신호가 항상 기준신호와 일정한 위상을 유지하도록 하는 회로이다.

[0003] 종래의 하나의 부궤환 루프를 가진 위상지연루프(DLL, Delay Locked Loop)는 루프 필터에 의한 잡음 감쇄가 많이 이루어지지 않는다.

선행기술문헌

[0004] 대한민국공개특허 제10-2009-0047155호

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하려는 과제는, 대역폭내의 저주파수 영역을 포함한 사용 가능한 주파수 영역대에서 잡음 특성을 개선한 위상지연루프 장치를 제공하는 것이다.

[0006] 본 발명이 해결하려는 다른 과제는, 작은 크기로 구현할 수 있는 위상지연루프 장치를 제공하는 것이다.

[0007] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상기 과제들을 해결하기 위한 본 발명의 위상지연루프 장치의 일 실시예는, 외부로부터 제공되는 기준 신호에 대한 지연동작을 통해 지연출력신호를 출력하는 전압 제어 지연단(VCDL), 상기 기준 신호와, 상기 지연출력신호를 비교하고, 이를 기초로 제1 제어 전압을 생성하여 상기 전압 제어 지연단에 전달하는 제1 제어 전압 생성부,

및 상기 전압 제어 지연단의 상기 지연출력신호에 상응하는 제2 제어 전압을 생성하고, 상기 제2 제어 전압을 상기 전압 제어 지연단으로 피드백시키는 주파수-전압 변환기(FVC)를 포함하되, 상기 주파수-전압 변환기는, 전하가 충전 또는 방전되는 커패시터와, 제1 제어 신호에 의해 온오프되고, 상기 커패시터의 일단에 위치한 제1 노드의 전압을 풀다운 시키는 제1 스위치와, 상기 제1 노드와 연결되고, 상기 지연출력신호와 관계 없이, 상기 커패시터에 전하를 제공하는 전류원과, 제2 제어 신호에 의해 온오프되고, 일단이 상기 제1 노드와 연결되고, 타단이 상기 전압 제어 지연단과 전기적으로 연결되는 제2 스위치를 포함한다.

- [0009] 본 발명의 몇몇 실시예에서, 상기 주파수-전압 변환기는, 인버터와 NAND 게이트로 구성된 제1 회로를 포함하고, 상기 전압 제어 지연단에서 출력되는 지연출력신호를 입력으로 상기 제1 제어 신호를 생성하는 제어 신호 생성부를 더 포함할 수 있다.
- [0010] 본 발명의 몇몇 실시예에서, 상기 제어 신호 생성부는, 인버터와 NAND 게이트로 구성되고, 상기 제2 제어 신호를 생성하는 제2 회로를 더 포함하고, 상기 제2 제어 신호는, 상기 제1 제어 신호보다 미리 정해진 시간만큼 지연될 수 있다.
- [0011] 본 발명의 몇몇 실시예에서, 상기 제1 스위치는, NMOS 트랜지스터를 포함하고, 상기 제1 스위치가 턴온 되는 경우, 상기 커패시터에 충전된 전하가 방전되어, 상기 제1 노드의 전압이 풀다운될 수 있다.
- [0012] 본 발명의 몇몇 실시예에서, 상기 커패시터는, 상기 제1 스위치 및 상기 제2 스위치가 오프 상태인 경우, 상기 전류원으로부터 공급받은 전하로 충전될 수 있다.
- [0013] 본 발명의 몇몇 실시예에서, 상기 전압 제어 지연단은, 순차적으로 연결된 제1 지연회로와 제2 지연회로를 포함하고, 상기 주파수-전압 변환기는, 상기 제1 지연회로의 제1 출력 신호를 입력받고 이에 대한 제1 피드백 신호를 상기 제1 지연회로에 전달하는 제1 주파수-전압 변환기와, 상기 제2 지연회로의 제2 출력 신호를 입력받고 이에 대한 제2 피드백 신호를 상기 제2 지연회로에 전달하는 제2 주파수-전압 변환기를 포함할 수 있다.
- [0014] 본 발명의 몇몇 실시예에서, 상기 주파수-전압 변환기와 상기 전압 제어 지연단을 통과하는 내부 루프는, 상기 주파수-위상고정루프 전체의 페루프와는 독립적으로 부귀환 페루프를 구성할 수 있다.
- [0015] 본 발명의 몇몇 실시예에서, 상기 제1 피드백 신호는, 상기 제1 지연회로에만 전달되고, 상기 제2 피드백 신호는, 상기 제2 지연회로에만 전달될 수 있다.
- [0016] 본 발명의 몇몇 실시예에서, 상기 제1 및 제2 피드백 신호는, 상기 제1 또는 제2 지연회로에 전달될 수 있다.
- [0017] 본 발명의 몇몇 실시예에서, 상기 제1 피드백 신호는, 상기 제1 지연회로에만 전달되고, 상기 제2 피드백 신호는, 상기 제1 지연회로와 상기 제2 지연회로 모두에 전달될 수 있다.
- [0018] 본 발명의 몇몇 실시예에서, 상기 제1 제어 전압 생성부는, 상기 기준 신호와 상기 지연출력신호의 위상차를 비교하고, 상기 위상차에 따라서 업신호(UP) 또는 다운신호(DOWN)를 출력하는 위상 검출기와, 상기 위상 검출기에서 출력되는 상기 업신호 또는 상기 다운신호에 비례하는 전류를 출력하는 차지 펌프와, 상기 차지 펌프에서 출력되는 전류를 전압으로 변환하는 제1 루프 필터를 포함하고, 상기 위상지연루프 장치는, 상기 지연출력신호를 입력받고, 상기 지연출력신호에 상응하는 피드백 신호를 상기 제1 루프 필터에 전달하는 부귀환 회로를 더 포함할 수 있다.
- [0019] 본 발명의 몇몇 실시예에서, 상기 부귀환 회로는, 상기 기준 신호와 상기 지연출력신호를 기초로 한 비교 신호의 검출 여부에 따라, 스위칭 신호를 생성하는 부귀환 제어부와, 상기 스위칭 신호에 의해 온오프되며 상기 제1 루프 필터와 연결되는 생성 스위치와, 상기 생성 스위치와 접지 사이에 배치되는 생성 커패시터를 포함하는 부귀환 생성부를 포함할 수 있다.
- [0020] 본 발명의 몇몇 실시예에서, 상기 부귀환 회로는, 상기 비교 신호가 검출되는 경우, 상기 스위칭 신호를 이용하여 상기 생성 스위치를 턴오프 시키고, 상기 비교 신호가 검출되지 않는 경우, 상기 스위칭 신호를 이용하여 상기 생성 스위치를 턴온 시킬 수 있다.
- [0021] 본 발명의 몇몇 실시예에서, 상기 부귀환 제어부는, 상기 비교 신호를 입력 받는 OR 게이트와, 상기 OR 게이트의 출력에 따라 온오프되어 상기 스위칭 신호를 출력하는 경로 스위치를 포함할 수 있다.
- [0022] 본 발명의 몇몇 실시예에서, 상기 제1 루프 필터는, 수동 필터 또는 능동 필터를 포함할 수 있다.
- [0023] 본 발명의 몇몇 실시예에서, 상기 제1 루프 필터는, 저항 커패시터, 스위치 또는 OP-AMP 중 적어도 어느 하나의

소자를 포함할 수 있다.

- [0024] 본 발명의 몇몇 실시예에서, 상기 주파수-전압 변환기와 상기 전압 제어 지연단 사이에 연결되고, 상기 주파수-전압 변환기에서 출력되는 신호를 변환하여 상기 전압 제어 지연단에 전달하는 제2 루프 필터를 더 포함할 수 있다.
- [0025] 본 발명의 몇몇 실시예에서, 상기 제2 루프 필터는, 수동 필터 또는 능동 필터를 포함할 수 있다.
- [0026] 상기 과제들을 해결하기 위한 본 발명의 위상지연루프 장치의 다른 실시예는, 외부로부터 제공되는 기준 신호와, 전압 제어 지연단으로부터 출력되는 지연출력신호를 비교하고, 상기 출력 신호의 주파수 및 위상을 상기 기준 신호에 고정시키는 제1 부궤환 루프, 및 상기 전압 제어 지연단에 포함된 제1 지연회로의 제1 출력 신호를 입력받고 이에 대한 제1 피드백 신호를 상기 제1 지연회로에 전달하는 제1 주파수-전압 변환기를 포함하는 제1 서브 부궤환 루프와, 상기 전압 제어 지연단에 포함된 제2 지연회로의 제2 출력 신호를 입력받고 이에 대한 제2 피드백 신호를 상기 제2 지연회로에 전달하는 제2 주파수-전압 변환기를 포함하는 제2 서브 부궤환 루프를 포함하는 제2 부궤환 루프를 포함하되, 상기 제1 또는 제2 주파수-전압 변환기는, 전하가 충전 또는 방전되는 커패시터와, 제1 제어 신호에 의해 온오프되고, 상기 커패시터의 일단에 위치한 제1 노드의 전압을 풀다운 시키는 제1 스위치와, 상기 제1 노드와 연결되고, 상기 전압 제어 지연단의 출력과 관계 없이, 상기 커패시터에 전하를 제공하는 전류원과, 제2 제어 신호에 의해 온오프되고, 일단이 상기 제1 노드와 연결되고, 타단이 상기 전압 제어 지연단과 전기적으로 연결되는 제2 스위치를 포함한다.
- [0027] 본 발명의 몇몇 실시예에서, 상기 제1 피드백 신호는, 상기 제1 지연회로에만 전달되고, 상기 제2 피드백 신호는, 상기 제2 지연회로에만 전달될 수 있다.
- [0028] 본 발명의 몇몇 실시예에서, 상기 제1 및 제2 피드백 신호는, 상기 제1 또는 제2 지연회로에 함께 전달될 수 있다.
- [0029] 본 발명의 몇몇 실시예에서, 상기 제1 피드백 신호는, 상기 제1 지연회로에만 전달되고, 상기 제2 피드백 신호는, 상기 제1 지연회로와 상기 제2 지연회로 모두에 전달될 수 있다.
- [0030] 본 발명의 몇몇 실시예에서, 상기 제1 또는 제2 주파수-전압 변환기와 상기 전압 제어 지연단 사이에 연결되고, 상기 제1 또는 제2 주파수-전압 변환기에서 출력되는 신호를 변환하여 상기 전압 제어 지연단에 전달하는 제2 루프 필터를 더 포함할 수 있다.
- [0031] 본 발명의 몇몇 실시예에서, 상기 제2 루프 필터는, 수동 필터 또는 능동 필터를 포함할 수 있다.
- [0032] 본 발명의 몇몇 실시예에서, 상기 제1 부궤환 루프의 상기 분주 신호를 입력받고, 상기 제1 부궤환 루프에 포함된 제1 루프 필터에 피드백 신호를 전달하는 부궤환 회로를 포함하는 제3 부궤환 루프를 더 포함할 수 있다.
- [0033] 본 발명의 몇몇 실시예에서, 상기 부궤환 회로는, 상기 기준 신호와 상기 지연출력신호를 기초로 한 비교 신호의 검출 여부에 따라, 스위칭 신호를 생성하는 부궤환 제어부와, 상기 스위칭 신호에 의해 온오프되며 상기 제1 루프 필터와 연결되는 생성 스위치와, 상기 생성 스위치와 접지 사이에 배치되는 생성 커패시터를 포함하는 부궤환 생성부를 포함할 수 있다.
- [0034] 본 발명의 몇몇 실시예에서, 상기 부궤환 회로는, 상기 비교 신호가 검출되는 경우, 상기 스위칭 신호를 이용하여 상기 생성 스위치를 턴오프 시키고, 상기 비교 신호가 검출되지 않는 경우, 상기 스위칭 신호를 이용하여 상기 생성 스위치를 턴온 시킬 수 있다.
- [0035] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 제1 실시예에 따른 위상지연루프 장치의 블록도이다.
- 도 2는 도 1은 위상지연루프 장치에 포함된 주파수 전압 변환기를 설명하기 위한 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 위상지연루프 장치의 주파수 전압 변환기에 포함된 제어 신호 생성부의 블록도이다.
- 도 4는 본 발명의 주파수 전압 변환기의 제어 신호를 설명하기 위한 타이밍도이다.
- 도 5는 본 발명의 일 실시예에 따른 위상지연루프 장치의 동작을 설명하기 위한 타이밍도이다.

도 6은 본 발명의 다른 실시예에 따른 위상지연루프 장치의 주파수 전압 변환기를 설명하기 위한 회로도이다.

도 7은 본 발명의 제2 실시예에 따른 위상지연루프 장치의 블록도이다.

도 8은 본 발명의 몇몇 실시예에 따른 위상지연루프 장치에 포함된 부궤환 회로를 설명하기 위한 회로도이다.

도 9는 본 발명의 몇몇 실시예에 따른 위상지연루프 장치에 포함된 부궤환 회로의 동작을 설명하기 위한 타이밍도이다.

도 10 및 도 11은 본 발명의 몇몇 실시예에 따른 제1 또는 제2 루프필터의 구성을 나타낸 도면이다.

도 12는 본 발명의 제3 실시예에 따른 위상지연루프 장치의 블록도이다.

도 13은 본 발명의 몇몇 실시예에 따른 위상지연루프 장치에 포함된 전압 제어 지연단을 나타내는 블록도이다.

도 14는 본 발명의 제3 실시예에 따른 위상지연루프 장치에 포함된 전압 제어 지연단과 주파수 전압 변환기의 연결 관계를 설명하기 위한 도면이다.

도 15는 본 발명의 제4 실시예에 따른 위상지연루프 장치에 포함된 전압 제어 지연단과 주파수 전압 변환기의 연결 관계를 설명하기 위한 도면이다.

도 16은 본 발명의 제5 실시예에 따른 위상지연루프 장치에 포함된 전압 제어 지연단과 주파수 전압 변환기의 연결 관계를 설명하기 위한 도면이다.

도 17은 본 발명의 제6 실시예에 따른 위상지연루프 장치의 블록도이다.

도 18은 본 발명의 몇몇 실시예에 따른 전압 제어 지연단을 나타내는 회로도이다.

도 19는 본 발명의 몇몇 실시예에 따른 DLL의 잡음 특성을 나타내는 그래프이다.

도 20은 본 발명의 실시예들에 따른 위상지연루프 장치를 포함하는 전자 장치의 일 예를 도시한 블록도이다.

도 21은 본 발명의 실시예들에 따른 위상지연루프 장치를 포함하는 전자 장치의 다른 예를 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0038] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0039] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0040] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0041] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로

사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

- [0042] 도 1은 본 발명의 제1 실시예에 따른 위상지연루프 장치의 블록도이다.
- [0043] 도 1을 참조하면, 본 발명에 따른 위상지연루프 장치(1)는, 입력 전압(예를 들어, Vcon)에 상응하는 지연출력신호(Fd1)를 출력하는 전압 제어 지연단(140)과, 외부로부터 제공되는 기준 신호(Fref)와, 전압 제어 지연단(140)으로부터 출력되는 지연출력신호(Fd1)를 비교하고, 이를 기초로 제1 제어 전압(Vcon)을 생성하여 전압 제어 지연단(140)에 전달하는 제1 제어 전압 생성부(10)와, 전압 제어 지연단(140)의 지연출력신호(Fd1)에 상응하는 제2 제어 전압(Vfvc)을 생성하고, 제2 제어 전압(Vfvc)을 전압 제어 지연단(140)으로 피드백시키는 주파수-전압 변환기(250)를 포함할 수 있다.
- [0044] 실시예에서, 위상지연루프 장치(1)는, 제1 부궤환 루프(100)와, 제2 부궤환 루프(200)를 포함할 수 있다.
- [0045] 제1 부궤환 루프(100)는 위상 검출기(110)(PD: Delay Detector), 차지 펌프(120)(CP: Charge Pump), 제1 루프 필터(130)(LPF1: First Loop Filter), 전압 제어 지연단(140)(VCDL: Voltage Controlled Delay Line)을 포함할 수 있다.
- [0046] 제2 부궤환 루프(200)는 주파수-전압 변환기(250)(FVC: Frequency to voltage converter), 제2 루프 필터(260)(LPF2: First Loop Filter)를 포함할 수 있다.
- [0047] 제1 제어 전압 생성부(10)는 위상 검출기(110), 차지 펌프(120), 및 제1 루프 필터(130)를 포함할 수 있다.
- [0048] 본 발명의 몇몇 실시예에서, 주파수-전압 변환기(250)는 제어 신호 생성부(도 3의 240)를 포함할 수 있다.
- [0049] 제1 부궤환 루프(100)의 위상 검출기(110)는, 도 1에 도시된 바와 같이, 기준 신호(Fref)와, 전압 제어 지연단(140)의 지연출력신호(Fd1)를 입력받아, 기준 신호(Fref)와 지연출력신호(Fd1) 간의 위상차를 검출할 수 있다.
- [0050] 위상 검출기(110)는 검출된 위상차에 따른 업/다운 신호(UP/DN)를 생성하여 차지 펌프(120)에 제공할 수 있다.
- [0051] 차지 펌프(120)는 위상 검출기(110)에서 출력된 업/다운 신호(UP/DN)에 따라 이에 상응하는 전하를 출력할 수 있다. 도면에 명확하게 도시하지는 않았으나, 차지 펌프(120)는 전류원을 포함할 수 있으며, 위상 검출기(110)에서 검출된 위상차에 따른 업/다운 신호(UP/DN)에 비례하는 전류를 제1 루프 필터(130)로 출력할 수 있다.
- [0052] 제1 루프 필터(130)는 차지 펌프(120)로부터 공급된 전하에 상응하는 전압을 충전하고, 잡음을 제거하여 전압 제어 지연단(140)로 평활화된 전압을 출력할 수 있다. 이때, 제1 루프 필터(130)는 1차, 2차 또는 그 이상 차수의 루프필터 구조를 가질 수 있으며, 일반적으로 저항 및 커패시터로 이루어진 수동필터(passive filter)이거나, 또는 저항과 커패시터 및 OP-AMP를 포함하는 능동필터(active filter)로 구성될 수 있다. 이에 대한 자세한 설명은 도 10과 도 11을 참조하여 후술하도록 한다.
- [0053] 전압 제어 지연단(140)은 제1 루프 필터(130)에서 출력된 전압에 상응하는 위상 지연 신호를 출력할 수 있다. 전압 제어 지연단(140)은 위상 지연을 발생시키며, 기준신호(Fref)의 위상을 지연시키고, 위상이 지연된 지연출력신호(Fd1)를 생성할 수 있다.
- [0054] 구체적으로, 전압 제어 지연단(140)은 기준신호(Fref)와, 지연출력신호(Fd1)에 상응하는 제어 전압(Vfvc)을 제공받고, 제공된 신호들을 기초로 지연 동작을 수행할 수 있다. 전압 제어 지연단(140)은 예를 들어, 복수 개의 지연기(도 14의 341~349)를 포함할 수 있으며, 복수 개의 지연기(도 14의 341~349)는 순차적으로 연결될 수 있다. 이에 대한 자세한 설명은 후술하도록 한다.
- [0055] 본 실시예에서, 전압 제어 지연단(140)은 전술한 2개의 부궤환 루프를 포함하기 때문에 일반적인 위상지연루프 장치의 전압 제어 지연단과 다르게 제1 기울기 값(Kvcd11)과 제2 기울기 값(Kvcd12)을 포함할 수 있다(일반적인 DLL의 전압 제어 지연단은 제1 기울기 값(Kvcd11)만 존재).
- [0056] 위상 검출기(110)는 전압 제어 지연단(140)에서 출력된 지연출력신호(Fd1)를 기준 신호(Fref)와 비교함으로써 상대적인 위상차를 검출할 수 있다.
- [0057] 제2 부궤환 루프(200)는 주파수-전압 변환기(250)와 제2 루프 필터(260)를 포함할 수 있다. 본 발명의 몇몇 실시예에서, 제2 루프 필터(260)는 생략될 수 있다.
- [0058] 주파수-전압 변환기(250)는 주파수-전압 변환기(250)의 동작에 필요한 제어신호($\Phi 1$, $\Phi 2$)를 생성하는 제어 신호 생성부(도 3의 240)를 포함할 수 있다. 이러한 제어 신호 생성부(도 3의 240)는 예를 들어, 주파수-전압 변

환기(250)에 포함되어 구현될 수 있으나, 실시예에 따라, 주파수-전압 변환기(250)와 별도로 구현될 수도 있다.

- [0059] 주파수-전압 변환기(250)는 전압 제어 지연단(140)의 지연 크기의 변화를 감지하여 그 변화량을 전압으로 바꾸어 줄 수 있으며, 예를 들어, 도 2 및 도 6에 도시된 구성을 채용할 수 있다. 즉, 전압 제어 지연단(140) 출력 신호의 지연 크기가 달라지면 주파수가 변한 것과 같은 효과가 되므로 주파수-전압 변환기(250)는 그 차이를 전압으로 출력할 수 있다.
- [0060] 다만 도 2 및 도 6에 도시된 주파수-전압 변환기(250)의 구체적인 구현에는 일 실시예에 불과하며 전압 제어 지연단(140)의 출력 신호의 지연 변화를 감지하여 그 변화량을 전압으로 바꾸어 전압 제어 지연단(140)에 출력할 수 있는 구조는 주파수-전압 변환기(250)에 채용될 수 있다. 특히 PMOS 및 NMOS 등의 트랜지스터는 필요에 따라 자유롭게 그 타입을 바꿀 수 있다.
- [0061] 도 2는 도 1은 위상지연루프 장치에 포함된 주파수 전압 변환기를 설명하기 위한 회로도이다.
- [0062] 도 2를 참조하면, 주파수-전압 변환기(250)는 전류원(252), 제1 스위치(255), 커패시터(Cx), 및 제2 스위치(259)를 포함할 수 있다.
- [0063] 커패시터(Cx)는 전류원(252)으로부터 제공받은 전하를 충전하거나, 또는 방전할 수 있다. 제1 스위치(255)는 제2 제어 신호($\Phi 2$)에 의해 온오프(on/off)되고, 커패시터(Cx)의 일단에 위치한 제1 노드(A)의 전압을 풀다운 또는 일정한 크기만큼 감소시킬 수 있다.
- [0064] 전류원(252)은 제1 노드(A)와 연결되고, 커패시터(Cx)에 전하를 제공할 수 있다. 제2 스위치(259)는 제1 제어 신호($\Phi 1$)에 의해 온오프되고, 일단이 제1 노드(A)와 연결되고, 타단이 루프 필터(260)를 통해 전압 제어 지연단(140)과 전기적으로 연결될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 루프 필터(260)는 실시예에 따라 생략될 수 있다.
- [0065] 제1 스위치(255)는, NMOS 트랜지스터를 포함하고, 제1 스위치(255)가 턴온 되는 경우, 커패시터(Cx)에 충전된 전하가 방전되어, 제1 노드(A)의 전압이 내려갈 수 있다. (즉, 제1 노드(A)의 전압이 풀 다운(pull down)될 수 있다. 또한, 커패시터(Cx)는, 제1 스위치(255) 및 제2 스위치(259)가 오프 상태인 경우, 전류원(252)으로부터 공급받은 전하로 충전될 수 있다.
- [0066] 주파수-전압 변환기(250)는 지연출력신호(Fd1)의 신호 패턴과 무관하게 일정한 전류원(252)을 이용하여 커패시터(Cx)를 충전시킬 수 있다. 구체적으로, 주파수-전압 변환기(250)는 도 4에 도시된 제1 제어 신호($\Phi 1$)에 의해 커패시터(Cx)에 전하 충전하여 제2 루프 필터(260)로 전달하고, 제2 제어 신호($\Phi 2$)에 의해 커패시터(Cx)에 충전된 전하를 방전시킬 수 있다.
- [0067] 이러한 제어신호($\Phi 1$, $\Phi 2$)를 생성하는 제어 신호 생성부(240)는 전압 제어 지연단(140)의 지연출력신호(Fd1)와 지연 인버터(delay inverter)를 이용하여 도 4에 도시된 바와 같은 서로 오버랩되지 않는(non-overlapped) 제어 신호($\Phi 1$, $\Phi 2$)를 생성할 수 있다.
- [0068] 도 3은 본 발명의 일 실시예에 따른 위상지연루프 장치의 주파수 전압 변환기에 포함된 제어 신호 생성부의 블록도이다. 도 4는 본 발명의 주파수 전압 변환기의 제어 신호를 설명하기 위한 타이밍도이다. 도 5는 본 발명의 일 실시예에 따른 위상지연루프 장치의 동작을 설명하기 위한 타이밍도이다.
- [0069] 도 3과 도 4를 참조하면, 제어 신호 생성부(240)는 예를 들어, 3개의 인버터(242, 246, 247)와 2개의 논리곱 게이트(241, 245)를 포함할 수 있다.
- [0070] 제어 신호 생성부(240)는 전압 제어 지연단(140)에서 출력되는 지연출력신호(Fd1)를 제공받고 도 4와 같이 제1 제어 신호($\Phi 1$)와, 제1 제어 신호($\Phi 1$)보다 미리 정해진 시간만큼 지연되는 제2 제어 신호($\Phi 2$)를 생성할 수 있다. 즉, 실시예에서, 제어 신호 생성부(240)는 제1 제어 신호($\Phi 1$) 및 제2 제어 신호($\Phi 2$) 사이에 서로 중첩되는 부분이 없도록 할 수 있다.
- [0071] 구체적으로, 제어 신호 생성부(240)는 인버터(242)와 NAND 게이트(241)를 포함하는 제1 회로를 포함할 수 있다. 제1 회로는, 전압 제어 지연단(140)에서 출력되는 지연출력신호(Fd1)를 입력으로 제1 제어 신호($\Phi 1$)를 생성할 수 있다.
- [0072] 또한, 제어 신호 생성부(240)는, 추가적인 인버터(246, 247)와 NAND 게이트(245)를 포함하여 제2 제어 신호($\Phi 2$)를 생성하는 제2 회로를 포함할 수 있다.

- [0073] 전압 제어 지연단(140)의 지연출력신호(Fd1)의 지연 크기가 작아지면(즉, 주파수가 증가하면), 지연출력신호(Fd1)의 한 주기(도 4의 D1)는 짧아지고, 전류원(252)을 통해 충전되는 커패시터(Cx)의 충전량은 작아진다. 따라서, 제2 루프 필터(260)의 출력 전압이 감소하게 되므로 전압 제어 지연단(140)의 지연출력신호(Fd1)의 지연 크기가 증가(즉, 주파수가 감소)할 수 있다.
- [0074] 이와 반대로, 전압 제어 지연단(140)의 지연출력신호(Fd1)의 지연 크기가 증가하면(주파수가 감소하면), 지연출력신호(Fd1)의 한 주기(도 4의 D1)는 길어지고, 전류원(252)을 통해 충전되는 커패시터(Cx)의 충전량은 커진다. 따라서, 제2 루프 필터(260)의 출력 전압이 증가하게 되어 전압 제어 지연단(140)의 지연출력신호(Fd1)의 지연 크기가 감소(주파수가 증가)할 수 있다.
- [0075] 이 때, 본 발명에 따른 도 2의 주파수-전압 변환기(250)는 지연출력신호(Fd1)의 "Low" 상태(PMOS인 경우)와는 상관없이, 지연출력신호(Fd1)의 주기의 길이에 따라 커패시터(Cx)에 충전되는 전압이 달라지고, 충전된 전압은 제2 루프 필터(260)를 거쳐 노이즈(일예로 트랜지스터에 내재된 씨말 노이즈) 및 리플 등의 잡음이 제거된 전압으로 출력되어 전압 제어 지연단(140)의 입력(Vfvc)으로 들어갈 수 있다.
- [0076] 주파수-전압 변환기(250)는 제1 제어 신호($\Phi 1$)에 의해 제2 루프 필터(260)로 전하를 전달하고 난 뒤, 제2 제어 신호($\Phi 2$)에 의해 커패시터(Cx)에 충전된 전하를 방전한다. 제2 제어 신호($\Phi 2$)는 도 2에 도시된 바와 같이 NMOS 트랜지스터의 게이트로 입력되어 NMOS 트랜지스터가 스위칭되도록 한다. 다만 NMOS 트랜지스터는 일실시예에 불과하고 PMOS 트랜지스터를 포함하여 스위칭될 수 있는 기타 다른 트랜지스터를 채택할 수 있다.
- [0077] 도 5를 참조하면, 도 5은 본 발명의 일 실시예에 따른 위상지연루프 장치(1)의 동작을 설명하기 위한 타이밍도로서, 전압 제어 지연단(140)에서 출력되는 지연출력신호(Fd1)의 주파수가 잡음 또는 기타 원인에 의해 작아지는 경우, 위상 검출기(110)는 기준 신호(Fref)와 지연출력신호(Fd1)을 비교한 뒤, 업 신호(UP)를 출력한다.
- [0078] 업 신호(UP)가 발생하면, 전압 제어 지연단(140)으로부터 출력되는 지연출력신호(Fd1)의 지연 크기는 감소(즉, 주파수는 증가)한다. 이와 동시에, 주파수-전압 변환기(250)에 포함된 커패시터(Cx)에 충전되는 전하 또는 전류는 작아진다. 따라서, 제2 루프 필터(260)에서 전압 제어 지연단(140)로 공급되는 전압 값(Vfvc)은 작아지고, 이는 전압 제어 지연단(140)에서 출력되는 출력 신호의 지연 크기를 증가(주파수를 감소)시켜 전압 제어 지연단(140)의 주파수 변화를 억제할 수 있다.
- [0079] 이와 달리 전압 제어 지연단(140)에서 출력되는 지연출력신호(Fd1)의 크기가 커지면 상술한 원리와 반대로 동작될 수 있다. 이러한 주파수-전압 변환기(250)와 제2 루프 필터(260)의 동작에 의해 위상지연루프(DLL)에서 발생하는 모든 잡음(예를 들어, 지연 값의 변화)의 크기는 줄어들 수 있다.
- [0080] 도 6은 본 발명의 다른 실시예에 따른 위상지연루프 장치의 주파수 전압 변환기를 설명하기 위한 회로도이다.
- [0081] 도 6을 참조하면, 본 발명의 다른 실시예에 따른 위상지연루프 장치(1)의 주파수-전압 변환기(251)는 도 2에 도시된 주파수-전압 변환기(250)와 실질적으로 동일한 기능을 수행할 수 있다. 즉, 주파수-전압 변환기(250)는 전압 제어 지연단(140)의 지연출력신호(Fd1)의 변화를 감지하여 그 변화량을 전압으로 바꿀 수 있다.
- [0082] 주파수-전압 변환기(250)는 지연출력신호(Fd1)의 "Low" 신호와는 상관없이 항상 커패시터(Cx)에 전하가 충전되며, 도 4에 도시된 제1 제어 신호($\Phi 1$)에 의해 커패시터(Cx)에 충전된 전하를 제2 루프 필터(260)로 전달하고, 제2 제어 신호($\Phi 2$)에 의해 커패시터(Cx)에 충전된 전하를 방전시켜 줄 수 있다. 도 4의 점선영역(253)은 전류원(current source)에 해당하고 PMOS는 항상 동작될 수 있다.
- [0083] 주파수-전압 변환기(250)에서, 제1 제어 신호($\Phi 1$) 사이의 시간 간격에 따라 커패시터(Cx) 출력전압이 변하며, 이에 따라 제2 루프 필터(260)의 출력 전압도 변할 수 있다.
- [0084] 전압 제어 지연단(140)으로부터 출력되는 지연출력신호(Fd1)의 지연 크기가 감소(주파수가 증가)하면 제1 제어 신호($\Phi 1$) 사이의 시간 간격이 짧아지고(즉, 충전시간이 감소), 커패시터(Cx)의 출력전압이 감소하여 제2 루프 필터(260)의 출력 전압(Vfvc)이 감소함에 따라 전압 제어 지연단(140)의 지연출력신호(Fd1)의 지연 크기가 증가(주파수가 감소)할 수 있다.
- [0085] 반대로 전압 제어 지연단(140)의 지연출력신호(Fd1)의 지연 크기가 증가(주파수가 감소)하면 제1 제어 신호($\Phi 1$) 사이의 시간 간격이 길어지고(즉, 충전시간이 증가) 커패시터(Cx)의 출력전압이 증가하여 제2 루프 필터(260)의 출력 전압이 증가함에 따라 전압 제어 지연단(140)의 지연출력신호(Fd1)의 지연 크기가 감소(주파수가 증가)할 수 있다.

- [0086] 따라서, 주파수-전압 변환기(250)는 제1 제어 신호($\Phi 1$) 사이의 시간 간격, 즉 지연출력신호(Fd1)의 주파수 값에 따라 커패시터(Cx)에 충전되는 전압이 달라지고, 충전된 전하는 제2 루프 필터(260)를 거쳐 노이즈(일례로 트랜지스터에 내재된 써말 노이즈) 및 리플 등의 잡음이 제거된 전압으로 출력되어 전압 제어 지연단(140)의 입력으로 제공될 수 있다.
- [0087] 제2 루프 필터(260)는 주파수-전압 변환기(250) 및 내부 부재환 루프에서 생성된 노이즈 및 리플 등의 잡음을 제거하고, 커패시터(Cx)로부터 충전된 전압을 평활화하여 전압 제어 지연단(140)로 출력할 수 있다.
- [0088] 도 7은 본 발명의 제2 실시예에 따른 위상지연루프 장치의 블록도이다. 도 8은 본 발명의 몇몇 실시예에 따른 위상지연루프 장치에 포함된 부재환 회로를 설명하기 위한 회로도이다. 도 9는 본 발명의 몇몇 실시예에 따른 위상지연루프 장치에 포함된 부재환 회로의 동작을 설명하기 위한 타이밍도이다. 설명의 편의를 위하여, 이하에서는 앞서 설명한 실시예와 동일한 사항에 대해서는 중복된 설명을 생략하고 차이점을 중심으로 설명하도록 한다.
- [0089] 도 7과 도 8를 참조하면, 본 발명의 위상지연루프 장치(2)는 부재환 회로(220)를 더 포함할 수 있다. 부재환 회로(220)는 전압 제어 지연단(140)로부터 지연출력신호(Fd1)와, 위상 검출기(110)로부터 업/다운 신호(UP/DN)를 입력받고, 이에 대한 출력을 제1 루프 필터(130)로 전달할 수 있다.
- [0090] 본 실시예에서, 제3 부재환 루프(300)는 부재환 회로(220) 및 제1 루프 필터(130)를 포함할 수 있다.
- [0091] 부재환 회로(220)는 부재환 제어부(230)와 부재환 생성부(240)를 포함할 수 있다.
- [0092] 구체적으로, 제3 부재환 루프(300)는 제1 부재환 루프(100)와는 다른 부재환 루프로 구성될 수 있다. 부재환 제어부(230)는 기준 신호(Fref)와 지연출력신호(Fd1)를 기초로 한 비교 신호의 검출 여부에 따라, 스위칭 신호를 생성할 수 있다. 즉, 부재환 제어부(230)는 비교 신호의 검출 여부에 따라, 출력신호의 출력 경로를 제어할 수 있다.
- [0093] 부재환 생성부(240)는 생성 스위치(SW1)와 생성 커패시터(C1)를 포함할 수 있다. 구체적으로, 부재환 생성부(240)는 부재환 제어부(230)로부터 출력된 스위칭 신호에 의해 온오프되며 제1 루프 필터(130)와 연결되는 생성 스위치(SW1)와, 생성 스위치(SW1)와 접지단(VSS) 사이에 배치되는 생성 커패시터(C1)를 포함할 수 있다. 부재환 생성부(240)는 비교 신호가 공급되지 않는 경우, 제1 루프 필터(130)에 전하를 충전 또는 방전하여 제1 루프 필터(130)의 출력에 부재환 역할을 할 수 있다.
- [0094] 여기서 비교 신호는 업신호(UP) 또는 다운신호(DN)를 포함하고, 비교 신호가 공급되는 구간은 업신호(UP) 또는 다운신호(DN)가 발생하는 기간이며, 비교 신호가 공급되지 않는 구간은 업신호(UP) 또는 다운신호(DN)가 발생하지 않는 기간일 수 있다.
- [0095] 부재환 생성부(240)는 부재환 제어부(230)로부터 스위칭 신호가 입력되어 생성 스위치(SW1)가 스위칭됨으로써 출력전압을 생성할 수 있다.
- [0096] 이러한 부재환 생성부(240)는 비교 신호가 공급되지 않으면 부재환 제어부(230)에서 공급되는 스위칭 신호에 의해 제1 루프 필터(130)에서 제공되는 전하에 상응하여 출력전압을 생성할 수 있다.
- [0097] 즉, 부재환 생성부(240)는 비교 신호가 공급되지 않으면 제1 루프 필터(130)에 전하를 충전 또는 방전하여 제1 루프 필터(130)의 출력에 부재환 역할을 할 수 있다.
- [0098] 생성 스위치(SW1)는 부재환 제어부(230)로부터 공급되는 스위칭 신호 또는 경로 스위치(SW2)가 단락되면서 형성되는 출력신호의 출력경로를 통하여 공급되는 출력신호에 상응하여 스위칭될 수 있다.
- [0099] 생성 커패시터(C1)는 생성 스위치(SW1)와 직렬로 연결되며, 외부 루프 필터(130)의 커패시터(C2)는 생성 스위치(SW1) 및 생성 커패시터(C1)와 병렬로 연결된다. 다만, 커패시터(C1, C2)는 필요에 따라 도 10 및 도 11의 수동 및 능동소자로 대체될 수 있다. 이에 대한 자세한 설명은 후술하기로 한다.
- [0100] 부재환 생성부(240)는 생성 스위치(SW1)의 스위칭 동작에 상응하여 출력전압(Vcon)에 부재환 역할을 할 수 있다. 즉, 생성 스위치(SW1)는 비교 신호가 공급되는 동안에는 부재환 제어부(230)로부터 스위칭 신호가 공급되어 개방된다. 이에 따라, 차지 펌프(120)에서 출력되는 전하는 커패시터(C2)에 공급되어 충전된다. 따라서, 부재환 생성부(240)는 생성 커패시터(C1)은 이전 값을 가지고 있어 출력전압(Vcon)에 대하여 부재환 역할을 할 수 있다.

- [0101] 비교 신호가 공급되지 않는 동안에는 경로 스위치(SW2)는 턴 온되며 부궤환 제어부(230)에서 생성된 제어신호와 출력경로를 통하여 공급되는 출력신호(Fd1)에 의해 생성 스위치(SW1)는 턴 온/오프되어 커패시터(C2)에 충전된 전하가 생성 커패시터(C1)로 이동될 수 있다. 즉, 커패시터(C2)가 생성 커패시터(C1)보다 많은/작은 전하가 충전되어 있기 때문에 전하의 충전 값이 높은/낮은 커패시터(C2)에서 전하의 충전 값이 낮은/높은 생성 커패시터(C1)로 충전된 전하가 이동될 수 있다.
- [0102] 부궤환 제어부(230)는 위상 검출기(110)로부터 비교 신호(UP/DN)를 공급받고, 전압 제어 지연단(140)로부터 지연출력신호(Fd1)를 공급받아 부궤환 생성부(240)의 생성 스위치(SW1)를 제어한다. 즉, 업다운 신호가 없을 때 경로 스위치(SW2)가 턴 온되고 따라서 생성 스위치(SW1)는 출력경로를 통해 공급되는 전압 제어 지연단(140)의 지연출력신호(Fd1)에 따라 스위칭된다.
- [0103] 이러한 부궤환 제어부(230)는 제1 게이트(G1), 트랜지스터(Tr), 제2 게이트(G2) 및 제2 스위치(SW2)를 포함한다.
- [0104] 제1 게이트(G1)은 OR게이트일 수 있고, 제2 게이트(G2)는 NOR게이트일 수 있으며, 트랜지스터(Tr)는 NMOS트랜지스터일 수 있다. 또한, OR게이트와 NOR게이트는 위상 검출기(110)의 출력에 연결되어 비교 신호인 업신호(UP) 또는 다운신호(DN)를 공급받는다.
- [0105] 제1 게이트(G1)는 비교 신호(UP/DN)가 입력되면 제1 검출신호를 출력한다. 이에 따라, 트랜지스터(Tr)는 제1 게이트(G1)에서 출력되는 제1 검출신호를 공급받아 턴 온되어 스위칭 신호를 부궤환 생성부(240)의 생성 스위치(SW1)에 공급하여 개방시킨다.
- [0106] 이와 반대로 제1 게이트(G1)는 비교 신호(UP/DN)가 입력되지 않으면 제1 검출신호를 출력하지 않는다. 이에 따라, 트랜지스터(Tr)는 제1 게이트(G1)로부터 제1 검출신호가 공급되지 않아 턴 오프되고, 부궤환 생성부(240)의 생성 스위치(SW1)에도 스위칭 신호가 공급되지 않는다. 따라서, 부궤환 생성부(240)의 생성 스위치(SW1)가 단락된다.
- [0107] 제2 게이트(G2)는 비교 신호(UP/DN)가 입력되면 제2 검출신호를 경로 스위치(SW2)에 공급한다. 경로 스위치(SW2)는 제2 게이트(G2)로부터 제2 검출신호(F2)를 공급받아 개방되어 출력신호의 출력경로를 차단한다.
- [0108] 이와 반대로, 제2 게이트(G2)는 비교 신호(UP/DN)가 입력되지 않으면 제2 검출신호를 경로 스위치(SW2)에 공급하지 않는다. 경로 스위치(SW2)는 제2 게이트(G2)로부터 제2 검출신호(F2)가 공급되지 않으면 단락되어 출력신호의 출력경로를 형성한다.
- [0109] 즉, 비교 신호(UP/DN) 중 업신호(UP) 또는 다운신호(DN)가 공급되면 생성 스위치(SW1)와 경로 스위치(SW2)는 개방되어 출력신호의 출력경로를 차단하고, 비교 신호(UP/DN) 중 업신호(UP) 또는 다운신호(DN)가 공급되지 않으면 경로 스위치(SW2)는 단락되고 생성 스위치(SW1)는 지연출력신호(Fd1)의 주파수에 따라 개방 또는 단락될 수 있다.
- [0110] 도 8 및 도 9를 참조하면, 지금까지 설명한 제3 부궤환 루프(300)의 동작은 다음과 같다.
- [0111] 위상 검출기(110)에서 업신호(UP) 및 다운신호(DN) 중에서 어느 하나의 신호가 공급되면, OR게이트는 하이신호(high)를 출력하고, 출력된 하이신호(high)는 NMOS트랜지스터의 게이트에 공급된다. NMOS트랜지스터는 OR게이트로부터 제공된 하이신호(high)에 의해 턴 온되어 생성 스위치(SW1)를 개방시킨다.
- [0112] 또한, 위상 검출기(110)에서 업신호(UP) 및 다운신호(DN) 중에서 어느 하나의 신호가 공급되면, NOR게이트는 로우신호(low)를 출력하고, 출력된 로우신호(low)는 경로 스위치(SW2)를 개방시킨다.
- [0113] 그리고, 위상 검출기(110)에서 업신호(UP) 및 다운신호(DN)가 공급되지 않으면, OR게이트는 로우신호(low)를 출력하고, 출력된 로우신호(low)는 NMOS트랜지스터의 게이트에 공급된다. NMOS트랜지스터는 OR게이트로부터 제공된 로우신호(low)에 의해 턴 오프된다.
- [0114] 또한, 위상 검출기(110)에서 업신호(UP) 및 다운신호(DN)가 공급되지 않으면, NOR게이트는 하이신호(high)를 출력하고, 출력된 하이신호(high)는 경로 스위치(SW2)를 단락시킨다.
- [0115] 즉, 도 9에 도시된 바와 같이, 비교 신호가 공급되면 생성 스위치(SW1)와 경로 스위치(SW2)는 개방되고, 비교 신호가 공급되지 않으면 경로 스위치(SW2)는 단락된다.
- [0116] 이와 같이, 생성 스위치(SW1)가 개방되면, 제3 부궤환 루프(300)는 차지 펌프(120)의 전하를 제1 루프 필터

(130)인 커패시터(C2)에 충전하는 동시에 이에 상응하여 출력전압을 생성한다. 이때 경로 스위치(SW2)도 개방되어 전압 제어 지연단(140)에서 출력되는 출력신호의 출력경로를 차단한다.

- [0117] 한편, 경로 스위치(SW2)가 단락되고 생성 스위치(SW1)가 출력주파수(Fd1)에 따라 스위칭되면 커패시터(C2)의 전하는 생성 커패시터(C1)로 이동한다. 즉, 도 9에 도시된 바와 같이 업신호가 공급되면 생성 커패시터(C1)는 커패시터(C2)에 충전된 전하를 공급받아 충전된다. 도 9의 Vf전압으로 충전되며, 출력전압(Vcon)은 Vf에 상응하여 전압이 도 9과 같이 서서히 감소한다. 즉, 비교 신호(업신호)가 공급되지 않으면, 출력전압(Vcon)은 전압 제어 지연단(140)로부터 공급되는 지연출력신호(Fd1)의 주파수에 따라 생성 스위치(SW1)가 개방 또는 단락이 반복되므로 점진적으로 하강하는 것이다.
- [0118] 지금까지 설명한 바와 같이, 위상지연루프 장치(2)는 전압 제어 지연단(140)로부터 제공되는 높은 출력신호의 주파수마다 전하가 공급되는 제3 부재환 루프(300)를 구성함으로써 잡음을 효율적으로 억제할 수 있다.
- [0119] 게다가, 제3 부재환 루프(300)가 구성됨으로써, 위상지연루프 장치(2)는 공정 변화, 전압 변화 및 온도 변화에 영향을 거의 받지 않음으로써, 더욱더 안정하게 동작할 수 있다.
- [0120] 도 10 및 도 11은 본 발명의 몇몇 실시예에 따른 제1 또는 제2 루프필터의 구성을 나타낸 도면이다.
- [0121] 본 발명에서는 제1 루프 필터(130)와 제2 루프 필터(260)의 구조를 하나의 커패시터로 고정하지 않고 도 10(저항 및 커패시터의 패시브 소자로 이루어진 패시브 루프필터) 및 도 11(저항, 커패시터, 및 OP-AMP의 액티브 루프필터)에 도시된 바와 같은 다양한 구조의 루프필터를 채용한다. 이러한 루프필터의 구조 때문에 전압 제어 지연단(140)은 Kvco1 값보다 Kvco2 값을 더 크게 할 수 있고, 따라서 후술하는 도 19의 ③과 같은 획기적인 잡음 특성을 가지는 두 개의 부재환 루프를 가지는 위상지연루프를 달성할 수 있다.
- [0122] 도 10의 (a)는 하나의 커패시터로 구성된 제2 루프 필터(260)의 구성이다. 본 발명에서는 이에 더 나아가 Kvco2 값이 Kvco1 값보다 작은 범위에 있을 때에도 주파수-전압 변환기(250)를 사용하면 분주되지 않은 전압 제어 지연단(140)의 지연출력신호(Fd1)를 주파수-전압 변환기에 사용할 수 있어 좀 더 잡음 특성을 좋게 할 수 있다.
- [0123] 도 10의 (b) 및 도 10의 (c)는 저항 및 커패시터로 이루어지는 수동필터이며, 도 10의 (d) 및 도 10의 (e)는 저항 또는 커패시터의 조합에 추가로 스위치가 달려있는 구조이다. 이때 스위치는 전압 제어 지연단(140)에서 출력된 출력신호(Fd1)를 이용할 수 있다. 도 12의 (a) 및 도 12의 (b)는 저항 및 커패시터와 능동소자인 OP-AMP로 구성된 능동필터를 예시한 도면이다.
- [0124] 상술한 도 10 및 도 11에 도시된 필터의 구조는 일 실시 예에 불과하며 제2 루프 필터(260)에서 발생하는 초과 위상을 줄이기 위해 제2 루프 필터 출력 전압의 크기도 종래의 기술보다 상대적으로 줄일 수 있고 파형도 변화시킬 수 있는 다양한 구조의 수동 및 능동필터가 채택될 수 있다.
- [0125] 도 12는 본 발명의 제3 실시예에 따른 위상지연루프 장치의 블럭도이다. 도 13은 본 발명의 몇몇 실시예에 따른 위상지연루프 장치에 포함된 전압 제어 지연단을 나타내는 블럭도이다. 도 14는 본 발명의 제3 실시예에 따른 위상지연루프 장치에 포함된 전압 제어 지연단과 주파수 전압 변환기의 연결 관계를 설명하기 위한 도면이다. 설명의 편의를 위하여, 이하에서는 앞서 설명한 실시예와 동일한 사항에 대해서는 중복된 설명을 생략하고 차이점을 중심으로 설명하도록 한다.
- [0126] 도 12를 참조하면, 본 발명의 제3 실시예에 따른 위상지연루프 장치(4)는 복수의 주파수-전압 변환기(350)를 포함할 수 있다. 전압 제어 지연단(340)은 복수의 주파수-전압 변환기(350)로부터 피드백 신호를 제공 받을 수 있다.
- [0127] 구체적으로, 위상지연루프 장치(4)는 N개의 주파수-전압 변환기(351~359: 이하 350)를 포함한다. 각각의 주파수-전압 변환기(350)는 전압 제어 지연단(340)의 출력 신호(F1~Fn)에 상응하는 신호(V1~Vn)를 생성하고, 생성된 신호(V1~Vn)를 전압 제어 지연단(340)으로 피드백시킬 수 있다.
- [0128] 실시예에서, 주파수-전압 변환기(350)와 전압 제어 지연단(340) 사이에는 복수의 제2 루프 필터(360)가 위치할 수 있다. 주파수-전압 변환기(350)와 제2 루프 필터(360)는 도 1을 참조하여 설명한, 주파수-전압 변환기(250)와 제2 루프 필터(260)와 실질적으로 동일하게 동작할 수 있다.
- [0129] 도 13를 참조하면, 전압 제어 지연단(340)은 제1 루프 필터(120)에서 발생된 출력 신호(Vcon)와 복수의 주파수-전압 변환기(350)에서 제공된 복수의 피드백 신호(V1~Vn)를 수신할 수 있다. 출력 신호(Vcon)와 복수의 피드백 신호(V1~Vn)에는 각각 다른 기율기 값(Kvco.M, Kvco.1~N)이 적용될 수 있다. 이때, 제1 기율기 값(Kvco.M)은

제2 기율기 값($K_{vco.1 \sim N}$)들의 총합과 비교하여 크거나 작을 수 있다.

- [0130] 도 14를 참조하면, 전압 제어 지연단(340)은 입력신호의 위상을 지연시키는 복수 개의 지연회로(341~349)를 포함할 수 있다. 지연회로(341~349)는 순차적으로 연결될 수 있다. 예를 들어, 제1 지연회로(341)의 출력은 제2 지연회로(342)의 입력으로 인가되고, 제2 지연회로(342)의 출력은 제3 지연회로(미도시)의 입력으로 인가될 수 있다. 이때, 각각의 지연회로(341~349)는 신호를 미리 정해진 시간 동안 지연시키거나, 위상을 일정하게 변경시킬 수 있다. 전압 제어 지연단(340)은 N개의 지연회로(341~349)를 포함할 수 있다(N은 예를 들어, 2 이상의 자연수일 수 있다.).
- [0131] 복수의 주파수-전압 변환기(351~359)는 복수의 지연회로(341~349)와 일대일로 연결될 수 있다. 예를 들어, 제1 주파수-전압 변환기(351)는 제1 지연회로(341)의 제1 출력 신호(F1)를 입력받고 이에 대한 제1 피드백 신호(V1)를 루프 필터(361)를 통해 제1 지연회로(341)에 전달하고, 제2 주파수-전압 변환기(352)는 제2 지연회로(342)의 제2 출력 신호(F2)를 입력받고 이에 대한 제2 피드백 신호(V2)를 루프 필터(362)를 통해 제2 지연회로(342)에 전달할 수 있다. 이때, 제1 피드백 신호(V1)는, 1 지연회로(341)에만 전달되고, 제2 피드백 신호(V2)는, 제2 지연회로(342)에만 전달될 수 있다. 이때, 실시예에 따라, 각각의 루프필터(361~369)는 생략될 수도 있다.
- [0132] 다시 말하면, 각각의 지연 회로(341~349)마다 각각의 주파수-전압 변환기(351~359)가 연결되어, 출력 신호에 대한 피드백 신호를 통해 전압 제어 지연단(340)의 지연출력신호(Fd1)를 한 주기당 지연 회로의 수만큼 보상할 수 있다. 예를 들어, N개의 주파수-전압 변환기(351~359)와 각각 연결된 N개의 지연 회로(341~349)는 전압 제어 지연단(340)에 한 주기당 N번의 신호 보상을 할 수 있다.
- [0133] 전체적으로 봤을 때, 본 발명의 위상지연루프 장치(3)는 제1 부궤환 루프(100)와, 복수 개의 제2 부궤환 루프(200)를 포함할 수 있다. 제1 부궤환 루프(100)는 외부로부터 제공되는 기준 신호(Fref)와, 전압 제어 지연단(340)로부터 출력되는 지연출력신호(Fd1)를 비교하고, 이를 기초로 한 비교 신호를 이용하여, 지연출력신호(Fd1)의 주파수 및 위상을 기준 신호(Fref)에 고정시킬 수 있다.
- [0134] 제2 부궤환 루프(200)는, 전압 제어 지연단(340)에 포함된 제1 지연회로(341)의 제1 출력 신호(F1)를 입력받고 이에 대한 제1 피드백 신호(V1)를 제1 지연회로(341)에 전달하는 제1 주파수-전압 변환기(351)를 포함하는 제1 서브 부궤환 루프(201)와, 전압 제어 지연단(340)에 포함된 제2 지연회로(342)의 제2 출력 신호(F2)를 입력받고 이에 대한 제2 피드백 신호(V2)를 제2 지연회로(342)에 전달하는 제2 주파수-전압 변환기(352)를 포함하는 제2 서브 부궤환 루프(202)를 포함할 수 있다.
- [0135] 이를 통해, 본 발명의 제3 실시예에 따른 위상지연루프 장치(3)는, 입력 신호 한 주기당 N 횟수만큼 전압 제어 지연단(340)의 신호를 보상 할 수 있다. 따라서, 본 발명의 위상지연루프 장치(3)는 종래 기술에 비하여 지터 특성이 개선되며, 더욱 안정적으로 동작할 수 있고, 루프 필터의 커패시터 용량을 축소시킬 수 있어, 칩으로 구현시 칩 크기를 축소시킬 수 있다.
- [0136] 도 15는 본 발명의 제4 실시예에 따른 위상지연루프 장치에 포함된 전압 제어 지연단과 주파수 전압 변환기의 연결 관계를 설명하기 위한 도면이다. 설명의 편의를 위하여, 이하에서는 앞서 설명한 실시예와 동일한 사항에 대해서는 중복된 설명을 생략하고 차이점을 중심으로 설명하도록 한다.
- [0137] 도 15를 참조하면, 도 15의 위상지연루프 장치(4)는 도 12 내지 도 14를 참조하여 설명한 본 발명의 제3 실시예의 위상지연루프 장치(3)와 실질적으로 동일하게 동작할 수 있다.
- [0138] 다만, 본 발명의 위상지연루프 장치(4)에서, 복수의 주파수-전압 변환기(351~359)와 복수의 지연회로(341~349)는 일대일로 연결이 아닌, 일대다 연결이 될 수 있다.
- [0139] 구체적으로, 전압 제어 지연단(340)은 N개의 지연회로(341~349)를 포함할 수 있고, 각각의 지연회로(341~349) 원 웨이(one-way)로 순차적으로 연결될 수 있다. 예를 들어, 전압 제어 지연단(340)에 포함된 제1 지연회로(341)의 출력은 제2 지연회로(342)에 입력되고, 제2 지연회로(342)의 출력은 제3 지연회로(미도시)에 입력될 수 있다.
- [0140] 이때, 제1 주파수-전압 변환기(351)는 제1 지연회로(341)의 제1 출력 신호(F1)를 입력받고 이에 대한 제1 피드백 신호(V1)를 루프 필터(361)를 통해 제1 지연회로(341)뿐만 아니라, 제2 지연회로(342)에도 전달할 수 있다.
- [0141] 제2 주파수-전압 변환기(352)는 제2 지연회로(342)의 제2 출력 신호(F2)를 입력받고 이에 대한 제2 피드백 신호

(V2)를 루프 필터(362)를 통해 제2 지연회로(342)뿐만 아니라, 제1 지연회로(341)에도 전달할 수 있다.

- [0142] 또한, 제1 주파수-전압 변환기(351)의 제1 피드백 신호(V1)는 전압 제어 지연단(340)에 포함된 모든 지연회로(341~349)에 전달될 수 있고, 제2 주파수-전압 변환기(352)의 제2 피드백 신호(V2)도 전압 제어 지연단(340)에 포함된 모든 지연회로(341~349)에 전달될 수 있다.
- [0143] 즉, 각각의 지연 회로 마다 각각의 주파수-전압 변환기(350)가 연결되나, 복수의 주파수-전압 변환기(351~359)의 복수의 피드백 신호(V1~Vn)는 전압 제어 지연단(340)에 전달되고, 각각의 피드백 신호(V1~Vn)는 모든 지연회로(341~349)에 전달될 수 있다. 이를 통해, 전압 제어 지연단(340)의 신호를 한 주기당 지연 회로의 수만큼 보상할 수 있다. 예를 들어, N개의 주파수-전압 변환기(350)와 연결된 N개의 지연 회로(341~349)는 한 주기당 N번 만큼 전압 제어 지연단(340)에 신호 보상을 할 수 있다. 이때, 전압 제어 지연단(340)은 N개의 전압 제어 저항을 포함할 수 있으며, N개의 주파수-전압 변환기(351~359)에서 출력된 각각의 피드백 신호(V1~Vn)는 N개의 전압 제어 저항을 통하여 전압 제어 지연단(340)로 전달될 수 있다.
- [0144] 이를 통해, 본 발명의 제4 실시예에 따른 위상지연루프 장치(4)의 경우, 입력 신호 한 주기당 N 횟수만큼 전압 제어 지연단(340)의 신호를 보상 할 수 있다.
- [0145] 도 16은 본 발명의 제5 실시예에 따른 위상지연루프 장치에 포함된 전압 제어 지연단과 주파수 전압 변환기의 연결 관계를 설명하기 위한 도면이다. 설명의 편의를 위하여, 이하에서는 앞서 설명한 실시예와 동일한 사항에 대해서는 중복된 설명을 생략하고 차이점을 중심으로 설명하도록 한다.
- [0146] 도 16을 참조하면, 위상지연루프 장치(5)는 도 12 내지 도 14를 참조하여 설명한 본 발명의 제3 실시예의 위상 지연루프 장치(3)와 실질적으로 동일하게 동작할 수 있다.
- [0147] 다만, 본 발명의 위상지연루프 장치(5)의 경우, 복수의 주파수-전압 변환기(351~359)와 복수의 지연회로(341~349)의 일부는 일대일로 연결이 아닌, 일대다 연결이 될 수 있다.
- [0148] 구체적으로, 제1 주파수-전압 변환기(351)는 제1 지연회로(341)의 제1 출력 신호(F1)를 입력받고 이에 대한 제1 피드백 신호(V1)를 루프 필터(361)를 통해 제1 지연회로(341)에만 전달할 수 있다. 다만, 제2 주파수-전압 변환기(352)는 제2 지연회로(342)의 제2 출력 신호(F2)를 입력받고 이에 대한 제2 피드백 신호(V2)를 루프 필터(362)를 통해 제2 지연회로(342)뿐만 아니라, 제1 지연회로(341)에도 전달할 수 있다. 또한, 제N 주파수-전압 변환기(359)는 제N 지연회로(349)의 제N 출력 신호(Fn)를 입력받고 이에 대한 제N 피드백 신호(Vn)를 루프 필터(369)를 통해 제N 지연회로(349)뿐만 아니라, 제1 내지 제 N-1 지연회로(341~348)에도 전달할 수 있다.
- [0149] 따라서, 제1 주파수-전압 변환기(351)의 제1 피드백 신호(V1)는 제1 지연회로(341)에만 전달될 수 있고, 제2 내지 제N 주파수-전압 변환기(352~359)의 제2 내지 제N 피드백 신호(V2~Vn)는 전압 제어 지연단(340)에 복수 개의 지연회로(342~349)에 전달될 수 있다.
- [0150] 이를 통해, 위상지연루프 장치(5)는 전압 제어 지연단(340)의 신호를 한 주기당 지연 회로의 수만큼 보상할 수 있다.
- [0151] 도 17은 본 발명의 제6 실시예에 따른 위상지연루프 장치의 블록도이다. 설명의 편의를 위하여, 이하에서는 앞서 설명한 실시예와 동일한 사항에 대해서는 중복된 설명을 생략하고 차이점을 중심으로 설명하도록 한다.
- [0152] 도 17을 참조하면, 도 17의 위상지연루프 장치(6)는 도 12 내지 도 16을 참조하여 설명한 본 발명의 제3 내지 제5 실시예의 위상지연루프 장치(3~5)와 실질적으로 동일하게 동작할 수 있다.
- [0153] 다만, 본 발명의 위상지연루프 장치(6)는 부궤환 회로(220)를 더 포함할 수 있다. 부궤환 회로(220)는 지연출력 신호(Fd1)와, 위상 검출기(110)로부터 업/다운 신호(UP/DN)를 입력받고, 이에 대한 출력을 제1 루프 필터(130)로 전달할 수 있다. 부궤환 회로(220), 및 제1 루프 필터(130)는 제3 부궤환 루프(300)를 형성할 수 있다.
- [0154] 부궤환 회로(220)는 부궤환 제어부(도 9의 230)와 부궤환 생성부(도 9의 240)를 포함할 수 있다. 제3 부궤환 루프(300)는 제1 부궤환 루프(100)와는 다른 부궤환 루프로 구성될 수 있다. 부궤환 회로(220)는 도 8 내지 도 10을 참조하여 설명한 부궤환 회로(220)와 실질적으로 동일하게 구성되고 동작할 수 있다. 이를 통해, 전압 제어 지연단(340)으로부터 제공되는 높은 출력신호의 주파수마다 전하가 공급되는 제3 부궤환 루프(300)를 구성함으로써 잡음 특성을 효율적으로 억제할 수 있다.
- [0155] 게다가, 제3 부궤환 루프(300)가 구성됨으로써, 공정 변화, 전압 변화 및 온도 변화에 영향을 거의 받지 않음으로써, 위상지연루프가 더욱더 안정하게 동작할 수 있다.

- [0156] 도 18은 본 발명의 몇몇 실시예에 따른 전압 제어 지연단을 나타내는 회로도이다. 도 19는 본 발명의 몇몇 실시예에 따른 DLL의 잡음 특성을 나타내는 그래프이다.
- [0157] 도 18을 참조하면, 전압 제어 지연단(140, 340)는 N개의 전압 제어 저항(VCR)을 포함할 수 있다.
- [0158] 전압 제어 지연단(140, 340)는 부궤환 루프필터(130)에서 출력된 V_{con} 값과 제2 루프 필터(260)에서 출력된 V_{fvc} 값의 변화에 따라 각각의 $I1$ 값과 $I2$ 값이 바뀌고, 최종적으로 I 값($I=I1 + I2$)이 바뀔으로써 지연시간을 제어하여 전압 제어 지연단(140, 340)의 출력신호가 원하는 주파수로 출력될 수 있다.
- [0159] 위상지연루프 장치(1~6)는 내부 또는 외부의 잡음에 의해 부궤환 루프필터(130)의 전압(V_{con})이 변하는 경우, $I1$ 값이 변화되어 전압 제어 지연단(140, 340)에서 출력되는 출력신호의 주파수가 변한다. 주파수-전압 변환기(250, 350)는 상술한 잡음에 의해 변화된 전압 제어 지연단(140, 340)에서 출력되는 출력신호의 주파수에 상응하는 전압을 생성하며, 제2 루프 필터(260)는 주파수-전압 변환기(250, 350)에 내재된 잡음 및 리플을 제거하여 전압 제어 지연단(140, 340)로 전압(V_{fvc})을 출력함으로써 전압 제어 지연단(140, 340)의 전류($I2$) 값을 변화시킨다.
- [0160] 즉, 위상지연루프(DLL) 내의 각종 회로망 및 외부에서 유입된 잡음에 의해 전압 제어 지연단(140, 340)의 $I1$ 값이 증가하는 경우 $I2$ 값에 의해 변화량을 줄임으로써 전압 제어 지연단(140, 340)의 출력신호($Fd1$)의 위상을 일정하게 고정하게 된다.
- [0161] 좀 더 상세한 예를 들면, 위상지연루프 장치(1~6)는 내부 또는 외부의 어떤 잡음에 의해 부궤환 루프필터(130)의 출력전압이 상승하면 $I1$ 이 증가하고 전압 제어 지연단(140, 340)에서 출력되는 출력신호($Fd1$)의 지연 크기는 감소(주파수는 상승)한다. 출력신호($Fd1$)의 지연 크기가 감소(주파수가 상승)하면 주파수-전압 변환기(250, 350)의 커패시터 충전 전압(Cx)은 하강한다. 따라서, 제2 루프 필터(260)의 전압도 하강하여 $I2$ 에 흐르는 전류가 감소하여 두 전류의 합(I)은 일정하게 되어 어떤 잡음에 의해 발생한 전압 제어 지연단(140, 340)의 출력신호($Fd1$)의 지연 크기 변화(주파수의 변화)를 감쇄시켜 준다.
- [0162] 주파수-전압 변환기(250, 350)는 전압 제어 저항(Voltage control register, VCR)을 포함할 수 있다. 전압 제어 저항(VCR1, VCR2)은 입력전압의 변화를 큰 전류의 변화로 변화시켜줌으로써 전압 제어 지연단(140, 340)가 넓은 지연 값의 범위를 가지도록 해줄 수 있다. (즉, 넓은 출력 주파수 범위를 가지도록 해줄 수 있다.)
- [0163] 하나의 부궤환 루프를 가지는 종래의 위상지연루프는, 도 19에 도시된 바와 같이 잡음 특성이 ①과 같아서 대역폭보다 낮은 저주파 영역에서 특성이 좋지 못하다.
- [0164] 이러한 문제점을 해결하기 위해 본 발명의 몇몇 실시예에 따른 위상지연루프 장치는, 2 개의 부궤환 루프 구조를 이용하여 도 19에 도시된 ②와 같은 잡음특성을 가질 수 있도록 하였다.
- [0165] 이에 더 나아가, 본 발명의 몇몇 실시예에 따른 위상지연루프 장치는, 주파수-전압 변환기(250, 350)와 제2 루프 필터(260)를 서로 분리된 구조로 인식함으로써 도 19의 ③과 같은 잡음특성에 도달할 수 있다.
- [0166] 실시예에서, 전압 제어 지연단(140, 340)의 기울기 값인 K_{vcd12} 값이 K_{vcd11} 값보다 큰 경우, 제2 부궤환 루프(200)는 주 부궤환 루프가 되고, 제1 부궤환 루프(100)는 부 부궤환 루프로 동작될 수 있다.
- [0167] 본 발명에서는 주파수-전압 변환기(250, 350)와 제2 루프 필터(260)를 서로 분리된 구조로 인식함과 동시에 제2 루프 필터(260)를 하나의 커패시터로 구성된 1차 구조로 한정하지 않고 초과 위상이 상대적으로 작게 생성될 수 있는 수동 및 능동필터 구조를 채택할 수 있다. 이러한 초과 위상이 상대적으로 작게 생성될 수 있는 필터의 구조는 도 10(이때 도 11의 (a)는 제외됨) 및 도 11에 일 실시 예가 도시되어 있다.
- [0168] 따라서, K_{vcd12} 값이 K_{vcd11} 값보다 큰 값을 가지면, 제1 부궤환 루프(100)는 보조 역할을 하게 되고, 제1 부궤환 루프(100)의 분주비가 잡음 특성에 미치는 영향은 거의 사라지게 된다.
- [0169] 또한, 전압 제어 지연단(140, 340)의 기울기 값인 K_{vcd12} 값이 K_{vcd11} 값보다 작은 경우, 제2 부궤환 루프(200)는 부 부궤환 루프가 되고 제1 부궤환 루프(100)는 주 부궤환 루프로 동작될 수 있다.
- [0170] 따라서, K_{vcd12} 값이 K_{vcd11} 값보다 작은 값을 가질 때에도 초과 위상이 상대적으로 작게 생성되는 제2 루프 필터(260) 구조를 채택함으로써 도 19에 도시된 ②보다 더 좋은 잡음특성을 가질 수 있다.
- [0171] 또한, 본 발명의 몇몇 실시예에 따른 위상지연루프 장치(4~6)는, 복수의 주파수-전압 변환기(350)를 포함하고, 이를 이용하여 입력 신호 한 주기당 보상 횟수를 증가시킴으로써, 위상지연루프 장치(4~6)의 지터 특성을 개선

하고, 안정성을 높일 수 있다. 또한, 위상지연루프 장치(4-6)는 루프 필터의 커패시터 용량을 축소시킬 수 있어, 칩으로 구현시 칩 크기를 축소시킬 수 있다.

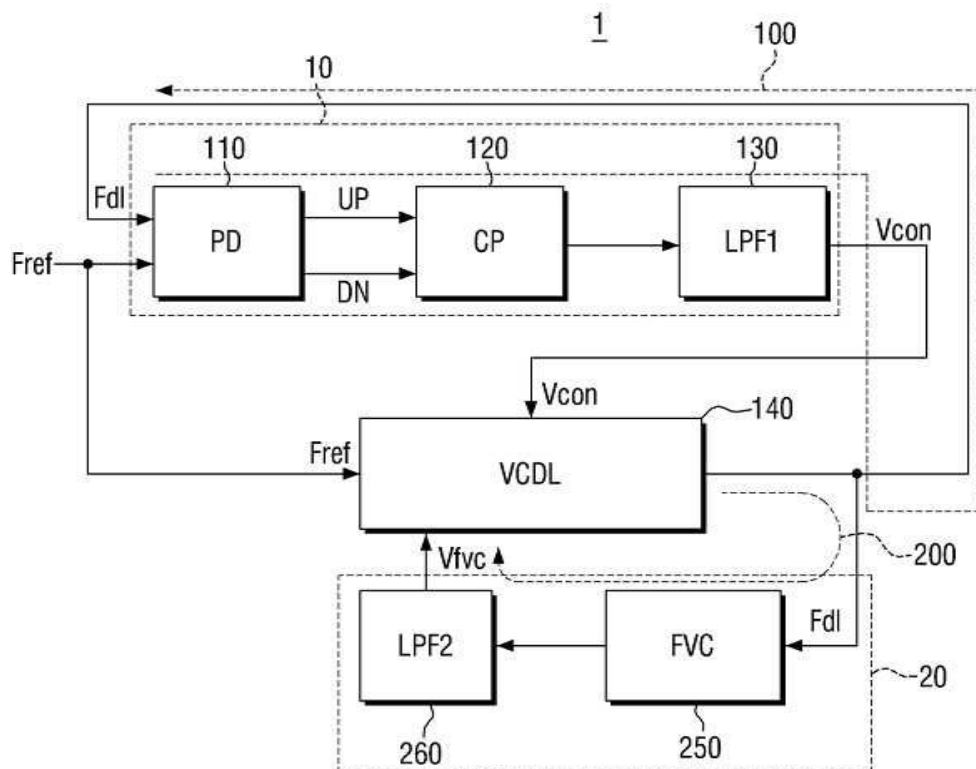
- [0172] 도 20은 본 발명의 실시예들에 따른 위상지연루프 장치를 포함하는 전자 장치의 일 예를 도시한 블록도이다.
- [0173] 도 20을 참조하면, 전자 장치(1000)는 위상지연루프 장치(1010)와 처리부(1020)를 포함할 수 있다.
- [0174] 위상지연루프 장치(1010)는 기준 클럭(CK_REF)을 제공받아 기준 클럭(CK_REF)에 동기화된 클럭 신호(CK)를 출력할 수 있다. 실시예에서, 위상지연루프 장치(1010)는 사용자의 요구에 따라 기준 클럭(CK_REF)과 클럭 신호(CK)간의 편차(deviation)를 조절하는 클럭 조절부(미도시)를 포함할 수 있다.
- [0175] 위상지연루프 장치(1010)에 제공되는 기준 클럭(CK_REF)은 외부로부터 제공될 수도 있고, 전자 장치(1000) 내부에서 생성할 수도 있다.
- [0176] 이러한 위상지연루프 장치(1010)로는 예를 들어, 앞서 설명한 본 발명의 실시예들에 따른 위상지연루프 장치가 채용될 수 있다.
- [0177] 처리부(1020)는 위상지연루프 장치(1010)로부터 제공받은 클럭 신호(CK)를 이용하여 제공 받은 입력 신호(IS)를 처리하고, 이를 출력 신호(OS)로 출력할 수 있다.
- [0178] 실시예에서, 입력 신호(IS)는 전자 장치(1000)의 외부로부터 제공되고, 출력 신호(OS)는 전자 장치(1000) 내부에 배치된 다른 장치(미도시)로 출력될 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0179] 도 21은 본 발명의 실시예들에 따른 위상지연루프 장치를 포함하는 전자 장치의 다른 예를 도시한 블록도이다.
- [0180] 도 21을 참조하면, 전자 장치(1100)는 위상지연루프 장치(1110)와 처리부(1120)를 포함할 수 있다.
- [0181] 위상지연루프 장치(1110)는 기준 클럭(CK_REF)을 제공받아 기준 클럭(CK_REF)에 동기화된 클럭 신호(CK)를 출력할 수 있다. 실시예에서, 위상지연루프 장치(1110)는 사용자의 요구에 따라 기준 클럭(CK_REF)과 클럭 신호(CK)간의 편차(deviation)를 조절하는 클럭 조절부(미도시)를 포함할 수 있다.
- [0182] 위상지연루프 장치(1110)에 제공되는 기준 클럭(CK_REF)은 외부로부터 제공될 수도 있고, 전자 장치(1100) 내부에서 생성할 수도 있다.
- [0183] 이러한 위상지연루프 장치(1110)로는 예를 들어, 앞서 설명한 본 발명의 실시예들에 따른 위상지연루프 장치가 채용될 수 있다.
- [0184] 처리부(1120)는 위상지연루프 장치(1110)로부터 제공받은 클럭 신호(CK)를 이용하여 제공 받은 입력 신호(IS)를 처리하고, 이를 출력 신호(OS)로 출력할 수 있다.
- [0185] 실시예에서, 입력 신호(IS)는 전자 장치(1100)의 내부의 다른 장치(미도시)로부터 제공되고, 출력 신호(OS)는 전자 장치(1100) 외부로 출력될 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0186] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

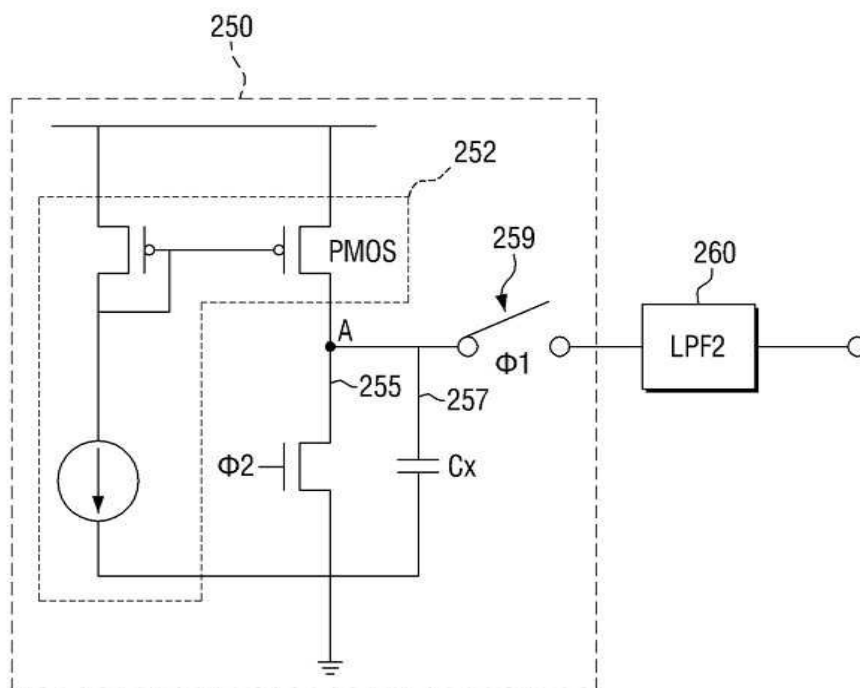
- | | | |
|--------|-----------------|----------------|
| [0187] | 110: 위상 검출기 | 120: 차지 펌프 |
| | 130: 제1 루프 필터 | 140: 전압 제어 지연단 |
| | 250: 주파수-전압 변환기 | 260: 제2 루프 필터 |

도면

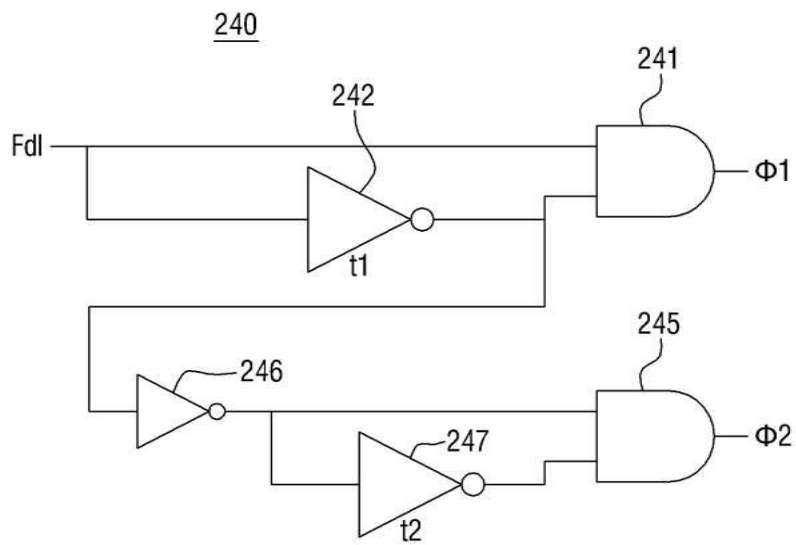
도면1



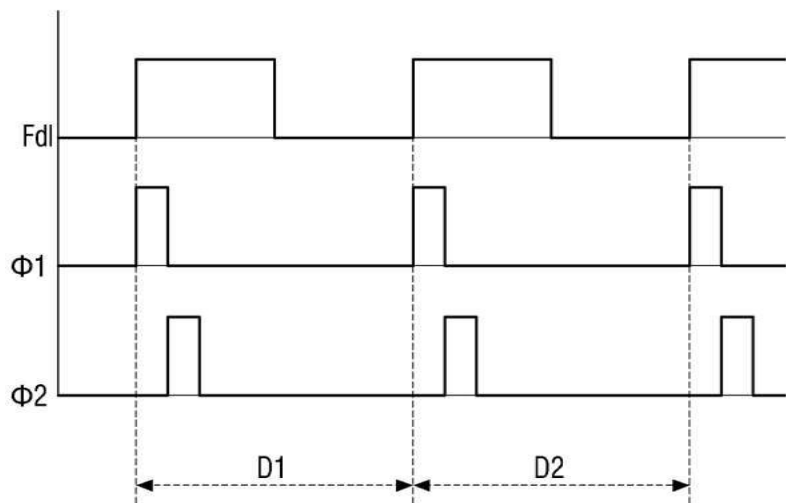
도면2



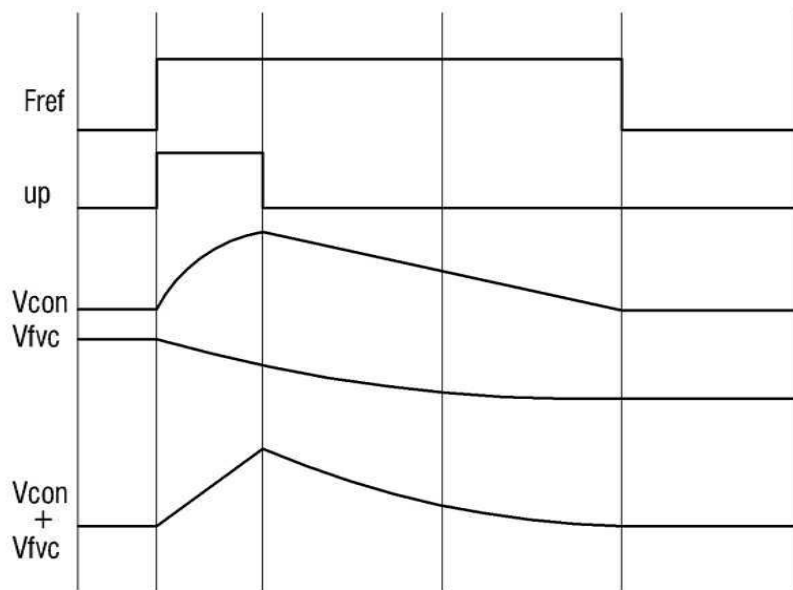
도면3



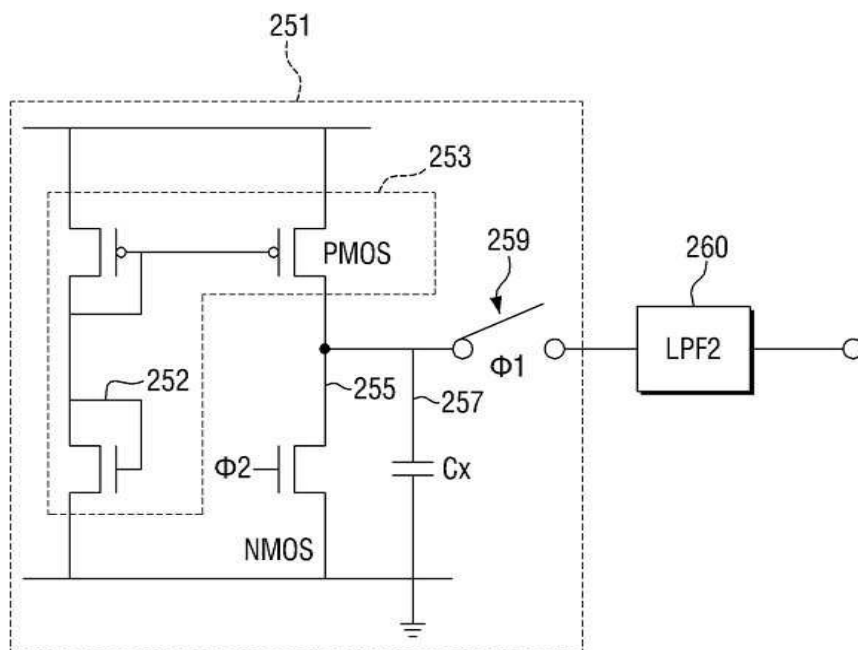
도면4



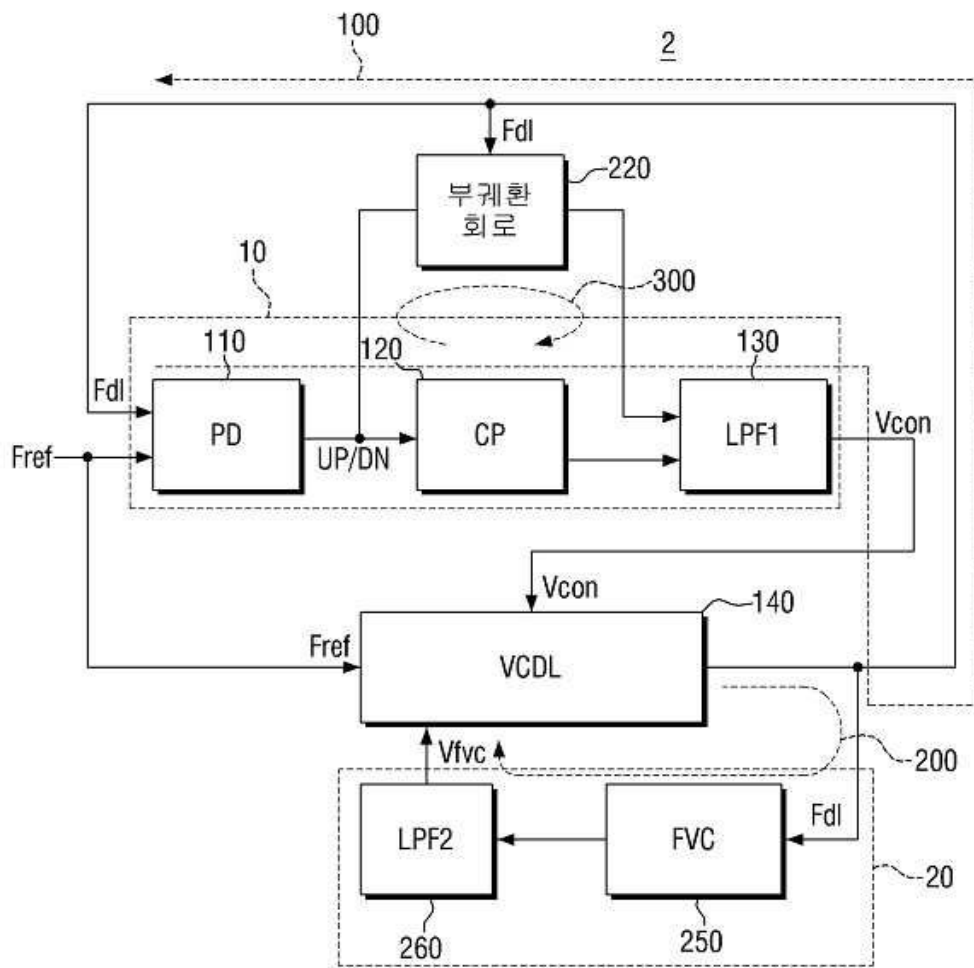
도면5



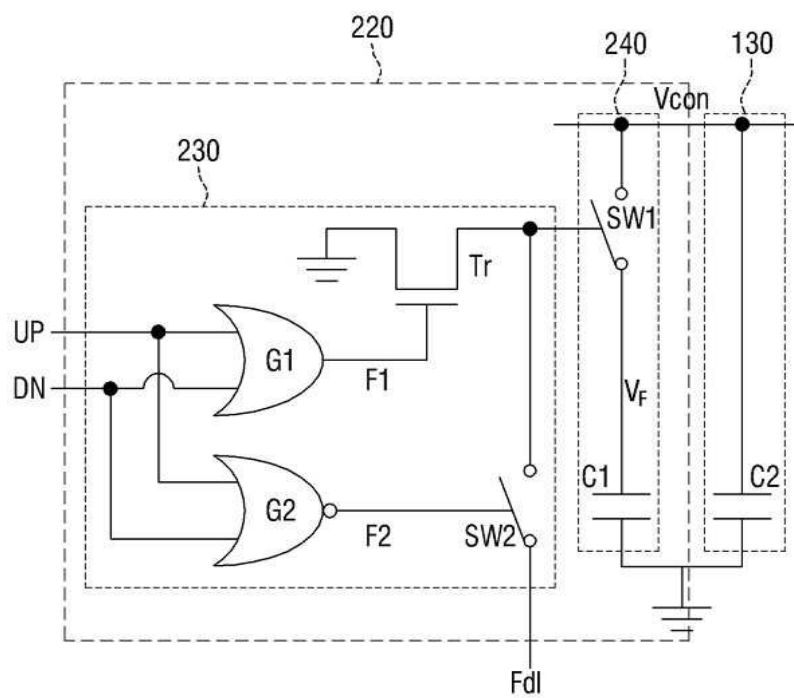
도면6



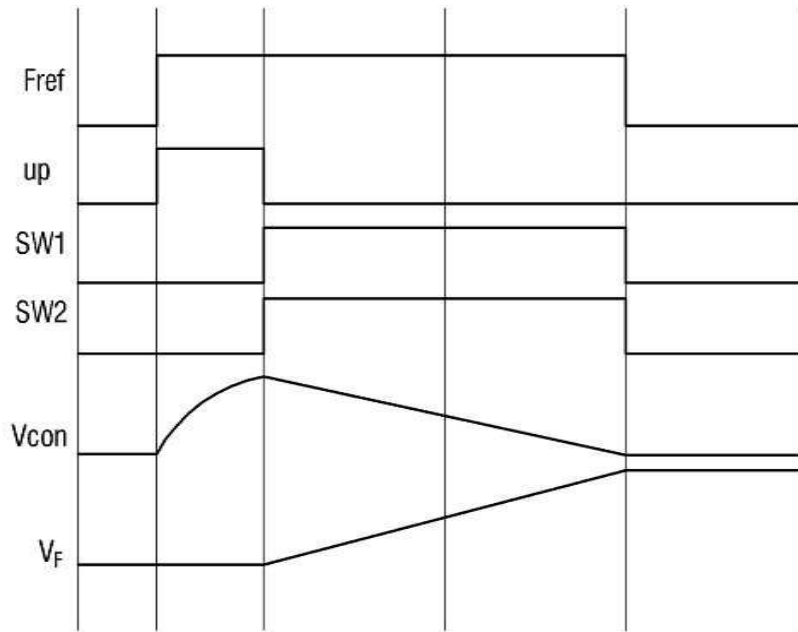
도면7



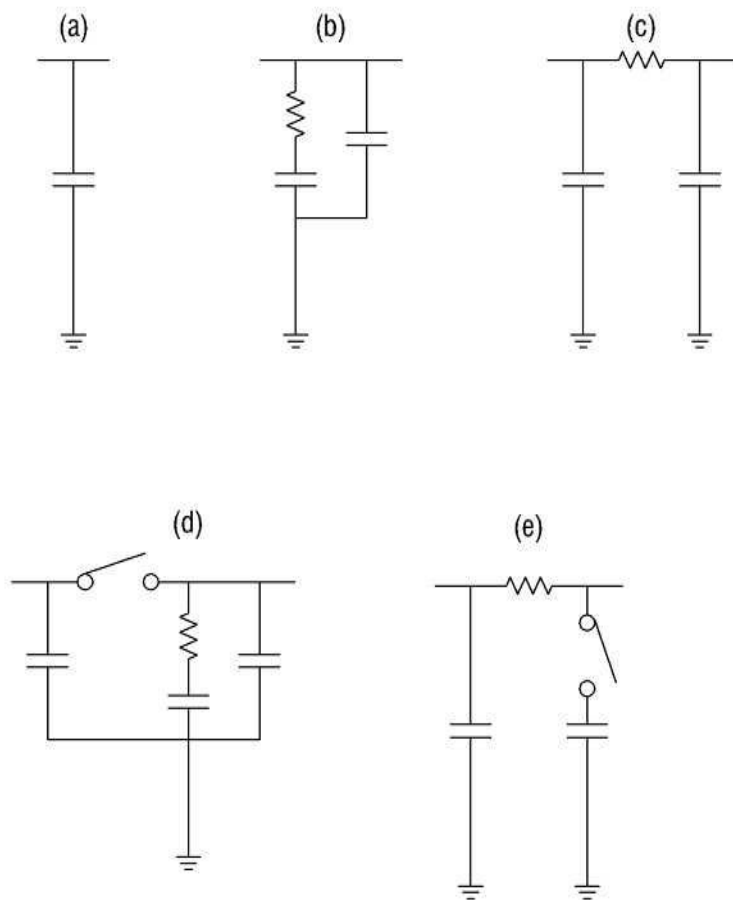
도면8



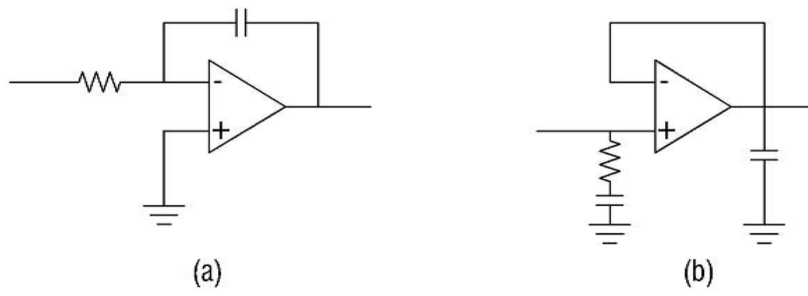
도면9



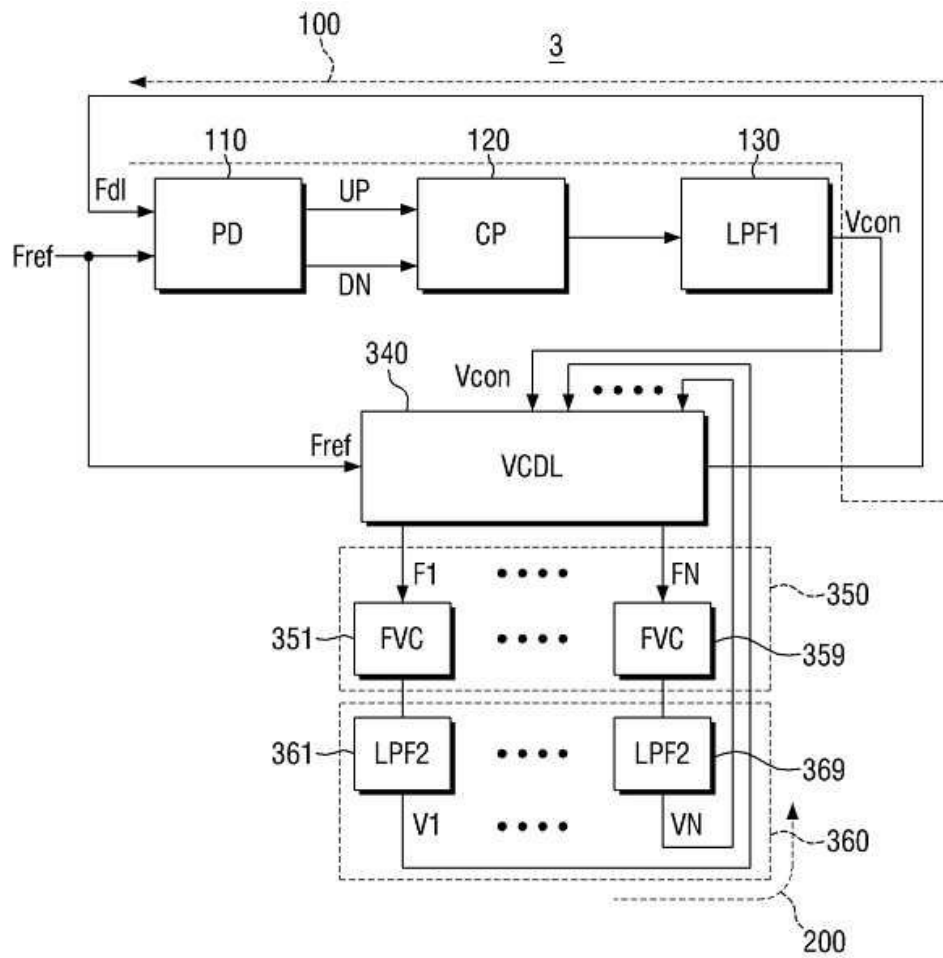
도면10



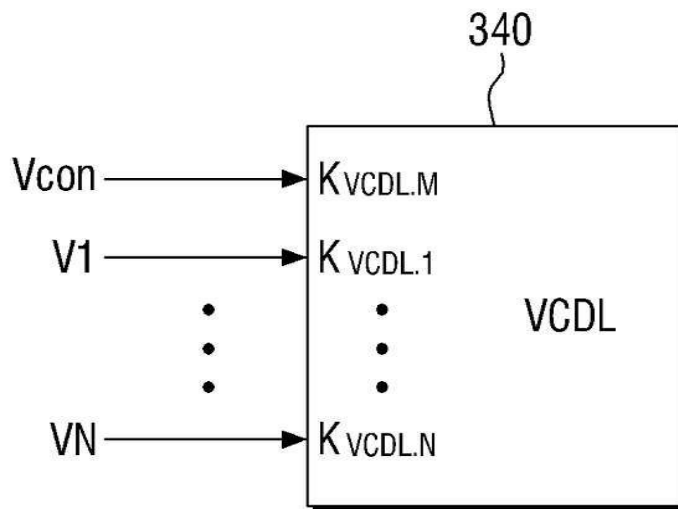
도면11



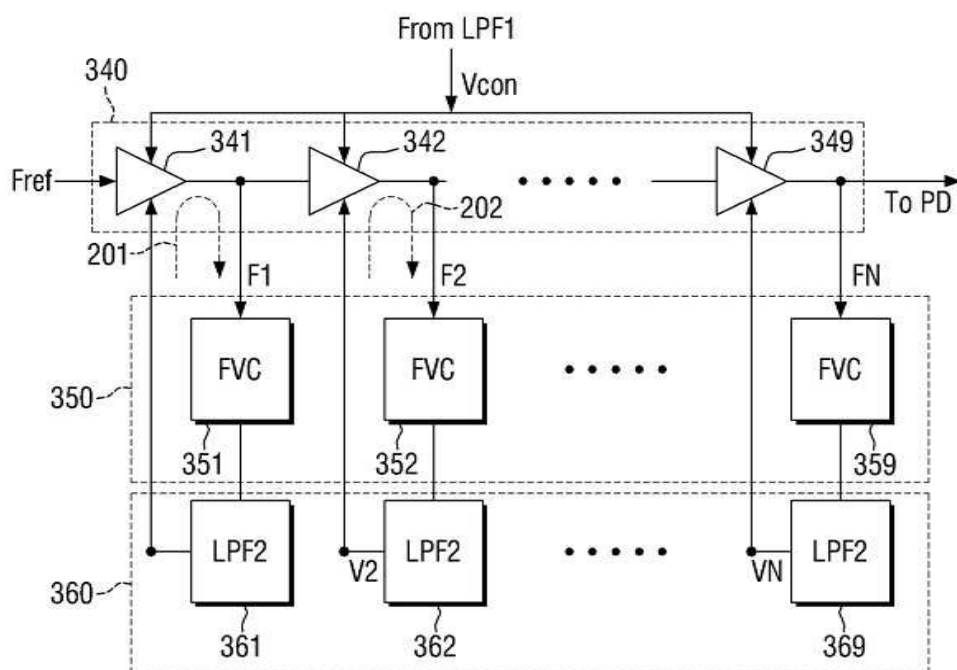
도면12



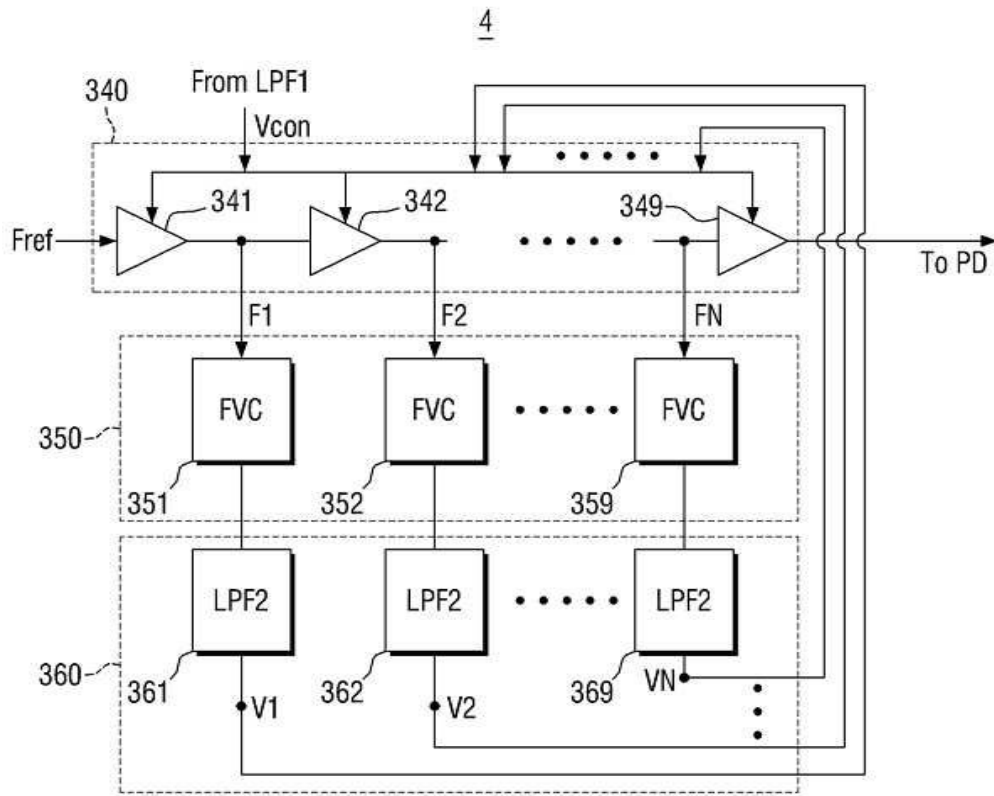
도면13



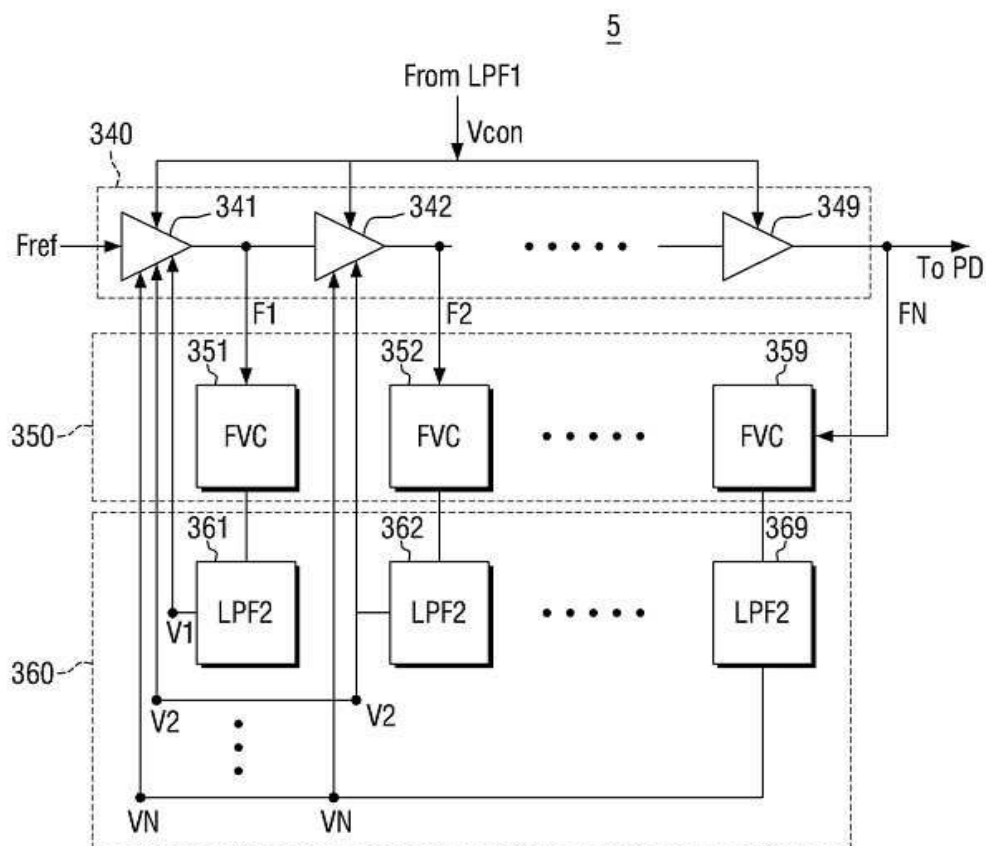
도면14



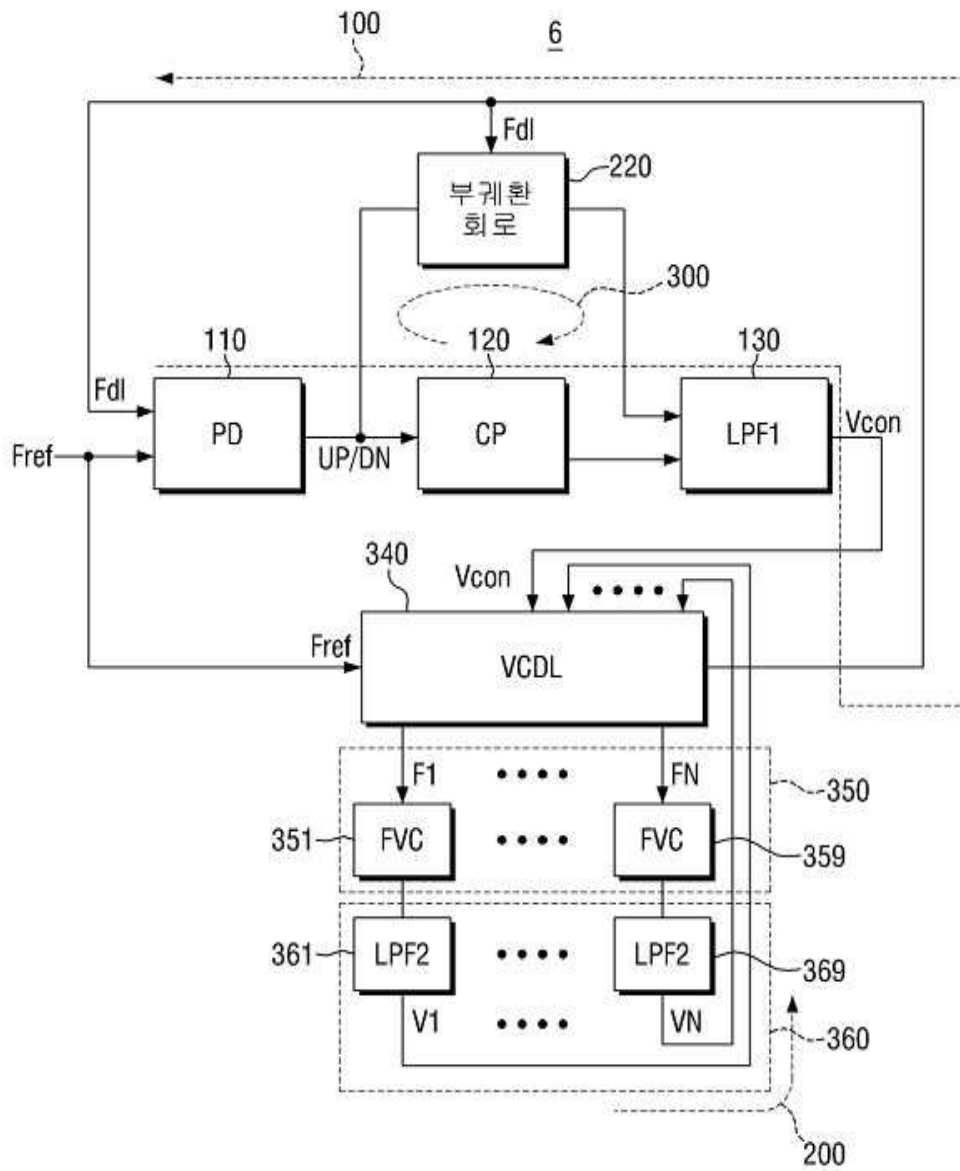
도면15



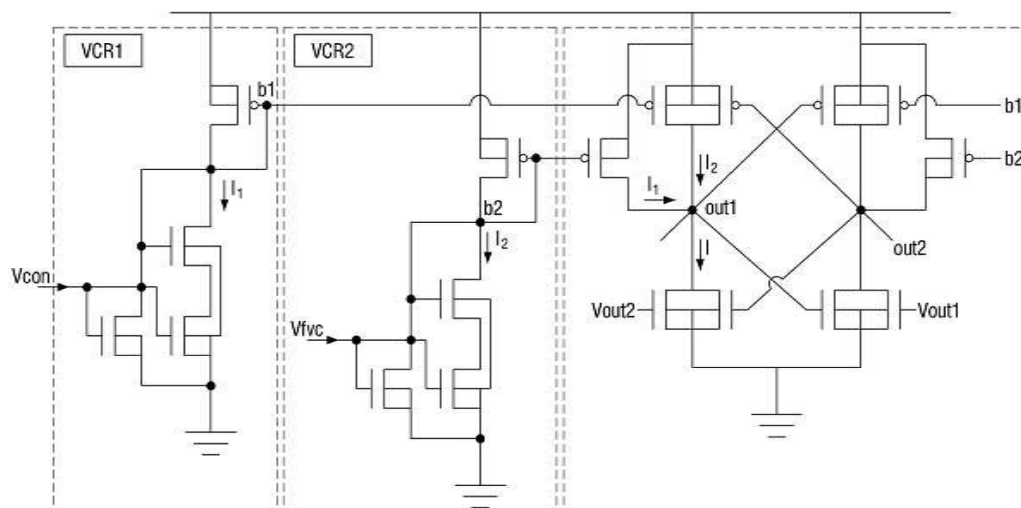
도면16



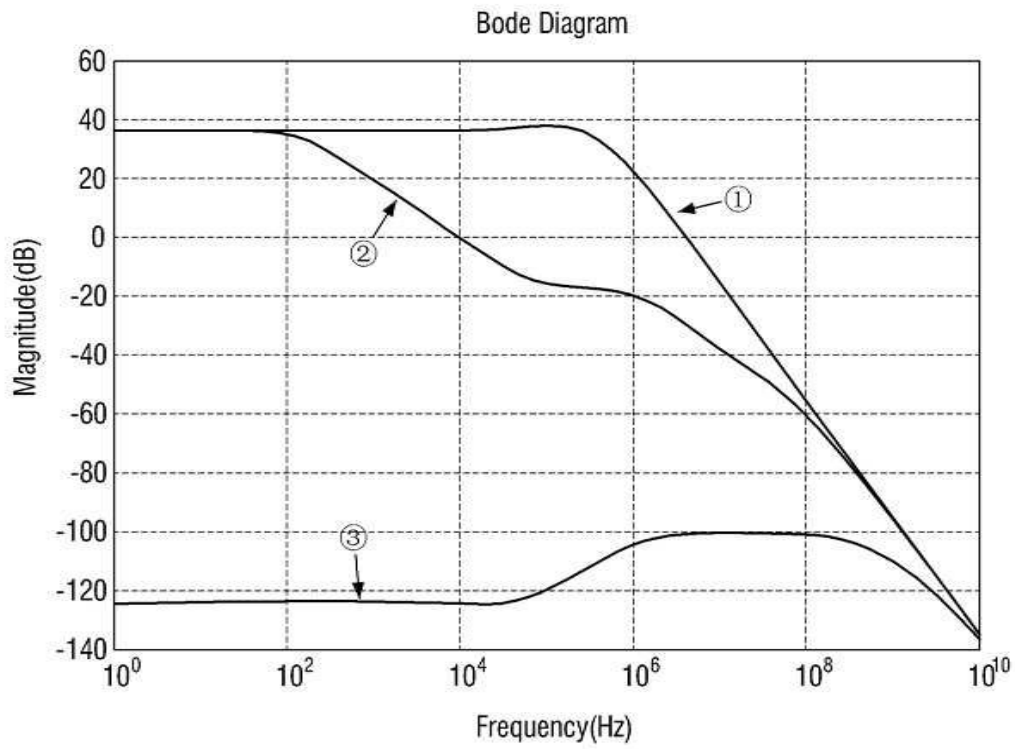
도면17



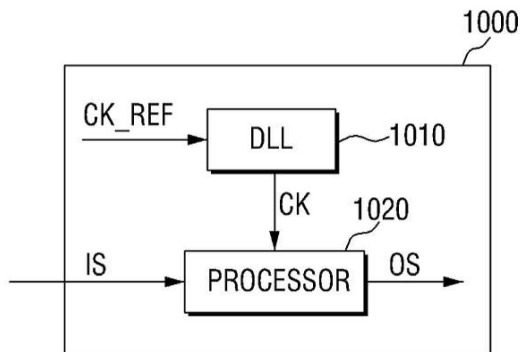
도면18



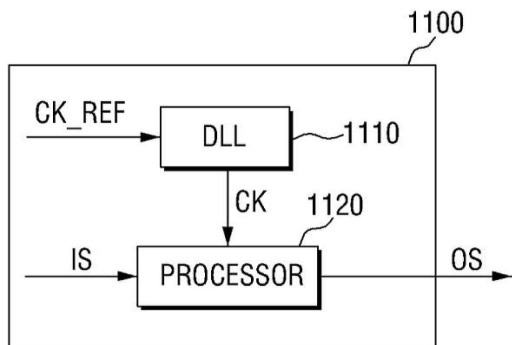
도면19



도면20



도면21



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 20

【변경전】

제1항 내지 제19항

【변경후】

제1항 내지 제5항, 제7항 내지 제19항