



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0077671
(43) 공개일자 2020년07월01일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 27/15 (2006.01)
(52) CPC특허분류
H01L 27/124 (2013.01)
H01L 27/156 (2013.01)
(21) 출원번호 10-2018-0166401
(22) 출원일자 2018년12월20일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이, 신흥
경기도 용인시 기흥구 삼성로 1 (농서동)
임백현
경기도 용인시 기흥구 삼성로 1 (농서동)
(뒷면에 계속)
(74) 대리인
김두식, 문용호, 오중한

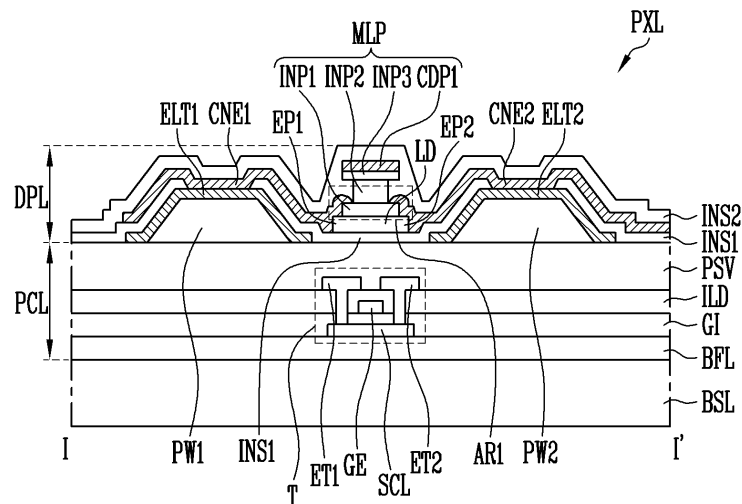
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치 및 그의 제조 방법

(57) 요약

본 발명의 일 실시예에 의한 표시 장치는, 표시 영역에 배치된 화소를 포함한다. 상기 화소는, 서로 이격된 제1 전극 및 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 배열된 발광 소자; 상기 발광 소자의 제1 단부 및 제2 단부를 노출하도록 상기 발광 소자의 일 영역 상에 배치된 제1 절연 패턴; 상기 제1 절연 패턴보다 좁은 폭을 가지며, 상기 제1 절연 패턴의 양 단부들을 노출하도록 상기 제1 절연 패턴의 일 영역 상에 배치된 제2 절연 패턴; 상기 제2 절연 패턴보다 큰 폭을 가지며, 평면 상에서 보았을 때 상기 제2 절연 패턴의 양 단부들을 커버하도록 상기 제2 절연 패턴 상에 배치된 제3 절연 패턴; 상기 발광 소자의 제1 단부 상에 배치되어, 상기 제1 단부를 상기 제1 전극에 전기적으로 연결하는 제1 콘택 전극; 및 상기 발광 소자의 제2 단부 상에 배치되어, 상기 제2 단부를 상기 제2 전극에 전기적으로 연결하는 제2 콘택 전극을 포함한다.

대표도 - 도10



(72) 발명자

마슈르, 베이더스

경기도 용인시 기흥구 삼성로 1 (농서동)

김대현

경기도 용인시 기흥구 삼성로 1 (농서동)

김명희

경기도 용인시 기흥구 삼성로 1 (농서동)

유제원

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

표시 영역에 배치된 화소를 포함하며,

상기 화소는,

서로 이격된 제1 전극 및 제2 전극;

상기 제1 전극과 상기 제2 전극의 사이에 배열된 발광 소자;

상기 발광 소자의 제1 단부 및 제2 단부를 노출하도록 상기 발광 소자의 일 영역 상에 배치된 제1 절연 패턴;

상기 제1 절연 패턴보다 좁은 폭을 가지며, 상기 제1 절연 패턴의 양 단부들을 노출하도록 상기 제1 절연 패턴의 일 영역 상에 배치된 제2 절연 패턴;

상기 제2 절연 패턴보다 큰 폭을 가지며, 평면 상에서 보았을 때 상기 제2 절연 패턴의 양 단부들을 커버하도록 상기 제2 절연 패턴 상에 배치된 제3 절연 패턴;

상기 발광 소자의 제1 단부 상에 배치되어, 상기 제1 단부를 상기 제1 전극에 전기적으로 연결하는 제1 콘택 전극; 및

상기 발광 소자의 제2 단부 상에 배치되어, 상기 제2 단부를 상기 제2 전극에 전기적으로 연결하는 제2 콘택 전극을 포함함을 특징으로 하는 표시 장치.

청구항 2

제1항에 있어서,

상기 화소는, 상기 제3 절연 패턴 상에 배치되며 상기 제1 및 제2 콘택 전극들과 분리된 제1 도전 패턴을 더 포함하는 표시 장치.

청구항 3

제2항에 있어서,

상기 제1 도전 패턴은, 상기 제1 및 제2 콘택 전극들과 동일한 물질을 포함하는 표시 장치.

청구항 4

제1항에 있어서,

상기 제1 및 제2 콘택 전극들 각각의 일단은, 상기 제2 절연 패턴을 사이에 개재하고 상기 제1 절연 패턴의 서로 다른 단부 상에 이격되어 배치되며, 상기 제1 절연 패턴 상에서 각각 상기 제1 및 제2 전극들에 인접할수록 점진적으로 증가하는 두께를 가지는 표시 장치.

청구항 5

제1항에 있어서,

상기 제1 콘택 전극은, 상기 발광 소자의 제1 단부 및 상기 제1 전극의 적어도 일 영역 상에 배치되고,

상기 제2 콘택 전극은, 상기 발광 소자의 제2 단부 및 상기 제2 전극의 적어도 일 영역 상에 배치되며,

상기 제1 및 제2 콘택 전극들은, 서로 동일한 층에 배치됨을 특징으로 하는 표시 장치.

청구항 6

제1항에 있어서,

상기 제1 및 제3 절연 패턴들은, 각각 적어도 한 층의 무기 절연막을 포함하고,
상기 제2 절연 패턴은, 적어도 한 층의 유기 절연막을 포함하는 표시 장치.

청구항 7

제6항에 있어서,
상기 제2 절연 패턴은, 상기 제1 및 제3 절연 패턴들 각각의 두께보다 큰 두께를 가지는 표시 장치.

청구항 8

제1항에 있어서,
상기 제2 절연 패턴의 양 단부들은, 평면 상에서 보았을 때, 상기 제1 절연 패턴의 양 단부들로부터 각각 상기 제1 콘택 전극 또는 상기 제2 콘택 전극의 두께의 두 배 이상 이격된 지점에 위치하는 표시 장치.

청구항 9

제1항에 있어서,
상기 발광 소자는, 상기 제1 내지 제3 절연 패턴들 각각의 폭보다 큰 길이를 가지며, 그 길이 방향의 양단에 각각 상기 제1 및 제2 단부들이 위치하도록 상기 제1 및 제2 전극들의 사이에 가로 방향으로 배치된 표시 장치.

청구항 10

제1항에 있어서,
상기 화소는, 상기 발광 소자와 상기 제1 절연 패턴의 사이에 배치된 제2 도전 패턴을 더 포함하며,
상기 제2 도전 패턴은, 평면 상에서 보았을 때, 상기 제1 절연 패턴보다 좁은 폭을 가지고 상기 제1 절연 패턴의 내측에 배치되어 상기 제1 및 제2 콘택 전극들로부터 분리됨을 특징으로 하는 표시 장치.

청구항 11

제10항에 있어서,
상기 제2 도전 패턴은, 습식 식각에 의해 제거되는 도전 물질을 포함하는 표시 장치.

청구항 12

제10항에 있어서,
상기 제2 도전 패턴은, 투명 도전 물질을 포함하는 표시 장치.

청구항 13

표시 영역에 배치된 화소를 포함하며,
상기 화소는,
서로 이격된 제1 전극 및 제2 전극;
상기 제1 전극과 상기 제2 전극의 사이에 배열된 발광 소자;
상기 발광 소자의 제1 단부 및 제2 단부를 노출하도록 상기 발광 소자의 일 영역 상에 배치된 제1 절연 패턴;
상기 발광 소자의 제1 단부 상에 배치되어, 상기 제1 단부를 상기 제1 전극에 전기적으로 연결하는 제1 콘택 전극; 및
상기 발광 소자의 제2 단부 상에 배치되어, 상기 제2 단부를 상기 제2 전극에 전기적으로 연결하는 제2 콘택 전극을 포함하며,
상기 제1 및 제2 콘택 전극들 각각의 일단은, 상기 제1 절연 패턴의 서로 다른 단부 상에 서로 이격되어 배치되고, 상기 제1 절연 패턴 상에서 각각 상기 제1 및 제2 전극들에 인접할수록 점진적으로 증가하는 두께를 가짐을

특징으로 하는 표시 장치.

청구항 14

제13항에 있어서,

상기 제1 및 제2 컨택 전극들은, 서로 동일한 층에 배치되어 상기 발광 소자를 사이에 개재하고 서로 대향되는 표시 장치.

청구항 15

제13항에 있어서,

상기 화소는, 상기 발광 소자와 상기 제1 절연 패턴의 사이에 배치된 도전 패턴을 더 포함하며,

상기 도전 패턴은, 평면 상에서 보았을 때, 상기 제1 절연 패턴보다 좁은 폭을 가지고 상기 제1 절연 패턴의 내측에 배치되어 상기 제1 및 제2 컨택 전극들로부터 분리됨을 특징으로 하는 표시 장치.

청구항 16

제15항에 있어서,

상기 도전 패턴은, 습식 식각에 의해 제거되는 도전 물질을 포함하는 표시 장치.

청구항 17

제15항에 있어서,

상기 도전 패턴은, 투명 도전 물질을 포함하는 표시 장치.

청구항 18

베이스 층 상에 서로 이격되도록 제1 및 제2 전극들을 형성하는 단계;

상기 베이스 층 상에 발광 소자를 공급하고, 상기 발광 소자를 상기 제1 및 제2 전극들의 사이에 정렬하는 단계;

상기 제1 및 제2 전극들과 상기 발광 소자가 배치된 상기 베이스 층 상에, 복수의 절연 물질층들을 순차적으로 형성하는 단계;

상기 발광 소자의 제1 및 제2 단부들을 제외한 상기 발광 소자의 나머지 영역과 중첩되도록 상기 복수의 절연 물질층들 상에 제3 절연 패턴을 형성하는 단계;

상기 제3 절연 패턴을 마스크로 이용하여 상기 복수의 절연 물질층들을 식각함으로써, 상기 발광 소자와 상기 제3 절연 패턴의 사이에 제1 및 제2 절연 패턴들을 형성하는 단계;

상기 제2 절연 패턴이 상기 제1 및 제3 절연 패턴들보다 좁은 폭을 가지도록 상기 제2 절연 패턴의 측면을 추가적으로 식각하는 단계; 및

상기 제1 및 제2 전극들, 상기 발광 소자 및 상기 제1 내지 제3 절연 패턴들이 배치된 상기 베이스 층 상에 도전 물질을 도포함으로써, 상기 발광 소자의 제1 및 제2 단부들을 각각 상기 제1 및 제2 전극들에 전기적으로 연결하는 제1 및 제2 컨택 전극들을 형성하는 단계를 포함하는 표시 장치의 제조 방법.

청구항 19

제18항에 있어서,

상기 복수의 절연 물질층들을 형성하기에 앞서, 상기 제1 및 제2 전극들과 상기 발광 소자가 배치된 상기 베이스 층 상에 도전 물질층을 형성하는 단계; 및

상기 제1 내지 제3 절연 패턴들을 형성한 이후에, 상기 제1 내지 제3 절연 패턴들을 마스크로 이용하여 상기 도전 물질층을 습식 식각함으로써, 상기 제1 절연 패턴보다 좁은 폭을 가지는 도전 패턴을 형성하는 단계를 더 포함하는 표시 장치의 제조 방법.

청구항 20

제18항에 있어서,

상기 제1 및 제2 컨택 전극들을 형성한 이후에, 상기 제2 및 제3 절연 패턴들을 제거하는 단계를 더 포함하는 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 표시 장치 및 그의 제조 방법에 관한 것이다.

배경 기술

[0003] 최근, 신뢰성이 높은 무기 결정 구조의 재료를 이용하여 초소형의 발광 소자를 제조하고, 상기 발광 소자를 이용하여 발광 장치를 제조하는 기술이 개발되고 있다. 예를 들어, 나노 스케일 내지 마이크로 스케일 정도로 작은 크기를 가지는 복수의 초소형 발광 소자들을 제조하고, 상기 초소형 발광 소자들을 이용하여 표시 장치의 화소 등과 같은 다양한 발광 장치의 광원을 구성하는 기술이 개발되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는, 발광 소자를 포함한 표시 장치 및 그의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 의한 표시 장치는, 표시 영역에 배치된 화소를 포함한다. 상기 화소는, 서로 이격된 제1 전극 및 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 배열된 발광 소자; 상기 발광 소자의 제1 단부 및 제2 단부를 노출하도록 상기 발광 소자의 일 영역 상에 배치된 제1 절연 패턴; 상기 제1 절연 패턴보다 좁은 폭을 가지며, 상기 제1 절연 패턴의 양 단부들을 노출하도록 상기 제1 절연 패턴의 일 영역 상에 배치된 제2 절연 패턴; 상기 제2 절연 패턴보다 큰 폭을 가지며, 평면 상에서 보았을 때 상기 제2 절연 패턴의 양 단부들을 커버하도록 상기 제2 절연 패턴 상에 배치된 제3 절연 패턴; 상기 발광 소자의 제1 단부 상에 배치되어, 상기 제1 단부를 상기 제1 전극에 전기적으로 연결하는 제1 컨택 전극; 및 상기 발광 소자의 제2 단부 상에 배치되어, 상기 제2 단부를 상기 제2 전극에 전기적으로 연결하는 제2 컨택 전극을 포함한다.

[0008] 일 실시예에서, 상기 화소는, 상기 제3 절연 패턴 상에 배치되며 상기 제1 및 제2 컨택 전극들과 분리된 제1 도전 패턴을 더 포함할 수 있다.

[0009] 일 실시예에서, 상기 제1 도전 패턴은, 상기 제1 및 제2 컨택 전극들과 동일한 물질을 포함할 수 있다.

[0010] 일 실시예에서, 상기 제1 및 제2 컨택 전극들 각각의 일단은, 상기 제2 절연 패턴을 사이에 개재하고 상기 제1 절연 패턴의 서로 다른 단부 상에 이격되어 배치되며, 상기 제1 절연 패턴 상에서 각각 상기 제1 및 제2 전극들에 인접할수록 점진적으로 증가하는 두께를 가질 수 있다.

[0011] 일 실시예에서, 상기 제1 컨택 전극은 상기 발광 소자의 제1 단부 및 상기 제1 전극의 적어도 일 영역 상에 배치되고, 상기 제2 컨택 전극은 상기 발광 소자의 제2 단부 및 상기 제2 전극의 적어도 일 영역 상에 배치될 수 있다. 그리고, 상기 제1 및 제2 컨택 전극들은, 서로 동일한 층에 배치될 수 있다.

[0012] 일 실시예에서, 상기 제1 및 제3 절연 패턴들은 각각 적어도 한 층의 무기 절연막을 포함하고, 상기 제2 절연 패턴은 적어도 한 층의 유기 절연막을 포함할 수 있다.

- [0013] 일 실시예에서, 상기 제2 절연 패턴은, 상기 제1 및 제3 절연 패턴들 각각의 두께보다 큰 두께를 가질 수 있다.
- [0014] 일 실시예에서, 상기 제2 절연 패턴의 양 단부들은, 평면 상에서 보았을 때, 상기 제1 절연 패턴의 양 단부들로부터 각각 상기 제1 콘택 전극 또는 상기 제2 콘택 전극의 두께의 두 배 이상 이격된 지점에 위치할 수 있다.
- [0015] 일 실시예에서, 상기 발광 소자는, 상기 제1 내지 제3 절연 패턴들 각각의 폭보다 큰 길이를 가지며, 그 길이 방향의 양단에 각각 상기 제1 및 제2 단부들이 위치하도록 상기 제1 및 제2 전극들의 사이에 가로 방향으로 배치될 수 있다.
- [0016] 일 실시예에서, 상기 화소는, 상기 발광 소자와 상기 제1 절연 패턴의 사이에 배치된 제2 도전 패턴을 더 포함할 수 있다. 그리고, 상기 제2 도전 패턴은, 평면 상에서 보았을 때, 상기 제1 절연 패턴보다 좁은 폭을 가지고 상기 제1 절연 패턴의 내측에 배치되어 상기 제1 및 제2 콘택 전극들로부터 분리될 수 있다.
- [0017] 일 실시예에서, 상기 제2 도전 패턴은, 습식 식각에 의해 제거되는 도전 물질을 포함할 수 있다.
- [0018] 일 실시예에서, 상기 제2 도전 패턴은, 투명 도전 물질을 포함할 수 있다.
- [0019] 본 발명의 일 실시예에 의한 표시 장치는, 표시 영역에 배치된 화소를 포함한다. 상기 화소는, 서로 이격된 제1 전극 및 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 배열된 발광 소자; 상기 발광 소자의 제1 단부 및 제2 단부를 노출하도록 상기 발광 소자의 일 영역 상에 배치된 제1 절연 패턴; 상기 발광 소자의 제1 단부 상에 배치되어, 상기 제1 단부를 상기 제1 전극에 전기적으로 연결하는 제1 콘택 전극; 및 상기 발광 소자의 제2 단부 상에 배치되어, 상기 제2 단부를 상기 제2 전극에 전기적으로 연결하는 제2 콘택 전극을 포함한다. 상기 제1 및 제2 콘택 전극들 각각의 일단은, 상기 제1 절연 패턴의 서로 다른 단부 상에 서로 이격되어 배치되고, 상기 제1 절연 패턴 상에서 각각 상기 제1 및 제2 전극들에 인접할수록 점진적으로 증가하는 두께를 가진다.
- [0020] 일 실시예에서, 상기 제1 및 제2 콘택 전극들은, 서로 동일한 층에 배치되어 상기 발광 소자들 사이에 개재하고 서로 대향될 수 있다.
- [0021] 일 실시예에서, 상기 화소는, 상기 발광 소자와 상기 제1 절연 패턴의 사이에 배치된 도전 패턴을 더 포함할 수 있다. 상기 도전 패턴은, 평면 상에서 보았을 때, 상기 제1 절연 패턴보다 좁은 폭을 가지고 상기 제1 절연 패턴의 내측에 배치되어 상기 제1 및 제2 콘택 전극들로부터 분리될 수 있다.
- [0022] 일 실시예에서, 상기 도전 패턴은, 습식 식각에 의해 제거되는 도전 물질을 포함할 수 있다.
- [0023] 일 실시예에서, 상기 도전 패턴은, 투명 도전 물질을 포함할 수 있다.
- [0024] 본 발명의 일 실시예에 의한 표시 장치의 제조 방법은, 베이스 층 상에 서로 이격되도록 제1 및 제2 전극들을 형성하는 단계; 상기 베이스 층 상에 발광 소자를 공급하고, 상기 발광 소자를 상기 제1 및 제2 전극들의 사이에 정렬하는 단계; 상기 제1 및 제2 전극들과 상기 발광 소자가 배치된 상기 베이스 층 상에, 복수의 절연 물질층들을 순차적으로 형성하는 단계; 상기 발광 소자의 제1 및 제2 단부들을 제외한 상기 발광 소자의 나머지 영역과 중첩되도록 상기 복수의 절연 물질층들 상에 제3 절연 패턴을 형성하는 단계; 상기 제3 절연 패턴을 마스크로 이용하여 상기 복수의 절연 물질층들을 식각함으로써, 상기 발광 소자와 상기 제3 절연 패턴의 사이에 제1 및 제2 절연 패턴들을 형성하는 단계; 상기 제2 절연 패턴이 상기 제1 및 제3 절연 패턴들보다 좁은 폭을 가지도록 상기 제2 절연 패턴의 측면을 추가적으로 식각하는 단계; 및 상기 제1 및 제2 전극들, 상기 발광 소자 및 상기 제1 내지 제3 절연 패턴들이 배치된 상기 베이스 층 상에 도전 물질을 도포함으로써, 상기 발광 소자의 제1 및 제2 단부들을 각각 상기 제1 및 제2 전극들에 전기적으로 연결하는 제1 및 제2 콘택 전극들을 형성하는 단계를 포함한다.
- [0025] 일 실시예에서, 상기 표시 장치의 제조 방법은, 상기 복수의 절연 물질층들을 형성하기에 앞서, 상기 제1 및 제2 전극들과 상기 발광 소자가 배치된 상기 베이스 층 상에 도전 물질층을 형성하는 단계; 및 상기 제1 내지 제3 절연 패턴들을 형성한 이후에, 상기 제1 내지 제3 절연 패턴들을 마스크로 이용하여 상기 도전 물질층을 습식 식각함으로써, 상기 제1 절연 패턴보다 좁은 폭을 가지는 도전 패턴을 형성하는 단계를 더 포함할 수 있다.
- [0026] 일 실시예에서, 상기 표시 장치의 제조 방법은, 상기 제1 및 제2 콘택 전극들을 형성한 이후에 상기 제2 및 제3 절연 패턴들을 제거하는 단계를 더 포함할 수 있다.

발명의 효과

[0028] 본 발명의 다양한 실시예들에 의한 표시 장치 및 그의 제조 방법에 따르면, 제1 및 제2 컨택 전극들을 통해 각각의 발광 소자를 제1 및 제2 전극들의 사이에 안정적으로 연결하면서도, 표시 장치의 제조에 이용되는 마스크 공정의 수를 저감할 수 있다.

도면의 간단한 설명

[0030] 도 1a 및 도 1b는 본 발명의 일 실시예에 의한 발광 소자를 나타내는 사시도 및 단면도이다.
 도 2a 및 도 2b는 본 발명의 일 실시예에 의한 발광 소자를 나타내는 사시도 및 단면도이다.
 도 3a 및 도 3b는 본 발명의 일 실시예에 의한 발광 소자를 나타내는 사시도 및 단면도이다.
 도 4는 본 발명의 일 실시예에 의한 표시 장치를 나타내는 평면도이다.
 도 5a 내지 도 5c는 각각 본 발명의 일 실시예에 의한 화소를 나타내는 회로도이다.
 도 6 내지 도 9는 각각 본 발명의 일 실시예에 의한 화소를 나타내는 평면도이다.
 도 10은 본 발명의 일 실시예에 의한 화소를 나타내는 단면도로서, 일 예로 도 8의 I~I'선에 대응하는 화소의 단면에 대한 실시예를 나타낸다.
 도 11은 도 10의 다층 패턴을 개략적으로 나타내는 평면도이다.
 도 12는 도 10의 AR1 영역을 확대한 단면도이다.
 도 13 내지 도 15는 각각 본 발명의 일 실시예에 의한 화소를 나타내는 단면도로서, 일 예로 도 8의 I~I'선에 대응하는 화소의 단면에 대한 서로 다른 실시예들을 나타낸다.
 도 16 및 도 17은 각각 본 발명의 일 실시예에 의한 화소를 나타내는 단면도로서, 일 예로 도 9의 II~II'선에 대응하는 화소의 단면에 대한 서로 다른 실시예들을 나타낸다.
 도 18a 내지 도 18j는 본 발명의 일 실시예에 의한 표시 장치의 제조 방법을 순차적으로 나타내는 단면도이다.
 도 19 및 도 20은 각각 본 발명의 일 실시예에 의한 화소를 나타내는 단면도로서, 일 예로 도 8의 I~I'선에 대응하는 화소의 단면에 대한 서로 다른 실시예들을 나타낸다.
 도 21 및 도 22는 각각 본 발명의 일 실시예에 의한 화소를 나타내는 단면도로서, 일 예로 도 9의 II~II'선에 대응하는 화소의 단면에 대한 서로 다른 실시예들을 나타낸다.
 도 23a 내지 도 23j는 본 발명의 일 실시예에 의한 표시 장치의 제조 방법을 순차적으로 나타내는 단면도이다.
 도 24a 내지 도 24j는 본 발명의 일 실시예에 의한 표시 장치의 제조 방법을 순차적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예를 도면에 예시하고 본문에 상세하게 설명하고자 한다. 다만, 본 발명은 이하에서 개시되는 실시예에 한정되지는 않으며, 다양한 형태로 변경되어 실시될 수 있을 것이다.

[0032] 한편, 도면에서 본 발명의 특징과 직접적으로 관계되지 않은 일부 구성 요소는 본 발명을 명확하게 나타내기 위하여 생략되었을 수 있다. 또한, 도면 상의 일부 구성 요소는 그 크기나 비율 등이 다소 과장되어 도시되었을 수 있다. 도면 전반에서 동일 또는 유사한 구성 요소들에 대해서는 비록 다른 도면 상에 표시되더라도 가능한 한 동일한 참조 번호 및 부호를 부여하고, 중복되는 설명은 생략하기로 한다.

[0033] 본 출원에서, 제1, 제2 등의 용어는 다양한 구성 요소들을 구별하여 설명하는데 사용될 뿐, 상기 구성 요소들이 상기 용어에 의해 한정되지는 않는다. 또한, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들의 조합이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들의 조합의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 어떤 요소 또는 부분이 다른 요소 또는 부분 "상에" 있다고 할 경우, 이는 상기 다른 요소 또는 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 요소 또는 부분이 있는 경우도 포함한다. 또한, 이하의 설명에서 규정하는 특정 위치 또는 방향 등은 상대적인 관점에서 기술한 것으로

서, 일 예로 이는 보는 관점이나 방향에 따라서는 반대로 변경될 수도 있음에 유의하여야 할 것이다.

- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 실시예 및 그 밖에 당업자가 본 발명의 내용을 쉽게 이해하기 위하여 필요한 사항에 대하여 상세히 설명하기로 한다. 아래의 설명에서, 단수의 표현은 문맥상 명백하게 단수만을 포함하지 않는 한, 복수의 표현도 포함한다.
- [0036] 도 1a 및 도 1b, 도 2a 및 도 2b, 및 도 3a 및 도 3b는 각각 본 발명의 일 실시예에 의한 발광 소자(LD)를 나타내는 사시도 및 단면도이다. 도 1a 내지 도 3b에서는 원 기둥 형상의 막대형 발광 소자(LD)를 도시하였으나, 본 발명에 의한 발광 소자(LD)의 종류 및/또는 형상이 이에 한정되지는 않는다.
- [0037] 먼저 도 1a 및 도 1b를 참조하면, 본 발명의 일 실시예에 의한 발광 소자(LD)는, 제1 도전형 반도체층(11) 및 제2 도전형 반도체층(13)과, 상기 제1 및 제2 도전형 반도체층들(11, 13)의 사이에 개재된 활성층(12)을 포함한다. 일 예로, 발광 소자(LD)는 길이(L) 방향을 따라 제1 도전형 반도체층(11), 활성층(12) 및 제2 도전형 반도체층(13)이 순차적으로 적층된 적층체로 구성될 수 있다.
- [0038] 실시예에 따라, 발광 소자(LD)는 일 방향을 따라 연장된 막대 형상으로 제공될 수 있다. 발광 소자(LD)의 연장 방향을 길이(L) 방향이라고 하면, 발광 소자(LD)는 상기 길이(L) 방향을 따라 일측 단부와 타측 단부를 가질 수 있다.
- [0039] 실시예에 따라, 발광 소자(LD)의 일측 단부에는 제1 및 제2 도전형 반도체층들(11, 13) 중 하나가 배치될 수 있다. 그리고, 상기 발광 소자(LD)의 타측 단부에는 상기 제1 및 제2 도전형 반도체층들(11, 13) 중 나머지 하나가 배치될 수 있다.
- [0040] 실시예에 따라, 발광 소자(LD)는 막대 형상으로 제조된 막대형 발광 다이오드일 수 있다. 본 명세서에서, "막대형"이라 함은 원 기둥 또는 다각 기둥 등과 같이 길이(L) 방향으로 긴(즉, 종횡비가 1보다 큰) 로드 형상(rod-like shape), 또는 바 형상(bar-like shape)을 포괄하며, 그 단면의 형상이 특별히 한정되지는 않는다. 예를 들어, 발광 소자(LD)의 길이(L)는 그 직경(D)(또는, 횡단면의 폭)보다 클 수 있다.
- [0041] 실시예에 따라, 발광 소자(LD)는 나노 스케일 내지 마이크로 스케일 정도로 작은 크기를 가질 수 있다. 일 예로, 발광 소자(LD)는 각각 나노 스케일 내지 마이크로 스케일 범위의 직경(D) 및/또는 길이(L)를 가질 수 있다. 다만, 본 발명에서 발광 소자(LD)의 크기가 이에 한정되지는 않는다. 예를 들어, 발광 소자(LD)를 이용한 발광 장치를 광원으로 이용하는 각종 장치, 일 예로 표시 장치 등의 설계 조건에 따라 발광 소자(LD)의 크기는 다양하게 변경될 수 있다.
- [0042] 제1 도전형 반도체층(11)은 일 예로 적어도 하나의 n형 반도체층을 포함할 수 있다. 예를 들어, 제1 도전형 반도체층(11)은 InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, InN 중 어느 하나의 반도체 재료를 포함하며, Si, Ge, Sn 등과 같은 제1 도전형 도펀트가 도핑된 n형 반도체층을 포함할 수 있다. 다만, 제1 도전형 반도체층(11)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질로 제1 도전형 반도체층(11)을 구성할 수 있다.
- [0043] 활성층(12)은 제1 도전형 반도체층(11) 상에 배치되며, 단일 또는 다중 양자 우물 구조로 형성될 수 있다. 일 실시예에서, 활성층(12)의 상부 및/또는 하부에는 도전성 도펀트가 도핑된 클래드층(미도시)이 형성될 수도 있다. 일 예로, 클래드층은 AlGa_N층 또는 InAlGa_N층으로 형성될 수 있다. 실시예에 따라, AlGa_N, AlInGa_N 등의 물질이 활성층(12)을 형성하는 데에 이용될 수 있으며, 이 외에도 다양한 물질이 활성층(12)을 구성할 수 있다.
- [0044] 발광 소자(LD)의 양단에 문턱 전압 이상의 전압을 인가하게 되면, 활성층(12)에서 전자-정공 쌍이 결합하면서 발광 소자(LD)가 발광하게 된다. 이러한 원리를 이용하여 발광 소자(LD)의 발광을 제어함으로써, 발광 소자(LD)를 표시 장치의 화소를 비롯한 다양한 발광 장치의 광원으로 이용할 수 있다.
- [0045] 제2 도전형 반도체층(13)은 활성층(12) 상에 배치되며, 제1 도전형 반도체층(11)과 상이한 타입의 반도체층을 포함할 수 있다. 일 예로, 제2 도전형 반도체층(13)은 적어도 하나의 p형 반도체층을 포함할 수 있다. 예를 들어, 제2 도전형 반도체층(13)은 InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, InN 중 적어도 하나의 반도체 재료를 포함하며, Mg 등과 같은 제2 도전형 도펀트가 도핑된 p형 반도체층을 포함할 수 있다. 다만, 제2 도전형 반도체층(13)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질이 제2 도전형 반도체층(13)을 구성할 수 있다.
- [0046] 또한, 실시예에 따라, 발광 소자(LD)는 표면에 제공된 절연성 피막(INF)을 더 포함할 수 있다. 절연성 피막

(INF)은 적어도 활성층(12)의 외주면을 둘러싸도록 발광 소자(LD)의 표면에 형성될 수 있으며, 이외에도 제1 및 제2 도전형 반도체층들(11, 13)의 일 영역을 더 둘러쌀 수 있다. 다만, 절연성 피막(INF)은 서로 다른 극성을 가지는 발광 소자(LD)의 양 단부들은 노출할 수 있다. 예를 들어, 절연성 피막(INF)은 길이(L) 방향 상에서 발광 소자(LD)의 양단에 위치한 제1 및 제2 도전형 반도체층들(11, 13) 각각의 일단, 일 예로 원기둥의 두 밑면(도 1a 및 도 1b에서, 발광 소자(LD)의 상부면 및 하부면)은 커버하지 않고 노출할 수 있다.

[0047] 실시예에 따라, 절연성 피막(INF)은 이산화규소(SiO_2), 질화규소(Si_3N_4), 산화알루미늄(Al_2O_3) 및 이산화타이타늄(TiO_2) 중 적어도 하나의 절연 물질을 포함할 수 있으나, 이에 한정되지는 않는다. 즉, 절연성 피막(INF)의 구성 물질이 특별히 한정되지는 않으며, 상기 절연성 피막(INF)은 현재 공지된 다양한 절연 물질로 구성될 수 있다.

[0048] 일 실시예에서, 발광 소자(LD)는 제1 도전형 반도체층(11), 활성층(12), 제2 도전형 반도체층(13) 및/또는 절연성 피막(INF) 외에도 추가적인 구성 요소를 더 포함할 수 있다. 예를 들면, 발광 소자(LD)는 제1 도전형 반도체층(11), 활성층(12) 및/또는 제2 도전형 반도체층(13)의 일단 측에 배치된 하나 이상의 형광체층, 활성층, 반도체층 및/또는 전극층을 추가적으로 포함할 수 있다.

[0049] 예를 들어, 발광 소자(LD)는 도 2a 및 도 2b에 도시된 바와 같이 제2 도전형 반도체층(13)의 일단 측에 배치되는 적어도 하나의 전극층(14)을 더 포함할 수 있다. 또한, 실시예에 따라 발광 소자(LD)는 도 3a 및 도 3b에 도시된 바와 같이 제1 도전형 반도체층(11)의 일단 측에 배치되는 적어도 하나의 다른 전극층(15)을 더 포함할 수도 있다.

[0050] 상기 전극층들(14, 15) 각각은 옴믹(Ohmic) 콘택 전극일 수 있으나, 이에 한정되지는 않는다. 또한, 상기 전극층들(14, 15) 각각은 금속 또는 금속 산화물을 포함할 수 있다. 일 예로, 상기 전극층들(14, 15) 각각은 크롬(Cr), 타이타늄(Ti), 알루미늄(Al), 금(Au), 니켈(Ni), 이들의 산화물 또는 합금, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide), ITZO(Indium Tin Zinc Oxide)와 같은 투명 전극 물질 등을 단독 또는 혼합하여 형성될 수 있다. 또한, 실시예에 따라, 상기 전극층들(14, 15)은 실질적으로 투명 또는 반투명할 수 있다. 이에 따라, 발광 소자(LD)에서 생성되는 빛이 전극층들(14, 15)을 투과하여 발광 소자(LD)의 외부로 방출될 수 있다.

[0051] 실시예에 따라, 절연성 피막(INF)은 전극층들(14, 15)의 외주면을 적어도 부분적으로 감싸거나, 또는 감싸지 않을 수 있다. 즉, 절연성 피막(INF)은 전극층들(14, 15)의 표면에 선택적으로 형성될 수 있다. 또한, 절연성 피막(INF)은 서로 다른 극성을 가지는 발광 소자(LD)의 양단을 노출하도록 형성되며, 일 예로 전극층들(14, 15)의 적어도 일 영역을 노출할 수 있다. 또는, 또 다른 실시예에서는, 절연성 피막(INF)이 제공되지 않을 수도 있다.

[0052] 발광 소자(LD)의 표면, 특히 활성층(12)의 표면에 절연성 피막(INF)이 제공되면, 활성층(12)이 도식되지 않은 적어도 하나의 전극(일 예로, 발광 소자(LD)의 양단에 연결되는 콘택 전극들 중 적어도 하나의 콘택 전극) 등과 단락되는 것을 방지할 수 있다. 이에 따라, 발광 소자(LD)의 전기적 안정성을 확보할 수 있다.

[0053] 또한, 발광 소자(LD)의 표면에 절연성 피막(INF)을 형성함에 의해 발광 소자(LD)의 표면 결함을 최소화하여 수명 및 효율을 향상시킬 수 있다. 또한, 각각의 발광 소자(LD)에 절연성 피막(INF)이 형성되면, 다수의 발광 소자들(LD)이 서로 밀접하여 배치되어 있는 경우에도 상기 발광 소자들(LD)의 사이에서 원치 않는 단락이 발생하는 것을 방지할 수 있다.

[0054] 또한, 본 발명의 일 실시예에서, 발광 소자(LD)는 표면 처리 과정을 거쳐 제조될 수 있다. 예를 들어, 다수의 발광 소자들(LD)을 유동성의 용액(또는, 용매)에 혼합하여 각각의 발광 영역(일 예로, 각 화소의 발광 영역)에 공급할 때, 상기 발광 소자들(LD)이 용액 내에 불균일하게 응집하지 않고 균일하게 분산될 수 있도록 각각의 발광 소자(LD)를 표면 처리할 수 있다.

[0055] 이와 관련한 비제한적인 실시예로서, 소수성 재료를 이용하여 절연성 피막(INF) 자체를 소수성 막으로 형성하거나, 절연성 피막(INF) 상에 소수성 재료로 이루어진 소수성 피막을 추가적으로 형성할 수 있다. 실시예에 따라, 소수성 재료는 소수성을 나타내도록 불소를 함유하는 재료일 수 있다. 또한, 실시예에 따라, 소수성 재료는 자기조립 단분자막(self-assembled monolayer; SAM)의 형태로 발광 소자들(LD)에 적용될 수 있다. 이 경우, 소수성 재료는 옥타데실 트라이클로로실란(octadecyl trichlorosilane), 플루오로알킬 트라이클로로실란(fluoroalkyl trichlorosilane), 퍼플루오로알킬 트리아에톡시실란(perfluoroalkyl triethoxysilane) 등을 포함할 수 있다. 또한, 소수성 재료는 테플론(TeflonTM)이나 사이토프(CytopTM)와 같은 상용화된 불소 함유 재료가

거나, 이에 상응하는 재료일 수 있다.

- [0056] 상술한 발광 소자(LD)를 포함한 발광 장치는, 표시 장치를 비롯하여 광원을 필요로 하는 다양한 종류의 장치에서 이용될 수 있다. 예를 들어, 표시 패널의 각 화소 영역에 적어도 하나의 초소형 발광 소자(LD), 일 예로 각각 나노 스케일 내지 마이크로 스케일의 크기를 가진 복수의 초소형 발광 소자들(LD)을 배치하고, 상기 초소형 발광 소자들(LD)을 이용하여 각 화소의 광원(또는, 광원 유닛)을 구성할 수 있다. 다만, 본 발명에서 발광 소자(LD)의 적용 분야가 표시 장치에 한정되지는 않는다. 예를 들어, 발광 소자(LD)는 조명 장치 등과 같이 광원을 필요로 하는 다른 종류의 장치에도 이용될 수 있다.
- [0058] 도 4는 본 발명의 일 실시예에 의한 표시 장치를 나타내는 평면도이다. 실시예에 따라, 도 4에서는 도 1a 내지 도 3b에서 설명한 발광 소자(LD)를 광원으로서 이용할 수 있는 장치의 일 예로서, 표시 장치, 특히 상기 표시 장치에 구비되는 표시 패널(PNL)을 도시하기로 한다. 일 예로, 표시 패널(PNL)의 화소들(PXL)은 각각 적어도 하나의 발광 소자(LD)를 포함할 수 있다.
- [0059] 편의상, 도 4에서는 표시 영역(DA)을 중심으로 표시 패널(PNL)의 구조를 간략하게 도시하기로 한다. 다만, 실시예에 따라서는 도시되지 않은 적어도 하나의 구동 회로부(일 예로, 주사 구동부 및 데이터 구동부 중 적어도 하나) 및/또는 복수의 배선들이 표시 패널(PNL)에 더 배치될 수 있다.
- [0060] 도 4를 참조하면, 본 발명의 일 실시예에 의한 표시 패널(PNL)은, 베이스 층(BSL)과, 상기 베이스 층(BSL) 상에 배치된 다수의 화소들(PXL)을 포함할 수 있다. 구체적으로, 표시 패널(PNL) 및 이를 형성하기 위한 베이스 층(BSL)은, 영상을 표시하기 위한 표시 영역(DA)과, 상기 표시 영역(DA)을 제외한 비표시 영역(NDA)을 포함할 수 있다. 그리고, 베이스 층(BSL) 상의 표시 영역(DA)에는 화소들(PXL)이 배치될 수 있다.
- [0061] 실시예에 따라, 표시 영역(DA)은 표시 패널(PNL)의 중앙 영역에 배치되고, 비표시 영역(NDA)은 표시 영역(DA)을 둘러싸도록 표시 패널(PNL)의 가장자리 영역에 배치될 수 있다. 다만, 표시 영역(DA) 및 비표시 영역(NDA)의 위치가 이에 한정되지는 않으며, 이들의 위치는 변경될 수 있다. 이러한 표시 영역(DA)은, 영상이 표시되는 화면을 구성할 수 있다.
- [0062] 베이스 층(BSL)은 표시 패널(PNL)의 베이스 부재를 구성할 수 있다. 실시예에 따라, 베이스 층(BSL)은 경성 또는 연성의 기판이나 필름일 수 있으며, 그 재료나 물성이 특별히 한정되지는 않는다. 일 예로, 베이스 층(BSL)은 유리 또는 강화 유리로 이루어진 경성 기판, 플라스틱 또는 금속 재질의 연성 기판(또는, 박막 필름), 또는 적어도 한 층의 절연막일 수 있으며, 그 재료 및/또는 물성이 특별히 한정되지는 않는다.
- [0063] 또한, 베이스 층(BSL)은 투명할 수 있으나, 이에 한정되지는 않는다. 일 예로, 베이스 층(BSL)은 투명, 반투명, 불투명, 또는 반사성의 베이스 부재일 수 있다.
- [0064] 베이스 층(BSL) 상의 일 영역은 표시 영역(DA)으로 규정되어 화소들(PXL)이 배치되고, 나머지 영역은 비표시 영역(NDA)으로 규정될 수 있다. 일 예로, 베이스 층(BSL)은, 각각의 화소(PXL)가 형성되는 복수의 화소 영역들을 포함한 표시 영역(DA)과, 상기 표시 영역(DA)의 외곽에 배치되는 비표시 영역(NDA)을 포함할 수 있다. 비표시 영역(NDA)에는 표시 영역(DA)의 화소들(PXL)에 연결되는 각종 배선들 및/또는 내장 회로부가 배치될 수 있다.
- [0065] 실시예에 따라, 화소들(PXL)은 표시 영역(DA)에 분산되어 배치될 수 있다. 일 예로, 화소들(PXL)은 스트라이프 또는 펜타일 배열 구조로 표시 영역(DA)에 배열될 수 있다. 다만, 본 발명이 이에 한정되지는 않는다. 예를 들어, 화소들(PXL)은 현재 공지된 다양한 배열 구조로 표시 영역(DA)에 배열될 수 있다.
- [0066] 각각의 화소(PXL)는 소정의 제어 신호(일 예로, 주사 신호 및 데이터 신호) 및/또는 소정의 전원(일 예로, 제1 전원 및 제2 전원)에 의해 구동되는 적어도 하나의 광원, 일 예로 도 1a 내지 도 3b의 실시예들 중 어느 하나의 실시예에 의한 발광 소자(LD)를 포함할 수 있다. 예를 들어, 각각의 화소(PXL)는, 나노 스케일 내지 마이크로 스케일 정도로 작은 크기를 가지는 적어도 하나의 초소형 발광 소자(LD)를 포함할 수 있다. 일 예로, 각각의 화소(PXL)는, 화소 전극들 및/또는 전원선들의 사이에 서로 병렬로 연결되어 해당 화소(PXL)의 광원 또는 광원 유닛을 구성하며, 각각이 막대형상을 가지는 복수의 초소형 발광 소자들을 포함할 수 있다.
- [0067] 일 실시예에서, 각각의 화소(PXL)는 능동형 화소로 구성될 수 있다. 다만, 본 발명의 표시 장치에 적용될 수 있는 화소들(PXL)의 종류, 구조 및/또는 구동 방식이 특별히 한정되지는 않는다. 예를 들어, 각각의 화소(PXL)는 현재 공지된 다양한 구조 및/또는 구동 방식의 수동형 또는 능동형 발광 표시 장치의 화소로 구성될 수 있다.

- [0069] 도 5a 내지 도 5c는 각각 본 발명의 일 실시예에 의한 화소(PXL)를 나타내는 회로도이다. 예를 들어, 도 5a 내지 도 5c는 능동형 표시 장치에 적용될 수 있는 화소(PXL)의 서로 다른 실시예들을 나타낸다. 다만, 본 발명의 실시예가 적용될 수 있는 화소(PXL) 및 표시 장치의 종류가 이에 한정되지는 않는다. 실시예에 따라, 도 5a 내지 도 5c에 도시된 각각의 화소(PXL)는 도 4의 표시 패널(PNL)에 구비된 화소들(PXL) 중 어느 하나일 수 있으며, 상기 화소들(PXL)은 실질적으로 서로 동일 또는 유사한 구조를 가질 수 있다.
- [0070] 먼저 도 5a를 참조하면, 본 발명의 일 실시예에 의한 화소(PXL)는 데이터 신호에 대응하는 휘도의 빛을 생성하기 위한 광원 유닛(LSU)을 포함한다. 또한, 화소(PXL)는, 광원 유닛(LSU)을 구동하기 위한 화소 회로(PXC)를 더 포함할 수 있다.
- [0071] 실시예에 따라, 광원 유닛(LSU)은 제1 전원(VDD)과 제2 전원(VSS)의 사이에 전기적으로 연결된 복수의 발광 소자들(LD)을 포함할 수 있다. 일 실시예에서, 발광 소자들(LD)은 서로 병렬로 연결될 수 있으나, 이에 한정되지는 않는다. 예를 들어, 다른 실시예에서는 제1 전원(VDD)과 제2 전원(VSS)의 사이에, 복수의 발광 소자들(LD)이 직/병렬 혼합 구조로 연결될 수도 있다.
- [0072] 실시예에 따라, 제1 및 제2 전원들(VDD, VSS)은 발광 소자들(LD)이 발광할 수 있도록 서로 다른 전위를 가질 수 있다. 일 예로, 제1 전원(VDD)은 고전위 전원으로 설정되고, 제2 전원(VSS)은 저전위 전원으로 설정될 수 있다. 이때, 제1 및 제2 전원들(VDD, VSS)의 전위 차는 적어도 화소(PXL)의 발광 기간 동안 발광 소자들(LD)의 문턱 전압 이상으로 설정될 수 있다.
- [0073] 한편, 도 5a에서는 각 화소(PXL)의 광원 유닛(LSU)을 구성하는 발광 소자들(LD)이 제1 전원(VDD)과 제2 전원(VSS)의 사이에 서로 동일한 방향(일 예로, 순방향)으로 병렬 연결된 실시예를 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 다른 실시예에서는 상기 발광 소자들(LD) 중 일부는 제1 및 제2 전원들(VDD, VSS)의 사이에 제1 방향(일 예로, 순방향)으로 연결되고, 다른 일부는 제2 방향(일 예로, 역방향)으로 연결될 수도 있다. 또는, 또 다른 실시예에서는, 적어도 하나의 화소(PXL)가 단일의 발광 소자(일 예로, 제1 및 제2 전원들(VDD, VSS)의 사이에 순방향으로 연결된 단일의 유효 발광 소자)(LD)만을 포함할 수도 있다.
- [0074] 실시예에 따라, 각각의 광원 유닛(LSU)을 구성하는 발광 소자들(LD)의 일 단부는 상기 광원 유닛(LSU)의 일 전극(일 예로, 각 화소(PXL)의 제1 전극("제1 정렬 전극" 또는 "제1 화소 전극"이라고도 함) 및/또는 제1 컨택 전극)을 통해 화소 회로(PXC)에 공통으로 접속되며, 상기 화소 회로(PXC) 및 제1 전원선(PL1)을 통해 제1 전원(VDD)에 접속될 수 있다. 그리고, 발광 소자들(LD)의 다른 단부는 상기 광원 유닛(LSU)의 다른 전극(일 예로, 각 화소(PXL)의 제2 전극("제2 정렬 전극" 또는 "제2 화소 전극"이라고도 함) 및/또는 제2 컨택 전극) 및 제2 전원선(PL2)을 통해 제2 전원(VSS)에 공통으로 접속될 수 있다.
- [0075] 각각의 광원 유닛(LSU)은 해당 화소 회로(PXC)를 통해 공급되는 구동 전류에 대응하는 휘도로 발광할 수 있다. 이에 따라, 표시 영역(DA)에서 소정의 영상이 표시될 수 있다.
- [0076] 화소 회로(PXC)는 해당 화소(PXL)의 주사선(Si) 및 데이터선(Dj)에 접속될 수 있다. 일 예로, 화소(PXL)가 표시 영역(DA)의 i(i는 자연수)번째 행 및 j(j는 자연수)번째 열에 배치되었다고 할 때, 상기 화소(PXL)의 화소 회로(PXC)는 표시 영역(DA)의 i번째 주사선(Si) 및 j번째 데이터선(Dj)에 접속될 수 있다. 실시예에 따라, 화소 회로(PXC)는 제1 및 제2 트랜지스터들(T1, T2)과 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0077] 제1 트랜지스터("구동 트랜지스터"라고도 함)(T1)는 제1 전원(VDD)과 광원 유닛(LSU)의 사이에 접속된다. 그리고, 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 접속된다. 이러한 제1 트랜지스터(T1)는 제1 노드(N1)의 전압에 대응하여 광원 유닛(LSU)으로 공급되는 구동 전류를 제어한다.
- [0078] 제2 트랜지스터("스위칭 트랜지스터"라고도 함)(T2)는 데이터선(Dj)과 제1 노드(N1)의 사이에 접속된다. 그리고, 제2 트랜지스터(T2)의 게이트 전극은 주사선(Si)에 접속된다. 이러한 제2 트랜지스터(T2)는, 주사선(Si)으로부터 게이트-온 전압(일 예로, 로우 레벨 전압)의 주사 신호가 공급될 때 턴-온되어, 데이터선(Dj)과 제1 노드(N1)를 전기적으로 연결한다.
- [0079] 각각의 프레임 기간마다 데이터선(Dj)으로는 해당 프레임의 데이터 신호가 공급되고, 상기 데이터 신호는 제2 트랜지스터(T2)를 경유하여 제1 노드(N1)로 전달된다. 이에 따라, 스토리지 커패시터(Cst)에는 데이터 신호에 대응하는 전압이 충전된다.
- [0080] 스토리지 커패시터(Cst)의 일 전극은 제1 전원(VDD)에 접속되고, 다른 전극은 제1 노드(N1)에 접속된다. 이러한

스토리지 커패시터(Cst)는 각각의 프레임 기간 동안 제1 노드(N1)로 공급되는 데이터 신호에 대응하는 전압을 충전한다.

- [0081] 한편, 도 5a에서는 화소 회로(PXC)에 포함되는 트랜지스터들, 일 예로 제1 및 제2 트랜지스터들(T1, T2)을 모두 P타입의 트랜지스터들로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 즉, 제1 및 제2 트랜지스터들(T1, T2) 중 적어도 하나는 N타입의 트랜지스터로 변경될 수도 있다.
- [0082] 예를 들면, 도 5b에 도시된 바와 같이, 제1 및 제2 트랜지스터들(T1, T2)은 모두 N타입의 트랜지스터들일 수 있다. 이 경우, 각각의 프레임 기간마다 데이터선(Dj)으로 공급되는 데이터 신호를 화소(PXL)에 기입하기 위한 주사 신호의 게이트-온 전압은 하이 레벨 전압일 수 있다. 유사하게, 제1 트랜지스터(T1)를 턴-온시키기 위한 데이터 신호의 전압은 도 5a의 실시예와 상반된 레벨의 전압일 수 있다. 일 예로, 도 5b의 실시예에서는 표현하고자 하는 계조 값이 클수록 보다 높은 전압의 데이터 신호가 공급될 수 있다.
- [0083] 도 5b에 도시된 화소(PXL)는, 트랜지스터 타입 변경에 따라 일부 회로 소자의 접속 위치 및 제어 신호들(일 예로, 주사 신호 및 데이터 신호)의 전압 레벨이 변경되는 것을 제외하고, 그 구성 및 동작이 도 5a의 화소(PXL)와 실질적으로 유사하다. 따라서, 도 5b의 화소(PXL)에 대한 상세한 설명은 생략하기로 한다.
- [0084] 한편, 화소 회로(PXC)의 구조가 도 5a 및 도 5b에 도시된 실시예에 한정되지는 않는다. 즉, 화소 회로(PXC)는 현재 공지된 다양한 구조 및/또는 구동 방식의 화소 회로로 구성될 수 있다. 일 예로, 화소 회로(PXC)는 도 5c에 도시된 실시예와 같이 구성될 수도 있다.
- [0085] 도 5c를 참조하면, 화소 회로(PXC)는 해당 수평 라인의 주사선(Si) 외에도 적어도 하나의 다른 주사선(또는, 제어선)에 더 접속될 수 있다. 일 예로, 표시 영역(DA)의 i번째 행에 배치된 화소(PXL)의 화소 회로(PXC)는 i-1번째 주사선(Si-1) 및/또는 i+1번째 주사선(Si+1)에 더 접속될 수 있다. 또한, 실시예에 따라 화소 회로(PXC)는 제1 및 제2 전원들(VDD, VSS) 외에 제3의 다른 전원에 더 연결될 수 있다. 일 예로, 화소 회로(PXC)는 초기화 전원(Vint)에도 연결될 수 있다. 실시예에 따라, 화소 회로(PXC)는 제1 내지 제7 트랜지스터들(T1 내지 T7)과 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0086] 제1 트랜지스터(T1)는 제1 전원(VDD)과 광원 유닛(LSU)의 사이에 접속된다. 예를 들어, 제1 트랜지스터(T1)의 일 전극(일 예로, 소스 전극)은 제5 트랜지스터(T5) 및 제1 전원선(PL1)을 통해 제1 전원(VDD)에 접속되고, 제1 트랜지스터(T1)의 다른 전극(일 예로, 드레인 전극)은 제6 트랜지스터(T6)를 경유하여 광원 유닛(LSU)의 일 전극(일 예로, 해당 화소(PXL)의 제1 정렬 전극 및/또는 제1 컨택 전극)에 접속될 수 있다. 그리고, 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 접속된다. 이러한 제1 트랜지스터(T1)는 제1 노드(N1)의 전압에 대응하여 광원 유닛(LSU)으로 공급되는 구동 전류를 제어한다.
- [0087] 제2 트랜지스터(T2)는 데이터선(Dj)과 제1 트랜지스터(T1)의 일 전극 사이에 접속된다. 그리고, 제2 트랜지스터(T2)의 게이트 전극은 해당 주사선(Si)에 접속된다. 이와 같은 제2 트랜지스터(T2)는 주사선(Si)으로부터 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 데이터선(Dj)을 제1 트랜지스터(T1)의 일 전극에 전기적으로 연결한다. 따라서, 제2 트랜지스터(T2)가 턴-온되면, 데이터선(Dj)으로부터 공급되는 데이터 신호가 제1 트랜지스터(T1)로 전달된다.
- [0088] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 다른 전극과 제1 노드(N1) 사이에 접속된다. 그리고, 제3 트랜지스터(T3)의 게이트 전극은 해당 주사선(Si)에 접속된다. 이와 같은 제3 트랜지스터(T3)는 주사선(Si)으로부터 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 제1 트랜지스터(T1)를 다이오드 형태로 연결한다.
- [0089] 제4 트랜지스터(T4)는 제1 노드(N1)와 초기화 전원(Vint) 사이에 접속된다. 그리고, 제4 트랜지스터(T4)의 게이트 전극은 이전 주사선, 일 예로 i-1번째 주사선(Si-1)에 접속된다. 이와 같은 제4 트랜지스터(T4)는 i-1번째 주사선(Si-1)으로 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 초기화 전원(Vint)의 전압을 제1 노드(N1)로 전달한다. 실시예에 따라, 제1 트랜지스터(T1)가 P 타입의 트랜지스터일 때, 상기 제1 트랜지스터(T1)의 게이트 전압을 초기화시키기 위한 초기화 전원(Vint)의 전압은 데이터 신호의 최저 전압 이하일 수 있다.
- [0090] 제5 트랜지스터(T5)는 제1 전원(VDD)과 제1 트랜지스터(T1) 사이에 접속된다. 그리고, 제5 트랜지스터(T5)의 게이트 전극은 해당 발광 제어선, 일 예로 i번째 발광 제어선(Ei)에 접속된다. 이와 같은 제5 트랜지스터(T5)는 발광 제어선(Ei)으로 게이트-오프 전압(일 예로, 하이 레벨 전압)의 발광 제어신호가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온된다.
- [0091] 제6 트랜지스터(T6)는 제1 트랜지스터(T1)와 광원 유닛(LSU) 사이에 접속된다. 그리고, 제6 트랜지스터(T6)의

게이트 전극은 해당 발광 제어선, 일 예로 i 번째 발광 제어선(E_i)에 접속된다. 이와 같은 제6 트랜지스터(T_6)는 발광 제어선(E_i)으로 게이트-오프 전압의 발광 제어신호가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온된다.

[0092] 제7 트랜지스터(T_7)는 광원 유닛(LSU)의 일 전극(일 예로, 해당 화소(PXL)의 제1 전극 및/또는 제1 컨택 전극)과 초기화 전원(Vint) 사이에 접속된다. 그리고, 제7 트랜지스터(T_7)의 게이트 전극은 다음 단의 주사선들 중 어느 하나, 일 예로 $i+1$ 번째 주사선(S_{i+1})에 접속된다. 이와 같은 제7 트랜지스터(T_7)는 $i+1$ 번째 주사선(S_{i+1})으로 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 초기화 전원(Vint)의 전압을 광원 유닛(LSU)의 일 전극으로 공급한다. 이에 따라, 광원 유닛(LSU)으로 초기화 전원(Vint)의 전압이 전달되는 각각의 초기화 기간 동안, 광원 유닛(LSU)의 일 전극의 전압이 초기화된다. 한편, 제7 트랜지스터(T_7)의 동작을 제어하기 위한 제어 신호는 다양하게 변경될 수 있다. 예를 들어, 다른 실시예에서는 제7 트랜지스터(T_7)의 게이트 전극이 해당 수평 라인의 주사선, 즉 i 번째 주사선(S_i)에 연결될 수도 있다. 이 경우, 제7 트랜지스터(T_7)는 i 번째 주사선(S_i)으로 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 초기화 전원(Vint)의 전압을 광원 유닛(LSU)의 일 전극으로 공급할 수 있다.

[0093] 스토리지 커패시터(Cst)는 제1 전원(VDD)과 제1 노드(N_1) 사이에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 각 프레임 기간에 제1 노드(N_1)로 공급되는 데이터 신호 및 제1 트랜지스터(T_1)의 문턱전압에 대응하는 전압을 저장한다.

[0094] 한편, 도 5c에서는 화소 회로(PXC)에 포함되는 트랜지스터들, 일 예로, 제1 내지 제7 트랜지스터들(T_1 내지 T_7)을 모두 P타입의 트랜지스터들로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 제1 내지 제7 트랜지스터들(T_1 내지 T_7) 중 적어도 하나는 N타입의 트랜지스터로 변경될 수도 있다.

[0095] 또한, 본 발명에 적용될 수 있는 화소(PXL)의 구조가 도 5a 내지 도 5c에 도시된 실시예들에 한정되지는 않으며, 각각의 화소(PXL)는 현재 공지된 다양한 구조를 가질 수 있다. 예를 들어, 각각의 화소(PXL)에 포함된 화소 회로(PXC)는 현재 공지된 다양한 구조 및/또는 구동 방식의 화소 회로로 구성될 수 있다. 또한, 본 발명의 다른 실시예에서, 각각의 화소(PXL)는 수동형 발광 표시 장치 등의 내부에 구성될 수도 있다. 이 경우, 화소 회로(PXC)는 생략되고, 광원 유닛(LSU)을 구성하는 발광 소자들(LD)의 양 단부들은, 각각 주사선(S_i), 데이터선(D_j), 전원선 및/또는 제어선 등에 직접 접속될 수 있다.

[0097] 도 6 내지 도 9는 각각 본 발명의 일 실시예에 의한 화소(PXL)를 나타내는 평면도이다. 실시예에 따라, 도 6 내지 도 9에 도시된 각각의 화소(PXL)는 도 4 내지 도 5c에 도시된 화소들(PXL) 중 어느 하나일 수 있다. 또한, 표시 영역(DA)에 배치된 화소들(PXL)은 실질적으로 서로 동일 또는 유사한 구조를 가질 수 있으나, 이에 한정되지는 않는다.

[0098] 도 6 내지 도 9에서는 광원 유닛(LSU)을 중심으로 각 화소(PXL)의 구조를 도시하기로 한다. 다만, 화소(PXL)는 각각의 광원 유닛(LSU)을 제어하기 위한 회로 소자(일 예로, 도 5a 내지 도 5c의 화소 회로(PXC))를 구성하는 적어도 하나의 회로 소자를 더 포함할 수 있다. 실시예에 따라, 상기 회로 소자는 광원 유닛(LSU)과 다른 층에 배치될 수 있다. 일 예로, 상기 회로 소자는 베이스 층(BSL)의 일면 상에 위치한 화소 회로층에 배치되고, 광원 유닛(LSU)은 상기 화소 회로층 상에 위치한 표시 소자층에 배치될 수 있다.

[0099] 또한, 실시예에 따라 도 6 내지 도 9에서는 각각의 광원 유닛(LSU)이, 제1 및 제2 컨택홀들(CH_1 , CH_2)을 통해, 소정의 전원선(일 예로, 제1 및/또는 제2 전원선들(PL_1 , PL_2)), 회로 소자(일 예로, 화소 회로(PXC))를 구성하는 적어도 하나의 회로 소자) 및/또는 신호선(일 예로, 주사선(S_i) 및/또는 데이터선(D_j))에 연결되는 실시예를 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 본 발명의 다른 실시예에서는 각 화소(PXL)의 제1 및 제2 전극들(ELT_1 , ELT_2) 중 적어도 하나가, 컨택홀 및/또는 중간 배선 등을 경유하지 않고 소정의 전원선 및/또는 신호선에 직접적으로 연결될 수도 있다.

[0100] 먼저 도 6 및 도 7을 참조하면, 본 발명의 일 실시예에 의한 화소(PXL)는, 각각의 광원 유닛(LSU)을 구성하기 위한 적어도 하나의 발광 소자(LD), 일 예로, 복수의 발광 소자들(LD)과, 상기 발광 소자들(LD)에 연결되는 복수의 전극들을 포함할 수 있다. 예를 들어, 화소(PXL)는, 각각의 화소 영역에 서로 이격되어 배치된 제1 전극(ELT_1) 및 제2 전극(ELT_2)과, 상기 제1 및 제2 전극들(ELT_1 , ELT_2)의 사이에 배열된 복수의 발광 소자들(LD)과, 각각 제1 전극(ELT_1) 및 제2 전극(ELT_2) 상에 배치된 제1 컨택 전극(CNE_1) 및 제2 컨택 전극(CNE_2)을 포함할 수 있다. 상기 제1 및 제2 컨택 전극들(CNE_1 , CNE_2)은, 제1 및 제2 전극들(ELT_1 , ELT_2)과 같이 각각의 화소 영역에 서로 이격되도록 배치되어, 발광 소자들(LD)의 제1 단부들(EP_1) 및 제2 단부들(EP_2)을

각각 제1 전극(ELT1) 및 제2 전극(ELT2)에 전기적으로 연결할 수 있다. 한편, 평면 상에서 보았을 때, 제1 및 제2 컨택 전극들(CNE1, CNE2)의 사이에는, 제1 도전 패턴(CDP1)이 배치될 수 있다. 예를 들어, 제1 도전 패턴(CDP1)은 양단이 제1 및 제2 컨택 전극들(CNE1, CNE2) 각각의 일단과 중첩되도록 상기 제1 및 제2 컨택 전극들(CNE1, CNE2)의 사이에 배치될 수 있다. 이러한 제1 도전 패턴(CDP1)은, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 함께, 발광 소자들(LD)의 상부에 배치되는 도전 패턴층(CPL)을 구성할 수 있다. 또한, 실시예에 따라, 제1 도전 패턴(CDP1)은, 발광 소자들(LD)의 일 영역 상에 배치되는 다층 패턴(MLP)의 구성 요소로도 간주될 수 있다. 한편, 실시예에 따라서는, 제1 도전 패턴(CDP1)이 제거될 수도 있다.

[0101] 또한, 본 발명의 실시예에 의한 화소(PXL)는, 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)을 노출하도록 상기 발광 소자들(LD)의 일 영역 상에 배치된 적어도 하나의 다층 패턴(MLP)을 더 포함할 수 있다. 실시예에 따라, 각각의 다층 패턴(MLP)은 서로 중첩된 복수의 절연 패턴들을 포함한 다층 구조를 가지며, 상기 절연 패턴들 중 적어도 일부는 서로 다른 면적 및/또는 폭을 가질 수 있다. 또한, 실시예에 따라서는, 제1 도전 패턴(CDP1)도 다층 패턴(MLP)의 구성 요소로 간주될 수도 있다. 일 예로, 다층 패턴(MLP)의 최상부에는 제1 도전 패턴(CDP1)이 배치될 수 있다.

[0102] 제1 전극(ELT1) 및 제2 전극(ELT2)은 각각의 화소(PXL)가 제공 및/또는 형성되는 각각의 화소 영역, 특히 해당 화소(PXL)의 발광 영역에 서로 이격되어 배치될 수 있다. 일 예로, 제1 및 제2 전극들(ELT1, ELT2)은 각 화소(PXL)의 발광 영역에서 제1 방향(DR1)을 따라 소정 간격만큼 이격되어 나란히 배치될 수 있다.

[0103] 실시예에 따라, 각각의 화소 영역은 해당 화소(PXL)를 구성하기 위한 회로 소자들 및/또는 광원 유닛(LSU)이 배치되는 영역을 포괄적으로 의미할 수 있다. 그리고, 발광 영역은 각 화소(PXL)의 광원 유닛(LSU)을 구성하는 발광 소자들(LD)(특히, 제1 및 제2 전극들(ELT1, ELT2)의 사이에 온전히 연결된 유효 광원들)이 배치되는 영역으로서, 상기 발광 소자들(LD)과 함께, 이들에 연결되는 소정의 전극들(일 예로, 제1 및 제2 전극들(ELT1, ELT2)과 제1 및 제2 컨택 전극들(CNE1, CNE2)) 또는 상기 전극들의 일 영역이 배치되는 영역일 수 있다. 이러한 발광 영역은, 화소들(PXL)의 사이에 형성되는 차광성 및/또는 반사성의 बैं크 구조물("화소 정의막"이라고도 함)에 의해 둘러싸일 수 있다.

[0104] 일 실시예에서, 제1 및 제2 전극들(ELT1, ELT2)은, 어느 일 방향을 따라 연장되는 바 형상을 가질 수 있다. 예를 들어, 제1 및 제2 전극들(ELT1, ELT2) 각각은, 제1 방향(DR1)과 교차하는(일 예로, 직교하는) 제2 방향(DR2)을 따라 연장되는 바 형상을 가질 수 있다. 다만, 본 발명이 이에 한정되지는 않으며, 제1 및 제2 전극들(ELT1, ELT2)의 형상, 배열 방향 및/또는 상호 배치 관계 등은 다양하게 변경될 수 있다.

[0105] 또한, 제1 및 제2 전극들(ELT1, ELT2)은, 각각의 화소 영역에 하나 이상 배치될 수 있는 것으로서, 상기 화소 영역에 배치되는 제1 및 제2 전극들(ELT1, ELT2)의 개수가 특별히 한정되지는 않는다. 예를 들어, 각각의 화소 영역에는 각각 제2 방향(DR2)을 따라 연장되며 서로 평행하게 배열되는 복수의 제1 전극들(ELT1)이 배치될 수 있다. 또한, 각각의 화소 영역에는 각각의 제1 전극(ELT1)과 마주하는 적어도 하나의 제2 전극(ELT2)이 배치될 수 있다. 예를 들어, 각각의 화소 영역에는, 두 개의 제1 전극들(ELT1)의 사이에 하나의 제2 전극(ELT2)이 배치되거나, 상기 복수의 제1 전극들(ELT1) 각각에 대응하는 복수의 제2 전극들(ELT2)이 배치될 수 있다.

[0106] 실시예에 따라, 제1 전극(ELT1)은 제1 연결 전극(CNL1) 및/또는 제1 컨택홀(CH1)을 통해 소정의 회로 소자(일 예로, 화소 회로(PXC)를 구성하는 적어도 하나의 트랜지스터), 전원선(일 예로, 제1 전원선(PL1)) 및/또는 신호선(일 예로, 주사선(Si), 데이터선(Dj) 또는 소정의 제어선)에 전기적으로 연결될 수 있다. 일 실시예에서, 제1 전극(ELT1)은 제1 연결 전극(CNL1) 및 제1 컨택홀(CH1)을 통해, 그 하부에 배치된 소정의 회로 소자에 전기적으로 연결되고 상기 회로 소자를 통해 소정의 제1 배선에 전기적으로 연결될 수 있다. 일 실시예에서, 제1 배선은 제1 전원(VDD)을 공급하기 위한 제1 전원선(PL1)일 수 있으나, 이에 한정되지는 않는다. 예를 들어, 다른 실시예에서, 제1 배선은 소정의 제1 구동 신호(일 예로, 주사 신호, 데이터 신호, 또는 소정의 제어 신호 등)가 공급되는 신호선일 수도 있다.

[0107] 다른 실시예에서, 제1 전극(ELT1)은 제1 연결 전극(CNL1), 제1 컨택홀(CH1) 및/또는 회로 소자를 경유하지 않고 소정의 전원선 또는 신호선에 직접 연결될 수도 있다. 이 경우, 제1 전극(ELT1)은 상기 소정의 전원선 또는 신호선에 일체 또는 비일체로 연결될 수 있다.

[0108] 실시예에 따라, 제1 전극(ELT1) 및 제1 연결 전극(CNL1)은 각각의 화소 영역에서 서로 다른 방향을 따라 연장될 수 있다. 예를 들어, 제1 연결 전극(CNL1)이 제1 방향(DR1)을 따라 연장된다고 할 때, 제1 전극(ELT1)은 상기 제1 방향(DR1)과 교차하는 제2 방향(DR2)을 따라 연장될 수 있다.

- [0109] 일 실시예에서, 제1 전극(ELT1) 및 제1 연결 전극(CNL1)은 서로 일체로 연결될 수 있다. 예를 들어, 제1 전극(ELT1)은 제1 연결 전극(CNL1)으로부터 적어도 한 갈래로 분기되어 형성될 수 있다. 제1 전극(ELT1) 및 제1 연결 전극(CNL1)이 서로 일체로 연결되는 경우, 제1 연결 전극(CNL1)을 제1 전극(ELT1)의 일 영역으로 간주할 수도 있다. 다만, 본 발명이 이에 한정되지는 않는다. 예를 들어, 다른 실시예에서는 제1 전극(ELT1) 및 제1 연결 전극(CNL1)이 개별적으로 형성되어, 적어도 하나의 콘택홀 또는 비아홀 등을 통해 서로 전기적으로 연결될 수도 있다.
- [0110] 실시예에 따라, 제2 전극(ELT2)은 제2 연결 전극(CNL2) 및/또는 제2 콘택홀(CH2)을 통해 소정의 회로 소자(일 예로, 화소 회로(PXC)를 구성하는 적어도 하나의 트랜지스터), 전원선(일 예로, 제2 전원선(PL2)) 및/또는 신호선(일 예로, 주사선(Si), 데이터선(Dj) 또는 소정의 제어선)에 전기적으로 연결될 수 있다. 예를 들어, 제2 전극(ELT2)은 제2 연결 전극(CNL2) 및 제2 콘택홀(CH2)을 통해, 소정의 제2 배선에 전기적으로 연결될 수 있다. 일 실시예에서, 제2 배선은 제2 전원(VSS)을 공급하기 위한 제2 전원선(PL2)일 수 있으나, 이에 한정되지는 않는다. 예를 들어, 다른 실시예에서, 제2 배선은 소정의 제2 구동 신호(일 예로, 주사 신호, 데이터 신호, 또는 소정의 제어 신호 등)가 공급되는 신호선일 수도 있다.
- [0111] 다른 실시예에서, 제2 전극(ELT2)은 제2 연결 전극(CNL2) 및/또는 제2 콘택홀(CH2) 등을 경유하지 않고 소정의 전원선 또는 신호선에 직접 연결될 수도 있다. 이 경우, 제2 전극(ELT2)은 상기 소정의 전원선 또는 신호선에 일체 또는 비일체로 연결될 수 있다.
- [0112] 실시예에 따라, 제2 전극(ELT2) 및 제2 연결 전극(CNL2)은 서로 다른 방향을 따라 연장될 수 있다. 예를 들어, 제2 연결 전극(CNL2)이 제1 방향(DR1)을 따라 연장된다고 할 때, 제2 전극(ELT2)은 상기 제1 방향(DR1)과 교차하는 제2 방향(DR2)을 따라 연장될 수 있다.
- [0113] 일 실시예에서, 제2 전극(ELT2) 및 제2 연결 전극(CNL2)은 서로 일체로 연결될 수 있다. 예를 들어, 제2 전극(ELT2)은 제2 연결 전극(CNL2)으로부터 적어도 한 갈래로 분기되어 형성될 수 있다. 제2 전극(ELT2) 및 제2 연결 전극(CNL2)이 서로 일체로 연결되는 경우, 제2 연결 전극(CNL2)을 제2 전극(ELT2)의 일 영역으로 간주할 수도 있다. 다만, 본 발명이 이에 한정되지는 않는다. 예를 들어, 다른 실시예에서는 제2 전극(ELT2) 및 제2 연결 전극(CNL2)이 개별적으로 형성되어, 적어도 하나의 콘택홀 또는 비아홀 등을 통해 서로 전기적으로 연결될 수도 있다.
- [0114] 한편, 화소(PXL)를 형성하는 공정, 특히 발광 소자들(LD)의 정렬이 완료되기 이전에는 표시 영역(DA)에 배치된 화소들(PXL) 각각의 제1 전극들(ELT1)이 서로 전기적으로 연결되고, 상기 화소들(PXL) 각각의 제2 전극들(ELT2)이 서로 전기적으로 연결되어 있을 수 있다. 이러한 제1 및 제2 전극들(ELT1, ELT2)은 발광 소자들(LD)의 정렬 단계에서 각각 제1 정렬 신호(또는, 제1 정렬 전압) 및 제2 정렬 신호(또는, 제2 정렬 전압)를 공급받을 수 있다. 일 예로, 제1 및 제2 전극들(ELT1, ELT2) 중 어느 하나는 교류 형태의 정렬 신호를 공급받고, 상기 제1 및 제2 전극들(ELT1, ELT2) 중 다른 하나는 일정한 전압 레벨을 가지는 정렬 전압을 공급받을 수 있다.
- [0115] 즉, 발광 소자들(LD)의 정렬 단계에서 제1 및 제2 전극들(ELT1, ELT2)의 사이에 소정의 정렬 신호가 인가되고, 이에 따라 상기 제1 및 제2 전극들(ELT1, ELT2)의 사이에 전계가 형성될 수 있다. 이러한 전계에 의해 각각의 화소 영역, 특히 각 화소(PXL)의 발광 영역에 공급된 발광 소자들(LD)이 제1 및 제2 전극들(ELT1, ELT2)의 사이에 정렬될 수 있다. 다만, 발광 소자들(LD)의 정렬이 완료된 이후에는, 화소들(PXL)의 사이에서 제1 전극들(ELT1) 사이, 및/또는 제2 전극들(ELT2) 사이의 연결을 끊음으로써, 상기 화소들(PXL)을 개별 구동이 가능한 형태로 형성할 수 있다.
- [0116] 제1 및 제2 전극들(ELT1, ELT2) 각각은, 단일층 또는 다중층으로 구성될 수 있다. 일 예로, 각각의 제1 전극(ELT1)은 적어도 한 층의 반사 전극층을 포함하며, 이외에도 적어도 한 층의 투명 전극층 및/또는 도전성 캡핑층을 선택적으로 더 포함할 수 있다. 유사하게, 각각의 제2 전극(ELT2)은 적어도 한 층의 반사 전극층을 포함하며, 이외에도 적어도 한 층의 투명 전극층 및/또는 도전성 캡핑층을 선택적으로 더 포함할 수 있다.
- [0117] 이러한 제1 및 제2 전극들(ELT1, ELT2)의 사이에는 적어도 하나의 발광 소자(LD)가 배열될 수 있다. 예를 들어, 제1 및 제2 전극들(ELT1, ELT2)의 사이에는 다수의 발광 소자들(LD)이 배열될 수 있다. 각각의 발광 소자(LD)는 서로 대응하는 제1 및 제2 전극들(ELT1, ELT2)의 사이에 전기적으로 연결될 수 있다.
- [0118] 한편, 실시예에 따라, 각 화소(PXL)의 내부에는, 제1 및 제2 전극들(ELT1, ELT2)의 사이에 온전히 연결되지 않은 적어도 하나의 발광 소자(이하, "비유효 광원"이라 함)가 더 배치될 수 있다. 다만, 이하에서는 각각의 양단이 제1 및 제2 전극들(ELT1, ELT2)에 연결되는 발광 소자들(LD)("유효 광원들"이라고도 함)을 중심으로 본 발명

의 실시예를 설명하기로 한다. 이러한 유효 광원들이 모여 해당 화소(PXL)의 광원 유닛(LSU)을 구성할 수 있다.

- [0119] 일 실시예에서, 각각의 발광 소자(LD)는 길이 방향을 가지는 막대형 발광 다이오드일 수 있으나, 이에 한정되지는 않는다. 예를 들어, 다른 실시예에서는, 적어도 일부의 발광 소자(LD)가 성장 방식 등을 통해 형성된 코어-셸 구조의 발광 다이오드일 수도 있다.
- [0120] 실시예에 따라, 각각의 발광 소자(LD)는, 무기 결정 구조의 재료를 이용한 초소형의, 일 예로 나노 스케일 내지 마이크로 스케일 정도로 작은 크기의, 발광 소자일 수 있다. 예를 들어, 각각의 발광 소자(LD)는 도 1a 내지 도 3b에 도시된 바와 같은, 나노 스케일 내지 마이크로 스케일 범위의 크기를 가지는 초소형의 발광 소자일 수 있다. 다만, 발광 소자(LD)의 크기는, 상기 발광 소자(LD)를 광원으로 이용하는 각각의 발광 장치, 일 예로 화소(PXL)의 설계 조건 등에 따라 다양하게 변경될 수 있다.
- [0121] 실시예에 따라, 각각의 발광 소자(LD)는, 길이 방향의 일단에 위치되며 제1 콘택 전극(CNE1)을 통해 제1 전극(ELT1)에 전기적으로 연결되는 제1 단부(EP1)와, 상기 길이 방향의 다른 일단에 위치되며 제2 콘택 전극(CNE2)을 통해 제2 전극(ELT2)에 전기적으로 연결되는 제2 단부(EP2)를 포함할 수 있다. 예를 들어, 각각의 발광 소자(LD)는 서로 대응하는 제1 및 제2 전극들(ELT1, ELT2)이 마주하도록 배치된 영역에서, 상기 제1 및 제2 전극들(ELT1, ELT2)의 사이에 제1 방향(DR1)을 따라 가로로 배열될 수 있다.
- [0122] 각각의 발광 소자(LD)는, 이에 인접한 제1 전극(ELT1) 및/또는 제2 전극(ELT2)과 중첩되거나, 또는 중첩되지 않을 수 있다. 예를 들어, 일 실시예에서는, 도 6에 도시된 바와 같이 서로 대응하는 제1 및 제2 전극들(ELT1, ELT2)이 발광 소자들(LD)의 길이 이상의 거리만큼 이격되고, 발광 소자들(LD)은 제1 및 제2 전극들(ELT1, ELT2)과 중첩되지 않도록 상기 제1 및 제2 전극들(ELT1, ELT2)의 사이에 배열될 수 있다. 다른 실시예에서는, 도 7에 도시된 바와 같이 제1 및 제2 전극들(ELT1, ELT2)이 발광 소자들(LD)의 길이 이하의 거리만큼 이격되고, 발광 소자들(LD) 각각의 제1 및 제2 단부들(EP1, EP2)이 각각 제1 및 제2 전극들(ELT1, ELT2)과 중첩될 수 있다. 또는, 또 다른 실시예에서는, 적어도 하나의 발광 소자(LD)가 제1 및 제2 전극들(ELT1, ELT2) 중 어느 하나의 전극에만 중첩될 수도 있다. 즉, 발광 소자들(LD)과 제1 및 제2 전극들(ELT1, ELT2)의 상호 배치 관계는 다양하게 변경될 수 있다.
- [0123] 또한, 도 6 및 도 7에서는 발광 소자들(LD)이 어느 하나의 방향, 일 예로, 제1 방향(DR1)으로 균일하게 배열된 것으로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 발광 소자들(LD) 중 적어도 하나는, 제1 및 제2 전극들(ELT1, ELT2)의 사이에 사선 방향 등으로 배열될 수도 있다. 또는, 도 6 및 도 7에는 도시하지 않았으나, 각각의 화소 영역 및/또는 그 주변 영역에는 제1 및 제2 전극들(ELT1, ELT2)의 사이에 온전히 연결되지 않은 적어도 하나의 발광 소자(즉, 비유효 광원)가 더 배치되어 있을 수도 있다.
- [0124] 실시예에 따라, 발광 소자들(LD)은 소정의 용액 내에 분산된 형태로 준비되어, 잉크젯 방식 등을 이용해 각각의 화소 영역(특히, 각 화소(PXL)의 발광 영역)에 공급될 수 있다. 예를 들어, 발광 소자들(LD)은 휘발성 용매에 섞여 각각의 화소 영역에 공급될 수 있다. 이때, 제1 및 제2 전극들(ELT1, ELT2)에 소정의 정렬 전압(또는, 정렬 신호)을 인가하게 되면, 상기 제1 및 제2 전극들(ELT1, ELT2)의 사이에 전계가 형성되면서, 상기 제1 및 제2 전극들(ELT1, ELT2)의 사이에 발광 소자들(LD)이 정렬하게 된다. 발광 소자들(LD)이 정렬된 이후에는 용매를 휘발시키거나 이외의 다른 방식으로 제거하여 제1 및 제2 전극들(ELT1, ELT2)의 사이에 발광 소자들(LD)을 안정적으로 배치할 수 있다. 또한, 발광 소자들(LD)을 제1 및 제2 전극들(ELT1, ELT2)의 사이에 배열한 이후에는, 상기 발광 소자들(LD)의 양 단부, 일 예로 제1 및 제2 단부들(EP1, EP2) 상에 각각 제1 콘택 전극(CNE1) 및 제2 콘택 전극(CNE2)을 형성할 수 있다. 이에 따라, 상기 발광 소자들(LD)을 제1 및 제2 전극들(ELT1, ELT2)의 사이에 보다 안정적으로 연결할 수 있다.
- [0125] 발광 소자들(LD)의 제1 단부들(EP1)은, 제1 콘택 전극(CNE1), 제1 전극(ELT1), 화소 회로(PXC) 및/또는 제1 전원선(PL1) 등을 경유하여 제1 전원(VDD)에 전기적으로 연결될 수 있다. 그리고, 발광 소자들(LD)의 제2 단부들(EP2)은, 제2 콘택 전극(CNE2), 제2 전극(ELT2) 및/또는 제2 전원선(PL2) 등을 경유하여 제2 전원(VSS)에 전기적으로 연결될 수 있다. 이에 의해, 제1 및 제2 전극들(ELT1, ELT2)의 사이에 순 방향으로 연결되는 적어도 하나의 발광 소자(LD)가 화소 회로(PXC) 등으로부터 공급되는 구동 전류에 대응하는 휘도로 발광할 수 있게 된다. 이에 따라, 화소(PXL)가 구동 전류에 대응하는 빛을 방출하게 된다.
- [0126] 본 발명의 일 실시예에서, 발광 소자들(LD)의 일 영역 상부에는 적어도 하나의 다층 패턴(MLP)이 배치될 수 있다. 실시예에 따라, 각각의 다층 패턴(MLP)은, 적어도 하나의 발광 소자(LD)의 일 영역 상에 배치될 수 있다. 일 예로, 각각의 다층 패턴(MLP)은, 서로 인접한 제1 및 제2 전극들(ELT1, ELT2)의 사이에서, 상기 제1 및 제2

전극들(ELT1, ELT2)의 사이에 배열된 복수의 발광 소자들(LD) 상에 공통으로 형성될 수 있다. 상기 다층 패턴(MLP)은, 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)을 노출하도록 상기 발광 소자들(LD)의 중앙 영역을 포함한 일 영역 상에만 배치될 수 있다.

[0127] 실시예에 따라, 다층 패턴(MLP)은 서로 다른 면적 및/또는 폭을 가지면서 서로 중첩되는 복수의 절연 패턴들을 포함할 수 있다. 추가적으로, 다층 패턴(MLP)은, 제1 및 제2 콘택 전극들(CNE1, CNE2)과 함께 도전 패턴층(CPL)을 구성하되 상기 제1 및 제2 콘택 전극들(CNE1, CNE2)로부터 분리된 제1 도전 패턴(CDP1)을 더 포함할 수도 있다. 상기 다층 패턴(MLP)의 구조에 대한 상세한 설명은 후술하기로 한다.

[0128] 본 발명의 일 실시예에서, 발광 소자들(LD)과 제1 및 제2 전극들(ELT1, ELT2)의 적어도 일 영역 상에는, 도전 패턴층(CPL)이 배치될 수 있다. 실시예에 따라, 도전 패턴층(CPL)은, 각각의 제1 전극(ELT1)과 중첩되는 적어도 하나의 제1 콘택 전극(CNE1) 및 각각의 제2 전극(ELT2)과 중첩되는 적어도 하나의 제2 콘택 전극(CNE2)을 포함할 수 있다. 또한, 도전 패턴층(CPL)은, 발광 소자들(LD)의 일 영역 상부에 배치된 적어도 하나의 제1 도전 패턴(CDP1)을 선택적으로 더 포함할 수 있다.

[0129] 제1 콘택 전극(CNE1)은, 제1 전극(ELT1)의 적어도 일 영역과, 상기 제1 전극(ELT1)에 인접한 적어도 하나의 발광 소자(LD)(일 예로, 복수의 발광 소자들(LD))의 제1 단부(EP1) 상에 배치될 수 있다. 이러한 제1 콘택 전극(CNE1)은 상기 제1 단부(EP1)를 상기 제1 전극(ELT1)에 전기적으로 연결할 수 있다.

[0130] 제2 콘택 전극(CNE2)은, 제2 전극(ELT2)의 적어도 일 영역과, 상기 제2 전극(ELT2)에 인접한 적어도 하나의 발광 소자(LD)(일 예로, 복수의 발광 소자들(LD))의 제2 단부(EP2) 상에 배치될 수 있다. 이러한 제2 콘택 전극(CNE2)은 상기 제2 단부(EP2)를 상기 제2 전극(ELT2)에 전기적으로 연결할 수 있다.

[0131] 이러한 제1 및 제2 콘택 전극들(CNE1, CNE2)에 의해, 발광 소자들(LD) 각각의 제1 및 제2 단부들(EP1, EP2)을 안정적으로 고정할 수 있다. 또한, 제1 및 제2 콘택 전극들(CNE1, CNE2)을 통해, 상기 발광 소자들(LD)을 제1 및 제2 전극들(ELT1, ELT2)의 사이에 전기적으로 연결할 수 있다.

[0132] 제1 도전 패턴(CDP1)은, 도전 패턴층(CPL) 및/또는 다층 패턴(MLP)의 일부를 구성할 수 있다. 실시예에 따라, 제1 도전 패턴(CDP1)의 양단은, 이에 인접한 제1 및 제2 콘택 전극들(CNE1, CNE2) 각각의 일단과 중첩될 수 있다. 다만, 제1 도전 패턴(CDP1)은, 화소(PXL)의 단면 상에서 상기 제1 및 제2 콘택 전극들(CNE1, CNE2)과 분리되어 있을 수 있다. 상기 제1 도전 패턴(CDP1)은, 제1 및 제2 콘택 전극들(CNE1, CNE2)을 형성하는 공정에서 상기 제1 및 제2 콘택 전극들(CNE1, CNE2)과 동일한 도전 물질을 이용하여 동시에 형성될 수 있다. 제1 및 제2 콘택 전극들(CNE1, CNE2) 및 제1 도전 패턴(CDP1)의 상호 배치 관계 및 이들의 형성 방법에 대한 상세한 설명은 후술하기로 한다.

[0133] 도 8 및 도 9를 참조하면, 각각의 화소(PXL)는, 각각의 제1 전극(ELT1)과 중첩되는 적어도 하나의 제1 격벽(PW1)과, 각각의 제2 전극(ELT2)과 중첩되는 적어도 하나의 제2 격벽(PW2)을 더 포함할 수 있다. 실시예에 따라, 제1 격벽(PW1) 및 제2 격벽(PW2)은 각각 제1 전극(ELT1) 및 제2 전극(ELT2)의 하부에 배치될 수 있다. 예를 들어, 각각의 발광 영역에서, 제1 및 제2 전극들(ELT1, ELT2)의 하부에는 각각 제1 및 제2 격벽들(PW1, PW2)이 배치될 수 있다. 그리고, 상기 제1 및 제2 전극들(ELT1, ELT2)의 상부에는 각각 제1 및 제2 콘택 전극들(CNE1, CNE2)이 배치될 수 있다.

[0134] 실시예에 따라, 제1 격벽(PW1)은, 각각의 제1 전극(ELT1)보다 좁은 폭을 가지면서 상기 제1 전극(ELT1)의 하부에 배치될 수 있다. 일 예로, 제1 격벽(PW1)은, 평면 상에서 보았을 때, 제1 전극(ELT1)에 대응하는 형상을 가지면서 상기 제1 전극(ELT1)의 내측에 위치할 수 있다.

[0135] 제1 전극(ELT1)의 하부에 제1 격벽(PW1)이 배치되면, 상기 제1 격벽(PW1)이 배치된 영역에서 제1 전극(ELT1)이 베이스 층(도 4의 BSL)의 상부 방향으로 돌출될 수 있다. 이에 따라, 제1 전극(ELT1)과 마주하는 발광 소자들(LD)의 제1 단부들(EP1)에서 방출되는 광이 보다 표시 장치의 정면 방향을 향하도록 제어할 수 있다.

[0136] 실시예에 따라, 제2 격벽(PW2)은 각각의 제2 전극(ELT2)보다 좁은 폭을 가지면서 제2 전극(ELT2)의 하부에 배치될 수 있다. 일 예로, 제2 격벽(PW2)은, 평면 상에서 보았을 때, 제2 전극(ELT2)에 대응하는 형상을 가지면서 상기 제2 전극(ELT2)의 내측에 위치할 수 있다.

[0137] 제2 전극(ELT2)의 하부에 제2 격벽(PW2)이 배치되면, 상기 제2 격벽(PW2)이 배치된 영역에서 제2 전극(ELT2)이 베이스 층(도 4의 BSL)의 상부 방향으로 돌출될 수 있다. 이에 따라, 제2 전극(ELT2)과 마주하는 발광 소자들(LD)의 제2 단부들(EP2)에서 방출되는 광이 보다 표시 장치의 정면 방향을 향하도록 제어할 수 있다.

- [0139] 도 10은 본 발명의 일 실시예에 의한 화소(PXL)를 나타내는 단면도로서, 일 예로 도 8의 I~I'선에 대응하는 화소(PXL)의 단면에 대한 실시예를 나타낸다. 도 11은 도 10의 다층 패턴(MLP)을 개략적으로 나타내는 평면도이고, 도 12는 도 10의 AR1 영역을 확대한 단면도이다. 한편, 도 10은 하나의 발광 소자(LD)를 중심으로 화소(PXL)의 단면을 도시하였으나, 도 4 내지 도 9의 실시예들에서 설명한 바와 같이, 각각의 화소(PXL) 및 이를 포함하는 표시 장치는 복수의 발광 소자들(LD)을 포함할 수 있다. 따라서, 비록 단면 상에서 하나의 발광 소자(LD)만이 도시되어 있더라도, 필요에 따라 발광 소자들(LD)을 단수 또는 복수로 지칭하여 화소(PXL)의 구조를 설명하기로 한다.
- [0140] 도 4 내지 도 12를 참조하면, 본 발명의 일 실시예에 의한 화소(PXL)는, 베이스 층(BSL)의 일면 상에 배치되며 복수의 발광 소자들(LD)을 포함한 표시 소자층(DPL)을 포함한다. 또한, 화소(PXL)는, 화소 회로층(PCL)을 선택적으로 포함할 수 있다. 일 예로, 화소(PXL)는, 베이스 층(BSL)과 표시 소자층(DPL)의 사이에 배치되는 화소 회로층(PCL)을 더 포함할 수 있다.
- [0141] 실시예에 따라, 화소 회로층(PCL)은 발광 소자들(LD)에 전기적으로 연결되는 적어도 하나의 회로 소자를 포함할 수 있다. 예를 들어, 화소 회로층(PCL)은 각 화소(PXL)의 화소 회로(PXC)를 구성하는 적어도 하나의 회로 소자를 포함할 수 있다.
- [0142] 일 예로, 화소 회로층(PCL)은 각각의 화소 영역에 배치되어 각각의 화소 회로(PXC)를 구성하는 복수의 트랜지스터들(T) 및 스토리지 커패시터(Cst)를 포함하며, 이 외에도 각각의 화소 회로(PXC) 및/또는 광원 유닛(LSU)에 연결되는 적어도 하나의 전원선 및/또는 신호선 등을 더 포함할 수 있다. 한편, 화소 회로(PXC)가 생략되고, 각각의 광원 유닛(LSU)이 제1 및 제2 전원선들(PL1, PL2)(또는, 소정의 신호선들)에 직접적으로 연결되는 경우, 화소 회로층(PCL)은 생략될 수도 있다. 편의상, 도 10에서는 화소 회로층(PCL)에 배치되는 회로 소자들 및 배선들 중 어느 하나의 트랜지스터(T)만을 대표적으로 도시하기로 한다.
- [0143] 또한, 화소 회로층(PCL)은 각각의 전극들 및/또는 배선들의 사이에 배치되는 복수의 절연층들을 포함할 수 있다. 일 실시예에서, 화소 회로층(PCL)은 베이스 층(BSL)의 일면 상에 순차적으로 적층된 버퍼층(BFL), 게이트 절연층(GI), 층간 절연층(ILD) 및 패시베이션층(PSV)을 포함할 수 있다. 또한, 실시예에 따라서는, 화소 회로층(PCL)이 적어도 일부의 트랜지스터의 하부에 배치되는 적어도 하나의 차광 패턴(미도시) 등을 더 포함할 수도 있다.
- [0144] 버퍼층(BFL)은 각각의 회로 소자에 불순물이 확산되는 것을 방지할 수 있다. 이러한 버퍼층(BFL)은 단일층으로 구성될 수 있으나, 적어도 2중층 이상의 다중층으로 구성될 수도 있다. 버퍼층(BFL)이 다중층으로 제공될 경우, 각 층은 동일한 재료로 형성되거나 또는 서로 다른 재료로 형성될 수 있다. 한편, 실시예에 따라서는 버퍼층(BFL)이 생략될 수도 있다.
- [0145] 각각의 트랜지스터(T)는, 반도체층(SCL), 게이트 전극(GE), 제1 및 제2 트랜지스터 전극들(ET1, ET2)을 포함한다. 한편, 실시예에 따라 도 10에서는 각각의 트랜지스터(T)가, 반도체층(SCL)과 별개로 형성된 제1 및 제2 트랜지스터 전극들(ET1, ET2)을 구비하는 실시예를 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 본 발명의 다른 실시예에서는 각각의 화소 영역에 배치되는 적어도 하나의 트랜지스터(T)에 구비되는 제1 및/또는 제2 트랜지스터 전극들(ET1, ET2)이 각각의 반도체층(SCL)과 통합되어 구성될 수도 있다.
- [0146] 반도체층(SCL)은 버퍼층(BFL) 상에 배치될 수 있다. 일 예로, 반도체층(SCL)은 버퍼층(BFL)이 형성된 베이스 층(BSL)과 게이트 절연층(GI)의 사이에 배치될 수 있다. 이러한 반도체층(SCL)은 각각의 제1 트랜지스터 전극(ET1)에 접촉되는 제1 영역과, 각각의 제2 트랜지스터 전극(ET2)에 접촉되는 제2 영역과, 상기 제1 및 제2 영역들의 사이에 위치된 채널 영역을 포함할 수 있다. 실시예에 따라, 상기 제1 및 제2 영역들 중 하나는 소스 영역이고, 다른 하나는 드레인 영역일 수 있다.
- [0147] 실시예에 따라, 반도체층(SCL)은 폴리 실리콘, 아모포스 실리콘, 산화물 반도체 등으로 이루어진 반도체 패턴일 수 있다. 또한, 반도체층(SCL)의 채널 영역은 불순물이 도핑되지 않은 반도체 패턴으로서 진성 반도체일 수 있고, 상기 반도체층(SCL)의 제1 및 제2 영역들은 각각 소정의 불순물이 도핑된 반도체 패턴일 수 있다.
- [0148] 게이트 전극(GE)은 게이트 절연층(GI)을 사이에 개재하고 반도체층(SCL) 상에 배치될 수 있다. 일 예로, 게이트 전극(GE)은 게이트 절연층(GI) 및 층간 절연층(ILD)의 사이에, 반도체층(SCL)의 적어도 일 영역과 중첩되도록 배치될 수 있다.

- [0149] 제1 및 제2 트랜지스터 전극들(ET1, ET2)은, 적어도 한 층의 층간 절연층(ILD)을 사이에 개재하고, 각각의 반도체층(SCL) 상에 배치될 수 있다. 예를 들어, 제1 및 제2 트랜지스터 전극들(ET1, ET2)은 층간 절연층(ILD)과 패시베이션층(PSV)의 사이에 배치될 수 있다. 이러한 제1 및 제2 트랜지스터 전극들(ET1, ET2)은 각각의 반도체층(SCL)에 전기적으로 연결될 수 있다. 예를 들어, 제1 및 제2 트랜지스터 전극들(ET1, ET2)은 게이트 절연층(GI) 및 층간 절연층(ILD)을 관통하는 각각의 콘택홀을 통해 반도체층(SCL)의 제1 및 제2 영역들에 연결될 수 있다.
- [0150] 화소 회로(PXC)에 구비된 적어도 하나의 트랜지스터(T)는 어느 하나의 화소 전극에 연결될 수 있다. 일 예로, 도 5a 및 도 5b에 도시된 제1 트랜지스터(T1)의 제1 및 제2 트랜지스터 전극들(ET1, ET2) 중 어느 하나는 패시베이션층(PSV)을 관통하는 콘택홀(일 예로, 도 6 내지 도 9의 제1 콘택홀(CH1))을 통해, 상기 패시베이션층(PSV)의 상부에 배치된 광원 유닛(LSU)의 제1 전극(ELT1) 및/또는 제1 연결 전극(CNL1)에 전기적으로 연결될 수 있다.
- [0151] 실시예에 따라, 각각의 화소(PXL)에 연결되는 적어도 하나의 신호선 및/또는 전원선은 화소 회로(PXC)를 구성하는 회로 소자들의 일 전극과 동일한 층 상에 배치될 수 있다. 일 예로, 제2 전원(VSS)을 공급하기 위한 제2 전원선(PL2)은 트랜지스터들(T)의 게이트 전극들(GE)과 동일한 층 상에 배치되어, 적어도 하나의 브리지 패턴(미도시) 및/또는 콘택홀(일 예로, 도 6 내지 도 9의 제2 콘택홀(CH2))을 통해, 상기 패시베이션층(PSV)의 상부에 배치된 광원 유닛(LSU)의 제2 전극(ELT2) 및/또는 제2 연결 전극(CNL2)에 전기적으로 연결될 수 있다. 다만, 제2 전원선(PL2) 등의 구조 및/또는 위치는 다양하게 변경될 수 있다.
- [0152] 실시예에 따라, 표시 소자층(DPL)은 화소들(PXL) 각각의 광원 유닛(LSU)을 포함할 수 있다. 예를 들어, 표시 소자층(DPL)은, 적어도 한 쌍의 제1 전극(ELT1) 및 제2 전극(ELT2)과, 상기 제1 및 제2 전극들(ELT1, ELT2)의 사이에 전기적으로 연결된 복수의 발광 소자들(LD)을 포함할 수 있다. 또한, 표시 소자층(DPL)은 적어도 하나의 도전층 및/또는 절연층 등을 더 포함할 수 있다.
- [0153] 일 실시예에서, 표시 소자층(DPL)은, 베이스 층(BSL) 및/또는 화소 회로층(PCL)의 상부에 배치 및/또는 형성된 제1 및 제2 격벽들(PW1, PW2), 제1 및 제2 전극들(ELT1, ELT2), 제1 절연층(INS1), 발광 소자들(LD), 다층 패턴(MLP), 제1 및 제2 콘택 전극들(CNE1, CNE2), 및 제2 절연층(INS2)을 포함할 수 있다.
- [0154] 제1 및 제2 격벽들(PW1, PW2)은 각 화소(PXL)의 발광 영역에 서로 이격되어 배치될 수 있다. 이러한 제1 및 제2 격벽들(PW1, PW2)은 베이스 층(BSL) 및/또는 화소 회로층(PCL) 상에서 높이 방향으로 돌출될 수 있다. 실시예에 따라, 제1 및 제2 격벽들(PW1, PW2)은 실질적으로 서로 동일한 높이를 가질 수 있으나, 이에 한정되지는 않는다.
- [0155] 실시예에 따라, 제1 격벽(PW1)은, 베이스 층(BSL) 및/또는 화소 회로층(PCL)과 제1 전극(ELT1)의 사이에 배치될 수 있다. 이러한 제1 격벽(PW1)은, 발광 소자들(LD)의 제1 단부들(EP1)에 인접하도록 배치될 수 있다. 일 예로, 제1 격벽(PW1)의 일 측면은, 발광 소자들(LD)의 제1 단부들(EP1)과 인접한 거리에 위치되어, 상기 제1 단부들(EP1)과 마주하도록 배치될 수 있다.
- [0156] 실시예에 따라, 제2 격벽(PW2)은, 베이스 층(BSL) 및/또는 화소 회로층(PCL)과 제2 전극(ELT2)의 사이에 배치될 수 있다. 이러한 제2 격벽(PW2)은, 발광 소자들(LD)의 제2 단부들(EP2)에 인접하도록 배치될 수 있다. 일 예로, 제2 격벽(PW2)의 일 측면은, 발광 소자들(LD)의 제2 단부들(EP2)과 인접한 거리에 위치되어, 상기 제2 단부들(EP2)과 마주하도록 배치될 수 있다.
- [0157] 실시예에 따라, 제1 및 제2 격벽들(PW1, PW2)은 다양한 형상을 가질 수 있다. 일 예로, 제1 및 제2 격벽들(PW1, PW2)은 상부로 갈수록 폭이 좁아지는 사다리꼴의 단면을 가질 수 있다. 이 경우, 제1 및 제2 격벽들(PW1, PW2) 각각은 적어도 일 측면에서 경사면을 가질 수 있다. 또는, 다른 실시예에서, 제1 및 제2 격벽들(PW1, PW2)은 상부로 갈수록 폭이 좁아지는 반원 또는 반타원의 단면을 가질 수도 있다. 이 경우, 제1 및 제2 격벽들(PW1, PW2) 각각은 적어도 일 측면에서 곡면을 가질 수 있다. 즉, 본 발명에서 제1 및 제2 격벽들(PW1, PW2)의 형상이 특별히 한정되지는 않으며, 이는 다양하게 변경될 수 있다. 또한, 실시예에 따라서는 제1 및 제2 격벽들(PW1, PW2) 중 적어도 하나가 생략되거나, 그 위치가 변경될 수도 있다.
- [0158] 제1 및 제2 격벽들(PW1, PW2)은 적어도 하나의 무기 재료 및/또는 유기 재료를 포함하는 절연 물질을 포함할 수 있다. 일 예로, 제1 및 제2 격벽들(PW1, PW2)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등을 비롯하여 현재 공지된 다양한 무기 절연 물질을 포함하는 적어도 한 층의 무기막을 포함할 수 있다. 또는, 제1 및 제2 격벽들(PW1, PW2)은 현재 공지된 다양한 종류의 유기 절연 물질을 포함하는 적어도 한 층의 유기막 및/또는 포토 레지스트막 등을 포함하거나, 유/무기 물질을 복합적으로 포함하는 단일층 또는 다중층의 절연체로 구성될 수도

있다. 즉, 본 발명의 실시예에서, 제1 및 제2 격벽들(PW1, PW2)의 구성 물질은 다양하게 변경될 수 있다.

- [0159] 또한, 일 실시예에서, 제1 및 제2 격벽들(PW1, PW2)은 반사 부재로 기능할 수 있다. 일 예로, 제1 및 제2 격벽들(PW1, PW2)은 그 상부에 제공된 제1 및 제2 전극들(ELT1, ELT2)과 함께 각각의 발광 소자(LD)에서 출사되는 광을 원하는 방향으로 유도하여 화소(PXL)의 광 효율을 향상시키는 반사 부재로 기능할 수 있다.
- [0160] 제1 및 제2 격벽들(PW1, PW2)의 상부에는 각각 제1 및 제2 전극들(ELT1, ELT2)이 배치될 수 있다. 이러한 제1 및 제2 전극들(ELT1, ELT2)은 각각의 화소 영역에서 서로 이격되어 배치된다.
- [0161] 실시예에 따라, 제1 및 제2 격벽들(PW1, PW2) 각각의 상부에 배치되는 제1 및 제2 전극들(ELT1, ELT2) 등은 상기 제1 및 제2 격벽들(PW1, PW2) 각각의 형상에 대응하는 형상을 가질 수 있다. 예를 들어, 제1 및 제2 전극들(ELT1, ELT2)은, 각각 제1 및 제2 격벽들(PW1, PW2)에 대응하는 경사면 또는 곡면을 가지면서, 베이스 층(BSL)의 높이 방향으로 돌출될 수 있다.
- [0162] 제1 및 제2 전극들(ELT1, ELT2) 각각은 적어도 하나의 도전 물질을 포함할 수 있다. 일 예로, 제1 및 제2 전극들(ELT1, ELT2) 각각은, 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 타이타늄(Ti), 몰리브덴(Mo), 구리(Cu) 등을 비롯한 다양한 금속 물질 중 적어도 하나의 금속 또는 이를 포함하는 합금, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide), AZO(Antimony Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ZnO(Zinc Oxide), SnO₂(Tin Oxide)와 같은 도전성 산화물, PEDOT와 같은 도전성 고분자 중 적어도 하나의 도전 물질을 포함할 수 있으나, 이에 한정되지는 않는다. 예를 들어, 제1 및 제2 전극들(ELT1, ELT2) 각각은, 카본나노튜브(Carbon Nano Tube)나 그래핀(graphene) 등을 비롯한 그 외의 도전 물질을 포함할 수도 있다. 즉, 제1 및 제2 전극들(ELT1, ELT2) 각각은 다양한 도전 물질 중 적어도 하나를 포함함으로써 도전성을 가질 수 있고, 그 구성 물질이 특별히 한정되지는 않는다. 또한, 제1 및 제2 전극들(ELT1, ELT2) 각각은 동일한 도전 물질로 구성되거나, 또는 이들은 서로 다른 적어도 하나의 도전 물질을 포함할 수 있다.
- [0163] 또한, 제1 및 제2 전극들(ELT1, ELT2) 각각은 단일층 또는 다중층으로 구성될 수 있다. 일 예로, 제1 및 제2 전극들(ELT1, ELT2) 각각은 적어도 한 층의 반사 전극층을 포함할 수 있다. 또한, 제1 및 제2 전극들(ELT1, ELT2) 각각은, 상기 반사 전극층의 상부 및/또는 하부에 배치되는 적어도 한 층의 투명 전극층과, 상기 반사 전극층 및/또는 투명 전극층의 상부를 커버하는 적어도 한 층의 도전성 캡핑층 중 적어도 하나를 선택적으로 더 포함할 수 있다.
- [0164] 실시예에 따라, 제1 및 제2 전극들(ELT1, ELT2) 각각의 반사 전극층은, 균일한 반사율을 갖는 도전 물질로 구성될 수 있다. 일 예로, 상기 반사 전극층은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 타이타늄(Ti), 몰리브덴(Mo), 구리(Cu) 등을 비롯한 다양한 금속 물질 중 적어도 하나의 금속 또는 이를 포함하는 합금으로 구성될 수 있으나, 이에 한정되지는 않는다. 즉, 반사 전극층은 다양한 반사성 도전 물질로 구성될 수 있다. 제1 및 제2 전극들(ELT1, ELT2) 각각이 반사 전극층을 포함할 경우, 발광 소자들(LD) 각각의 양단, 즉 제1 및 제2 단부들(EP1, EP2)에서 방출되는 광을 화상이 표시되는 방향(일 예로, 정면 방향)으로 더욱 진행되게 할 수 있다. 특히, 제1 및 제2 전극들(ELT1, ELT2)이 제1 및 제2 격벽들(PW1, PW2)의 형상에 대응되는 경사면 또는 곡면을 가지면서 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)에 마주하도록 배치되면, 발광 소자들(LD) 각각의 제1 및 제2 단부들(EP1, EP2)에서 출사된 광은 제1 및 제2 전극들(ELT1, ELT2)에 의해 반사되어 더욱 표시 패널(PNL)의 정면 방향(일 예로, 베이스 층(BSL)의 상부 방향)으로 진행될 수 있다. 이에 따라, 발광 소자들(LD)에서 출사되는 광의 효율을 향상시킬 수 있다.
- [0165] 또한, 제1 및 제2 전극들(ELT1, ELT2) 각각의 투명 전극층은, 다양한 투명 도전 물질로 구성될 수 있다. 일 예로, 상기 투명 전극층은 ITO, IZO 또는 ITZO를 포함할 수 있으나, 이에 한정되지는 않는다. 일 실시예에서, 제1 및 제2 전극들(ELT1, ELT2) 각각은, ITO/Ag/ITO의 적층 구조를 가지는 3중층으로 구성될 수 있다. 이와 같이, 제1 및 제2 전극들(ELT1, ELT2)이 적어도 2중층 이상의 다중층으로 구성되면, 신호 지연(RC delay)에 의한 전압 강하를 최소화할 수 있다. 이에 따라, 발광 소자들(LD)로 원하는 전압을 효과적으로 전달할 수 있게 된다.
- [0166] 추가적으로, 제1 및 제2 전극들(ELT1, ELT2) 각각이, 반사 전극층 및/또는 투명 전극층을 커버하는 도전성 캡핑층을 포함하게 되면, 화소(PXL)의 제조 공정 등에서 발생하는 불량으로 인해 제1 및 제2 전극들(ELT1, ELT2)의 반사 전극층 등이 손상되는 것을 방지할 수 있다. 다만, 상기 도전성 캡핑층은 제1 및 제2 전극들(ELT1, ELT2)에 선택적으로 포함될 수 있는 것으로서, 실시예에 따라서는 생략될 수 있다. 또한, 상기 도전성 캡핑층은 제1

및 제2 전극들(ELT1, ELT2) 각각의 구성 요소로 간주되거나, 또는 상기 제1 및 제2 전극들(ELT1, ELT2) 상에 배치된 별개의 구성 요소로 간주될 수도 있다.

- [0167] 제1 및 제2 전극들(ELT1, ELT2)의 일 영역 상에는 제1 절연층(INS1)이 배치될 수 있다. 예를 들어, 제1 절연층(INS1)은, 제1 및 제2 전극들(ELT1, ELT2)의 일 영역을 커버하도록 형성되며, 상기 제1 및 제2 전극들(ELT1, ELT2)의 다른 일 영역을 노출하는 개구부를 포함할 수 있다.
- [0168] 일 실시예에서, 제1 절연층(INS1)은, 일차적으로 제1 및 제2 전극들(ELT1, ELT2)을 전면적으로 커버하도록 형성될 수 있다. 이러한 제1 절연층(INS1) 상에 발광 소자들(LD)이 공급 및 정렬된 이후, 상기 제1 절연층(INS1)은 각각 제1 및 제2 격벽들(PW1, PW2) 상의 일 영역에서 제1 및 제2 전극들(ELT1, ELT2)을 노출하도록 부분적으로 개구될 수 있다. 또는, 다른 실시예에서, 제1 절연층(INS1)은, 발광 소자들(LD)의 공급 및 정렬이 완료된 이후, 상기 발광 소자들(LD)의 하부에 국부적으로 배치되는 개별 패턴의 형태로 패턴닝될 수도 있다.
- [0169] 즉, 제1 절연층(INS1)은, 제1 및 제2 전극들(ELT1, ELT2)과 발광 소자들(LD)의 사이에 개재되되, 상기 제1 및 제2 전극들(ELT1, ELT2) 각각의 적어도 일 영역을 노출할 수 있다. 이러한 제1 절연층(INS1)은 제1 및 제2 전극들(ELT1, ELT2)이 형성된 이후 상기 제1 및 제2 전극들(ELT1, ELT2)을 커버하도록 형성되어, 후속 공정에서 상기 제1 및 제2 전극들(ELT1, ELT2)이 손상되거나 금속이 석출되는 것을 방지할 수 있다. 또한, 제1 절연층(INS1)은, 각각의 발광 소자(LD)를 안정적으로 지지할 수 있다.
- [0170] 제1 절연층(INS1)은 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 재료 및/또는 유기 절연 재료를 포함할 수 있다. 예를 들어, 제1 절연층(INS1)은, 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x), 또는 산화 알루미늄(Al_2O_3) 등을 비롯하여 현재 공지된 다양한 종류의 유/무기 절연 물질을 포함할 수 있으며, 상기 제1 절연층(INS1)의 구성 물질이 특별히 한정되지는 않는다.
- [0171] 제1 절연층(INS1)이 형성된 각각의 화소 영역, 특히, 각 화소(PXL)의 발광 영역에는 복수의 발광 소자들(LD)이 공급 및 정렬될 수 있다. 일 예로, 잉크젯 방식 등을 통해 각각의 발광 영역에 다수의 발광 소자들(LD)이 공급되고, 상기 발광 소자들(LD)은 제1 및 제2 전극들(ELT1, ELT2)에 인가되는 소정의 정렬 전압(또는, 정렬 신호)에 의해 상기 제1 및 제2 전극들(ELT1, ELT2)의 사이에 정렬될 수 있다.
- [0172] 실시예에 따라, 각각의 발광 소자(LD)는, 그 상부의 다층 패턴(MLP)의 폭보다 큰 길이를 가질 수 있다. 또한, 각각의 발광 소자(LD)는, 그 길이 방향의 양단에 각각 제1 및 제2 단부들(EP1, EP2)이 위치하도록 제1 및 제2 전극들(ELT1, ELT2)의 사이에 가로 방향으로 배치될 수 있다.
- [0173] 발광 소자들(LD)의 일 영역 상에는, 다층 패턴(MLP)이 배치될 수 있다. 예를 들어, 다층 패턴(MLP)은, 발광 소자들(LD) 각각의 제1 및 제2 단부들(EP1, EP2)을 노출하면서, 상기 발광 소자들(LD) 각각의 중앙 영역을 포함한 일 영역을 커버하도록 형성될 수 있다.
- [0174] 일 실시예에서, 다층 패턴(MLP)은, 발광 소자(LD)의 일 영역 상에 순차적으로 배치된 제1 내지 제3 절연 패턴들(INP1, INP2, INP3)을 포함할 수 있다. 또한, 다층 패턴(MLP)은, 제1 내지 제3 절연 패턴들(INP1, INP2, INP3)의 상부에 배치된 제1 도전 패턴(CDP1)을 선택적으로 더 포함할 수 있다.
- [0175] 제1 절연 패턴(INP1)은, 발광 소자들(LD), 특히, 제1 및 제2 전극들(ELT1, ELT2)의 사이에 정렬된 발광 소자들(LD)의 상부에 배치되며, 상기 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)을 노출할 수 있다. 예를 들어, 제1 절연 패턴(INP1)은 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)을 노출하도록, 상기 발광 소자들(LD)의 일 영역 상부에만 부분적으로 배치될 수 있다. 이러한 제1 절연 패턴(INP1)은 각각의 화소 영역 상에 독립된 패턴으로 형성될 수 있으나, 이에 한정되지는 않는다.
- [0176] 실시예에 따라, 제1 절연 패턴(INP1)은, 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 재료 및/또는 유기 절연 재료를 포함할 수 있다. 예를 들어, 제1 절연 패턴(INP1)은, 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x), 또는 산화 알루미늄(Al_2O_3) 등을 비롯하여 현재 공지된 다양한 종류의 무기 절연 물질을 포함한 적어도 한 층의 무기 절연막을 포함할 수 있다. 발광 소자들(LD)의 정렬이 완료된 이후 상기 발광 소자들(LD) 상에 제1 절연 패턴(INP1)을 형성하게 되면, 상기 발광 소자들(LD)이 정렬된 위치에서 이탈하는 것을 방지할 수 있다.
- [0177] 제2 절연 패턴(INP2)은, 제1 절연 패턴(INP1)보다 좁은 폭을 가질 수 있다. 일 예로, 평면 상에서 보았을 때, 제1 절연 패턴(INP1)이 제1 및 제2 전극들(ELT1, ELT2)과 교차하는 방향, 일 예로, 도 6 내지 9의 제1 방향(DR1)을 따라 제1 폭(W1)을 가진다고 할 때, 제2 절연 패턴(INP2)은 상기 제1 방향(DR1)을 따라 제1 폭(W1)보다

좁은 제2 폭(W2)을 가질 수 있다.

- [0178] 또한, 제2 절연 패턴(INP2)은, 제1 절연 패턴(INP1)의 양 단부들을 노출하도록 상기 제1 절연 패턴(INP1)의 일 영역 상에 배치될 수 있다. 일 예로, 제2 절연 패턴(INP2)은, 각각 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)에 인접한, 제1 절연 패턴(INP1)의 양 단부들을 노출하도록 상기 제1 절연 패턴(INP1) 상에 배치될 수 있다. 이 경우, 제2 절연 패턴(INP2)은, 평면 상에서 보았을 때 제1 절연 패턴(INP1)의 내측에 배치될 수 있다.
- [0179] 예를 들어, 평면 상에서 보았을 때, 제2 절연 패턴(INP2)의 양 단부들은, 제1 절연 패턴(INP1)의 양 단부들로부터 각각 제1 또는 제2 콘택 전극(CNE1, CNE2) 두께의 두 배 이상 이격된 지점에 위치하도록 상기 제1 절연 패턴(INP1)의 내측에 배치될 수 있다. 일 예로, 제1 및 제2 콘택 전극들(CNE1, CNE2) 각각의 두께가 대략 1000Å이라고 할 때, 제2 절연 패턴(INP2)의 양 단부들은 제1 절연 패턴(INP1)의 양 단부들로부터 대략 2000Å 내지 3000Å 이격된 지점에 위치할 수 있다.
- [0180] 일 예로, 제2 절연 패턴(INP2)의 양 단부들은, 평면 상에서 보았을 때, 제1 절연 패턴(INP1)의 양 단부들로부터 각각 제1 거리(d1) 및 제2 거리(d2)만큼 이격된 지점에 위치할 수 있다. 실시예에 따라, 제1 거리(d1)는 제1 콘택 전극(CNE1) 두께의 대략 두 배 이상에 해당하는 거리일 수 있고, 제2 거리(d2)는 제2 콘택 전극(CNE2) 두께의 대략 두 배 이상에 해당하는 거리일 수 있다. 일 실시예에서, 제1 콘택 전극(CNE1)과 제2 콘택 전극(CNE2)은 실질적으로 동일한 두께를 가질 수 있으나, 이에 한정되지는 않는다. 또한, 제1 거리(d1)와 제2 거리(d2)는 실질적으로 동일할 수 있으나, 이에 한정되지는 않는다.
- [0181] 또한, 제2 절연 패턴(INP2)은, 그 상부에 배치되는 제3 절연 패턴(INP3)보다도 좁은 폭을 가질 수 있다. 일 예로, 제3 절연 패턴(INP3)이 제1 및 제2 전극들(ELT1, ELT2)과 교차하는 방향, 일 예로, 도 6 내지 도 9의 제1 방향(DR1)을 따라 제3 폭(W3)을 가진다고 할 때, 제2 절연 패턴(INP2)은 상기 제1 방향(DR1)을 따라 제3 폭(W3)보다 좁은 제2 폭(W2)을 가질 수 있다. 또한, 제2 절연 패턴(INP2)은, 평면 상에서 보았을 때 제3 절연 패턴(INP3)의 내측에 배치될 수 있다. 예를 들어, 평면 상에서 보았을 때, 각각 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)에 인접한 제2 절연 패턴(INP2)의 양 단부들은, 제3 절연 패턴(INP3)에 의해 커버될 수 있다.
- [0182] 실시예에 따라, 제2 절연 패턴(INP2)은 제1 및/또는 제3 절연 패턴들(INP1, INP3)에 비해 큰 두께를 가질 수 있다. 일 예로, 제2 절연 패턴(INP2)은 제1 및 제3 절연 패턴들(INP1, INP3) 각각의 두께보다 큰 두께를 가질 수 있다.
- [0183] 이와 같이, 제2 절연 패턴(INP2)이, 제1 및 제3 절연 패턴들(INP1, INP3) 각각에 비해 좁은 폭을 가지면서, 평면 상에서 보았을 때 제1 및 제3 절연 패턴들(INP1, INP3)의 내측에 배치되게 되면, 제1 내지 제3 절연 패턴들(INP1, INP2, INP3)이 형성된 각각의 화소 영역에 제1 및 제2 콘택 전극들(CNE1, CNE2)을 용이하게 형성할 수 있다. 일 예로, 스퍼터링 공정 등을 통해 제1 및 제2 콘택 전극들(CNE1, CNE2)의 형성을 위한 도전막을 성막할 시, 상기 도전막이 제2 절연 패턴(INP2)의 양단에서 자연적으로 단선되면서, 제1 및 제2 콘택 전극들(CNE1, CNE2)을 동일 층에 동시에 형성하더라도 상기 제1 및 제2 콘택 전극들(CNE1, CNE2)의 사이에서 쇼트 결함이 발생하는 것을 방지할 수 있다. 또한, 제2 절연 패턴(INP2)이, 제1 및 제3 절연 패턴들(INP1, INP3) 각각에 비해 큰 두께를 가지게 되면, 제1 및 제2 콘택 전극들(CNE1, CNE2)의 형성 공정에서 상기 제1 및 제2 콘택 전극들(CNE1, CNE2)을 보다 안정적으로 분리할 수 있게 된다.
- [0184] 실시예에 따라, 제2 절연 패턴(INP2)은, 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 재료 및/또는 유기 절연 재료를 포함할 수 있다. 예를 들어, 제2 절연 패턴(INP2)은, 현재 공지된 다양한 종류의 유기 절연 물질 또는 포토 레지스트 물질 등을 포함하는 적어도 한 층의 유기막 및/또는 포토 레지스트막 등을 포함할 수 있다.
- [0185] 제3 절연 패턴(INP3)은, 제2 절연 패턴(INP2)보다 큰 폭을 가지며, 평면 상에서 보았을 때 상기 제2 절연 패턴(INP2)의 양 단부들을 커버하도록 제2 절연 패턴(INP2) 상에 배치될 수 있다. 실시예에 따라, 제3 절연 패턴(INP3)은, 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 재료 및/또는 유기 절연 재료를 포함할 수 있다. 예를 들어, 제3 절연 패턴(INP3)은, 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 또는 산화 알루미늄(Al₂O₃) 등을 비롯하여 현재 공지된 다양한 종류의 무기 절연 물질을 포함한 적어도 한 층의 무기 절연막을 포함할 수 있다. 일 실시예에서, 제3 절연 패턴(INP3)은, 제1 절연층(INS1) 및/또는 제1 절연 패턴(INP1)과 동일한 물질로 구성될 수 있으나, 이에 한정되지는 않는다.
- [0186] 이러한 제3 절연 패턴(INP3)의 상부에는 제1 도전 패턴(CDP1)이 배치될 수 있다. 실시예에 따라, 제1 도전 패턴(CDP1)은, 제1 및 제2 콘택 전극들(CNE1, CNE2)의 형성을 위한 도전막의 성막 공정에서, 상기 제1 및 제2 콘택

전극들(CNE1, CNE2)과 함께 형성될 수 있다. 일 예로, 제1 내지 제3 절연 패턴들(INP1, INP2, INP3)이 형성된 각각의 화소 영역에 스퍼터링 공정 등을 통해 도전막을 형성하는 과정에서, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 함께 제1 도전 패턴(CDP1)이 형성될 수 있다. 이 경우, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 제1 도전 패턴(CDP1)은 동일한 도전 물질을 포함할 수 있다. 또한, 제1 및 제2 컨택 전극들(CNE1, CNE2)은, 서로 동일한 층에 배치되어 적어도 하나의 발광 소자(LD)를 사이에 개재하고 서로 대향될 수 있다.

[0187] 실시예에 따라, 제1 도전 패턴(CDP1)은 제3 절연 패턴(INP3)과 실질적으로 동일 또는 유사한 폭을 가질 수 있다. 일 예로, 제3 절연 패턴(INP3)이 제3 폭(W3)을 가진다고 할 때, 제1 도전 패턴(CDP1)은 상기 제3 폭(W3)과 실질적으로 동일 또는 유사한 제4 폭(W4)을 가질 수 있다. 즉, 본 실시예에서, 제2 절연 패턴(INP2)은 그 하부의 제1 절연 패턴(INP1)의 양 단부들을 노출하도록 상기 제1 절연 패턴(INP1)보다 좁은 폭을 가지도록 형성되고, 제3 절연 패턴(INP3) 및 제1 도전 패턴(CDP1)은 그 하부의 제2 절연 패턴(INP2)의 상부를 모두 커버하도록 상기 제2 절연 패턴(INP2)보다 큰 폭을 가질 수 있다. 실시예에 따라, 제1 절연 패턴(INP1), 제3 절연 패턴(INP3) 및/또는 제1 도전 패턴(CDP1)은 실질적으로 동일 또는 유사한 폭을 가질 수 있으나, 이에 한정되지는 않는다.

[0188] 한편, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 제1 도전 패턴(CDP1)이 동시에 형성되더라도, 상기 제1 도전 패턴(CDP1)은 제1 및 제2 컨택 전극들(CNE1, CNE2)과는 분리될 수 있다. 이에 따라, 제1 및 제2 컨택 전극들(CNE1, CNE2)도 서로 분리될 수 있다. 예를 들어, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 제1 도전 패턴(CDP1)을 형성하기 위하여 각각의 화소 영역에 도전막을 형성할 때, 다층 패턴(MLP)의 양단에서 도전막이 끊어짐에 따라, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 제1 도전 패턴(CDP1)이 서로 분리될 수 있다.

[0189] 다층 패턴(MLP)에 의해 커버되지 않은 발광 소자들(LD)의 양 단부들, 즉 제1 및 제2 단부들(EP1, EP2)은, 각각 제1 및 제2 컨택 전극들(CNE1, CNE2)에 의해 커버될 수 있다. 유사하게, 제2 절연 패턴(INP2)에 의해 커버되지 않은 제1 절연 패턴(INP1)의 양단은 각각 제1 및 제2 컨택 전극들(CNE1, CNE2)에 의해 커버될 수 있다.

[0190] 예를 들어, 제1 및 제2 컨택 전극들(CNE1, CNE2) 각각의 일단은, 제2 절연 패턴(INP2)을 사이에 개재하고, 제1 절연 패턴(INP1)의 서로 다른 단부 상에 이격되어 배치될 수 있다. 본 발명의 일 실시예에서, 제1 및 제2 컨택 전극들(CNE1, CNE2)은 베이스 층(BSL)의 일면 상에서 동일한 층에 동일한 공정을 통해 형성될 수 있다. 이에 따라, 화소(PXL) 및 이를 구비한 표시 장치의 제조 공정을 간소화할 수 있다. 일 예로, 각각의 마스크 공정을 통해 제1 및 제2 컨택 전극들(CNE1, CNE2)을 형성하는 경우에 비해, 화소(PXL)의 형성에 필요한 마스크 공정의 수를 줄이고, 제1 및 제2 컨택 전극들(CNE1, CNE2)을 용이하게 형성할 수 있다.

[0191] 일 실시예에서, 제1 및 제2 컨택 전극들(CNE1, CNE2)은 제1 절연 패턴(INP1) 상에서 점진적으로 변화되는 두께를 가질 수 있다. 일 예로, 스퍼터링 방식 등을 통해 제1 및 제2 컨택 전극들(CNE1, CNE2)을 형성하기 위한 도전 물질을 도포한다고 할 때, 제1 절연 패턴(INP1)의 내측 방향으로 갈수록 해당 영역에 도달하는 도전 물질의 양이 감소하게 된다. 이에 따라, 제1 및 제2 컨택 전극들(CNE1, CNE2) 각각의 일단은, 제1 절연 패턴(INP1) 상에서 각각 제1 및 제2 전극들(ELT1, ELT2)에 인접할수록 점진적으로 증가하는 두께를 가질 수 있다.

[0192] 또한, 제1 및 제2 컨택 전극들(CNE1, CNE2)은 각각 제1 및 제2 전극들(ELT1, ELT2)의 노출 영역을 커버하도록 상기 제1 및 제2 전극들(ELT1, ELT2)의 상부에 배치될 수 있다. 예를 들어, 제1 및 제2 컨택 전극들(CNE1, CNE2)은 각각 제1 및 제2 전극들(ELT1, ELT2)의 노출 영역과 접촉되도록 상기 제1 및 제2 전극들(ELT1, ELT2)의 적어도 일 영역 상에 배치될 수 있다. 이에 따라, 제1 및 제2 컨택 전극들(CNE1, CNE2)이 각각 제1 및 제2 전극들(ELT1, ELT2)에 전기적으로 연결되고, 상기 제1 및 제2 전극들(ELT1, ELT2)이 각각 제1 및 제2 컨택 전극들(CNE1, CNE2)을 통해 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)에 전기적으로 연결될 수 있다.

[0193] 실시예에 따라, 제1 및 제2 컨택 전극들(CNE1, CNE2)은 다양한 투명 도전 물질로 구성될 수 있다. 일 예로, 제1 및 제2 컨택 전극들(CNE1, CNE2)은 ITO, IZO 및 ITZO를 비롯한 다양한 투명 도전 물질 중 적어도 하나를 포함하며, 소정의 투광도를 만족하도록 실질적으로 투명 또는 반투명하게 구현될 수 있다. 이에 따라, 각각의 제1 및 제2 단부들(EP1, EP2)을 통해 발광 소자들(LD)로부터 방출되는 빛이 제1 및 제2 컨택 전극들(CNE1, CNE2)을 통과하여 표시 장치의 외부로 방출될 수 있게 된다. 또한, 일 실시예에서 제1 및 제2 컨택 전극들(CNE1, CNE2)이 제1 도전 패턴(CDP1)과 함께 형성되는 경우, 상기 제1 도전 패턴(CDP1)도 제1 및 제2 컨택 전극들(CNE1, CNE2)과 같이 투명 도전 물질을 포함할 수 있다.

[0194] 제1 및 제2 컨택 전극들(CNE1, CNE2) 및 다층 패턴(MLP) 상에는 제2 절연층(INS2)이 배치될 수 있다. 예를 들어, 제2 절연층(INS2)은, 제1 및 제2 격벽들(PW1, PW2), 제1 및 제2 전극들(ELT1, ELT2), 발광 소자들(LD),

및 제1 및 제2 컨택 전극들(CNE1, CNE2)을 커버하도록, 상기 제1 및 제2 격벽들(PW1, PW2), 제1 및 제2 전극들(ELT1, ELT2), 발광 소자들(LD), 다층 패턴(MLP), 및 제1 및 제2 컨택 전극들(CNE1, CNE2)이 형성된 베이스 층(BSL)의 표시 영역(DA) 상에 전면적으로 형성 및/또는 배치될 수 있다. 이러한 제2 절연층(INS2)은, 적어도 한 층의 무기막 및/또는 유기막을 포함할 수 있다.

[0195] 일 실시예에서, 제2 절연층(INS2)은 다층 구조의 박막 봉지층을 포함할 수 있으나, 이에 한정되지는 않는다. 또한, 실시예에 따라서는, 제2 절연층(INS2)의 상부에 도시되지 않은 적어도 한 층의 오버코트층 및/또는 봉지 기판 등이 더 배치될 수도 있다.

[0196] 실시예에 따라, 제2 절연층(INS2)은 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 재료 및/또는 유기 절연 재료를 포함할 수 있다. 예를 들어, 제2 절연층(INS2)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등을 비롯하여 현재 공지된 다양한 종류의 유/무기 절연 물질을 포함할 수 있으며, 상기 제2 절연층(INS2)의 구성 물질이 특별히 한정되지는 않는다.

[0198] 도 13 내지 도 15는 각각 본 발명의 일 실시예에 의한 화소(PXL)를 나타내는 단면도로서, 일 예로 도 8의 I~I'선에 대응하는 화소(PXL)의 단면에 대한 서로 다른 실시예들을 나타낸다. 도 13 내지 도 15의 실시예들에서, 앞서 설명한 실시예와 유사 또는 동일한 구성 요소에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.

[0199] 도 13을 참조하면, 제1 및 제2 격벽들(PW1, PW2) 각각은 곡면형의 격벽으로 형성될 수 있다. 예를 들어, 제1 및 제2 격벽들(PW1, PW2)은 상부로 갈수록 폭이 좁아지는 반원 또는 반타원의 단면을 가질 수 있다. 이 경우, 제1 및 제2 격벽들(PW1, PW2) 각각의 상부에 배치되는 제1 및 제2 전극들(ELT1, ELT2) 등은 상기 제1 및 제2 격벽들(PW1, PW2) 각각의 형상에 상응하는 형상을 가질 수 있다. 예를 들어, 제1 및 제2 전극들(ELT1, ELT2)은, 각각 제1 및 제2 격벽들(PW1, PW2)에 대응하는 곡면을 가지면서, 베이스 층(BSL)의 높이 방향으로 돌출될 수 있다.

[0200] 도 14를 참조하면, 도 10의 실시예 등에 개시된 제1 절연층(INS1)은 생략될 수 있다. 이 경우, 각각의 발광 소자(LD)는 패시베이션층(PSV) 상에 배치될 수 있다.

[0201] 도 15를 참조하면, 도 10의 실시예 등에 개시된 다층 패턴(MLP)의 일부는 제거될 수도 있다. 일 예로, 제2 및 제3 절연 패턴들(INP2, INP3)과 제1 도전 패턴(CDP1)은 제거되고, 발광 소자들(LD)의 상부에는 제1 절연 패턴(INP1)만이 남을 수 있다. 일 실시예에서, 제1 절연 패턴(INP1)의 양 단부들은 제1 및 제2 컨택 전극들(CNE1, CNE2)에 의해 커버되고, 상기 제1 절연 패턴(INP1)의 나머지 영역은 제2 절연층(INS2) 등에 의해 커버될 수 있다.

[0203] 도 16 및 도 17은 각각 본 발명의 일 실시예에 의한 화소(PXL)를 나타내는 단면도로서, 일 예로 도 9의 II~II'선에 대응하는 화소(PXL)의 단면에 대한 서로 다른 실시예들을 나타낸다. 도 16 및 도 17의 실시예에서, 앞서 설명한 실시예들과 유사 또는 동일한 구성 요소에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.

[0204] 도 16을 참조하면, 각각의 발광 소자(LD)가 제1 및/또는 제2 전극들(ELT1, ELT2)의 일단에 중첩되도록 배치될 수도 있다. 예를 들어, 발광 소자(LD)의 제1 단부(EP1)는 인접한 제1 전극(ELT1)의 일단 상에 배치되고, 상기 발광 소자(LD)의 제2 단부(EP2)는 인접한 제2 전극(ELT2)의 일단 상에 배치될 수 있다.

[0205] 일 실시예에서, 제1 절연층(INS1)이 무기막인 경우, 상기 제1 절연층(INS1)은 제1 및 제2 전극들(ELT1, ELT2)의 사이에서 홈을 포함할 수 있다. 다만, 이로 인한 공간은 제1 절연 패턴(INP1) 등을 형성하는 과정 등에서 발광 소자들(LD)의 하부로 유입된 절연 물질로 채워질 수 있다. 이에 따라, 발광 소자들(LD)을 보다 안정적으로 지지할 수 있다.

[0206] 도 17을 참조하면, 도 16의 실시예 등에 개시된 제1 절연층(INS1)이 생략되고, 각각의 발광 소자(LD)는 인접한 제1 및 제2 전극들(ELT1, ELT2)의 일단 상에 직접 배치될 수도 있다. 이 경우, 발광 소자(LD)의 제1 단부(EP1)는 제1 전극(ELT1) 및 제1 컨택 전극(CNE1)과의 직접적인 접촉을 통해 상기 제1 전극(ELT1) 및 제1 컨택 전극(CNE1)에 전기적으로 연결되고, 상기 발광 소자(LD)의 제2 단부(EP2)는 제2 전극(ELT2) 및 제2 컨택 전극(CNE2)과의 직접적인 접촉을 통해 상기 제2 전극(ELT2) 및 제2 컨택 전극(CNE2)에 전기적으로 연결될 수 있다. 일 실시예에서, 발광 소자(LD)와 패시베이션층(PSV)의 사이에 이격 공간이 존재하였을 경우, 상기 이격 공간은 제1

절연 패턴(INP1) 등을 형성하는 과정 등에서 발광 소자(LD)의 하부로 유입된 절연 물질로 채워질 수 있다.

- [0208] 도 18a 내지 도 18j는 본 발명의 일 실시예에 의한 표시 장치의 제조 방법을 순차적으로 나타내는 단면도로서, 일 예로 도 10 또는 도 15의 실시예에 의한 화소(PXL)를 포함하는 표시 장치의 제조 방법에 대한 일 실시예를 나타낸다.
- [0209] 도 18a를 참조하면, 먼저 베이스 층(BSL)의 일면 상에 서로 이격되도록 제1 및 제2 격벽들(PW1, PW2)을 형성하고, 상기 제1 및 제2 격벽들(PW1, PW2) 상에 각각 제1 및 제2 전극들(ELT1, ELT2)을 형성할 수 있다. 또한, 제1 및 제2 격벽들(PW1, PW2)과 제1 및 제2 전극들(ELT1, ELT2)을 형성한 이후, 상기 제1 및 제2 격벽들(PW1, PW2)과 제1 및 제2 전극들(ELT1, ELT2)을 커버하도록 제1 절연 물질층(INL1)을 형성할 수 있다.
- [0210] 제1 및 제2 격벽들(PW1, PW2)은 선택적으로 형성될 수 있는 것으로서, 실시예에 따라서는 제1 및/또는 제2 격벽들(PW1, PW2)을 형성하는 단계가 생략될 수도 있다. 또한, 실시예에 따라서는, 제1 및 제2 격벽들(PW1, PW2)을 형성하기에 앞서, 베이스 층(BSL) 상에 화소 회로층(PCL)을 형성할 수도 있다. 이 경우, 제1 및 제2 격벽들(PW1, PW2)은, 화소 회로층(PCL)이 형성된 베이스 층(BSL)의 일면 상에 형성될 수 있다.
- [0211] 실시예에 따라, 제1 및 제2 격벽들(PW1, PW2)은 무기 재료 및/또는 유기 재료를 포함하는 절연막의 형성 공정 및/또는 패터닝 공정(일 예로, 마스크 공정)을 통해 형성될 수 있으며, 현재 공지된 다양한 방식의 공정을 통해 형성될 수 있다. 또한, 실시예에 따라, 제1 및 제2 격벽들(PW1, PW2)은 동일한 물질을 이용하여 베이스 층(BSL) 상의 동일한 층(또는, 동일한 평면) 상에 동시에 형성될 수 있으나, 본 발명이 이에 한정되지는 않는다.
- [0212] 제1 및 제2 전극들(ELT1, ELT2)은 제1 및 제2 격벽들(PW1, PW2)이 형성된 베이스 층(BSL) 상에 서로 이격되도록 형성될 수 있다. 실시예에 따라, 제1 및 제2 전극들(ELT1, ELT2)은 적어도 하나의 도전 재료를 포함하는 도전막의 형성 공정 및/또는 패터닝 공정을 통해 형성될 수 있으며, 현재 공지된 다양한 방식의 공정을 통해 형성될 수 있다. 일 실시예에서, 제1 및 제2 전극들(ELT1, ELT2)을 형성하는 단계에서, 각각 제1 및 제2 전극들(ELT1, ELT2)과 일체로 연결되는 제1 및 제2 연결 전극들(CNL1, CNL2)을 함께 형성할 수 있다.
- [0213] 실시예에 따라, 제1 및 제2 전극들(ELT1, ELT2) 각각은 단일층 또는 다중층으로 형성될 수 있다. 일 예로, 제1 및 제2 전극들(ELT1, ELT2) 각각은 반사 전극 및 도전성 캡핑층 등을 포함한 다중층으로 형성될 수 있다. 이 경우, 제1 및 제2 전극들(ELT1, ELT2)을 형성하는 단계는, 제1 및 제2 격벽들(PW1, PW2) 상에 각각의 반사 전극을 형성하는 단계와, 상기 각각의 반사 전극 상에 각각의 도전성 캡핑층을 형성하는 단계를 포함할 수 있다.
- [0214] 추가적으로, 제1 및 제2 전극들(ELT1, ELT2)은 베이스 층(BSL) 상의 동일한 층 상에 동시에 형성될 수 있으나, 이에 한정되지는 않는다. 제1 및 제2 전극들(ELT1, ELT2)을 동시에 형성할 경우, 표시 장치의 제조에 이용되는 마스크 공정의 수를 저감 또는 최소화할 수 있게 된다.
- [0215] 실시예에 따라, 제1 절연 물질층(INL1)은 무기 절연 재료 및/또는 유기 절연 재료를 포함하는 절연막의 성막 공정을 통해 형성될 수 있으며, 현재 공지된 다양한 방식의 공정을 통해 형성될 수 있다. 일 예로, 적어도 하나의 무기 절연 재료를 포함하는 절연막의 성막 공정을 통해, 제1 절연 물질층(INL1)을 형성할 수 있다.
- [0216] 또한, 실시예에 따라, 제1 절연 물질층(INL1)은 단일층 또는 다중층으로 형성될 수 있다. 상기 제1 절연 물질층(INL1)이 다중층으로 구성된 경우, 이를 구성하는 각각의 절연 물질층이 순차적으로 형성될 수 있다.
- [0217] 도 18b를 참조하면, 제1 절연 물질층(INL1)이 형성된 베이스 층(BSL) 상에 복수의 발광 소자들(LD)을 공급하고, 상기 발광 소자들(LD) 중 적어도 일부의 제1 및 제2 단부들(EP1, EP2)이 각각의 제1 및 제2 전극들(ELT1, ELT2)에 인접하도록 상기 제1 및 제2 전극들(ELT1, ELT2)의 사이에 발광 소자들(LD)을 정렬한다. 실시예에 따라, 발광 소자들(LD)은 잉크젯 방식 등을 비롯한 다양한 방식을 통해 베이스 층(BSL) 상의 각 화소 영역에 공급될 수 있다. 일 예로, 베이스 층(BSL)의 각 화소 영역에는 적어도 하나의 발광 소자(LD)(일 예로, 복수의 발광 소자들(LD))가 공급될 수 있다. 그리고, 각 화소 영역에 배치된 제1 및 제2 전극들(ELT1, ELT2)에 소정의 정렬 전압(또는, 정렬 신호)을 인가함에 따라, 상기 제1 및 제2 전극들(ELT1, ELT2)의 사이에 발광 소자들(LD)을 정렬할 수 있다. 실시예에 따라, 상기 정렬 전압은 발광 소자들(LD)의 공급과 동시에 제1 및 제2 전극들(ELT1, ELT2)에 인가되거나, 또는 발광 소자들(LD)의 공급 이후에 제1 및 제2 전극들(ELT1, ELT2)에 인가될 수 있다.
- [0218] 도 18c를 참조하면, 제1 및 제2 전극들(ELT1, ELT2)과 발광 소자들(LD) 등이 배치된 베이스 층(BSL) 상에 제2 절연 물질층(INL2)을 형성한다. 실시예에 따라, 제2 절연 물질층(INL2)은 무기 재료 및/또는 유기 재료를 포함하는 절연막의 성막 공정을 통해 형성될 수 있으며, 현재 공지된 다양한 방식의 공정을 통해 형성될 수 있다.

일 예로, 적어도 하나의 무기 절연 재료를 포함하는 절연막의 성막 공정을 통해, 제2 절연 물질층(INL2)을 형성할 수 있다.

- [0219] 도 18d를 참조하면, 마스크를 이용한 패터닝 공정을 통해, 제1 및 제2 전극들(ELT1, ELT2) 각각의 일 영역을 노출하도록 제1 및 제2 절연 물질층들(INL1, INL2)을 식각한다. 일 예로, 포토 공정을 통해 제1 및 제2 전극들(ELT1, ELT2) 각각의 일 영역을 노출하도록 제1 및 제2 절연 물질층들(INL1, INL2)을 식각할 수 있다. 이에 따라 패터닝된 제1 절연 물질층(INL1)은 제1 절연층(INS1)을 구성할 수 있다.
- [0220] 도 18e를 참조하면, 제1 및 제2 전극들(ELT1, ELT2), 발광 소자들(LD) 및 제2 절연 물질층(INL2) 등이 배치된 베이스 층(BSL) 상에 제3 절연 물질층(INL3)을 형성한다. 실시예에 따라, 제3 절연 물질층(INL3)은 무기 재료 및/또는 유기 재료를 포함하는 절연막의 성막 공정을 통해 형성될 수 있으며, 현재 공지된 다양한 방식의 공정을 통해 형성될 수 있다. 일 예로, 적어도 하나의 유기 절연 재료를 포함하는 적어도 한 층의 유기막 및/또는 포토 레지스트막을 제2 절연 물질층(INL2)보다 두꺼운 두께로 성막함에 의해 제3 절연 물질층(INL3)을 형성할 수 있다.
- [0221] 도 18f를 참조하면, 제1 및 제2 전극들(ELT1, ELT2), 발광 소자들(LD), 제2 및 제3 절연 물질층들(INL2, INL3) 등이 배치된 베이스 층(BSL) 상에 제3 절연 패턴(INP3)을 형성한다. 실시예에 따라, 제3 절연 패턴(INP3)은, 무기 재료 및/또는 유기 재료를 포함하는 절연막의 성막 공정 및 패터닝 공정을 통해 형성될 수 있다. 실시예에 따라, 제3 절연 패턴(INP3)은, 발광 소자들(LD)(일 예로, 각 화소 영역의 제1 및 제2 전극들(ELT1, ELT2)의 사이에 온전히 정렬된 유효 발광 소자들) 각각의 제1 및 제2 단부들(EP1, EP2)을 제외하고, 상기 발광 소자들(LD) 각각의 나머지 영역과 중첩되도록 제3 절연 물질층(INL3) 상에 형성될 수 있다.
- [0222] 도 18g를 참조하면, 제3 절연 패턴(INP3)을 마스크로 이용하여 제2 및 제3 절연 물질층들(INL2, INL3)을 식각함으로써, 각각의 발광 소자(LD)와 이에 대응하는 제3 절연 패턴(INP3)의 사이에 제1 및 제2 절연 패턴들(INP1, INP2)을 형성할 수 있다. 일 예로, 제3 절연 패턴(INP3)을 마스크로 이용한 건식 식각 공정을 통해 제1 및 제2 절연 패턴들(INP1, INP2)을 형성할 수 있다. 또한, 이에 따라 발광 소자들(LD) 각각의 제1 및 제2 단부들(EP1, EP2)이 노출될 수 있다.
- [0223] 도 18h를 참조하면, 제2 절연 패턴(INP2)이 제1 및 제3 절연 패턴들(INP1, INP3)보다 좁은 폭을 가지도록 제2 절연 패턴(INP2)의 측면을 추가적으로 식각하는 공정을 진행한다. 일 예로, 산소(O_2) 가스 등을 이용한 추가적인 애싱(ashing) 공정을 통해 제2 절연 패턴(INP2)의 노출된 측면을 선택적으로 식각할 수 있다. 실시예에 따라, 식각 가스의 농도 및/또는 식각이 진행되는 시간 등을 조절함으로써, 제2 절연 패턴(INP2)의 폭을 조절할 수 있다. 예를 들어, 후속될 제1 및 제2 컨택 전극들(CNE1, CNE2)을 형성하기 위한 도전 물질의 도포 단계에서, 상기 도전 물질의 도포에 따라 형성되는 도전막이 제2 절연 패턴(INP2)의 양단에서 자연적으로 끊어질 수 있을 정도로 제2 절연 패턴(INP2)의 측면을 선택적으로 식각할 수 있다.
- [0224] 도 18i를 참조하면, 제1 및 제2 전극들(ELT1, ELT2), 발광 소자들(LD), 및 제1 내지 제3 절연 패턴들(INP1, INP2, INP3) 등이 배치된 베이스 층(BSL) 상에 도전 물질을 도포함으로써, 제1 및 제2 컨택 전극들(CNE1, CNE2)을 형성한다. 이 과정에서, 제3 절연 패턴(INP3)의 상부에는 제1 도전 패턴(CDP)이 형성될 수 있다. 예를 들어, 제1 및 제2 전극들(ELT1, ELT2), 발광 소자들(LD), 및 제1 내지 제3 절연 패턴들(INP1, INP2, INP3) 등이 배치된 베이스 층(BSL) 상에 스퍼터링 방식 등을 통해 도전막을 성막 및/또는 패터닝함으로써, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 제1 도전 패턴(CDP)을 형성할 수 있다. 실시예에 따라, 제1 도전 패턴(CDP)은 그 하부의 제1 내지 제3 절연 패턴들(INP1, INP2, INP3)과 함께, 발광 소자들(LD) 상부의 다층 패턴(MLP)을 형성할 수 있다. 다만, 실시예에 따라서는 제1 도전 패턴(CDP)과 다층 패턴(MLP)을 별개의 구성 요소로 간주할 수도 있다. 이 경우, 제1 도전 패턴(CDP)은 다층 패턴(MLP)의 상부에 배치된 것으로 볼 수 있다.
- [0225] 실시예에 따라, 상기 도전막은 다층 패턴(MLP)에 의해 커버되지 않은 발광 소자들(LD) 각각의 제1 및 제2 단부들(EP1, EP2) 상에도 바로 형성될 수 있다. 또한, 상기 도전막은 제1 절연층(INS1)에 의해 커버되지 않은 제1 및 제2 전극들(ELT1, ELT2) 각각의 일 영역 상에도 바로 형성될 수 있다. 이에 따라, 상기 도전막이 발광 소자들(LD) 각각의 제1 및 제2 단부들(EP1, EP2)과 제1 및 제2 전극들(ELT1, ELT2)에 직접 접촉되도록 형성되면서, 상기 제1 및 제2 단부들(EP1, EP2)을 각각 제1 및 제2 전극들(ELT1, ELT2)에 연결하는 제1 및 제2 컨택 전극들(CNE1, CNE2)을 형성할 수 있다.
- [0226] 한편, 상기 도전막은 제2 절연 패턴(INP2)의 양단에서 끊어지게 된다. 이에 따라, 제1 도전 패턴(CDP)은 제1 및 제2 컨택 전극들(CNE1, CNE2)로부터 분리되어 플로우팅된 패턴으로 형성될 수 있다.

- [0227] 실시예에 따라, 도전막이 형성된 이후, 각각의 화소 영역 내에서 도전막의 일 영역을 제거하기 위한 마스크 공정이 선택적으로 더 진행될 수도 있다. 일 예로, 각 화소 영역의 가장자리 영역에서 도전막을 제거하기 위한 마스크 공정이 추가적으로 진행될 수 있다.
- [0228] 이후, 제1 및 제2 컨택 전극들(CNE1, CNE2) 및 다층 패턴(MLP)의 상부에 제2 절연층(INS2)을 형성함으로써, 도 10의 실시예에 의한 화소(PXL) 및 이를 구비한 표시 장치를 제조할 수 있다.
- [0229] 한편, 실시예에 따라서는 도 18j에 도시된 바와 같이 제1 및 제2 컨택 전극들(CNE1, CNE2)의 형성 이후, 다층 패턴(MLP)의 적어도 일부를 제거하기 위한 필-오프(peel-off) 공정을 추가적으로 진행할 수도 있다. 일 예로, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 제1 도전 패턴(CDP1)을 형성한 이후, 제2 및 제3 절연 패턴들(INP2, INP3)과 제1 도전 패턴(CDP1)을 제거하는 공정을 추가적으로 진행할 수도 있다.
- [0230] 이후, 제1 및 제2 컨택 전극들(CNE1, CNE2)의 상부에 제2 절연층(INS2)을 형성함으로써, 도 15의 실시예에 의한 화소(PXL) 및 이를 구비한 표시 장치를 제조할 수 있다.
- [0231] 상술한 실시예에 의하면, 제1 및 제2 컨택 전극들(CNE1, CNE2)을, 베이스 층(BSL) 상의 동일한 층 상에 동시에 형성할 수 있게 된다. 또한, 스퍼터링 방식 등을 통하여 도전막을 성막할 때, 제2 절연 패턴(INP2)의 양단에서 상기 도전막의 자연적인 단선을 유도할 수 있다. 이 경우, 습식 식각을 통해 발광 소자들(LD)의 주변에서 제1 및 제2 컨택 전극들(CNE1, CNE2)을 패터닝할 필요가 없게 되므로, 식각액이 발광 소자들(LD)의 하부로 유입되어 상기 발광 소자들(LD)의 하부가 파이는 현상을 방지할 수 있다. 이에 따라, 발광 소자들(LD)과 제1 및/또는 제2 컨택 전극들(CNE1, CNE2)의 사이에서 발생할 수 있는 컨택 불량을 방지할 수 있다.
- [0232] 즉, 상술한 실시예에 의하면, 제1 및 제2 컨택 전극들(CNE1, CNE2)을 통해 발광 소자들(LD)을 제1 및 제2 전극들(ELT, ELT2)의 사이에 안정적으로 연결하면서도, 표시 장치의 제조에 이용되는 마스크 공정의 수를 저감할 수 있다.
- [0234] 도 19 및 도 20은 각각 본 발명의 일 실시예에 의한 화소(PXL)를 나타내는 단면도로서, 일 예로 도 8의 I~I'선에 대응하는 화소(PXL)의 단면에 대한 서로 다른 실시예들을 나타낸다. 도 21 및 도 22는 각각 본 발명의 일 실시예에 의한 화소(PXL)를 나타내는 단면도로서, 일 예로 도 9의 II~II'선에 대응하는 화소(PXL)의 단면에 대한 서로 다른 실시예들을 나타낸다.
- [0235] 도 19 및 도 20의 실시예들은 각각 도 10 및 도 14의 실시예들 대비 제2 도전 패턴(CDP2)을 더 포함하며, 도 21 및 도 22의 실시예들은, 각각 도 16 및 도 17의 실시예들 대비 제2 도전 패턴(CDP2)을 더 포함한다. 도 19 내지 도 22의 실시예들에서, 앞서 설명한 실시예들과 유사 또는 동일한 구성 요소에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.
- [0236] 도 19 내지 도 22를 참조하면, 각각의 화소(PXL)는, 각각의 발광 소자(LD)와 제1 절연 패턴(INP1)의 사이에 배치된 제2 도전 패턴(CDP2)을 더 포함할 수 있다. 일 예로, 각각의 화소(PXL)는, 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)을 노출하도록 상기 발광 소자들(LD)의 일 영역 상에 배치된 다층 패턴(MLP)을 포함하고, 상기 다층 패턴(MLP)은 하부로부터 순차적으로 배치된 제2 도전 패턴(CDP2), 제1 내지 제3 절연 패턴들(INP1, INP2, INP3) 및 제1 도전 패턴(CDP1)을 포함할 수 있다.
- [0237] 제2 도전 패턴(CDP2)은, 제1 절연 패턴(INP1)보다 좁은 폭을 가질 수 있다. 예를 들어, 제2 도전 패턴(CDP2)은, 평면 상에서 보았을 때, 제1 절연 패턴(INP1)보다 좁은 폭을 가지고 상기 제1 절연 패턴(INP1)의 내측에 배치되어, 제1 및 제2 컨택 전극들(CNE1, CNE2)로부터 분리될 수 있다.
- [0238] 실시예에 따라, 제2 도전 패턴(CDP2)은 습식 식각에 의해 제거되는 도전 물질을 포함할 수 있다. 예를 들어, 제2 도전 패턴(CDP2)은 습식 식각을 통해 패터닝될 수 있는 투명 도전 물질을 포함할 수 있다. 일 예로, 제2 도전 패턴(CDP2)은 IZO나 ITO 등과 같은 투명 도전성 산화물을 포함할 수 있으며, 이외에도 습식 식각이 가능한 다양한 도전 물질 중 적어도 하나를 포함할 수 있다.
- [0239] 상술한 실시예들에서와 같이, 각각의 발광 소자(LD) 상에 제2 도전 패턴(CDP2)을 형성하게 되면, 제1 및 제2 컨택 전극들(CNE1, CNE2)과의 연결을 위해 상기 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)을 노출하기 위한 공정을 진행할 때, 습식 식각을 통해 상기 제1 및 제2 단부들(EP1, EP2)을 노출할 수 있게 된다. 이 경우, 건식 식각을 통해 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)을 노출할 때 발생할 수 있는 발광 소자(LD)의 손상(일 예로, 건식 식각 시 발생할 수 있는 절연성 피막(도 1a 내지 도 3b의 INF)의 손상)을 방지할 수 있다. 이에

따라, 발광 소자(LD)의 손상으로 인한 쇼트 결함 등을 미연에 방지할 수 있다.

- [0241] 도 23a 내지 도 23j는 본 발명의 일 실시예에 의한 표시 장치의 제조 방법을 순차적으로 나타내는 단면도로서, 일 예로 도 19의 실시예 등에 의한 화소(PXL)를 포함하는 표시 장치의 제조 방법에 대한 일 실시예를 나타낸다. 도 23a 내지 도 23j의 제조 방법 실시예에서, 앞서 설명한 실시예, 일 예로 도 18a 내지 도 18j의 제조 방법 실시예와 유사 또는 동일한 구성 요소에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.
- [0242] 도 23a를 참조하면, 먼저 베이스 층(BSL)의 일면 상에 서로 이격되도록 제1 및 제2 격벽들(PW1, PW2)을 형성하고, 상기 제1 및 제2 격벽들(PW1, PW2) 상에 각각 제1 및 제2 전극들(ELT1, ELT2)을 형성한다. 또한, 제1 및 제2 전극들(ELT1, ELT2) 각각의 일 영역을 노출하도록 상기 제1 및 제2 전극들(ELT1, ELT2) 상에 제1 절연층(INS1)을 형성한다.
- [0243] 도 23b를 참조하면, 제1 및 제2 전극들(ELT1, ELT2)과 제1 절연층(INS1) 등이 형성된 베이스 층(BSL) 상에 복수의 발광 소자들(LD)을 공급하고, 상기 발광 소자들(LD)을 제1 및 제2 전극들(ELT1, ELT2)의 사이에 정렬한다.
- [0244] 도 23c를 참조하면, 제1 및 제2 전극들(ELT1, ELT2)과 발광 소자들(LD) 등이 배치된 베이스 층(BSL) 상에 도전 물질층(CDL) 및 제2 절연 물질층(INL2)을 순차적으로 형성한다. 실시예에 따라, 도전 물질층(CDL)은 적어도 하나의 도전 물질을 포함하는 도전막의 성막 공정을 형성될 수 있으며, 현재 공지된 다양한 방식을 공정을 통해 형성될 수 있다. 일 예로, IZO나 ITO 등과 같은 적어도 하나의 투명 도전 물질을 포함하는 도전막의 성막 공정을 통해 도전 물질층(CDL)을 형성할 수 있다. 실시예에 따라, 제2 절연 물질층(INL2)은 적어도 하나의 무기 절연 재료를 포함하는 절연막의 성막 공정을 통해 형성될 수 있다.
- [0245] 도 23d를 참조하면, 제1 및 제2 전극들(ELT1, ELT2), 발광 소자들(LD), 도전 물질층(CDL) 및 제2 절연 물질층(INL2) 등이 배치된 베이스 층(BSL) 상에 제3 절연 물질층(INL3) 및 제3 절연 패턴(INP3)을 순차적으로 형성한다. 실시예에 따라, 제3 절연 물질층(INL3)은 적어도 하나의 유기 절연 재료 및/또는 포토 레지스트 물질을 포함하는 절연막의 성막 공정을 통해 형성될 수 있다. 실시예에 따라, 제3 절연 패턴(INP3)은 적어도 하나의 무기 절연 재료를 포함하는 절연막의 성막 공정 및 패터닝 공정 등을 통해 형성될 수 있다.
- [0246] 도 23e를 참조하면, 제3 절연 패턴(INP3)을 마스크로 이용하여 제2 및 제3 절연 물질층들(INL2, INL3)을 식각함으로써, 제1 및 제2 절연 패턴들(INP1, INP2)을 형성한다. 일 예로, 제3 절연 패턴(INP3)을 마스크로 이용한 건식 식각 공정을 통해 제1 및 제2 절연 패턴들(INP1, INP2)을 형성할 수 있다.
- [0247] 도 23f를 참조하면, 제2 절연 패턴(INP2)이 제1 및 제3 절연 패턴들(INP1, INP3)보다 좁은 폭을 가지도록 제2 절연 패턴(INP2)의 측면을 추가적으로 식각한다. 일 예로, 산소(O₂) 가스 등을 이용한 추가적인 애싱(ashing) 공정을 통해 제2 절연 패턴(INP2)의 노출된 측면을 선택적으로 식각할 수 있다.
- [0248] 도 23g를 참조하면, 제1 내지 제3 절연 패턴들(INP1, INP2, INP3)을 마스크로 이용한 습식 식각 공정을 통해 도전 물질층(CDL)을 식각함으로써, 제2 도전 패턴(CDP2)을 형성한다. 실시예에 따라, 선택 식각비를 조절함으로써, 제2 도전 패턴(CDP2)이 그 상부의 제1 절연 패턴(INP1)보다 좁은 폭을 가지도록 도전 물질층(CDL)을 식각할 수 있다. 예를 들어, 제1 및 제2 컨택 전극들(CNE1, CNE2)을 형성하기 위해 후속되는 도전막의 형성 공정에서, 제2 도전 패턴(CDP2)이 상기 제1 및 제2 컨택 전극들(CNE1, CNE2)로부터 충분히 이격될 수 있을 정도로 제2 도전 패턴(CDP2)을 과식각(over-etching)할 수 있다.
- [0249] 도전 물질층(CDL)을 식각하여 제2 도전 패턴(CDP2)을 형성함에 따라, 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)이 노출될 수 있다. 즉, 본 실시예에서는, 습식 공정을 통해 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)을 노출할 수 있다. 이에 따라, 건식 식각을 통해 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)을 노출할 때 발생할 수 있는 발광 소자(LD)의 손상을 방지할 수 있다.
- [0250] 도 23h를 참조하면, 제1 및 제2 전극들(ELT1, ELT2), 발광 소자들(LD), 제2 도전 패턴(CDP2), 및 제1 내지 제3 절연 패턴들(INP1, INP2, INP3) 등이 배치된 베이스 층(BSL) 상에 도전 물질을 도포함으로써, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 제1 도전 패턴(CDP1)을 형성한다.
- [0251] 도 23i를 참조하면, 제1 및 제2 컨택 전극들(CNE1, CNE2)을 형성하기 위한 도전막의 성막 이후, 제1 및/또는 제2 컨택 전극들(CNE1, CNE2)을 원하는 위치에, 소정의 형상 및/또는 크기로 형성하기 위한 마스크 공정을 선택적

으로 더 진행할 수 있다. 일 예로, 도 6 내지 도 9의 실시예들에서와 같이, 각 화소 영역의 양측에 두 개의 제1 전극들(ELT1)이 배치된다고 할 때, 상기 제1 전극들(ELT1) 외측의 주변 영역에 도포된 도전막을 제거하기 위한 마스크 공정을 선택적으로 진행할 수 있다. 이에 따라, 각각의 제1 컨택 전극(CNE1)을 원하는 형상 및/또는 크기로 형성할 수 있다.

[0252] 이후, 제1 및 제2 컨택 전극들(CNE1, CNE2) 및 다층 패턴(MLP)의 상부에 제2 절연층(INS2)을 형성함으로써, 도 19의 실시예에 의한 화소(PXL) 및 이를 구비한 표시 장치를 제조할 수 있다.

[0253] 한편, 실시예에 따라서는 도 23j에 도시된 바와 같이 제1 및 제2 컨택 전극들(CNE1, CNE2)의 형성 이후, 다층 패턴(MLP)의 적어도 일부를 제거하기 위한 필-오프(peel-off) 공정을 추가적으로 진행할 수도 있다. 일 예로, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 제1 도전 패턴(CDP1)을 형성한 이후, 제2 및 제3 절연 패턴들(INP2, INP3)과 제1 도전 패턴(CDP1)을 제거하는 공정을 추가적으로 진행할 수도 있다. 이후, 제1 및 제2 컨택 전극들(CNE1, CNE2)의 상부에 제2 절연층(INS2)을 형성함으로써, 보호막을 형성할 수 있다.

[0255] 도 24a 내지 도 24j는 본 발명의 일 실시예에 의한 표시 장치의 제조 방법을 순차적으로 나타내는 단면도로서, 일 예로 도 22의 실시예 등에 의한 화소(PXL)를 포함하는 표시 장치의 제조 방법에 대한 일 실시예를 나타낸다.

[0256] 도 24a 내지 도 24j의 제조 방법 실시예에서, 앞서 설명한 실시예들과 유사 또는 동일한 구성 요소에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.

[0257] 도 24a를 참조하면, 먼저 베이스 층(BSL)의 일면 상에 서로 이격되도록 제1 및 제2 격벽들(PW1, PW2)을 형성하고, 상기 제1 및 제2 격벽들(PW1, PW2) 상에 각각 제1 및 제2 전극들(ELT1, ELT2)을 형성한다.

[0258] 도 24b를 참조하면, 제1 및 제2 전극들(ELT1, ELT2) 등이 형성된 베이스 층(BSL) 상에 복수의 발광 소자들(LD)을 공급하고, 상기 발광 소자들(LD)을 제1 및 제2 전극들(ELT1, ELT2)의 사이에 정렬한다.

[0259] 도 24c를 참조하면, 제1 및 제2 전극들(ELT1, ELT2)과 발광 소자들(LD) 등이 배치된 베이스 층(BSL) 상에 도전 물질층(CDL) 및 제2 절연 물질층(INL2)을 순차적으로 형성한다.

[0260] 도 24d를 참조하면, 제1 및 제2 전극들(ELT1, ELT2), 발광 소자들(LD), 도전 물질층(CDL) 및 제2 절연 물질층(INL2) 등이 배치된 베이스 층(BSL) 상에 제3 절연 물질층(INL3) 및 제3 절연 패턴(INP3)을 순차적으로 형성한다.

[0261] 도 24e를 참조하면, 제3 절연 패턴(INP3)을 마스크로 이용하여 제2 및 제3 절연 물질층들(INL2, INL3)을 식각함으로써, 제1 및 제2 절연 패턴들(INP1, INP2)을 형성한다. 일 예로, 제3 절연 패턴(INP3)을 마스크로 이용한 건식 식각 공정을 통해 제1 및 제2 절연 패턴들(INP1, INP2)을 형성할 수 있다.

[0262] 도 24f를 참조하면, 제2 절연 패턴(INP2)이 제1 및 제3 절연 패턴들(INP1, INP3)보다 좁은 폭을 가지도록 제2 절연 패턴(INP2)의 측면을 추가적으로 식각한다.

[0263] 도 24g를 참조하면, 제1 내지 제3 절연 패턴들(INP1, INP2, INP3)을 마스크로 이용한 습식 식각 공정을 통해 도전 물질층(CDL)을 식각함으로써, 제2 도전 패턴(CDP2)을 형성한다. 실시예에 따라, 제2 도전 패턴(CDP2)이 후속 공정에서 형성될 제1 및 제2 컨택 전극들(CNE1, CNE2)로부터 충분히 이격될 수 있을 정도로 제2 도전 패턴(CDP2)을 과식각할 수 있다. 일 예로, 제2 도전 패턴(CDP2)이 그 상부의 제1 절연 패턴(INP1)에 비해 좁은 폭을 가지도록 상기 제2 도전 패턴(CDP2)을 과식각할 수 있다.

[0264] 도 24h를 참조하면, 제1 및 제2 전극들(ELT1, ELT2), 발광 소자들(LD), 제2 도전 패턴(CDP2), 및 제1 내지 제3 절연 패턴들(INP1, INP2, INP3) 등이 배치된 베이스 층(BSL) 상에 도전 물질을 도포함으로써, 제1 및 제2 컨택 전극들(CNE1, CNE2)과 제1 도전 패턴(CDP1)을 형성한다.

[0265] 도 24i를 참조하면, 제1 및 제2 컨택 전극들(CNE1, CNE2)을 형성하기 위한 도전막의 성막 이후, 제1 및/또는 제2 컨택 전극들(CNE1, CNE2)을 원하는 위치에, 소정의 형상 및/또는 크기로 형성하기 위한 마스크 공정을 선택적으로 더 진행할 수 있다.

[0266] 이후, 제1 및 제2 컨택 전극들(CNE1, CNE2) 및 다층 패턴(MLP)의 상부에 제2 절연층(INS2)을 형성함으로써, 도 22의 실시예에 의한 화소(PXL) 및 이를 구비한 표시 장치를 제조할 수 있다.

[0267] 한편, 실시예에 따라서는 도 24j에 도시된 바와 같이 제1 및 제2 컨택 전극들(CNE1, CNE2)의 형성 이후, 제2 및

제3 절연 패턴들(INP2, INP3) 및/또는 제1 도전 패턴(CDP1)을 제거하기 위한 필-오프(peel-off) 공정을 추가적으로 진행할 수도 있다. 이후, 제1 및 제2 콘택 전극들(CNE1, CNE2)의 상부에 제2 절연층(INS2)을 형성할 수 있다.

[0269] 본 발명의 기술 사상은 전술한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형 예가 가능함을 이해할 수 있을 것이다.

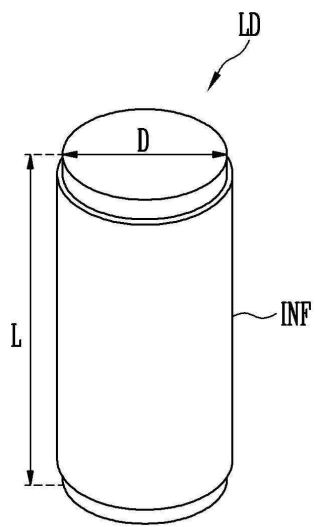
[0270] 본 발명의 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라, 특허 청구범위에 의해 정해져야만 할 것이다. 또한, 특허 청구범위의 의미 및 범위, 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

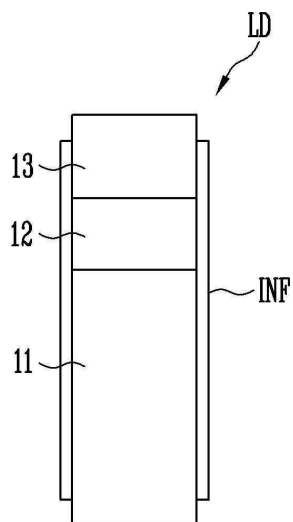
[0272] BSL: 베이스 층 CNE1: 제1 콘택 전극
CNE2: 제2 콘택 전극 CDL: 도전 물질층
CDP1: 제1 도전 패턴 CDP2: 제2 도전 패턴
CPL: 도전 패턴층 DA: 표시 영역
DPL: 표시 소자층 ELT1: 제1 전극
ELT2: 제2 전극 EP1: 제1 단부
EP2: 제2 단부 INP1: 제1 절연 패턴
INP2: 제2 절연 패턴 INP3: 제3 절연 패턴
INL1: 제1 절연 물질층 INL2: 제2 절연 물질층
INL3: 제3 절연 물질층 LD: 발광 소자
LSU: 광원 유닛 MLP: 다층 패턴
PCL: 화소 회로층 PNL: 표시 패널
PW1: 제1 격벽 PW2: 제2 격벽
PXC: 화소 회로 PXL: 화소

도면

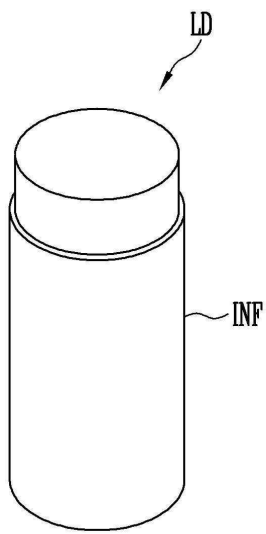
도면1a



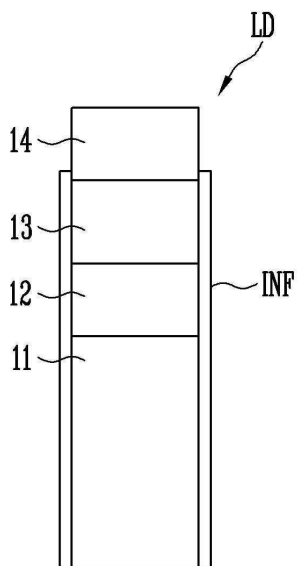
도면1b



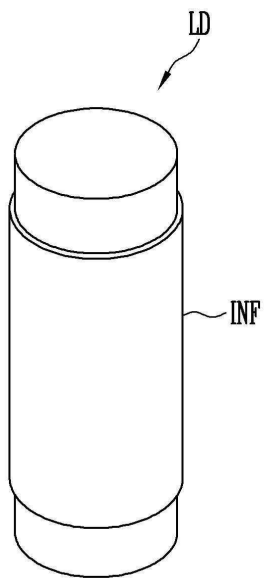
도면2a



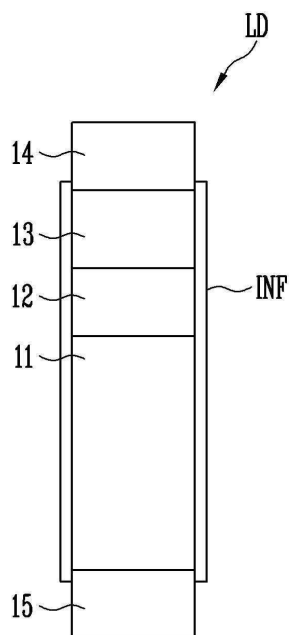
도면2b



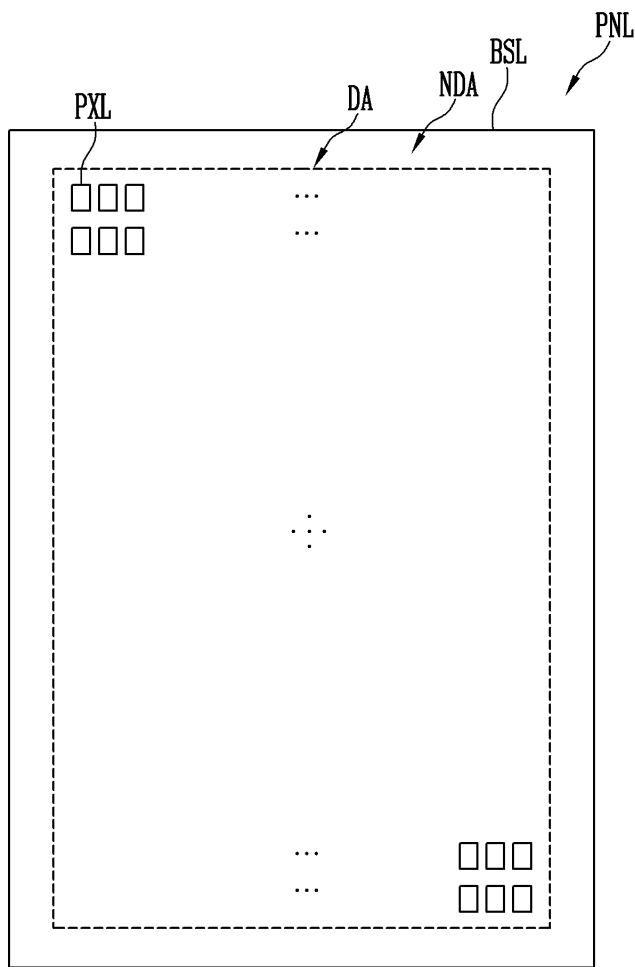
도면3a



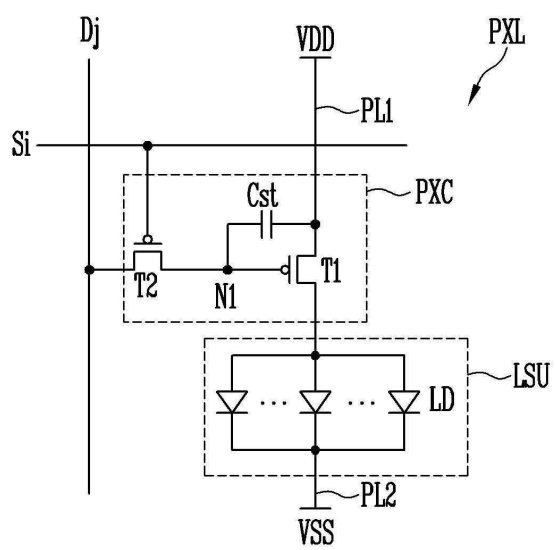
도면3b



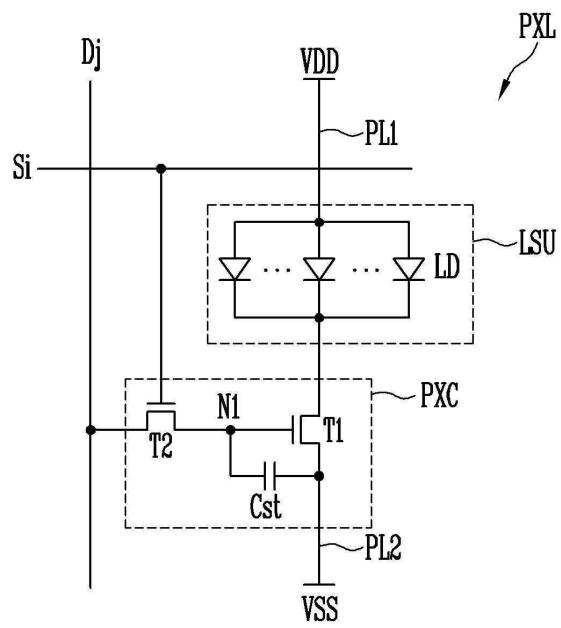
도면4



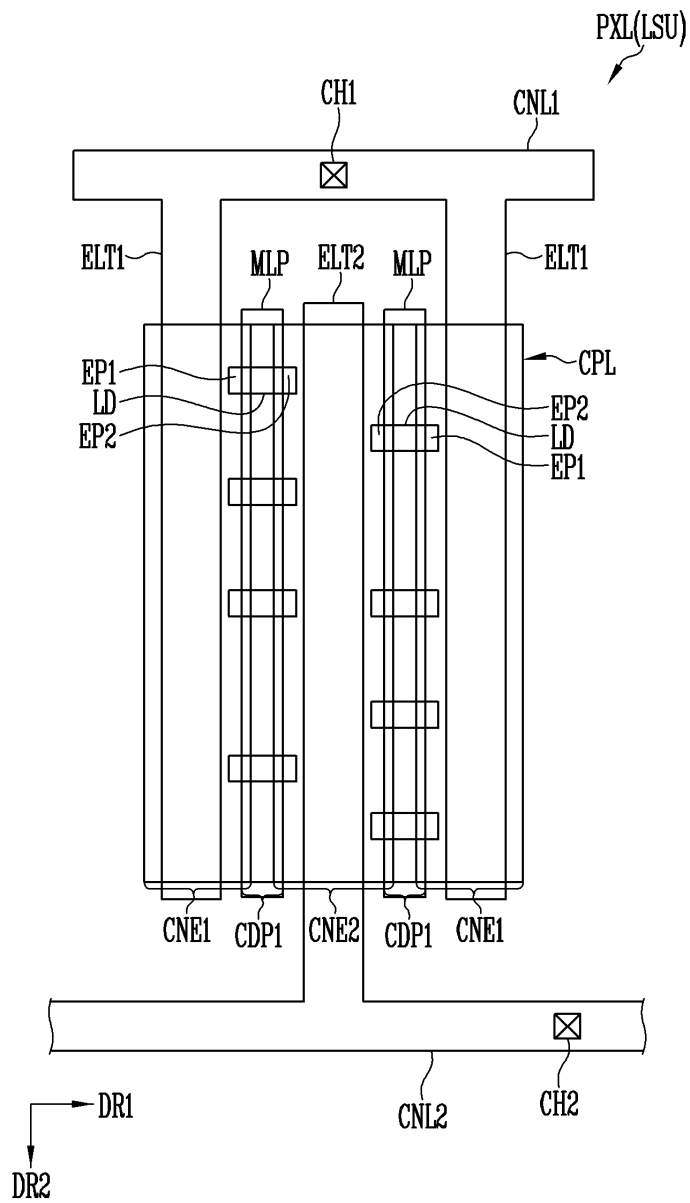
도면5a



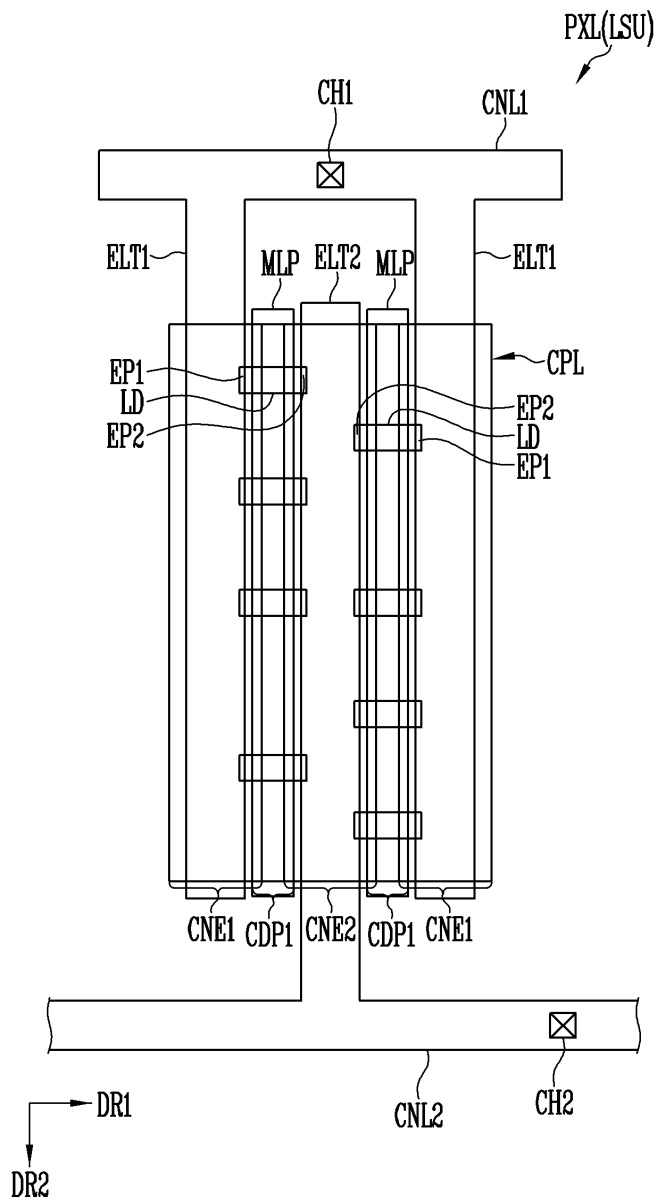
도면5b



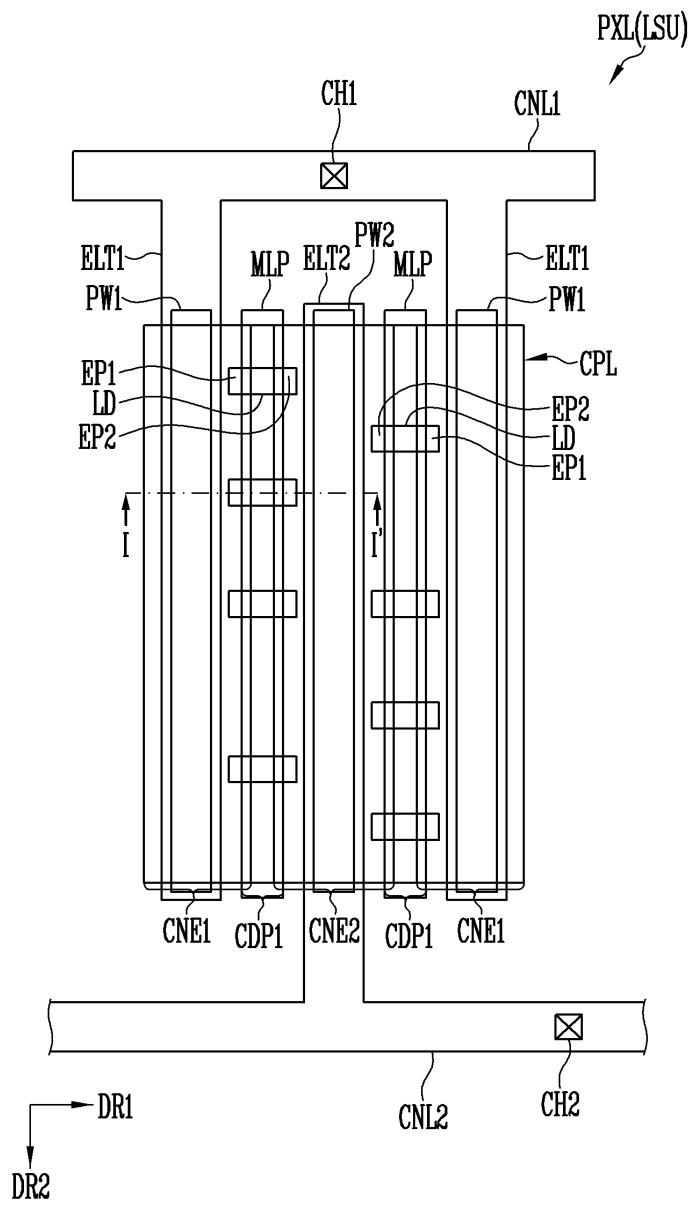
도면6



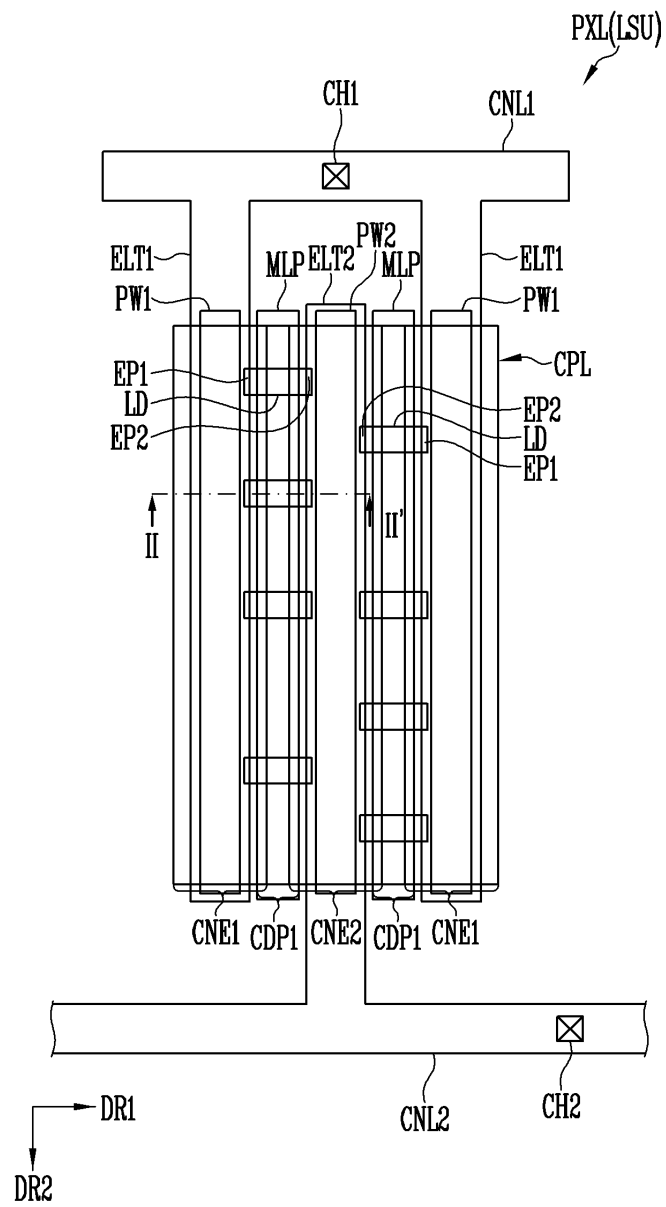
도면7



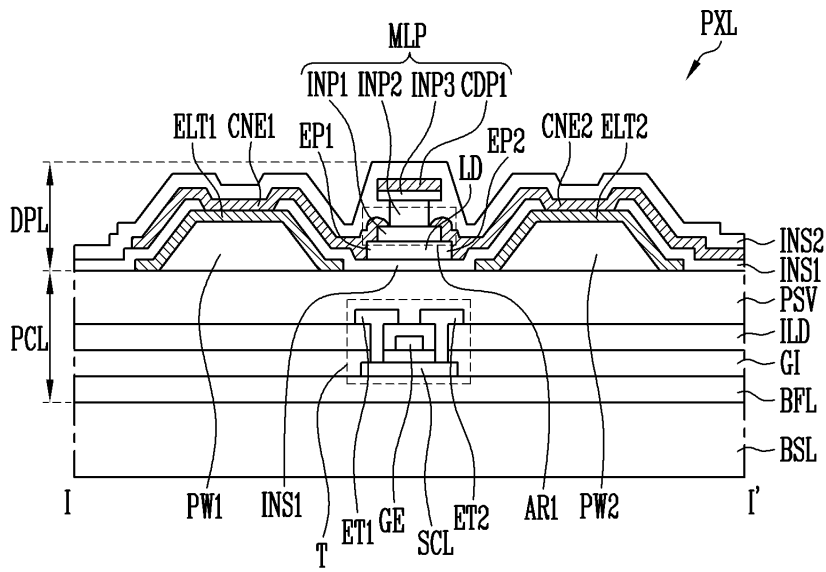
도면8



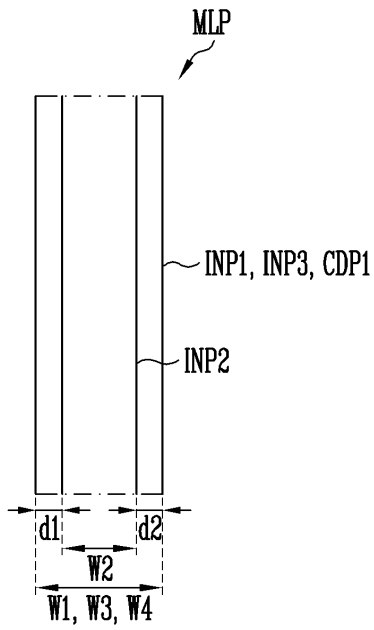
도면9



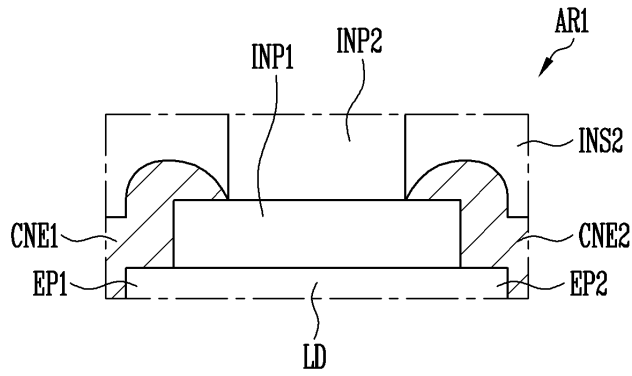
도면10



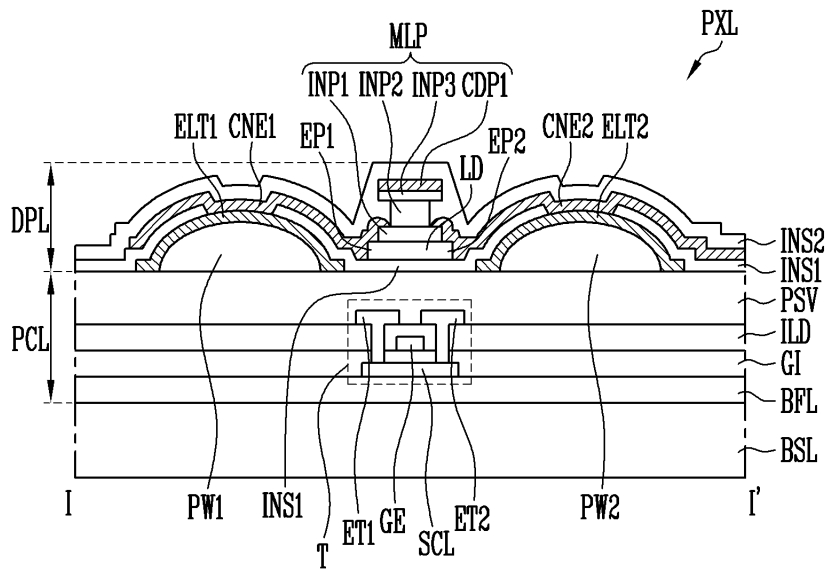
도면11



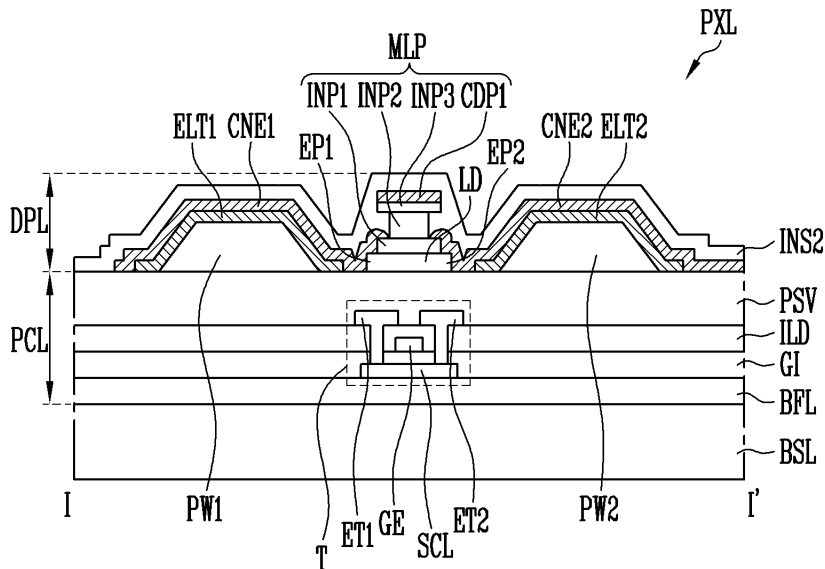
도면12



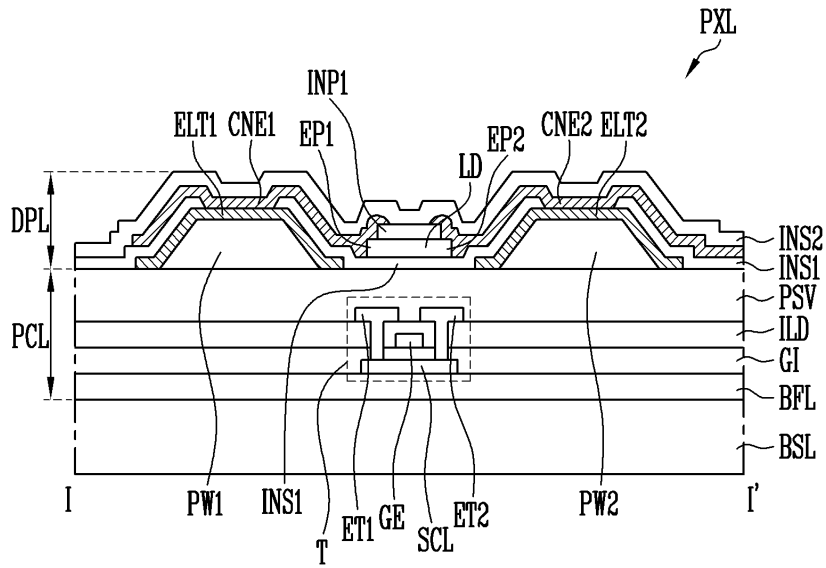
도면13



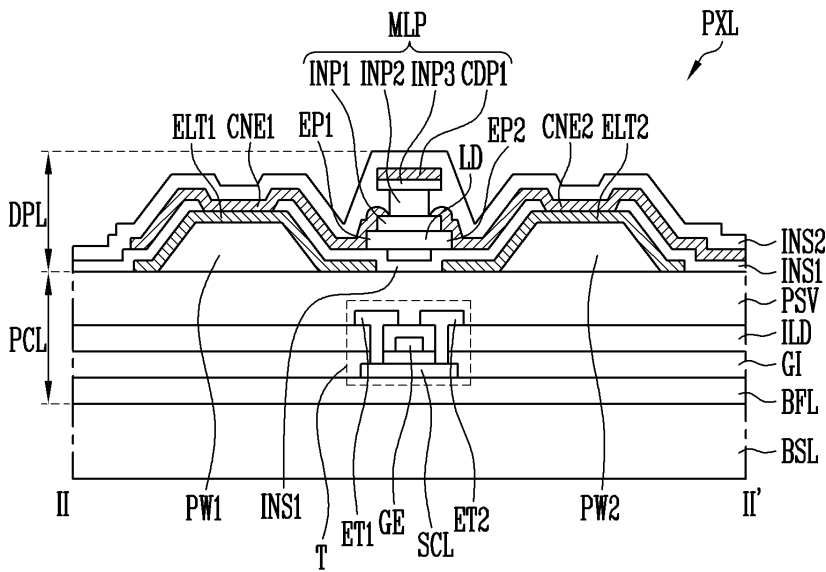
도면14



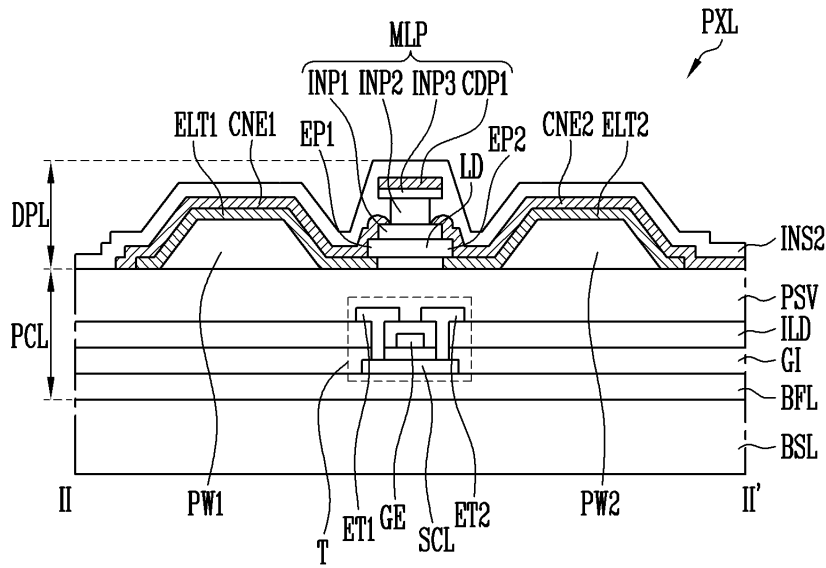
도면15



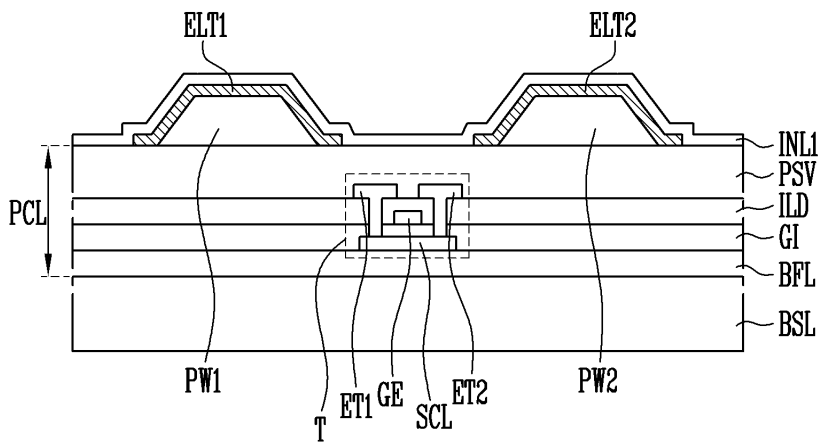
도면16



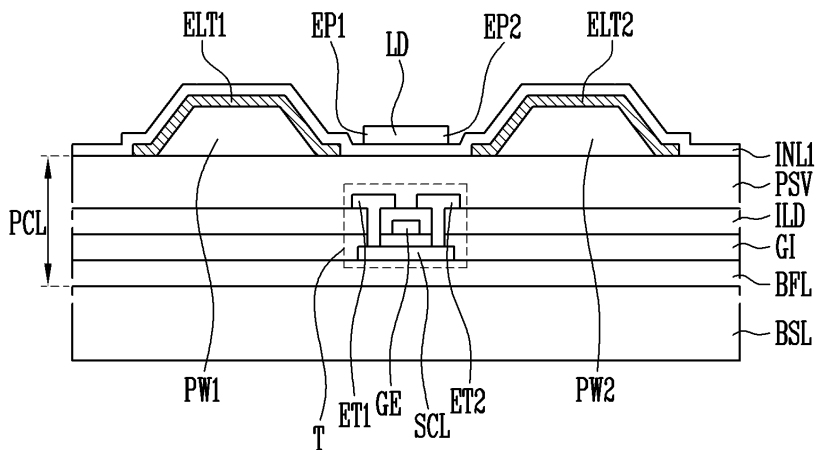
도면17



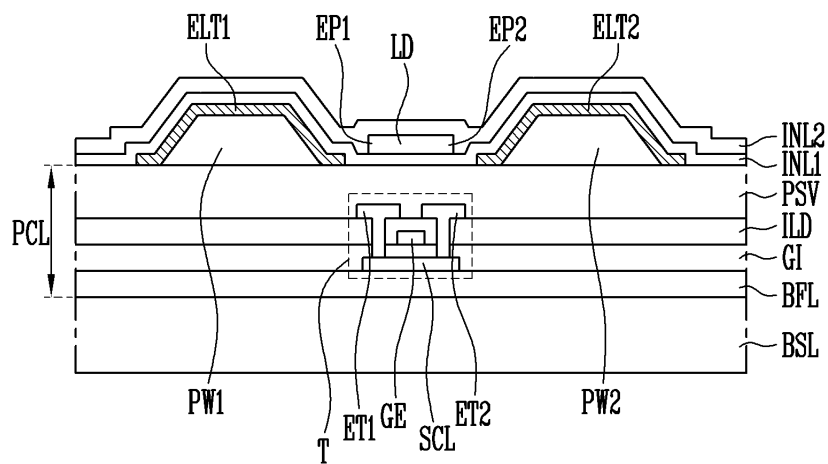
도면18a



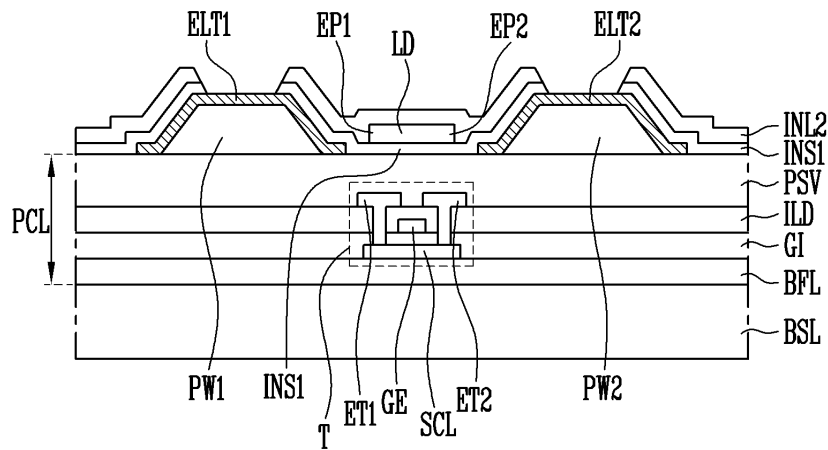
도면18b



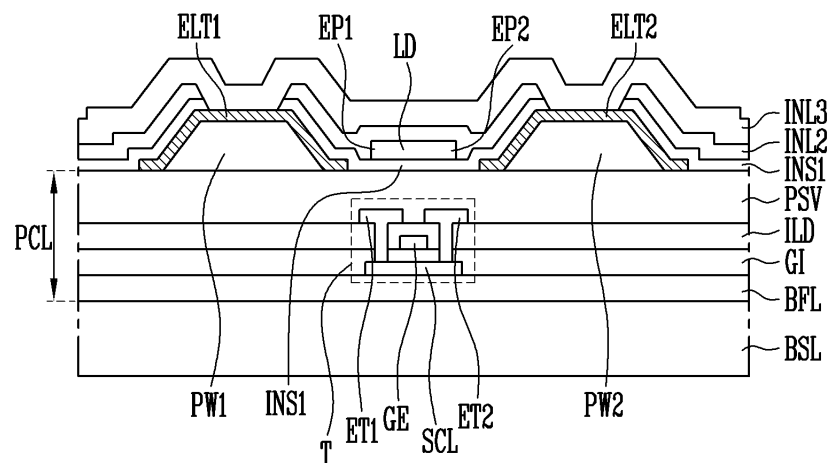
도면 18c



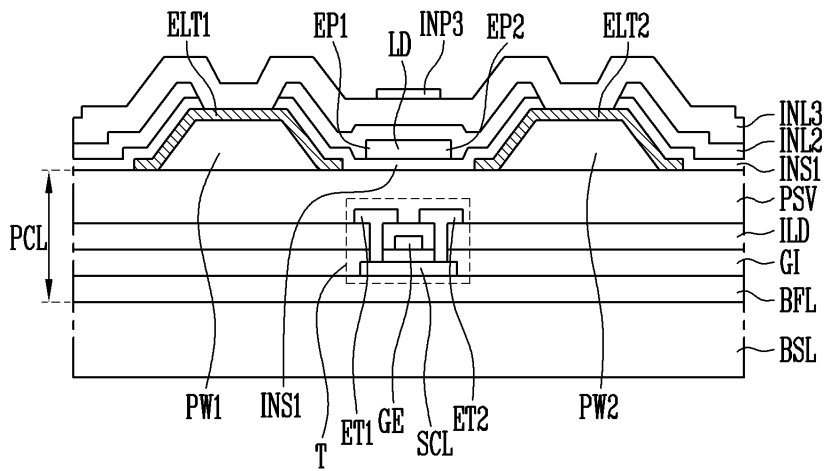
도면 18d



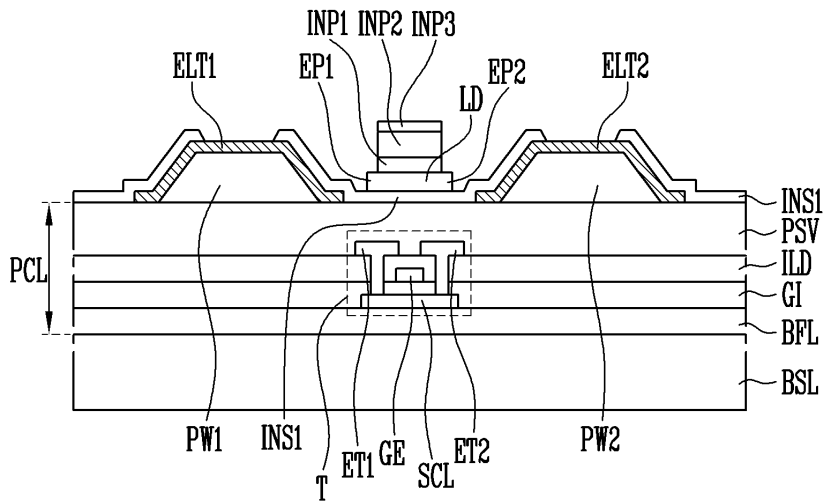
도면 18e



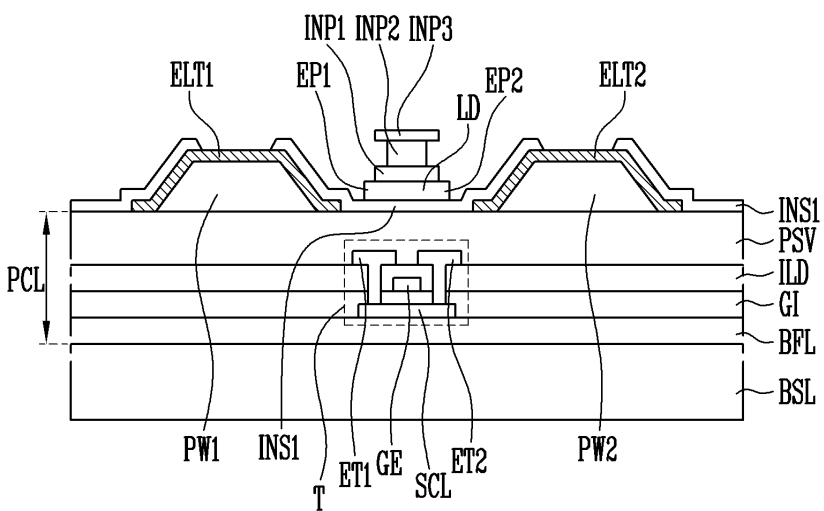
도면18f



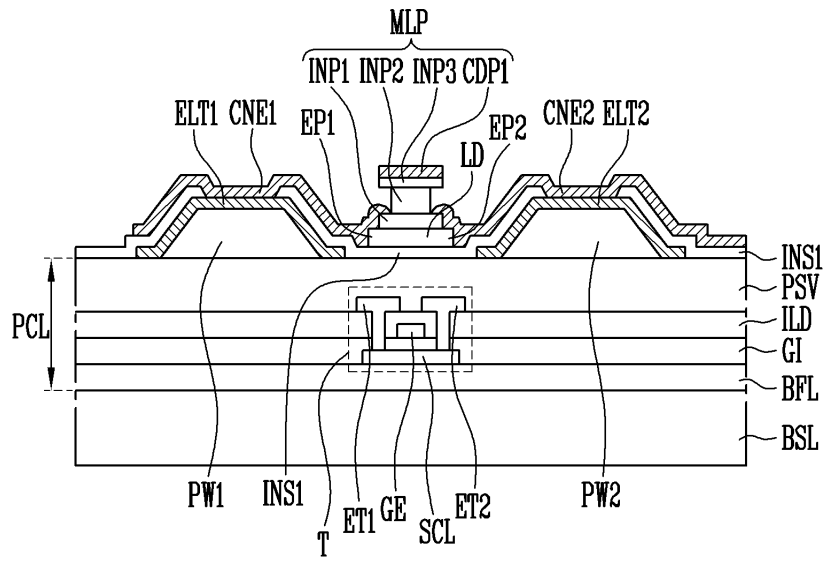
도면18g



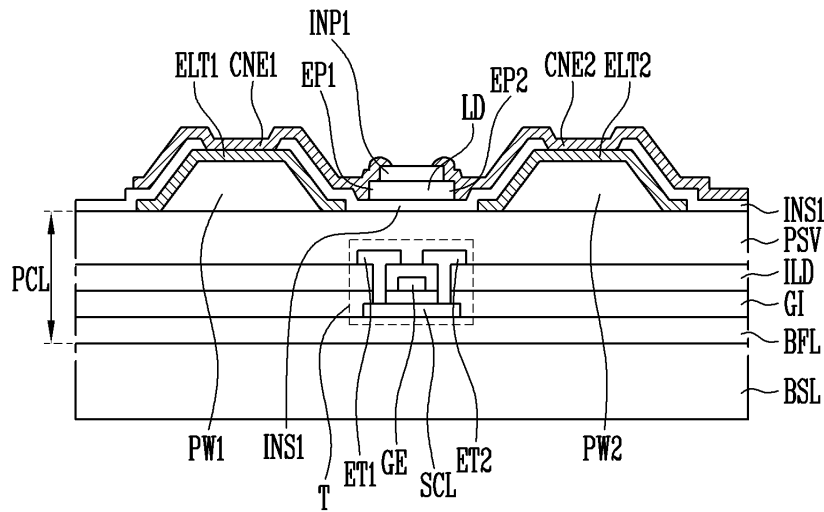
도면18h



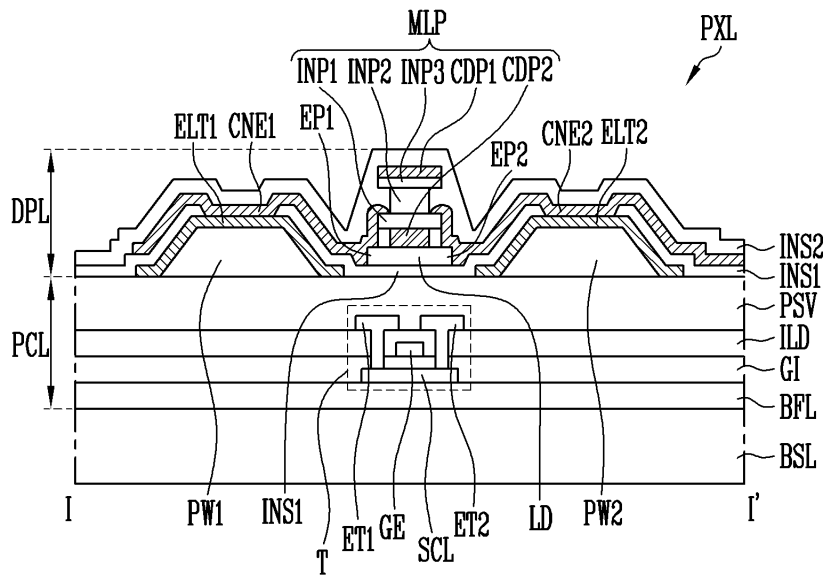
도면18i



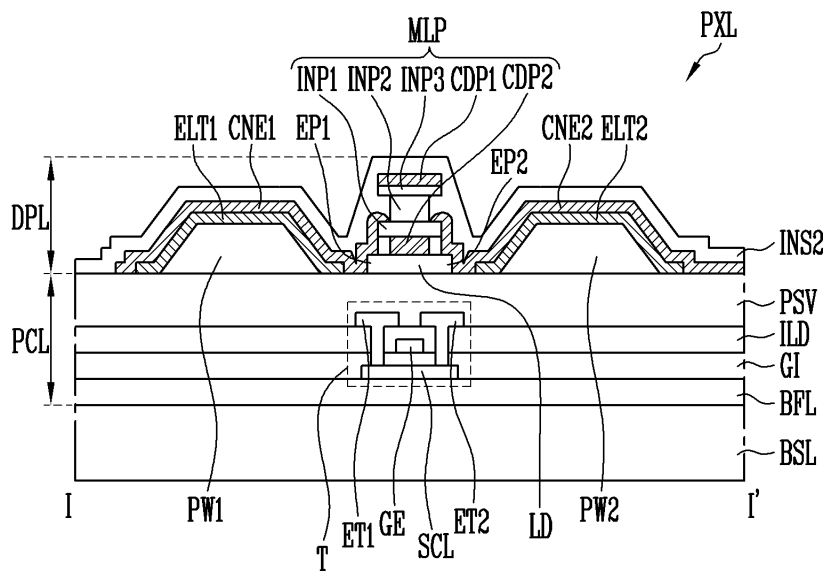
도면18j



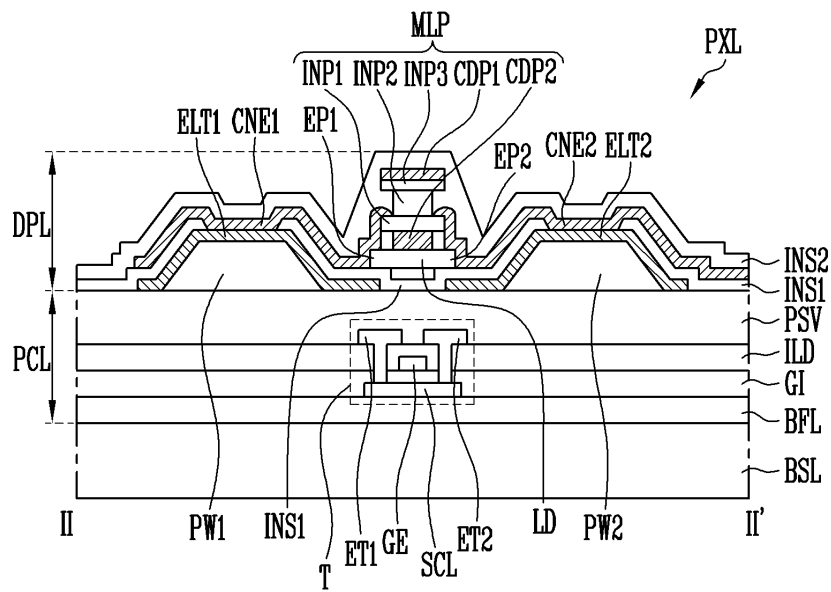
도면19



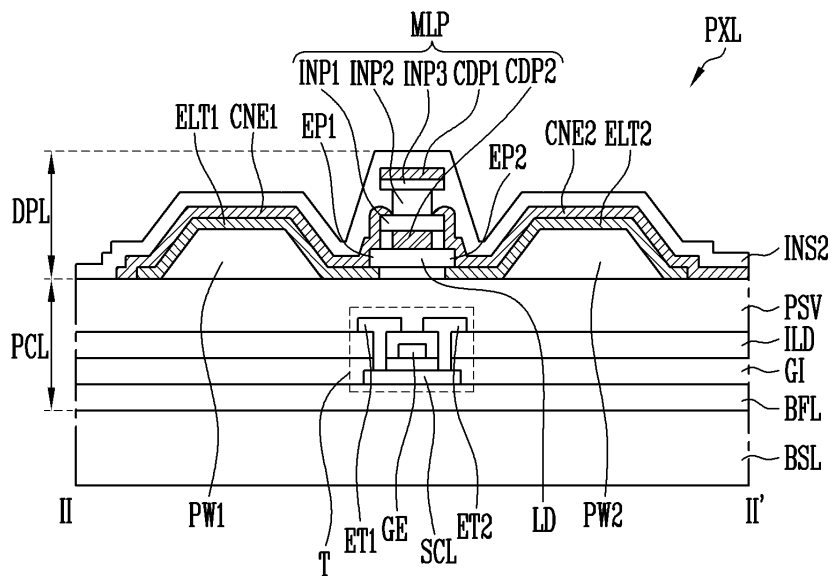
도면20



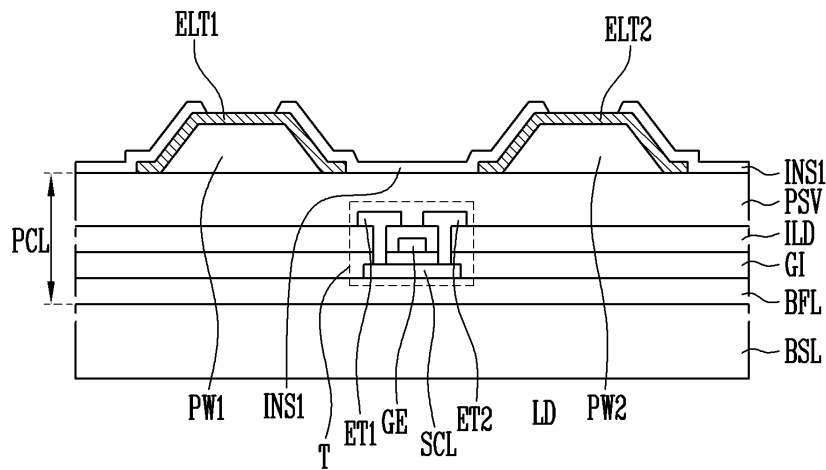
도면21



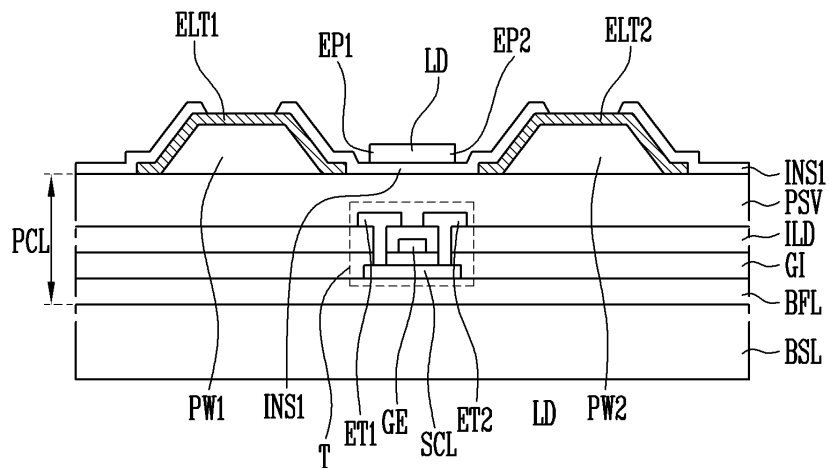
도면22



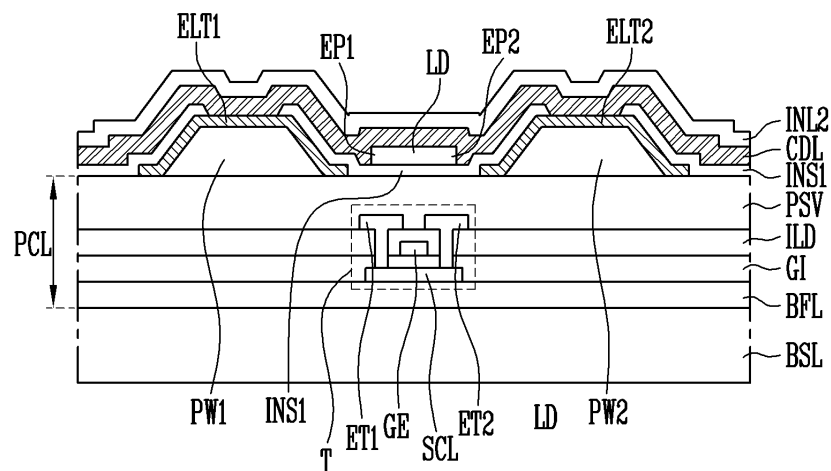
도면23a



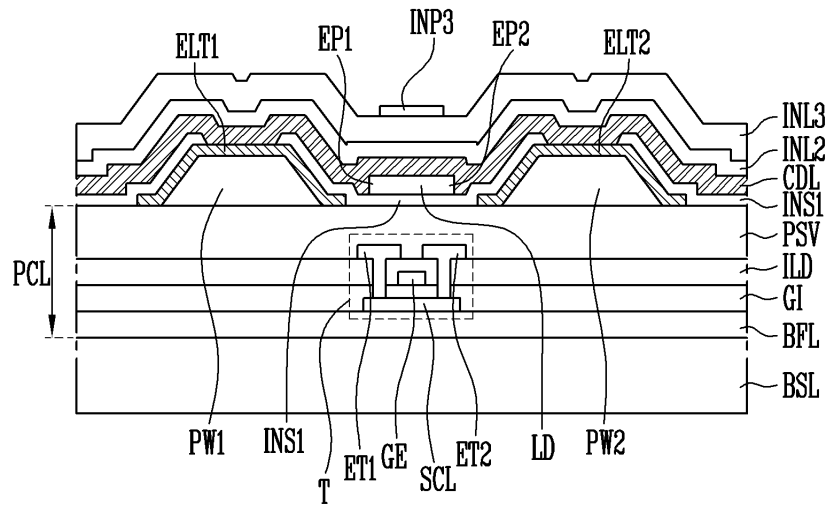
도면 23b



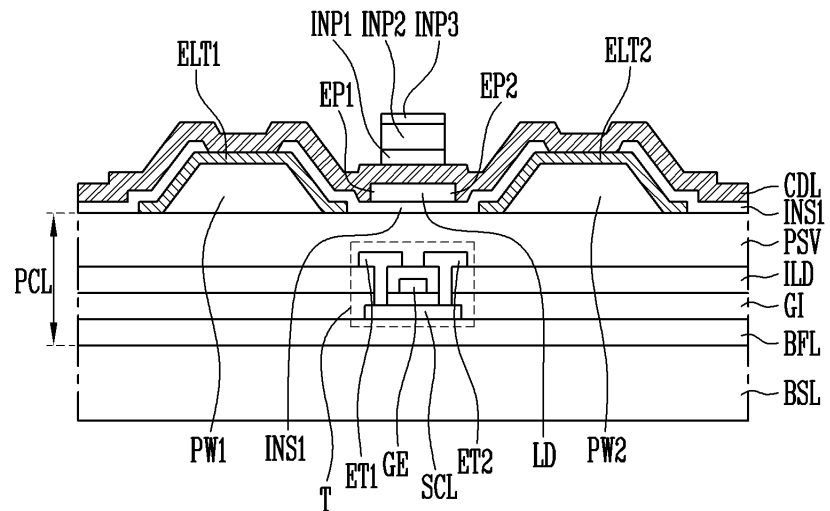
도면23c



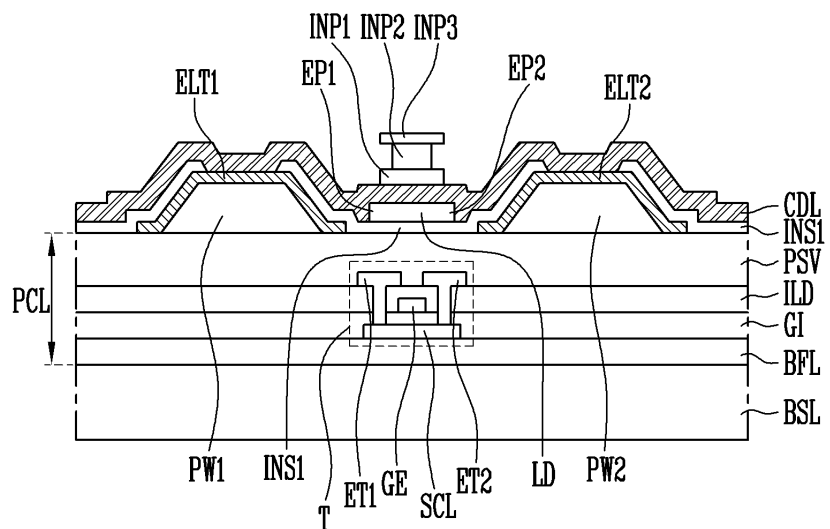
도면23d



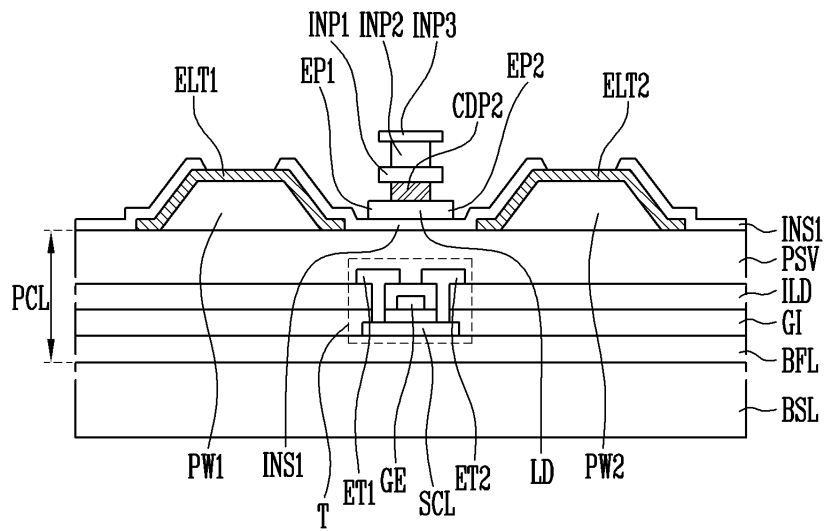
도면23e



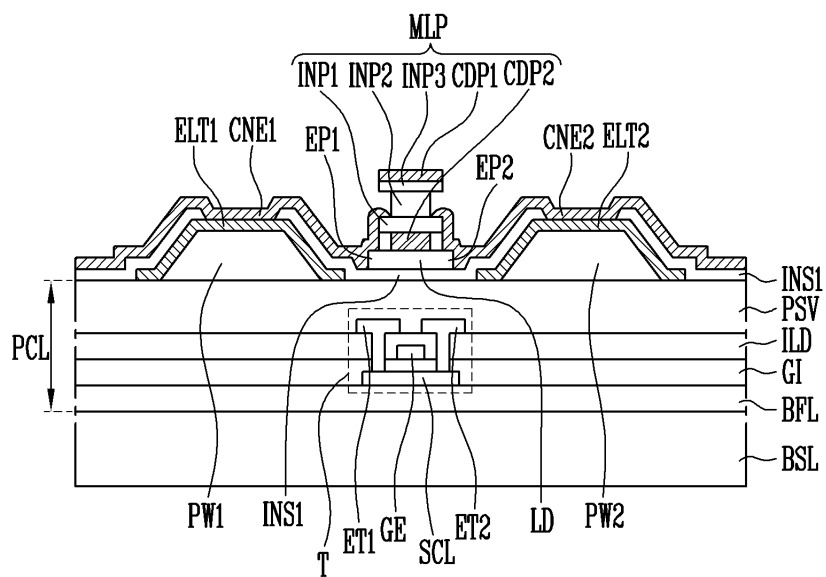
도면23f



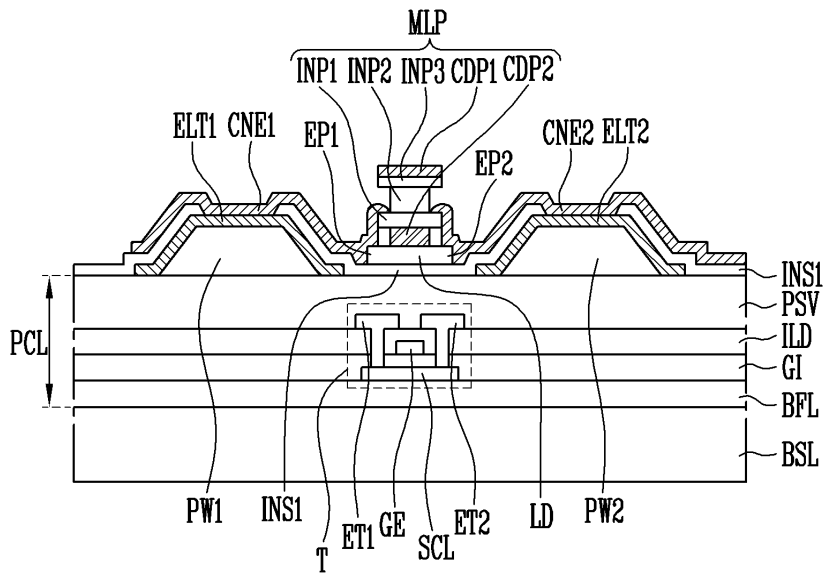
도면23g



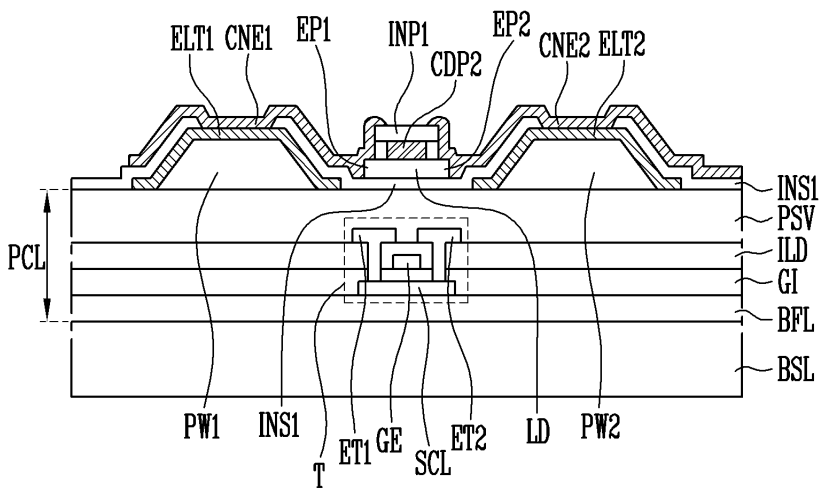
도면 23h



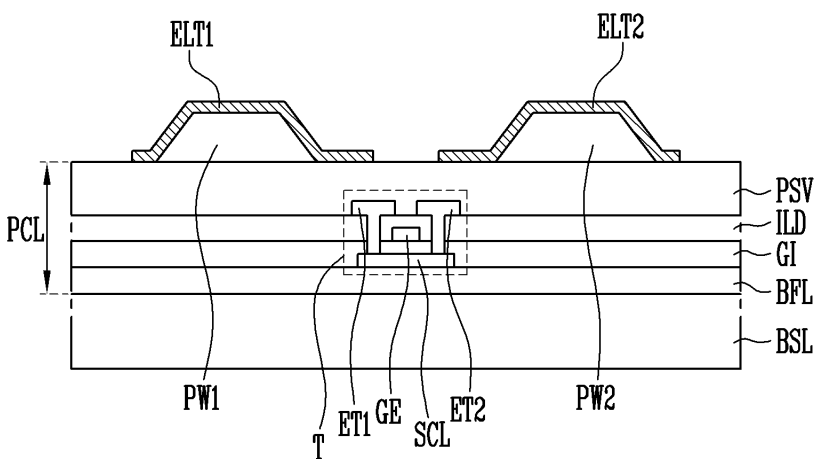
도면23i



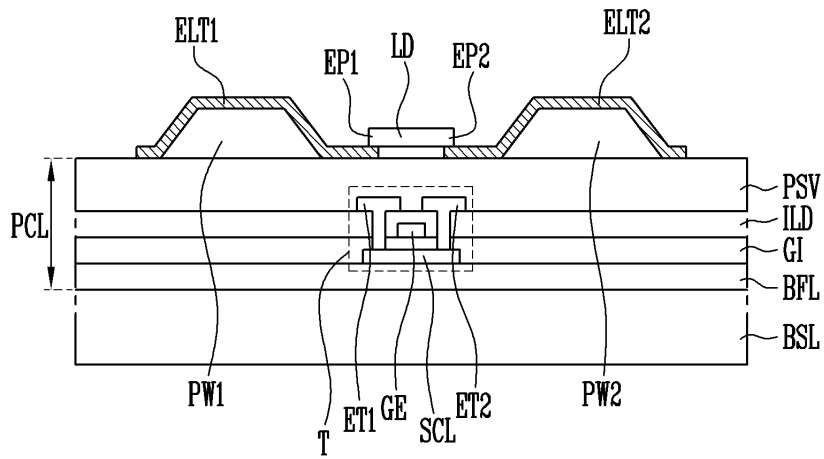
도면23j



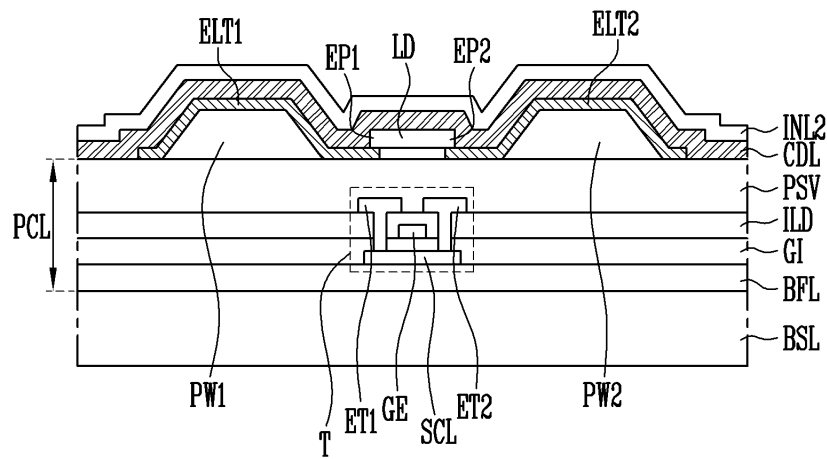
도면24a



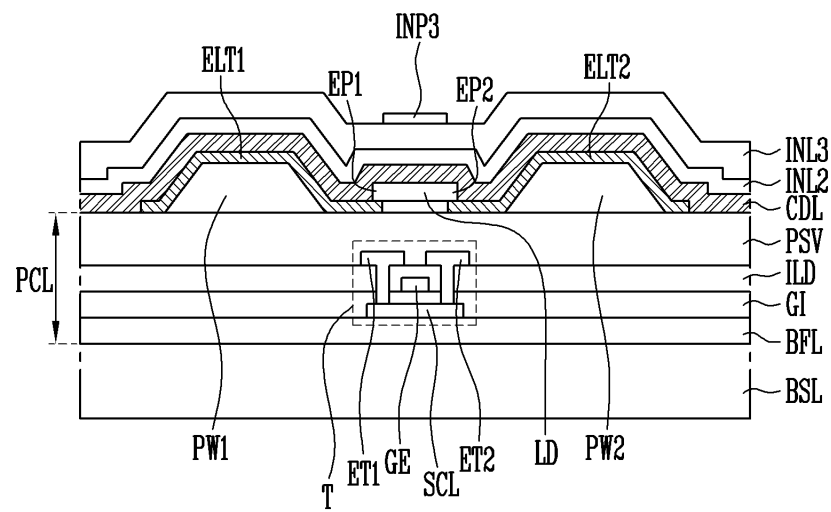
도면24b



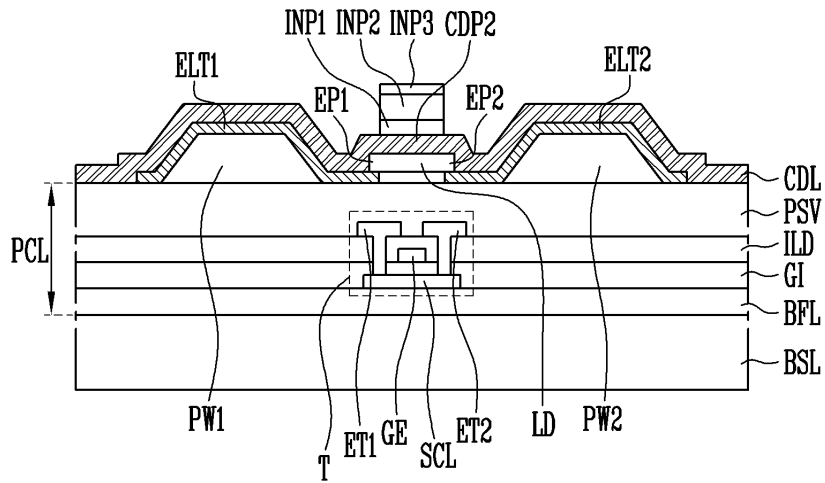
도면24c



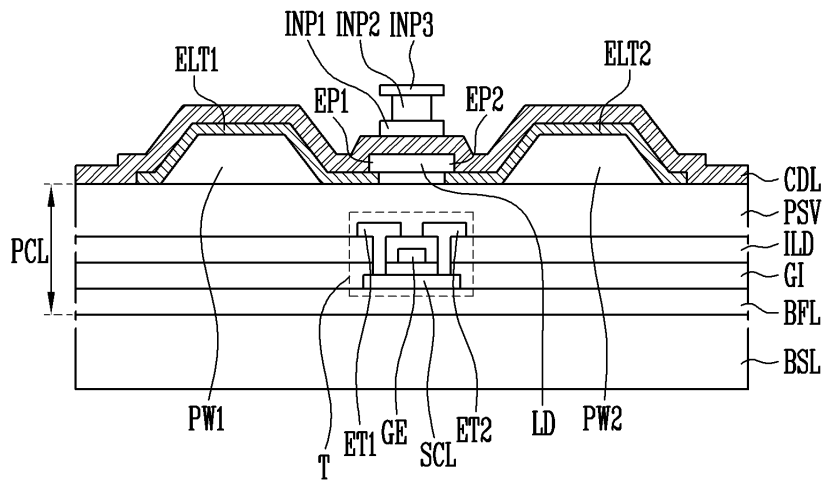
도면24d



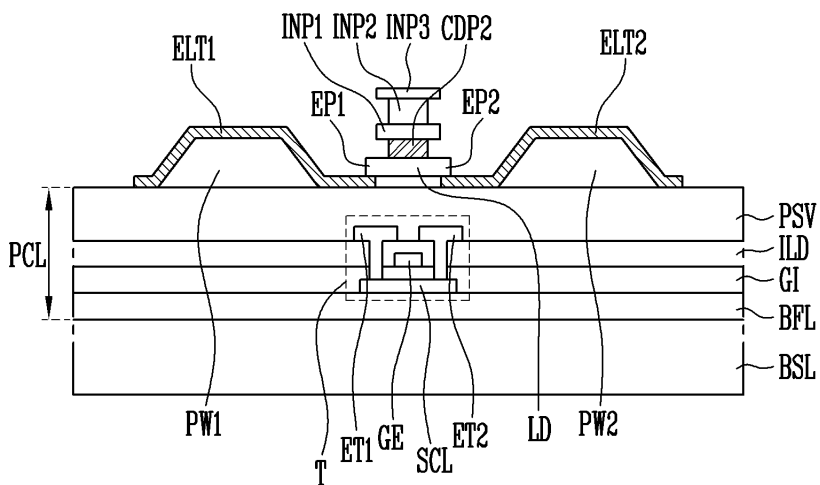
도면24e



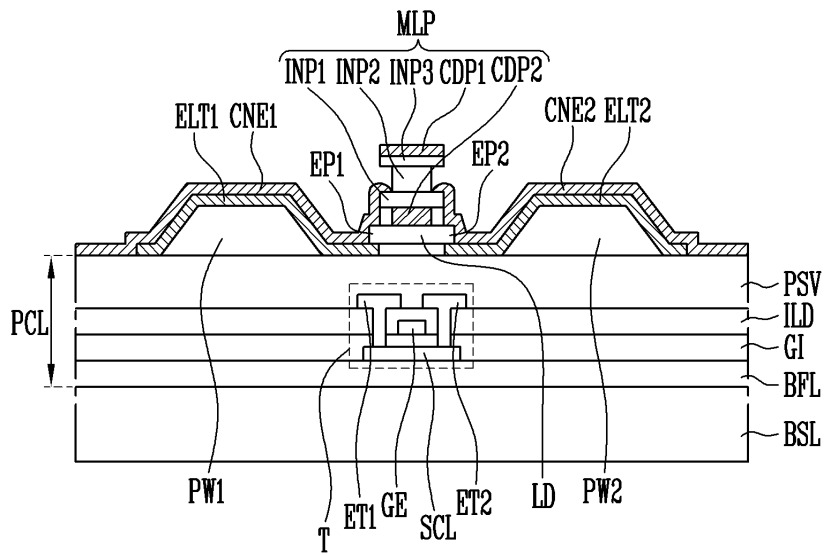
도면24f



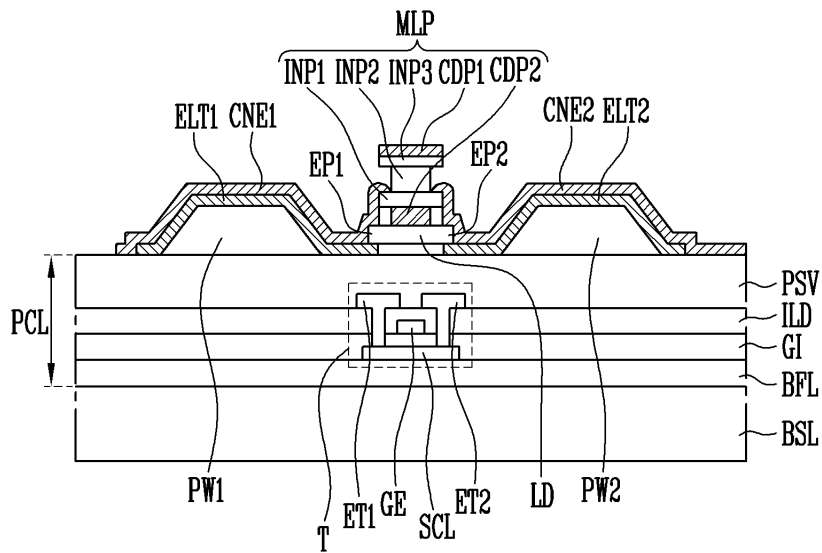
도면24g



도면24h



도면24i



도면24j

