



Patent dodatkowy
do patentu nr _____

Zgłoszono: 27.05.78 (P. 207154)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 26.03.79

Opis patentowy opublikowano: 24.06.1981

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Int. Cl.² H03K 13/00
H04Q 3/00

Twórca wynalazku: Jerzy Kosmowski

Uprawniony z patentu: Główne Biuro Studiów i Projektów Energetycznych „ENERGOPROJEKT”, Zakład Doświadczalny, Poznań (Polska)

Układ kodera sekwencyjnego

1

Przedmiotem wynalazku jest układ koder sekwencyjnego, który jest przeznaczony do współpracy układów wielostykowych z układami cyfrowymi zwłaszcza w odbiornikach poleceń sterowniczych współpracujących z centralkami telemechaniki.

Z publikacji „Półprzewodnikowe układy logiczne”, Misiurewicz, Grzybek, Wydawnictwo Naukowo-Techniczne 1975 rok, znany jest układ koder sekwencyjnego, który posiada dwa liczniki synchroniczne, z których jeden wykorzystany jest do sterowania wejściami adresowanymi multipleksera, zaś drugi licznik jako rejestr cyfrowy.

Inny układ będący przedmiotem także przytoczonej wyżej publikacji wykorzystuje licznik synchroniczny, którego wyjścia są połączone z wejściami dekodera. Wyjście dekodera jest połączone poprzez przełącznik z przerzutnikiem RS, którego wejście bramkuje wejście licznika synchronicznego.

Z kolei układ opublikowany w czasopiśmie „Radioamator” nr 2 z 1978 roku wykorzystuje połączenie liczników i dekoderów współpracujących z generatorami, a jeszcze w innych układach z przerzutnikami monostabilnymi. Przyłączone są także układy koderów sekwencyjnych matrycowych oraz koderów wykorzystujących rejestry buforowe.

Tak więc znane rozwiązania układów koderów posiadają sterowanie koder sekwencyjnego przez styk połączony z wewnętrznym napięciem zasilania, co jest zasadniczą ich niedogodnością, ponieważ w odbiorniku poleceń sterowniczych koniecznym jest

2

sterowanie koder sekwencyjnego zewnętrznym napięciem zasilania, a w przypadku koder sekwencyjnego matrycowego styki sterujące znajdują się na różnych potencjałach.

5 Istota wynalazku polega na zastosowaniu w układzie scalonych multipleksersów połączonych poprzez układ całkujący RC, o stałej czasowej dobranej do czasu ustalania się sygnału wejściowego z wejściem o podwyższonym progu zadziałania scalonego przerzutnika monostabilnego o czasie przerzutu dobranym do czasu przetwarzania informacji. Wyjście przerzutnika monostabilnego jest połączone z wejściem bramkującym bramki logicznej, zaś wyjście bramki logicznej jest połączone z licznikiem, którego wyjścia są połączone z wejściami adresowymi multipleksersów.

15 Zaletą układu według wynalazku jest całkowite wyeliminowanie zakłóceń na elementach stykowych, zwłaszcza na odbicia styków. W prosty i pewny sposób pozwala na połączenie układu wielostykowego z układem cyfrowym.

20 Przedmiot wynalazku jest dokładniej wyjaśniony na podstawie rysunku, który przedstawia schemat ideowy przykładowego rozwiązania układu koder sekwencyjnego.

25 Układ posiada na wejściu multipleksers **M**, którego wejścia **J** w liczbie **n** stanowią wejścia koder sekwencyjnego. Wyjście **Q1** multipleksersa **M** jest połączone, przez układ całkujący RC **R1 C1** o dobranej stałej czasowej do czasu ustalania się sygnału na

3

wejściach J, z wejściem X1 przerzutnika monostabilnego P. Wejście X1 przerzutnika monostabilnego P posiada podwyższony próg zadziałania przerzutnika P, którego czas przerzutu jest odpowiednio dobrany do czasu przetwarzania informacji. Wyjście Q2 przerzutnika monostabilnego P jest połączone z wejściem X2 bramki B. Wejście X3 bramki B jest połączone z wejściem taktującym J1 kodera sekwencyjnego. Wyjście bramki Y jest połączone z wejściem X4 licznika L, natomiast wyjścia Q licznika L są połączone z wejściami adresowymi A multiplexera M, przy czym wyjścia Q jednocześnie stanowią wyjścia kodera sekwencyjnego.

Układ działa w sposób następujący. Jeżeli na n wejściach J kodera sekwencyjnego występują sygnały odpowiadające logicznemu zeru, to na wyjściu Q1 multiplexera M i dalej na wejściu X1 przerzutnika monostabilnego P występuje także sygnał odpowiadający logicznemu zeru. W tak ustalonym stanie na wyjściu Q2 przerzutnika monostabilnego P i dalej na wejściu X2 bramki B występuje sygnał logicznej jedynki. Ustalony stan logicznej jedynki na wejściu X2 bramki B jest także stanem odblokowania bramki B, co z kolei wymusza przenoszenie zanegowanych sygnałów taktujących z wejścia J1 przyłożonych do wejścia X3 bramki B, a także na wyjście Y bramki B.

Sygnały taktujące z wyjścia Y bramki B są przenoszone na wejście X4 licznika L, a także zliczane przez licznik L. Licznik L liczy modulo n, gdzie n stanowi liczbę wejść J kodera sekwencyjnego. Stany logiczne zer i jedynek na wyjściach Q licznika L odpowiadają kolejnym liczbom od 0 do n-1 i są zapisane w systemie binarnym w kodzie dostosowanym do kodu wejść adresowych A multiplexera M.

Pod wpływem zliczania przez licznik L impulsów taktujących, zmieniają się stany logiczne na wejściach adresowych A multiplexera M i powodują połączenie wyjścia Q1 z wybranym wejściem J o numerze aktualnie wyznaczonym przez adres na wejściach adresowych A multiplexera M. Dalej następuje połączenie wyjścia Q1 z wybranym wejściem J multiplexera M, które to połączenie trwa przez czas równy okresowi sygnału taktującego przyłożonego do wejścia J1 kodera sekwencyjnego, co powoduje przez układ kodera sekwencyjnego poszukiwanie wyjść J, jednocześnie badając stany logiczne sygnałów na tych wejściach J.

Jeżeli na jednym z wejść J kodera sekwencyjnego pojawi się sygnał logicznej jedynki na okres dłuższy niż okres zliczania przez licznik L ilości n impulsów taktujących, wówczas na wejściach Q licznika L, a także na połączonych z nimi wejściach adresowych A multiplexera M nastąpi taka kombinacja sygnałów logicznych zer i jedynek, która odpowie binarnie zapisanemu numerowi wejścia J, na którym także nastąpił sygnał logicznej jedynki

4

i tak ustalony stan wyróżnia to wejście J sygnałem logicznej jedynki, które zostaje połączone z wyjściem Q1 multiplexera M. Dalej na wyjściu multiplexera M następuje zmiana stanu z logicznego zera na logiczną jedynkę, który to stan zostaje przyłożony do wejścia X1 przerzutnika monostabilnego P, poprzez układ całkujący RC R1 C1 o stałej czasowej dobranej do czasu ustalania się sygnału na wyróżnionym wejściu J.

Wejście X1 przerzutnika monostabilnego P posiada podwyższony próg zadziałania i wraz z układem całkującym R1 C1 zapobiega niepożądanemu zadziałaniu kodera sekwencyjnego, w przypadku powstania zakłóceń na wejściach J.

Jeżeli na wejściu X1 przerzutnika monostabilnego P pojawi się sygnał logicznej jedynki, to powoduje on zmianę stanu logicznego na wyjściu Q2 przerzutnika monostabilnego P na okres dobrany do czasu przetwarzania informacji przez zespół współpracujący z koderem sekwencyjnym. Zmiana stanu logicznego z jedynki na logiczne zero na wyjściu Q2 przerzutnika monostabilnego P, a tym samym na wejściu X2 bramki B powoduje jednocześnie zablokowanie bramki B, która z kolei nie przewodzi sygnałów taktujących z wejścia X3 na wyjście Y bramki B i dalej na wejście X4 licznika L. Następnie licznik L zostaje zatrzymany na okres przerzutu przerzutnika monostabilnego P, a zawarta na jego wyjściach Q informacja stanowi liczbę w zapisie binarnym i odpowiada numerowi wejścia J kodera sekwencyjnego wyróżnionego sygnałem logicznej jedynki.

Stan ten trwa do czasu ponownej zmiany na wyjściu Q2 przerzutnika monostabilnego P ze stanu logicznego zera na stan logicznej jedynki, który następnie po przyłożeniu do wejścia X2 odblokowuje bramkę B, przez którą przechodzą sygnały taktujące z wejścia X3 na wyjście Y i na wejście X4 licznika L, który z kolei zlicza impulsy taktujące. Następnie koder sekwencyjny powraca ponownie do przeszukiwania swych wejść J.

Zastrzeżenie patentowe

Układ kodera sekwencyjnego zawierający dowolną ilość wejść i wyjść binarnych, znamieny tym, że wyjście (Q1) multiplexera (M) jest połączone poprzez układ całkujący RC (R1C1) z wejściem (X1) przerzutnika monostabilnego (P), przy czym znegowane wyjście (Q2) przerzutnika monostabilnego (P) jest połączone z jednym wejściem (X2) bramki logicznej (B), zaś z drugim wejściem (X3) bramki logicznej (B) jest połączone źródło sygnału taktującego, natomiast wyjście (Y) bramki logicznej (B) jest połączone z wejściem (X4) licznika (L), a wyjścia (Q) licznika (L) są połączone z wejściami adresowymi (A) multiplexera (M).

