



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4015799/24-24

(22) 31.01.86

(46) 23.06.87. Бюл. № 23

(72) А. В. Дрозд, В. П. Карпенко,

В. В. Лебедь, А. Е. Малярчук,

В. А. Минченко и В. В. Шабаш

(53) 681.327.6(088.8)

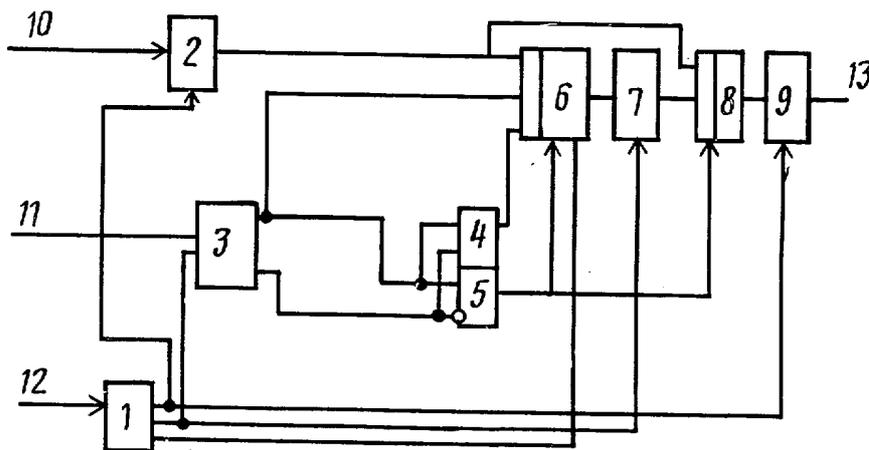
(56) ЭУПВ для формирования длинных задержек. Электроника, 1985, № 7, с. 62.

Авторское свидетельство СССР  
№ 1233212, кл. G 11 C 7/00, 1984.

(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

(57) Изобретение относится к вычислительной технике, а именно к запоминающим устройствам, и может быть использовано для организации задержки и перестановки данных. Цель изобретения — упрощение устройства. Устройство содержит блок 1 синхронизации, регистр 2, счетчик 3 адресов, сумматор 4 по модулю два, элемент И 5, блок 6 памяти, регистр 7, коммутатор 8,

регистр 9, информационный вход 10, вход 11 начальной установки, тактовый вход 12 и выход 13. При поступлении последовательности данных на вход 10 они записываются в регистр 2, а затем в блок 6 по адресам старших разрядов которых формируются соответствующие разряды счетчика 3. Младший разряд адреса равен сумме по модулю два значений старшего и младшего разрядов счетчика 3 (формируется сумматором 4). В соответствии с временной диаграммой импульсов, формируемых блоком 1, осуществляется считывание данных из блока 6 в регистр 7. Коммутатор 8 в соответствии с управляющим сигналом, формируемым на выходе элемента 5, на вход которого поступают значения старшего и инверсного младшего разряда счетчика 3, пропускает данные либо с выхода регистра 2, либо с выхода регистра 7. На выходе регистра 7, в который записываются данные с выхода коммутатора 8, формируется задержанная последовательность переставленных соответствующим образом данных. 2 ил.



Фиг. 1

Изобретение относится к запоминающим устройствам и может быть использовано в качестве цифровой задержки для перестановки отсчетов последовательности сигналов.

Целью изобретения является упрощение устройства.

На фиг. 1 представлена структурная схема предлагаемого устройства; на фиг. 2 - временные диаграммы работы узлов устройства.

Устройство содержит блок 1 синхронизации, регистр 2, счетчик 3 адресов, сумматор 4 по модулю два, элемент И 5, блок 6 памяти, регистр 7, коммутатор 8, регистр 9, информационный вход 10, вход 11 начальной установки, тактовый вход 12 и выход 13.

Устройство осуществляет перестановки отсчетов последовательности с глубиной  $\tau$  ( $\tau = 2^k$ ,  $k = 1, 2, \dots$ ).

При этом для определенного значения  $\tau$  блок памяти должен иметь емкость  $2\tau$  слов разрядностью, совпадающей с разрядностью входной информации, разрядность счетчика 3 должна быть равна  $k+1$ .

Устройство работает следующим образом.

На вход 11 устройства поступает сигнал, устанавливающий счетчик 3 в исходное нулевое состояние. На вход блока 1 синхронизации поступают тактовые импульсы. Блок 1 вырабатывает сигналы, поступающие соответственно на тактовые входы регистров 2 и 3, тактовые входы счетчика 3 и регистра 7, вход режима (запись/чтение) блока 6 памяти. Эти сигналы получены из входного сигнала блока 1 синхронизации, например, путем задержки на логических элементах.

Временные диаграммы указанных сигналов, (фиг. 2) позволяют детально проследить работу устройства, для случая  $\tau = 2$ .

Входная последовательность чисел (фиг. 2) поступает на информационные входы входного регистра 2 и принимается в регистр по тактовому сигналу. При этом с выхода входного регистра считывается последовательность  $a_0, v_0, a_1, v_1, a_2, v_2, a_3, v_3, a_4, v_4, a_5, v_5, a_6, v_6, a_7, v_7$ . Эта последовательность записывается в блок 6 памяти 7 по адресу, младший (0-й) разряд которого считывается с выхода сумматора 4, на вход которого поступают старший (к-й) и младший (0-й) разряды счетчика 3, остальные разряды адреса блока

памяти подключены к одноименным разрядам счетчика 3.

Блок 6 под действием приходящих на его адресный вход сигналов, на вход режима (запись/чтение), сигнала разрешения реализует функцию задержки для всех элементов входной последовательности кроме тех, которые через сумматор 8 при единичном состоянии сигнала на его входе управления, проходят на вход регистра 10 без записи в блок 6 памяти. При этом запись в блок 6 памяти блокируется отсутствием сигнала разрешения. Следовательно, на выходе считываются элементы последовательности  $a_2, a_0, a_3, a_1, v_2, v_0, v_3, v_1, a_6, a_4, a_7, a_5, v_6, v_4, v_7, v_5$ .

#### Формула изобретения

Запоминающее устройство, содержащее блок памяти, информационный вход которого 20 подключен к выходу первого регистра, вход данных которого является информационным входом устройства, адресные входы, кроме первого адресного входа, блока памяти подключены к соответствующим выходам 25 счетчика адресов, вход сброса которого является входом начальной установки устройства, выход блока памяти подключен к входу данных второго регистра, выход которого 30 подключен к первому входу данных коммутатора, выход которого подключен к входу данных третьего регистра, выход которого является информационным выходом устройства, блок синхронизации, вход которого является тактовым входом устройства, первый выход блока синхронизации 35 подключен к тактовым входам первого и третьего регистров, второй выход блока синхронизации подключен к тактовым входам счетчика адресов и второго регистра, третий выход блока синхронизации 40 подключен к входу задания режима блока памяти, элемент И, отличающееся тем, что, с целью упрощения устройства, оно содержит сумматор по модулю два, выход которого 45 подключен к адресному входу младшего разряда блока памяти, первый вход сумматора по модулю два подключен к первому входу элемента И и к выходу старшего разряда счетчика адресов, второй вход сумматора по модулю два подключен к выходу младшего разряда счетчика адресов и к второму входу элемента И, выход которого 50 подключен к входу разрешения записи считывания блока памяти и к управляющему входу коммутатора, второй вход данных которого подключен к выходу первого регистра.

