



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0088858
(43) 공개일자 2024년06월20일

(51) 국제특허분류(Int. Cl.)
H10K 50/11 (2023.01) H10K 102/00 (2023.01)
H10K 59/121 (2023.01) H10K 59/131 (2023.01)
H10K 59/35 (2023.01) H10K 59/80 (2023.01)
H10K 59/88 (2023.01) H10K 59/90 (2023.01)
(52) CPC특허분류
H10K 50/11 (2023.02)
H10K 59/1213 (2023.02)
(21) 출원번호 10-2024-7012377
(22) 출원일자(국제) 2022년09월21일
심사청구일자 없음
(85) 번역문제출일자 2024년04월15일
(86) 국제출원번호 PCT/IB2022/058899
(87) 국제공개번호 WO 2023/052906
국제공개일자 2023년04월06일
(30) 우선권주장
JP-P-2021-161367 2021년09월30일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
코바야시 히데토모
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
시시도 히데아키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장훈

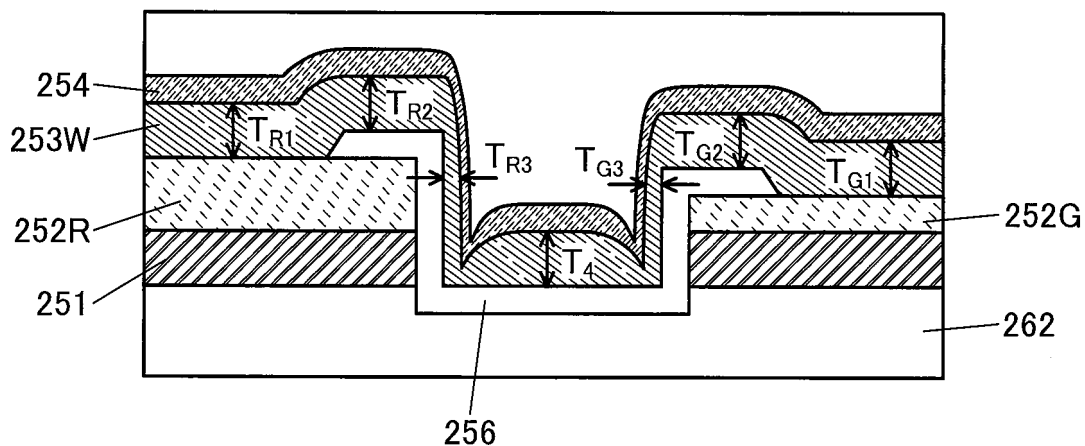
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 표시 장치

(57) 요약

정세도가 높은 표시 장치를 제공한다. 소비 전력이 낮은 표시 장치를 제공한다. 휘도가 높은 표시 장치를 제공한다. 개구율이 높은 표시 장치를 제공한다. 제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극을 포함하는 표시 장치이다. 제 1 배선은 제 1 방향으로 연장되고, 소스 신호가 공급된다. 제 2 배선은 제 1 방향과 교차되는 제 2 방향으로 연장되고, 게이트 신호가 공급된다. 제 3 배선에는 정전위가 공급된다. 또한 제 1 배선과 화소 전극은 제 3 배선을 사이에 두고 중첩하여 제공된다. 절연층은 화소 전극의 상면의 일부와 접하는 부분과, 화소 전극의 측면과 접하는 부분을 갖는다. EL층은 화소 전극의 상면의 다른 일부와 접하는 제 1 부분과, 절연층 위에 위치하는 제 2 부분을 갖는다. 제 2 부분은 두께가 제 1 부분의 절반 이하인 영역을 갖는다.

대표도 - 도14



(52) CPC특허분류

H10K 59/131 (2023.02)

H10K 59/353 (2023.02)

H10K 59/8051 (2023.02)

H10K 59/88 (2023.02)

H10K 59/90 (2023.08)

H10K 2102/351 (2023.02)

(72) 발명자

나카무라 다이키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오파이 에네루기 켄큐쇼 내

야나기사와 유이치

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

표시 장치로서,

제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극과, EL층과, 절연층을 포함하고,

상기 제 1 배선은 제 1 방향으로 연장되고, 소스 신호가 공급되고,

상기 제 2 배선은 상기 제 1 방향과 교차되는 제 2 방향으로 연장되고, 게이트 신호가 공급되고,

상기 제 3 배선은 정전위가 공급되고,

상기 제 1 배선과 상기 화소 전극은 상기 제 3 배선을 사이에 두고 중첩하여 제공되고,

상기 절연층은 상기 화소 전극의 상면의 일부와 접하는 부분과, 상기 화소 전극의 측면과 접하는 부분을 갖고,

상기 EL층은 상기 화소 전극의 상면의 다른 일부와 접하는 제 1 부분과, 상기 절연층 위에 위치하는 제 2 부분을 갖고,

상기 제 2 부분은 두께가 상기 제 1 부분의 절반 이하인 영역을 갖는, 표시 장치.

청구항 2

표시 장치로서,

제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극과, 제 1 트랜지스터와, 제 2 트랜지스터와, EL층과, 절연층을 포함하고,

상기 제 1 배선은 제 1 방향으로 연장되고, 소스 신호가 공급되고,

상기 제 2 배선은 상기 제 1 방향과 교차되는 제 2 방향으로 연장되고, 게이트 신호가 공급되고,

상기 제 3 배선은 제 1 전위가 공급되고,

상기 제 1 배선과 상기 화소 전극은 상기 제 3 배선을 사이에 두고 중첩하여 제공되고,

상기 제 1 트랜지스터는 소스 및 드레인 중 한쪽이 상기 제 1 배선에 전기적으로 접속되고, 게이트가 상기 제 2 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터는 소스 및 드레인 중 한쪽이 상기 화소 전극에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 상기 제 3 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각 상기 제 1 방향으로 전류가 흐르는 반도체층을 포함하고,

상기 절연층은 상기 화소 전극의 상면의 일부와 접하는 부분과, 상기 화소 전극의 측면과 접하는 부분을 갖고,

상기 EL층은 상기 화소 전극의 상면의 다른 일부와 접하는 제 1 부분과, 상기 절연층 위에 위치하는 제 2 부분을 갖고,

상기 제 2 부분은 두께가 상기 제 1 부분의 절반 이하인 영역을 갖는, 표시 장치.

청구항 3

표시 장치로서,

제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극과, 제 1 트랜지스터와, 제 2 트랜지스터와, EL층과, 절연층을 포함하고,

상기 제 1 배선은 제 1 방향으로 연장되고, 소스 신호가 공급되고,

상기 제 2 배선은 상기 제 1 방향과 교차되는 제 2 방향으로 연장되고, 게이트 신호가 공급되고,

상기 제 3 배선은 제 1 전위가 공급되고,

상기 제 1 배선과 상기 화소 전극은 상기 제 3 배선을 사이에 두고 중첩하여 제공되고,

상기 제 1 트랜지스터는 소스 및 드레인 중 한쪽이 상기 제 1 배선에 전기적으로 접속되고, 게이트가 상기 제 2 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터는 소스 및 드레인 중 한쪽이 상기 화소 전극에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 상기 제 3 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각 상기 제 2 방향으로 전류가 흐르는 반도체층을 포함하고,

상기 절연층은 상기 화소 전극의 상면의 일부와 접하는 부분과, 상기 화소 전극의 측면과 접하는 부분을 갖고,

상기 IT층은 상기 화소 전극의 상면의 다른 일부와 접하는 제 1 부분과, 상기 절연층 위에 위치하는 제 2 부분을 갖고,

상기 제 2 부분은 두께가 상기 제 1 부분의 절반 이하인 영역을 갖는, 표시 장치.

청구항 4

제 2 항에 있어서,

복수의 더미층을 포함하고,

상기 더미층은 상기 반도체층과 동일한 반도체 재료를 포함하고,

상기 더미층은 상면 형상이 상기 반도체층과 실질적으로 동일한 부분을 갖고,

복수의 상기 더미층 및 상기 반도체층은 상기 제 2 방향으로 같은 간격으로 배치되는, 표시 장치.

청구항 5

제 3 항에 있어서,

복수의 더미층을 포함하고,

상기 더미층은 상기 반도체층과 동일한 반도체 재료를 포함하고,

상기 더미층은 상면 형상이 상기 반도체층과 실질적으로 동일한 부분을 갖고,

복수의 상기 더미층 및 상기 반도체층은 상기 제 1 방향으로 같은 간격으로 배치되는, 표시 장치.

청구항 6

제 2 항 내지 제 5 항 중 어느 한 항에 있어서,

제 4 배선과, 제 3 트랜지스터와, 제 4 트랜지스터를 포함하고,

상기 제 3 트랜지스터는 소스 및 드레인 중 한쪽이 상기 제 4 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터는 소스 및 드레인 중 한쪽이 상기 제 4 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 상기 화소 전극에 전기적으로 접속되고,

상기 제 4 배선은 상기 제 1 전위보다 낮은 제 2 전위가 공급되는, 표시 장치.

청구항 7

제 2 항 내지 제 5 항 중 어느 한 항에 있어서,

제 5 트랜지스터를 포함하고,

상기 제 5 트랜지스터는 실리콘에 채널이 형성되는 트랜지스터이고,

상기 반도체층은 인듐 및 아연 중 한쪽 또는 양쪽을 포함하고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 상기 제 5 트랜지스터의 위쪽에 제공되는, 표시 장치.

청구항 8

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 3 배선은 격자상의 상면 형상을 갖고, 상기 제 1 방향으로 연장되는 제 3 부분과 상기 제 2 방향으로 연장되는 제 4 부분을 갖고,

상기 화소 전극과 상기 제 1 배선은 상기 제 3 부분을 사이에 두고 중첩하여 제공되는, 표시 장치.

청구항 9

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 화소 전극을 복수로 포함하고,

상기 화소 전극 위에 발광 영역이 제공되고,

평면에서 보았을 때, 복수의 상기 발광 영역은 하나의 상기 발광 영역이 6개의 상기 발광 영역으로 둘러싸이도록 배열되는, 표시 장치.

청구항 10

제 9 항에 있어서,

상기 발광 영역은 대략 육각형의 상면 형상을 갖고,

상기 발광 영역은 6개의 모서리 중 마주 보는 2개의 모서리의 내각이 120° 보다 크고, 나머지 4개의 모서리의 내각이 120° 미만인 상면 형상을 갖는, 표시 장치.

청구항 11

제 9 항에 있어서,

상기 발광 영역은 대략 육각형의 상면 형상을 갖고,

상기 화소 전극은 6개의 내각이 모두 120° 이고, 6개의 변 중 마주 보는 2변의 길이가 일치하고, 나머지 4변의 길이가 일치하는 상면 형상을 갖는, 표시 장치.

청구항 12

제 9 항에 있어서,

인접한 3개의 상기 발광 영역은 이등변 삼각형의 꼭짓점에 위치하도록 배치되는, 표시 장치.

청구항 13

표시 모듈로서,

제 1 항 내지 제 5 항 중 어느 한 항에 기재된 표시 장치와, 커넥터 또는 집적 회로를 포함하는, 표시 모듈.

청구항 14

전자 기기로서,

제 13 항에 기재된 표시 모듈과,

안테나, 배터리, 하우징, 카메라, 스피커, 마이크로폰, 터치 센서, 및 조작 버튼 중 적어도 하나를 포함하는, 전자 기기.

발명의 설명

기술 분야

- [0001] 본 발명의 일 형태는 표시 장치에 관한 것이다. 본 발명의 일 형태는 표시 장치를 포함하는 전자 기기에 관한 것이다.
- [0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 본 발명의 일 형태의 기술분야로서는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다. 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다.

배경 기술

- [0003] 근년, 디스플레이 패널의 고정세(高精細)화가 진행되고 있다. 고정세 디스플레이 패널이 요구되는 기기로서, 예를 들어 가상 현실(VR: Virtual Reality) 또는 증강 현실(AR: Augmented Reality)용 기기가 근년 활발히 개발되고 있다.
- [0004] 또한 디스플레이 패널에 적용할 수 있는 표시 장치로서는, 대표적으로는 액정 표시 장치, 유기 EL(Electro Luminescence) 소자 또는 발광 다이오드(LED: Light Emitting Diode) 등의 발광 소자를 포함하는 발광 장치, 전기 영동 방식 등으로 표시를 수행하는 전자 종이 등을 들 수 있다.
- [0005] 유기 EL 소자는 기본적으로 한 쌍의 전극 사이에 발광성 유기 화합물을 포함한 층을 끼운 구성을 갖는다. 이 소자에 전압을 인가함으로써, 발광성 유기 화합물로부터 발광을 얻을 수 있다. 이러한 유기 EL 소자가 적용된 표시 장치는 액정 표시 장치 등에서 필요한 백라이트가 불필요하기 때문에, 얇고, 가볍고, 콘트라스트가 높으며, 소비 전력이 낮은 표시 장치를 실현할 수 있다. 예를 들어 특허문헌 1에는 유기 EL 소자를 사용한 표시 장치의 일례에 대하여 기재되어 있다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본 공개특허공보 특개2002-324673호

발명의 내용

해결하려는 과제

- [0007] 상술한 VR 또는 AR용 장착형 기기에서는, 눈과 디스플레이 패널 사이에 초점을 조정하기 위한 렌즈를 제공할 필요가 있다. 상기 렌즈에 의하여 화면의 일부가 확대되기 때문에, 디스플레이 패널의 정세도가 낮으면, 현실감 및 몰입감이 저하되는 문제가 있다.
- [0008] 또한 배터리에 의하여 구동하는 기기의 경우에는, 연속적으로 사용할 수 있는 시간을 길게 하기 위하여, 디스플레이 패널의 소비 전력을 절감하는 것이 요구된다. 또한 특히 AR용 투과형 기기는 외광에 겹쳐 화상을 표시하기 때문에 높은 휘도가 요구된다.
- [0009] 본 발명의 일 형태는 정세도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 소비 전력이 낮은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 휘도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 개구율이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신뢰성이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다.
- [0010] 본 발명의 일 형태는 신규 표시 장치, 표시 모듈, 또는 전자 기기를 제공하는 것을 과제 중 하나로 한다. 또는 상술한 표시 장치를 높은 수율로 제조하는 방법을 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 선행 기술의 문제점들 중 적어도 하나를 적어도 경감시키는 것을 과제 중 하나로 한다.
- [0011] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재에서 추출할 수 있다.

과제의 해결 수단

- [0012] 본 발명의 일 형태는 제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극과, EL층과, 절연층을 포함하는 표시 장치이다. 제 1 배선은 제 1 방향으로 연장되고, 소스 신호가 공급된다. 제 2 배선은 제 1 방향과 교차되는 제 2 방향으로 연장되고, 게이트 신호가 공급된다. 제 3 배선에는 정전위가 공급된다. 또한 제 1 배선과 화소 전극은 제 3 배선을 사이에 두고 중첩하여 제공된다. 절연층은 화소 전극의 상면의 일부와 접하는 부분과, 화소 전극의 측면과 접하는 부분을 갖는다. EL층은 화소 전극의 상면의 다른 일부와 접하는 제 1 부분과, 절연층 위에 위치하는 제 2 부분을 갖는다. 제 2 부분은 두께가 제 1 부분의 절반 이하인 영역을 갖는다.
- [0013] 또한 본 발명의 다른 일 형태는 제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극과, 제 1 트랜지스터와, 제 2 트랜지스터와, EL층과, 절연층을 포함하는 표시 장치이다. 제 1 배선은 제 1 방향으로 연장되고, 소스 신호가 공급된다. 제 2 배선은 제 1 방향과 교차되는 제 2 방향으로 연장되고, 게이트 신호가 공급된다. 제 3 배선에는 제 1 전위가 공급된다. 제 1 배선과 화소 전극은 제 3 배선을 사이에 두고 중첩하여 제공된다. 제 1 트랜지스터는 소스 및 드레인 중 한쪽이 제 1 배선에 전기적으로 접속되고, 게이트가 제 2 배선에 전기적으로 접속된다. 제 2 트랜지스터는 소스 및 드레인 중 한쪽이 화소 전극에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 제 3 배선에 전기적으로 접속된다. 또한 제 1 트랜지스터 및 제 2 트랜지스터는 각각 제 1 방향으로 전류가 흐르는 반도체층을 포함한다. 절연층은 화소 전극의 상면의 일부와 접하는 부분과, 화소 전극의 측면과 접하는 부분을 갖는다. EL층은 화소 전극의 상면의 다른 일부와 접하는 제 1 부분과, 절연층 위에 위치하는 제 2 부분을 갖는다. 제 2 부분은 두께가 제 1 부분의 절반 이하인 영역을 갖는다.
- [0014] 또한 본 발명의 다른 일 형태는 제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극과, 제 1 트랜지스터와, 제 2 트랜지스터와, EL층과, 절연층을 포함하는 표시 장치이다. 제 1 배선은 제 1 방향으로 연장되고, 소스 신호가 공급된다. 제 2 배선은 제 1 방향과 교차되는 제 2 방향으로 연장되고, 게이트 신호가 공급된다. 제 3 배선에는 제 1 전위가 공급된다. 제 1 배선과 화소 전극은 제 3 배선을 사이에 두고 중첩하여 제공된다. 제 1 트랜지스터는 소스 및 드레인 중 한쪽이 제 1 배선에 전기적으로 접속되고, 게이트가 제 2 배선에 전기적으로 접속된다. 제 2 트랜지스터는 소스 및 드레인 중 한쪽이 화소 전극에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 제 3 배선에 전기적으로 접속된다. 제 1 트랜지스터 및 제 2 트랜지스터는 각각 제 2 방향으로 전류가 흐르는 반도체층을 포함한다. 절연층은 화소 전극의 상면의 일부와 접하는 부분과, 화소 전극의 측면과 접하는 부분을 갖는다. EL층은 화소 전극의 상면의 다른 일부와 접하는 제 1 부분과, 절연층 위에 위치하는 제 2 부분을 갖는다. 제 2 부분은 두께가 제 1 부분의 절반 이하인 영역을 갖는다.
- [0015] 또한 상술한 형태에서 복수의 더미층을 포함하는 것이 바람직하다. 이때 더미층은 반도체층과 동일한 반도체 재료를 포함하고, 상면 형상이 반도체층과 실질적으로 동일한 부분을 갖는 것이 바람직하다. 또한 복수의 더미층 및 반도체층은 제 2 방향 또는 제 1 방향으로 같은 간격으로 배치되는 것이 바람직하다.
- [0016] 또한 상술한 어느 형태에서, 제 4 배선과, 제 3 트랜지스터와, 제 4 트랜지스터를 포함하는 것이 바람직하다. 제 3 트랜지스터는 소스 및 드레인 중 한쪽이 제 4 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 제 2 트랜지스터의 게이트에 전기적으로 접속된다. 제 4 트랜지스터는 소스 및 드레인 중 한쪽이 제 4 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 화소 전극에 전기적으로 접속된다. 또한 제 4 배선에는 제 1 전위보다 낮은 제 2 전위가 공급된다.
- [0017] 또한 상술한 어느 형태에서, 제 5 트랜지스터를 포함하는 것이 바람직하다. 제 5 트랜지스터는 실리콘에 채널이 형성되는 트랜지스터이다. 또한 상기 반도체층은 인듐 및 아연 중 한쪽 또는 양쪽을 포함한다. 또한 제 1 트랜지스터 및 제 2 트랜지스터는 제 5 트랜지스터의 위쪽에 제공되는 것이 바람직하다.
- [0018] 또한 상술한 어느 형태에서, 제 3 배선은 격자상의 상면 형상을 갖는 것이 바람직하다. 이때 제 1 방향으로 연장되는 제 3 부분과 제 2 방향으로 연장되는 제 4 부분을 갖는 것이 바람직하다. 또한 화소 전극과 제 1 배선은 제 3 부분을 사이에 두고 중첩하여 제공되는 것이 바람직하다.
- [0019] 또한 상술한 어느 형태에서, 화소 전극을 복수로 포함하는 것이 바람직하다. 화소 전극 위에는 발광 영역이 제공된다. 평면에서 보았을 때, 복수의 발광 영역은 하나의 발광 영역이 6개의 발광 영역으로 둘러싸이도록 배열되는 것이 바람직하다.
- [0020] 또한 상술한 형태에서, 발광 영역은 대략 육각형의 상면 형상을 갖는 것이 바람직하다. 또한 발광 영역은 6개의 모서리 중 마주 보는 2개의 모서리의 내각이 120° 보다 크고, 나머지 4개의 모서리의 내각이 120° 미만인

상면 형상을 갖는 것이 바람직하다.

- [0021] 또는 상술한 형태에서, 발광 영역은 대략 육각형의 상면 형상을 갖는 것이 바람직하다. 또한 화소 전극은 6개의 내각이 모두 120° 이고, 6개의 변 중 마주 보는 2변의 길이가 일치하고, 나머지 4변의 길이가 일치하는 상면 형상을 갖는 것이 바람직하다.
- [0022] 또한 상술한 어느 형태에서, 인접한 3개의 발광 영역은 이등변 삼각형의 꼭짓점에 위치하도록 배치되는 것이 바람직하다.
- [0023] 또한 본 발명의 일 형태는 상술한 어느 형태의 표시 장치와, 커넥터 또는 집적 회로를 포함하는 표시 모듈이다.
- [0024] 또한 본 발명의 일 형태는 상기 표시 모듈과, 안테나, 배터리, 하우징, 카메라, 스피커, 마이크로폰, 터치 센서, 및 조작 버튼 중 적어도 하나를 포함하는 전자 기기이다.

발명의 효과

- [0025] 본 발명의 일 형태에 의하여, 정세도가 높은 표시 장치를 제공할 수 있다. 또는 소비 전력이 낮은 표시 장치를 제공할 수 있다. 또는 휘도가 높은 표시 장치를 제공할 수 있다. 또는 개구율이 높은 표시 장치를 제공할 수 있다. 또는 신뢰성이 높은 표시 장치를 제공할 수 있다.
- [0026] 또한 본 발명의 일 형태에 의하여, 신규 표시 장치, 표시 모듈, 또는 전자 기기 등을 제공할 수 있다. 또는 상술한 표시 장치를 높은 수율로 제조하는 방법을 제공할 수 있다. 또는 선행 기술의 문제점들 중 적어도 하나를 적어도 경감시킬 수 있다.
- [0027] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 반드시 가질 필요는 없다. 또한 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재에서 추출할 수 있다.

도면의 간단한 설명

- [0028] 도 1의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 2는 표시 장치의 구성예를 나타낸 도면이다.
- 도 3의 (A) 내지 (E)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 4의 (A) 내지 (E)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 5의 (A) 내지 (E)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 6의 (A) 내지 (D)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 7은 표시 장치의 구성예를 나타낸 도면이다.
- 도 8의 (A) 내지 (F)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 9의 (A) 내지 (F)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 10의 (A) 내지 (D)는 표시 장치의 구성예를 나타낸 회로도이다.
- 도 11의 (A) 내지 (D)는 표시 장치의 구성예를 나타낸 회로도이다.
- 도 12는 표시 장치의 구동 방법의 예를 나타낸 타이밍 차트이다.
- 도 13은 표시 장치의 구성예를 나타낸 도면이다.
- 도 14는 표시 장치의 구성예를 나타낸 도면이다.
- 도 15의 (A) 내지 (D)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 16은 표시 장치의 구성예를 나타낸 도면이다.
- 도 17은 표시 장치의 구성예를 나타낸 도면이다.
- 도 18은 표시 장치의 구성예를 나타낸 도면이다.

도 19의 (A) 내지 (D)는 보호 회로의 구성예를 나타낸 회로도이다.

도 20의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 도면이다.

도 21은 표시 장치의 구성예를 나타낸 도면이다.

도 22의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 도면이다.

도 23의 (A) 내지 (F)는 발광 디바이스의 구성예를 나타낸 도면이다.

도 24의 (A) 내지 (C)는 발광 디바이스의 구성예를 나타낸 도면이다.

도 25의 (A) 및 (B)는 전자 기기의 구성예를 나타낸 도면이다.

도 26의 (A) 및 (B)는 전자 기기의 구성예를 나타낸 도면이다.

도 27의 (A) 내지 (D)는 실시예에 따른 표시 패널의 단면 이미지이다.

도 28은 실시예에 따른 표시 패널의 상면 이미지이다.

도 29는 실시예에 따른 색도 다이어그램이다.

도 30의 (A) 및 (B)는 실시예에 따른 스펙트럼 측정 결과를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하에서 실시형태에 대하여 도면을 참조하면서 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0030] 또한 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면 간에서 공통적으로 사용하고, 그 반복적인 설명은 생략한다. 또한 같은 기능을 갖는 부분을 가리키는 경우에는, 해지 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0031] 또한 본 명세서에서 설명하는 각 도면에서, 각 구성 요소의 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 스케일에 반드시 한정되는 것은 아니다.
- [0032] 또한 본 명세서 등에서의 "제 1", "제 2" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙이는 것이며, 수적으로 한정하는 것이 아니다.
- [0033] 또한 본 명세서 등에서 어떤 구성 요소의 "상면 형상"이란, 상기 구성 요소를 평면에서 보았을 때의 윤곽 형상을 말한다. 또한 "평면에서 보았을 때"란, 상기 구성 요소의 피형성면 또는 상기 구성 요소가 형성되는 지지체(예를 들어 기판)의 표면의 법선 방향에서 구성 요소를 보는 것을 말한다.
- [0034] 또한 본 명세서 등에서 "상면 형상이 실질적으로 일치"란, 적층된 층과 층 사이에서 적어도 윤곽의 일부가 중첩되는 것을 말한다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 그 범주에 포함한다. 다만 엄밀하게 말하면 윤곽이 중첩되지 않고 위층이 아래층의 내측에 위치하거나 위층이 아래층의 외측에 위치하는 경우도 있고, 이 경우도 "상면 형상이 실질적으로 일치"라고 한다.
- [0035] 또한 이하에서 "위", "아래" 등의 방향을 나타내는 표현은 기본적으로 도면의 방향에 맞추어 사용하는 것으로 한다. 그러나 설명을 용이하게 하는 등의 목적으로 명세서 중의 "위" 또는 "아래"가 의미하는 방향이 도면과 일치하지 않는 경우가 있다. 일례로서는, 적층체 등의 적층 순서(또는 형성 순서) 등을 설명하는 경우에, 도면에서 상기 적층체가 제공되는 층의 면(피형성면, 지지면, 접착면, 평탄면 등)이 상기 적층체보다 위쪽에 위치하여도, 그 방향을 아래, 이와 반대의 방향을 위 등이라고 표현하는 경우가 있다.
- [0036] 또한 본 명세서에서, EL층이란 발광 소자의 한 쌍의 전극 사이에 제공되고, 적어도 발광성 물질을 포함하는 층(발광층이라고도 함) 또는 발광층을 포함하는 적층체를 의미하는 것으로 한다.
- [0037] 본 명세서 등에서, 표시 장치의 일 형태인 표시 패널은 표시면에 화상 등을 표시(출력)하는 기능을 갖는 것이다. 따라서 표시 패널은 출력 장치의 일 형태이다.

- [0038] 또한 본 명세서 등에서는, 표시 패널의 기관에 예를 들어 FPC(Flexible Printed Circuit) 또는 TCP(Tape Carrier Package) 등의 커넥터가 장착된 것, 혹은 기관에 COG(Chip On Glass) 방식 등으로 IC가 실장된 것을 표시 패널 모듈, 표시 모듈, 또는 단순히 표시 패널 등이라고 부르는 경우가 있다.
- [0039] (실시형태 1)
- [0040] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치의 구성예에 대하여 설명한다.
- [0041] 본 발명의 일 형태는 매트릭스로 배열된 복수의 화소를 포함하는 표시 장치이다. 표시 장치는 소스 신호(영상 신호, 데이터 신호 등이라고도 함)가 공급되는 복수의 소스선(제 1 배선)과, 게이트 신호(스캔 신호, 주사 신호 등이라고도 함)가 공급되는 복수의 게이트선(제 2 배선)을 포함한다. 소스선은 제 1 방향으로 연장되도록 제공되고, 게이트선은 제 1 방향과 교차되는 제 2 방향으로 연장되도록 제공된다.
- [0042] 화소는 하나의 소스선과 하나의 게이트선의 교차부에 대응하여 제공된다. 화소는 하나 이상의 표시 소자와 하나 이상의 트랜지스터를 포함한다. 화소는 표시 소자의 전극으로서 기능하는 화소 전극을 포함한다.
- [0043] 여기서, 소스선, 게이트선, 또는 이들 이외의 배선에 공급되는 신호에 기인하는 전기적 노이즈가 화소 전극에 전달되면, 화소 전극의 전위가 변화되고, 화소의 계조가 의도한 값을 벗어날 우려가 있다. 그 결과, 표시 장치가 표시하는 화상의 표시 품질이 저하된다. 특히 소스선은 게이트선에 비하여 입력되는 신호의 주파수가 높아, 화소 전극의 전위에 대한 영향이 크다.
- [0044] 이러한 소스선과 화소 전극 사이의 전기적인 크로스토크를 저감하는 대책으로서, 화소 전극과 소스선을 물리적으로 떨어뜨리는 방법을 들 수 있다. 특히 소스선과 화소 전극을 서로 중첩시키지 않는 것이 상기 크로스토크를 저감하는 데 효과적이다. 그러나 이 방법으로는 화소 전극의 크기를 축소할 필요가 있어, 표시 장치의 개구율(유효 발광 영역의 비율) 저하를 초래한다.
- [0045] 그래서 본 발명의 일 형태에서는, 정전위가 공급되는 배선(제 3 배선)을 사이에 두고 소스선과 화소 전극을 중첩시킨다. 이에 의하여, 소스선으로부터의 전기적인 노이즈는 제 3 배선에 의하여 차폐되므로, 화소 전극에 전달되는 것을 억제할 수 있다. 그러므로 화소 전극의 면적을 확대할 수 있어, 표시 장치의 개구율을 높일 수 있다.
- [0046] 제 3 배선은 화소에 정전위를 공급하는 배선인 것이 바람직하다. 예를 들어 표시 소자로서 유기 EL 소자를 사용한 경우에는, 제 3 배선은 유기 EL 소자에 양극 전위 또는 음극 전위를 공급하기 위한 배선으로서도 기능할 수 있다. 또한 제 3 배선은 전원 전위(고전원 전위(VDD) 또는 저전원 전위(VSS) 등)를 화소에 공급하기 위한 배선으로서도 기능할 수 있다.
- [0047] 제 3 배선은 소스선의 연장 방향인 제 1 방향을 따르는 스트라이프 형상의 상면 형상을 가질 수 있다. 또한 제 3 배선은 제 2 방향을 따르는 부분을 가져도 좋고, 제 1 방향과 제 2 방향의 각각을 따르는 부분을 갖는 격자상의 상면 형상을 가져도 좋다.
- [0048] 또한 화소를 고밀도로 배치한 경우, 인접한 발광 소자 사이의 거리를 작게 할 필요가 있다. 여기서, 백색 발광의 발광 소자와 컬러 필터를 사용하여 컬러 표시를 수행하는 구성은 발광성 화합물을 포함하는 층(EL층)을 인접한 발광 소자 사이에서 공유할 수 있어 EL층을 구분 형성할 필요가 없기 때문에, 정세도를 높이는 데 적합하다고 할 수 있다. 그러나 인접한 발광 소자 사이의 거리가 작은 경우에는, EL층을 통하여 인접한 화소 사이에서 누설 전류가 흐름으로써, 의도하지 않은 발광이 발생하는 경우가 있다. 이 결과, 색 재현성의 저하, 색 수차, 및 콘트라스트의 저하 등이 발생한다.
- [0049] 그래서 본 발명의 일 형태에서는, 인접한 화소 사이에 EL층이 얇은 영역을 형성하여, EL층을 통하여 누설 전류가 흐르는 것을 억제한다. 또는 인접한 화소 사이에 EL층이 분단되는 영역을 형성하여, EL층을 통하여 누설 전류가 흐르는 것을 방지한다. 이때 EL층이 되는 유기층 등을 성막한 경우에 EL층이 자기 정합적(self-aligned라고도 함)으로 박막화 또는 분단되는 구성을 사용한다. 이에 의하여, 공정을 늘리지 않고, EL층을 통하여 누설 전류가 흐르는 것을 억제하거나 방지할 수 있어, 색 재현성 및 콘트라스트가 높은 표시 장치를 실현할 수 있다.
- [0050] 구체적으로는, 화소 전극의 단부를 덮는 절연층(격벽이라고도 함)의 상면을 오목 형상을 갖도록 형성한다. 이때 절연층에서 EL층과 접하는 면의 일부를 실질적으로 수직이 되도록 형성한다. 구체적으로는, 절연층에서 EL층과 접하는 면의 일부를 기관면 또는 화소 전극의 상면에 대하여 70° 이상 120° 이하, 바람직하게는 75° 이상 115° 이하, 더 바람직하게는 80° 이상 110° 이하가 되도록 형성한다. 예를 들어 화소 전극을 측면이 실질적으로 수직이 되도록 가공하고, 상기 화소 전극의 측면을 피복하도록 절연층을 형성함으로써 제작을 할 수

있다. 이러한 절연층을 사용함으로써, 상기 절연층 위에 형성되는 EL층은 자기 정합적으로 얇은 부분이 형성되거나 중단된다.

[0051] 예를 들어 EL층은 절연층과 중첩되는 영역에서, 다른 영역보다 국소적으로 두께가 얇은 부분을 갖는다. 구체적으로는, EL층은 절연층과 중첩되는 부분에서, 두께가 화소 전극과 중첩되는 부분의 두께의 절반 이하, 바람직하게는 40% 이하, 더 바람직하게는 30% 이하이고 0%보다 큰 영역을 갖는다. 이에 의하여, 인접한 발광 소자 사이에서 EL층을 통하여 흐르는 전류를 억제할 수 있다.

[0052] 이러한 구성으로 함으로써, 소스선을 비롯한 각 배선과 화소 전극 사이의 전기적인 크로스토크의 영향을 억제할 수 있어, 화소 전극과 각 배선을 자유롭게 중첩시켜 배치할 수 있을 뿐만 아니라, 인접한 발광 소자 사이의 누설 전류를 억제할 수도 있기 때문에, 정세도가 매우 높은 표시 장치를 실현할 수 있다. 예를 들어 정세도가 1000ppi 이상, 2000ppi 이상, 3000ppi 이상, 4000ppi 이상, 또는 5000ppi 이상이고, 3000ppi 이하, 2000ppi 이하, 또는 1500ppi 이하인 표시 장치를 실현할 수 있다.

[0053] 이하에서는, 더 구체적인 예에 대하여 도면을 참조하여 설명한다.

[0054] [구성예 1]

[0055] 도 1의 (A)는 표시 장치(10)의 하나의 부화소의 적층 구조를 나타낸 사시 개략도이다. 부화소는 화소 회로(11), 발광 소자(12), 배선(21), 배선(22), 및 배선(23)을 포함한다. 발광 소자(12)는 화소 전극(24)을 포함한다. 또한 도 1의 (A)에서는 X방향, Y방향, Z방향을 각각 나타내었다. X방향, Y방향, Z방향은 서로 직교한 방향이다.

[0056] 배선(21)은 소스선으로서 기능하는 배선이고, Y방향으로 연장된다. 배선(22)은 게이트선으로서 기능하는 배선이고, X방향으로 연장된다. 배선(23)은 정전위가 공급되는 배선이고, Y방향으로 연장되는 부분을 갖는다.

[0057] 발광 소자(12)는 화소 전극(24)의 내측에 제공된다. 발광 소자(12)로서는, 예를 들어 발광성 물질을 포함하는 층(EL층이라고도 함)이 한 쌍의 전극 사이에 끼워지고, 한 쌍의 전극 사이에 흐르는 전류에 의하여 발광하는 전계 발광 소자를 적합하게 사용할 수 있다. 특히 EL층에 발광성 유기 화합물을 사용한 유기 EL 소자를 적용하는 것이 바람직하다.

[0058] 화소 회로(11)는 발광 소자(12)에 흐르는 전류를 제어하기 위한 회로이다. 화소 회로(11)는 하나 이상의 트랜지스터를 포함하는 것이 바람직하다.

[0059] 평면에서 보았을 때, 화소 전극(24)과 배선(21)은 서로 중첩되는 영역을 갖는다. 또한 화소 전극(24)과 배선(21)은 배선(23)을 사이에 두고 중첩되어 있다. 이와 같이, 정전위가 공급되는 배선(23)이 화소 전극(24)과 배선(21) 사이에 배치됨으로써, 화소 전극(24)과 배선(21)을 중첩시켜 배치한 경우에도, 배선(21)에 기인하는 전기적인 노이즈가 배선(23)에 의하여 차폐되므로, 화소 전극(24)에 전달되는 것을 방지할 수 있다. 이에 의하여, 화소 전극(24)의 면적을 확대할 수 있기 때문에, 발광 소자(12)의 발광 면적을 확대할 수 있고, 표시 장치(10)의 개구율(유효 발광 영역의 비율)을 높일 수 있다.

[0060] 여기서, "평면에서 보았을 때"란, 표시 장치(10)의 표시면 측으로부터 보는 경우를 말하는 것으로 한다.

[0061] 도 1의 (B)에는 배선(23)을 제공하지 않은 경우의 표시 장치(10X)의 예를 나타내었다. 이때 배선(21)으로부터의 전기적 노이즈가 그 위쪽에 위치하는 화소 전극(24)에 전달되어, 화소 전극(24)의 전위가 변화함으로써, 발광 소자(12)의 발광 휘도의 계조 편차가 생길 우려가 있다.

[0062] 또한 도 1의 (C)에는, 화소 전극(24)의 X방향의 폭을 축소하여 배선(21)과 중첩하지 않도록 배치한 경우의 표시 장치(10Y)의 예를 나타내었다. 이 경우, 배선(21)으로부터의 전기적 노이즈로 인한 크로스토크의 발생은 억제할 수 있지만, 발광 소자(12)의 발광 면적이 축소되기 때문에, 표시 장치(10)의 개구율이 감소된다.

[0063] 이와 같이, 본 발명의 일 형태의 표시 장치(10)는 높은 정세도와 높은 개구율을 실현할 수 있다. 또한 개구율을 높일 수 있기 때문에, 휘도를 높일 수 있다. 또한 원하는 휘도에 필요한 전류를 저감할 수 있기 때문에, 소비 전력이 낮고, 발광 소자의 열화가 억제된 표시 장치를 실현할 수 있다.

[0064] [구성예 2]

[0065] 이하에서는, 더 구체적인 화소의 구성예에 대하여 설명한다.

[0066] [구성예 2-1]

- [0067] 도 2는 표시 장치(10A)에 포함되는 화소(20)의 상면 개략도이다. 화소(20)는 부화소(20R), 부화소(20G), 및 부화소(20B)를 포함한다. 표시 장치(10A)는 화소(20)를 복수로 포함하고, 화소(20)는 X방향 및 Y방향으로 주기적으로 배치된다.
- [0068] 부화소(20R)는 적색의 광을 방출하는 발광 소자(12R)를 포함한다. 부화소(20G)는 녹색의 광을 방출하는 발광 소자(12G)를 포함한다. 부화소(20B)는 청색의 광을 방출하는 발광 소자(12B)를 포함한다.
- [0069] 발광 소자(12R), 발광 소자(12G), 및 발광 소자(12B)는 각각 다른 발광 재료를 포함하여도 좋고, 각각 백색 발광의 발광 소자와 컬러 필터를 조합한 구성을 가져도 좋고, 청색 또는 자색의 발광 소자와 색 변환 재료(퀀텀닷(quantum dot) 등)를 조합한 구성을 가져도 좋다.
- [0070] 도 3의 (A) 내지 (E)는 각각 도 2에 나타난 화소(20)에 포함되는 하나의 부화소(20X)를 추출하여 나타낸 상면 개략도이다. 부화소(20X)는 부화소(20R), 부화소(20G), 및 부화소(20B)로서 사용할 수 있다. 또한 여기서는 발광 소자를 생략하였다.
- [0071] 도 3의 (B)에서는 배선(23)의 상면 형상의 일례를 나타내었으며, 도 3의 (A)에서의 화소 전극(24)은 파선으로 윤곽만 명시하였다.
- [0072] 배선(23)은 발광 소자(12)에 대한 전원 공급선으로서 기능하고, 정전위가 공급된다. 화소 전극(24)이 양극으로서 기능하는 경우에는, 배선(23)에 고전원 전위가 공급되고, 음극으로서 기능하는 경우에는, 저전원 전위가 공급된다.
- [0073] 도 3의 (B)에 나타난 바와 같이, 배선(23)은 Y방향으로 연장되는 부분뿐만 아니라, X방향으로 연장되는 부분도 갖는 것이 바람직하다. 이 경우, 배선(23)은 격자상의 상면 형상을 가질 수 있기 때문에, 스트라이프 형상의 상면 형상을 갖는 경우에 비하여 전기 저항이 감소되고, 전압 강하의 영향을 억제할 수 있다.
- [0074] 도 3의 (C)에서는 도 3의 (B)에서의 배선(23)은 파선으로 윤곽만 명시하였다. 도 3의 (C)에서는, 배선(22)과, 상기 배선(22)과 동일한 도전막을 가공하여 형성된 도전층을 동일한 해치 패턴을 사용하여 표시하였다. 마찬가지로, 도 3의 (C)에서는, 배선(21)과, 상기 배선(21)과 동일한 도전막을 가공하여 형성된 도전층을 동일한 해치 패턴을 사용하여 표시하였다.
- [0075] 도 3의 (D)에서는, 도 3의 (C)에서의 배선(21)과, 배선(21)과 동일한 도전막을 가공하여 형성된 도전층은 파선으로 윤곽만 명시하였다. 또한 도 3의 (E)에서는, 도 3의 (D)에서의 배선(22)과, 배선(22)과 동일한 도전막을 가공하여 형성된 도전층은 파선으로 윤곽만 명시하였다.
- [0076] 도 3의 (C) 및 (D)에는 트랜지스터(30a), 트랜지스터(30b)를 나타내었다. 또한 도 3의 (D)에는 트랜지스터(30a)에 포함되는 반도체층(31a)과, 트랜지스터(30b)에 포함되는 반도체층(31b)을 나타내었다. 트랜지스터(30a)는 부화소의 선택/비선택을 제어하는 선택 트랜지스터로서 기능한다. 또한 트랜지스터(30b)는 발광 소자에 흐르는 전류를 제어하는 구동 트랜지스터로서 기능한다.
- [0077] 트랜지스터(30a)는 배선(22)의 일부가 게이트를 구성하고, 소스 및 드레인 중 한쪽이 배선(21)에 전기적으로 접속되고, 다른 쪽이 트랜지스터(30b)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(30b)는 소스 및 드레인 중 한쪽이 배선(23)에 전기적으로 접속되고, 다른 쪽이 화소 전극(24)에 전기적으로 접속되어 있다.
- [0078] 여기서는 반도체층(31a)과 반도체층(31b) 각각의 상면 형상이, 콘택트부가 배치되는 한 쌍의 넓은 부분과, 채널로서 형성되는 좁은 부분을 갖는 예를 나타내었다. 이와 같이 2개의 트랜지스터의 반도체층을 실질적으로 동일한 상면 형상을 갖도록 형성함으로써, 각각의 전기 특성을 같게 할 수 있고, 설계가 용이해지기 때문에 바람직하다. 또한 동일한 패턴을 갖는 반도체층을 조합하여 원하는 전기 특성이 얻어지는 트랜지스터를 구성하여도 좋다. 예를 들어 한쪽 트랜지스터의 채널 폭이 다른 쪽 트랜지스터의 정수배가 되도록 복수의 반도체층을 병렬로 배치하여 접속하여도 좋다. 또한 한쪽 트랜지스터의 채널 길이가 다른 쪽 트랜지스터의 정수배가 되도록 복수의 반도체층을 직렬로 배치하여 접속하여도 좋다.
- [0079] 또한 표시 장치(10A)에서는, 트랜지스터(30a)에 포함되는 반도체층(31a) 및 트랜지스터(30b)에 포함되는 반도체층(31b)은 각각 Y방향, 즉 배선(21)의 연장 방향에 평행한 방향으로 전류가 흐르도록 배치되어 있다. 바꿔 말하면, 트랜지스터(30a)와 트랜지스터(30b)는 각각 채널 길이 방향이 Y방향에 평행하고, 채널 폭 방향이 X방향에 평행하게 되도록 배치되어 있다. 이와 같이 화소를 구성하는 복수의 트랜지스터에서 전류가 흐르는 방향을 일치시킴으로써, 전기 특성의 편차가 억제되고, 설계를 용이하게 할 수 있기 때문에 바람직하다.

- [0080] 여기서, 도 3의 (D) 등에 나타낸 바와 같이, 복수의 더미층(32)이 제공되는 것이 바람직하다. 더미층(32)은 반도체층(31a) 및 반도체층(31b)과 동일한 막을 가공하여 형성되고, 이들과 동일한 조성을 갖는 막으로 할 수 있다. 또한 도 3의 (A) 내지 (E)에서는, 반도체층(31a) 및 반도체층(31b)과 더미층(32)을 구별하기 위하여, 서로 다른 해치 패턴을 사용하여 이들을 표시하였다.
- [0081] 더미층(32)의 상면 형상은 반도체층(31a) 및 반도체층(31b)의 상면 형상과 동일하거나 이를 주기적으로 조합한 형상인 것이 바람직하다. 표시 장치(10A)에서, 각 더미층(32)은 2개 이상의 넓은 부분과, 인접한 2개의 넓은 부분을 Y방향으로 연결시키는 좁은 부분을 갖는 상면 형상을 갖는다. 각 더미층(32)은 긴쪽 방향이 Y방향에 평행하게 되도록 배치되어 있다. 또한 각 더미층(32)은 Y방향으로 배열되는 복수의 화소에 걸쳐 배치되어 있다.
- [0082] 이와 같이, 반도체층(31a) 및 반도체층(31b)이 제공되지 않은 영역에 더미층(32)을 배치함으로써, 반도체층(31a) 및 반도체층(31b)의 가공 형상의 편차를 저감할 수 있고, 이 결과 트랜지스터(30a) 및 트랜지스터(30b)의 전기 특성의 편차를 저감할 수 있다. 또한 더미층은 제조 공정의 안정화, 가공 편차의 저감 등을 목적으로 하여 빈 공간에 제공되는 층이고, 기본적으로는 회로를 구성하는 구성 요소로서 고려되지 않는다. 그러므로 더미층은 전기적으로 플로팅되거나 정전압이 공급된다. 또한 반도체층 이외의 층에도 더미층을 제공하는 것이 바람직하다.
- [0083] 더미층(32)은 반도체층(31a) 및 반도체층(31b)이 제공되지 않은 영역에 가능한 한 전체적으로 배치되는 것이 바람직하다. 표시 장치(10A)는 배선(21)이 제공되는 영역을 피하여 더미층(32)을 배치한 예이지만, 배선(21)과 중첩시켜 더미층(32)을 배치하여도 좋다.
- [0084] 또한 여기서는 하나의 부화소에 2개의 트랜지스터를 배치하는 예를 나타내었지만, 이에 한정되지 않고, 3개 이상의 트랜지스터를 배치하여도 좋다. 이 경우, 부화소에 제공되는 모든 트랜지스터에서, 반도체층이 동일한 패턴을 갖고, 반도체층에 흐르는 전류의 방향이 일치하는 것이 바람직하다.
- [0085] 여기까지가 구성예 2-1에 대한 설명이다.
- [0086] 이하에서는, 상기와는 일부 구성이 다른 구성예에 대하여 도면을 참조하여 설명한다. 또한 이하에서는 상기와 중복되는 부분에 대해서는 설명을 생략하는 경우가 있다. 또한 이하에서 제시하는 도면에서, 동일한 기능을 갖는 구성에 대해서는, 동일한 해치 패턴 및 부호를 사용하고, 설명을 생략하는 경우도 있다.
- [0087] [구성예 2-2]
- [0088] 도 4의 (A) 내지 (E)는 표시 장치(10B)에 포함되는 부화소(20X)의 상면 개략도이다. 표시 장치(10B)는 반도체층(31a), 반도체층(31b), 및 더미층(32)의 방향이 상기 표시 장치(10A)와 주로 다르다.
- [0089] 반도체층(31a) 및 반도체층(31b)은 각각 X방향, 즉 배선(22)의 연장 방향에 평행한 방향으로 전류가 흐르도록 배치되어 있다. 바꿔 말하면, 트랜지스터(30a)와 트랜지스터(30b)는 각각 채널 길이 방향이 X방향에 평행하고, 채널 폭 방향이 Y방향에 평행하게 되도록 배치되어 있다.
- [0090] 또한 더미층(32)은 긴쪽 방향이 X방향에 평행하게 되도록 배치되어 있다. 더미층(32)은 X방향으로 배열되는 복수의 화소에 걸쳐 배치되어 있다.
- [0091] 또한 표시 장치(10B)는 더미층(32)이 배선(21)과 중첩되는 부분을 갖도록 제공된 예이다.
- [0092] [구성예 2-3]
- [0093] 도 5의 (A) 내지 (E)는 표시 장치(10C)에 포함되는 부화소(20X)의 상면 개략도이다. 표시 장치(10C)는 더미층(32)을 포함하지 않는다는 점에서 상기 표시 장치(10A)와 주로 다르다.
- [0094] 또한 구성예 2-2에서 예시한 표시 장치(10B)에도, 표시 장치(10C)와 마찬가지로 더미층(32)이 제공되지 않는 구성을 적용하여도 좋다.
- [0095] [구성예 3]
- [0096] 이하에서는, 구성예 2와는 다른 표시 장치의 구성예에 대하여 설명한다. 또한 상기와 중복되는 부분에 대해서는, 동일한 부호를 사용하고, 설명을 생략하는 경우가 있다.
- [0097] [화소의 배치예]
- [0098] 도 6의 (A)는 표시 장치(10D)의 일부의 상면 개략도이다. 도 6의 (A)에는 6개의 발광 소자의 배열 방법의 예를

나타내었다. 표시 장치(10D)는 도 6의 (A)에 나타난 구성을 하나의 유닛으로 하고, 상기 유닛이 X방향 및 Y방향으로 반복적으로 배열된 화소부를 갖는다.

[0099] 도 6의 (A)에는 6개의 화소 전극(24), 2개의 발광 소자(12R), 2개의 발광 소자(12G), 및 2개의 발광 소자(12B)를 나타내었다. 또한 2개의 부화소(20R), 2개의 부화소(20G), 및 2개의 부화소(20B)가 제공되는 영역을 각각 파선으로 나타내었다.

[0100] 각 발광 소자는 최대한 조밀하게 배열된 육각형의 영역의 내측에 배치되어 있다. 각 발광 소자는 그 하나의 발광 소자에 주목하였을 때, 6개의 발광 소자로 둘러싸이도록 배치되어 있다. 또한 같은 색의 발광 소자가 인접하지 않도록 제공되어 있다. 예를 들어 발광 소자(12R)에 주목하였을 때, 이를 둘러싸도록 3개의 발광 소자(12G)와 3개의 발광 소자(12B)가 번갈아 배치되도록 각 발광 소자가 제공되어 있다.

[0101] 또한 발광 소자의 발광 영역도 육각형의 상면 형상을 갖는 것이 바람직하다. 또한 화소 전극(24)도 마찬가지로 육각형의 상면 형상을 갖는 것이 바람직하다.

[0102] 도 6의 (B) 및 (C)에는 각각 발광 소자(12)의 발광 영역의 상면 형상의 예를 나타내었다.

[0103] 도 6의 (B) 및 (C)의 각각에 나타난 발광 소자(12X)에서는, Y방향에 위치하는 한 쌍의 꼭짓점들 사이의 길이와, Y방향으로 연장되는 한 쌍의 변들 사이의 거리가 각각 같은 길이 L이다. 따라서 X방향과 Y방향에서 화소의 배열 주기를 같게 할 수 있다. 또한 정육각형을 사용하여 최대한 조밀하게 배치하는 경우에는, X방향과 Y방향에서 배열 주기를 같게 하는 것이 어렵기 때문에, 정육각형을 사용하지 않는 것이 바람직하다.

[0104] 또한 도 6의 (B)에 나타난 발광 소자(12X)에서는, Y방향에 위치하는 한 쌍의 꼭짓점의 내각(각도 θ_1)이 같고, 다른 4개의 꼭짓점의 내각(각도 θ_2)이 같다. 여기서, 각도 θ_1 은 120° 보다 크고, 각도 θ_2 는 120° 보다 작다.

[0105] 또한 도 6의 (C)에 나타난 발광 소자(12X)에서는, 6개의 내각 모두가 120° 이다. 또한 Y방향으로 연장되는 한 쌍의 변의 길이가 다른 변보다 짧다.

[0106] 또한 실제로는 발광 소자(12X)의 상면 형상은 꼭짓점의 각이 둥근 경우가 많기 때문에, 상기 각도 및 변의 길이는, 발광 소자(12X)에 근사한 육각형의 도형에 적용되는 것으로 한다.

[0107] 또한 여기서는 발광 소자(12X)의 형상에 대하여 설명하였지만, 화소 전극에도 같은 형상을 적용하는 것이 바람직하다. 이 경우, 발광 영역은 화소 전극과 중첩되고, 평면에서 보았을 때 화소 전극의 내측에 위치하도록 제공될 수 있다.

[0108] 도 6의 (D)는 인접한 3개의 발광 소자(발광 소자(12R), 발광 소자(12G), 및 발광 소자(12B))의 위치에 대하여 나타난 도면이다. 도 6의 (D)에 나타난 바와 같이, 3개의 발광 소자는 각각 이등변 삼각형의 꼭짓점에 위치하도록 배치되는 것이 바람직하다. 이때 이등변 삼각형에서 Y방향에 위치하는 꼭짓점의 각도가, X방향에 평행한 변의 양단에 위치하는 꼭짓점의 각도보다 큰 것이 바람직하다.

[0109] [구성예 3-1]

[0110] 이어서, 더 구체적인 화소의 구성예에 대하여 설명한다.

[0111] 도 7은 표시 장치(10E)의 상면 개략도이다. 도 7에는 2×2 개의 부화소를 포함한 범위를 나타내었다. 도 7에는 부화소(20G)와, 부화소(20B)와, 2개의 부화소(20R)를 나타내었다.

[0112] 도 8의 (A)는 표시 장치(10E)에 포함되는 하나의 부화소(20X)를 추출하여 나타난 상면 개략도이다. 부화소(20X)는 도 7에서의 부화소(20R), 부화소(20G), 또는 부화소(20B)로서 사용할 수 있다. 또한 도 8의 (A)에서는 화소 전극(24)은 파선으로 윤곽만 나타내었다.

[0113] 도 8의 (B) 내지 (F)에는 부화소(20X)를 구성하는 각 층의 레이아웃을 나타내었다. 도 8의 (B)에는 피형성면에 가장 가깝게 위치하는 층을 나타내고, 도 8의 (F)에는 화소 전극(24)에 가장 가깝게 위치하는 2층을 나타내었다.

[0114] 도 8의 (B)에는 배선(22)과, 배선(22)과 동일한 도전막을 가공하여 얻어지는 도전층을 포함하는 층을 나타내었다. 이들의 일부는 트랜지스터(30a) 또는 트랜지스터(30b)의 한쪽 게이트 전극(보텀 게이트 전극, 제 1 게이트 전극 등이라고도 함)으로서 기능한다.

[0115] 도 8의 (C)에는 반도체층(31a)과, 반도체층(31b)과, 복수의 더미층(32)을 포함하는 층을 나타내었다.

여기서는, 채널 길이 방향이 Y방향에 평행한 경우를 나타내었지만, 구성예 2-2와 마찬가지로, 채널 길이 방향이 X방향에 평행하게 되도록 레이아웃을 하여도 좋다.

- [0116] 도 8의 (D)에는 복수의 도전층(25)을 포함하는 층을 나타내었다. 도전층(25)의 일부는 트랜지스터(30a) 또는 트랜지스터(30b)의 다른 쪽 게이트 전극(툽 게이트 전극, 제 2 게이트 전극 등이라고도 함)으로서 기능한다. 또한 더미층으로서, 전기적으로 플로팅된 도전층(25)을 포함하여도 좋다. 더미층을 제공함으로써, 도전층(25) 등의 가공 형상의 편차를 저감할 수 있다.
- [0117] 도 8의 (E)에는 배선(21)과, 배선(21)과 동일한 도전막을 가공하여 얻어지는 복수의 도전층을 포함하는 층을 나타내었다. 도 8의 (E)에 나타낸 복수의 도전층의 일부는 트랜지스터(30a) 또는 트랜지스터(30b)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다. 또한 도 8의 (E)에 나타낸 복수의 도전층의 일부는 용량 소자의 한쪽 전극으로서 기능한다.
- [0118] 도 8의 (F)에는 도전층(27)을 포함하는 층과, 그 층의 위쪽에 위치하는 배선(23)과, 배선(23)과 동일한 도전막을 가공하여 얻어지는 도전층을 포함하는 층을 나타내었다. 배선(23)의 위쪽에 화소 전극(24)이 제공된다. 도전층(27)의 일부는 용량 소자의 다른 쪽 전극으로서 기능한다. 또한 배선(23)과 동일한 도전막을 가공하여 얻어지는 도전층의 일부는 화소 전극(24)과 트랜지스터(30b)를 전기적으로 접속하는 중계 배선으로서 기능한다.
- [0119] [구성예 3-2]
- [0120] 앞에서는 2개의 트랜지스터를 포함하는 부화소의 구성에 대하여 설명하였지만, 이하에서는 4개의 트랜지스터를 포함하는 부화소의 구성예에 대하여 설명한다. 또한 이하에서는 구성예 3-1 등과 중복되는 부분에 대해서는 이를 참조하고, 설명을 생략하는 경우가 있다.
- [0121] 도 9의 (A) 내지 (F)에는 4개의 트랜지스터를 포함한 부화소(20X)를 포함하는 표시 장치(10F)의 구성예를 나타내었다.
- [0122] 부화소(20X)는 트랜지스터(30a), 트랜지스터(30b), 트랜지스터(30c), 및 트랜지스터(30d)를 포함한다.
- [0123] 도 9의 (B)에 나타낸 바와 같이, 3개의 게이트선(배선(22a), 배선(22b), 및 배선(22c))과, 정전위가 공급되는 배선(22d)이 제공된다. 배선(22a)의 일부는 트랜지스터(30a)의 한쪽 게이트 전극으로서 기능한다. 배선(22b)의 일부는 트랜지스터(30c)의 한쪽 게이트 전극으로서 기능한다. 배선(22c)의 일부는 트랜지스터(30d)의 한쪽 게이트 전극으로서 기능한다.
- [0124] 도 9의 (C)에 나타낸 바와 같이, 트랜지스터(30c)에 포함되는 반도체층(31c) 및 트랜지스터(30d)에 포함되는 반도체층(31d)은, 반도체층(31a) 및 반도체층(31b)과 마찬가지로, Y방향으로 전류가 흐르도록 배치되어 있다. 또한 더미층(32)은 각 반도체층 사이의 간격에 제공되고, 긴쪽 방향이 Y방향에 평행하게 되도록 배치되어 있다. 또한 여기서는, 채널 길이 방향이 Y방향에 평행한 경우를 나타내었지만, 구성예 2-2와 마찬가지로, 채널 길이 방향이 X방향에 평행하게 되도록 레이아웃을 하여도 좋다.
- [0125] 도 9의 (B) 내지 (D)에 나타낸 바와 같이, 트랜지스터(30a), 트랜지스터(30b), 트랜지스터(30c), 및 트랜지스터(30d)는 각각 한 쌍의 게이트 전극을 포함하는 트랜지스터이다. 또한 4개의 트랜지스터 중 하나 이상을 한쪽 게이트만을 포함하는 트랜지스터(싱글 게이트형 트랜지스터)로 하고, 나머지를 한 쌍의 게이트를 포함하는 트랜지스터(듀얼 게이트형 트랜지스터)로 하여도 좋다.
- [0126] [화소 회로]
- [0127] 이하에서는, 본 발명의 일 형태의 표시 장치에 적용할 수 있는 화소 회로의 구성예 및 구동 방법의 예에 대하여 설명한다.
- [0128] [화소 회로의 구성예]
- [0129] 도 10의 (A)에 나타낸 화소 회로(PIX1)는 트랜지스터(M1), 트랜지스터(M2), 용량 소자(C1), 및 발광 소자(EL)를 포함한다. 또한 화소 회로(PIX1)에는 배선(SL), 배선(GL), 배선(AL), 및 배선(CL)이 전기적으로 접속되어 있다.
- [0130] 트랜지스터(M1)는 게이트가 배선(GL)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(SL)에 전기적으로 접속되고, 다른 쪽이 트랜지스터(M2)의 게이트 및 용량 소자(C1)의 한쪽 전극에 전기적으로 접속되어 있다. 트랜지스터(M2)는 소스 및 드레인 중 한쪽이 배선(AL)에 전기적으로 접속되고, 다른 쪽이 발광 소자(EL)의 양극에

전기적으로 접속되어 있다. 용량 소자(C1)는 다른 쪽 전극이 발광 소자(EL)의 양극에 전기적으로 접속되어 있다. 발광 소자(EL)는 음극이 배선(CL)에 전기적으로 접속되어 있다.

- [0131] 트랜지스터(M1)는 선택 트랜지스터라고 부를 수도 있고, 화소의 선택/비선택을 제어하기 위한 스위치로서 기능한다. 트랜지스터(M2)는 구동 트랜지스터라고 부를 수도 있고, 발광 소자(EL)에 흐르는 전류를 제어하는 기능을 갖는다. 용량 소자(C1)는 축적 용량 소자(storage capacitor)로서 기능하고, 트랜지스터(M2)의 게이트 전위를 유지하는 기능을 갖는다. 용량 소자(C1)로서는 MIM 커패시터 등의 용량 소자를 적용하여도 좋고, 배선들 사이의 용량 또는 트랜지스터의 게이트 용량 등을 용량 소자(C1)로서 사용하여도 좋다.
- [0132] 배선(SL)에는 소스 신호가 공급된다. 배선(GL)에는 게이트 신호가 공급된다. 배선(AL)과 배선(CL)에는 각각 정전위가 공급된다. 발광 소자(EL)에서는, 양극 측을 고전위로 하고, 음극 측을 양극 측보다 저전위로 할 수 있다.
- [0133] 도 10의 (B)에 나타난 화소 회로(PIX2)는 화소 회로(PIX1)에 트랜지스터(M3)를 추가한 구성을 갖는다. 또한 화소 회로(PIX2)에는 배선(V0)이 전기적으로 접속되어 있다.
- [0134] 트랜지스터(M3)는 게이트가 배선(GL)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 발광 소자(EL)의 양극에 전기적으로 접속되고, 다른 쪽이 배선(V0)에 전기적으로 접속되어 있다.
- [0135] 배선(V0)에는 화소 회로(PIX2)에 데이터를 기록할 때 전위가 공급된다. 따라서 트랜지스터(M2)의 게이트와 소스 사이의 전압의 편차를 억제할 수 있다.
- [0136] 도 10의 (C)에 나타난 화소 회로(PIX3)는, 상기 화소 회로(PIX1)의 트랜지스터(M1) 및 트랜지스터(M2)로서 한 쌍의 게이트가 전기적으로 접속된 트랜지스터를 적용한 경우의 예이다. 또한 도 10의 (D)에 나타난 화소 회로(PIX4)는 화소 회로(PIX2)에 상기 트랜지스터를 적용한 경우의 예이다. 이에 의하여, 트랜지스터에 흐르는 전류를 증대시킬 수 있다. 또한 여기서는 모든 트랜지스터로서 한 쌍의 게이트가 전기적으로 접속된 트랜지스터를 적용하였지만, 이에 한정되지 않는다. 또한 한 쌍의 게이트를 포함하고, 이들이 서로 다른 배선에 전기적으로 접속되는 트랜지스터를 적용하여도 좋다. 예를 들어 게이트의 한쪽과 소스가 전기적으로 접속된 트랜지스터를 사용함으로써, 신뢰성을 높일 수 있다.
- [0137] 도 11의 (A)에 나타난 화소 회로(PIX5)는 상기 화소 회로(PIX2)에 트랜지스터(M4)를 추가한 구성을 갖는다. 또한 화소 회로(PIX5)에는 3개의 게이트선으로서 기능하는 배선(배선(GL1), 배선(GL2), 및 배선(GL3))이 전기적으로 접속되어 있다.
- [0138] 트랜지스터(M4)는 게이트가 배선(GL3)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 트랜지스터(M2)의 게이트에 전기적으로 접속되고, 다른 쪽이 배선(V0)에 전기적으로 접속되어 있다. 또한 트랜지스터(M1)의 게이트가 배선(GL1)에 전기적으로 접속되고, 트랜지스터(M3)의 게이트가 배선(GL2)에 전기적으로 접속되어 있다.
- [0139] 트랜지스터(M3)와 트랜지스터(M4)를 동시에 도통 상태로 함으로써, 트랜지스터(M2)의 소스와 게이트가 같은 전위를 갖기 때문에, 트랜지스터(M2)를 비도통 상태로 할 수 있다. 이에 의하여, 발광 소자(EL)에 흐르는 전류를 강제적으로 차단할 수 있다. 이러한 화소 회로는 표시 기간과 소등 기간을 교대로 제공하는 표시 방법을 사용하는 경우에 적합하다.
- [0140] 도 11의 (B)에 나타난 화소 회로(PIX6)는 상기 화소 회로(PIX5)에 용량 소자(C2)를 추가한 경우의 예이다. 용량 소자(C2)는 축적 용량 소자로서 기능한다.
- [0141] 도 11의 (C)에 나타난 화소 회로(PIX7) 및 도 11의 (D)에 나타난 화소 회로(PIX8)는 각각 상기 화소 회로(PIX5) 또는 화소 회로(PIX6)에 한 쌍의 게이트를 포함하는 트랜지스터를 적용한 경우의 예이다. 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M4)로서는 한 쌍의 게이트가 전기적으로 접속된 트랜지스터가 적용되고, 트랜지스터(M2)로서는 한쪽 게이트가 소스에 전기적으로 접속된 트랜지스터가 적용되어 있다.
- [0142] [구동 방법의 예]
- [0143] 이하에서는, 화소 회로(PIX5)가 적용된 표시 장치의 구동 방법의 일례에 대하여 설명한다. 또한 화소 회로(PIX6), 화소 회로(PIX7), 및 화소 회로(PIX8)에도 같은 구동 방법을 적용할 수 있다.
- [0144] 도 12에 화소 회로(PIX5)가 적용된 표시 장치의 구동 방법에 따른 타이밍 차트를 나타내었다. 여기서는, 제 k 행의 게이트선인 배선(GL1[k]), 배선(GL2[k]), 및 배선(GL3[k]), 그리고 제 k+1 행의 게이트선인 배선(GL1[k+1]), 배선(GL2[k+1]), 및 배선(GL3[k+1])의 전위의 추이(推移)를 나타내었다. 또한 도 12에는 소스선

으로서 기능하는 배선(SL)에 신호가 공급되는 타이밍을 나타내었다.

- [0145] 여기서, 하나의 수평 기간을 점등 기간과 소등 기간으로 나누어 표시를 수행하는 구동 방법의 예를 나타내었다. 또한 제 k 행의 수평 기간과 제 k+1 행의 수평 기간은 게이트선의 선택 기간만큼 차이가 있다.
- [0146] 제 k 행의 점등 기간에는, 먼저 배선(GL1[k]) 및 배선(GL2[k])에 하이 레벨 전위가 공급되고, 배선(SL)에 소스 신호가 공급된다. 이에 의하여, 트랜지스터(M1)와 트랜지스터(M3)가 도통 상태가 되고, 배선(SL)으로부터 트랜지스터(M2)의 게이트에 소스 신호에 대응하는 전위가 기록된다. 그 후, 배선(GL1[k]) 및 배선(GL2[k])에 로 레벨 전위가 공급됨으로써, 트랜지스터(M1)와 트랜지스터(M3)가 비도통 상태가 되고, 트랜지스터(M2)의 게이트 전위가 유지된다.
- [0147] 이어서, 제 k+1 행의 점등 기간으로 전이하고, 상기와 같은 동작에 의하여 데이터가 기록된다.
- [0148] 다음으로, 소등 기간에 대하여 설명한다. 제 k 행의 소등 기간에 배선(GL2[k])과 배선(GL3[k])에 하이 레벨 전위가 공급된다. 이에 의하여, 트랜지스터(M3)와 트랜지스터(M4)가 도통 상태가 되기 때문에, 트랜지스터(M2)의 소스와 게이트에 같은 전위가 공급됨으로써, 트랜지스터(M2)에는 거의 전류가 흐르지 않게 된다. 이에 의하여, 발광 소자(EL)가 소등한다. 제 k 행에 위치하는 모든 부화소가 소등한다. 제 k 행의 부화소는 다음 점등 기간까지 소등 상태가 유지된다.
- [0149] 이어서, 제 k+1 행의 소등 기간으로 전이하고, 상기와 마찬가지로 제 k+1 행의 부화소 모두가 소등 상태가 된다.
- [0150] 이와 같이, 하나의 수평 기간 내내 점등하는 것이 아니라, 하나의 수평 기간에 소등 기간을 제공하는 구동 방법을 듀티 구동(duty driving)이라고 부를 수도 있다. 듀티 구동을 사용함으로써, 동영상 표시하는 경우의 잔상(殘像) 현상을 저감할 수 있기 때문에, 동영상 표시 성능이 높은 표시 장치를 실현할 수 있다. 특히 VR 기기 등에서는, 잔상을 저감함으로써, 소위 VR 멀미를 경감시킬 수 있다.
- [0151] 듀티 구동에서, 하나의 수평 기간에 대한 점등 기간의 비율을 듀티 비율이라고 부를 수 있다. 예를 들어 "듀티 비율이 50%"란, 점등 기간과 소등 기간이 같은 길이임을 의미한다. 또한 듀티 비율은 자유롭게 설정할 수 있고, 예를 들어 0%보다 높고 100% 이하의 범위에서 적절히 조정할 수 있다.
- [0152] 여기까지가 구동 방법의 예에 대한 설명이다.
- [0153] [단면 구성예]
- [0154] 이어서, 본 발명의 일 형태의 표시 장치의 단면 구성예에 대하여 설명한다.
- [0155] 도 13은 표시 장치(200A)의 단면 개략도이다. 표시 장치(200A)는 기판(201)과 기판(202) 사이에 발광 소자(250R), 발광 소자(250G), 트랜지스터(210), 트랜지스터(220), 용량 소자(240) 등을 포함한다.
- [0156] 트랜지스터(210)는 기판(201)에 채널 형성 영역이 형성되는 트랜지스터이다. 기판(201)으로서는, 예를 들어 단결정 실리콘 기판 등의 반도체 기판을 사용할 수 있다. 트랜지스터(210)는 기판(201)의 일부, 도전층(211), 저저항 영역(212), 절연층(213), 절연층(214) 등을 포함한다. 도전층(211)은 게이트 전극으로서 기능한다. 절연층(213)은 기판(201)과 도전층(211) 사이에 위치하고, 게이트 절연층으로서 기능한다. 저저항 영역(212)은 기판(201)에 불순물이 도핑된 영역이고, 소스 및 드레인 중 한쪽으로서 기능한다. 절연층(214)은 도전층(211)의 측면을 덮어 제공된다.
- [0157] 또한 기판(201)에 매립되도록, 인접한 2개의 트랜지스터들(210) 사이에 소자 분리층(215)이 제공되어 있다.
- [0158] 트랜지스터(210)와 트랜지스터(220) 사이에는 배선층(203)이 제공되어 있다. 배선층(203)은 하나 이상의 배선을 포함하는 층이 적층된 구성을 갖는다. 각 층은 도전층(271)을 포함하고, 2개의 층 사이에는 층간 절연층(273)이 제공되어 있다. 또한 층간 절연층(273)에 제공된 플러그(272)에 의하여, 서로 다른 층의 도전층들(271)을 전기적으로 접속한다.
- [0159] 배선층(203) 위에 트랜지스터(220)가 제공되어 있다. 트랜지스터(220)는 채널이 형성되는 반도체층에 금속 산화물(산화물 반도체라고도 함)이 적용된 트랜지스터이다.
- [0160] 트랜지스터(220)는 반도체층(221), 절연층(223), 도전층(224), 한 쌍의 도전층(225), 절연층(226), 도전층(227) 등을 포함한다.
- [0161] 배선층(203) 위에 절연층(231)이 제공되어 있다. 절연층(231)은 배선층(203) 측으로부터 트랜지스터(220)로 물

또는 수소 등의 불순물이 확산되는 것, 그리고 반도체층(221)으로부터 배선층(203) 측으로 산소가 이탈되는 것을 방지하는 배리어층으로서 기능한다. 절연층(231)으로서는, 예를 들어 산화 알루미늄막, 산화 하프늄막, 질화 실리콘막 등, 산화 실리콘막보다 수소 또는 산소가 확산되기 어려운 막을 사용할 수 있다.

[0162] 절연층(231) 위에 도전층(227)이 제공되고, 도전층(227)을 덮어 절연층(226)이 제공되어 있다. 도전층(227)은 트랜지스터(220)의 제 1 게이트 전극으로서 기능하고, 절연층(226)의 일부는 제 1 게이트 절연층으로서 기능한다. 절연층(226)에서 적어도 반도체층(221)과 접하는 부분에는, 산화 실리콘막 등의 산화물 절연막을 사용하는 것이 바람직하다.

[0163] 반도체층(221)은 절연층(226) 위에 제공된다. 반도체층(221)은 반도체 특성을 갖는 금속 산화물(산화물 반도체라고도 함)막을 포함하는 것이 바람직하다.

[0164] 반도체층(221)이 In-M-Zn 산화물인 경우, In-M-Zn 산화물을 성막하기 위하여 사용하는 스퍼터링 타겟의 금속 원소의 원자수비로서는 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=1:3:2, In:M:Zn=1:3:4, In:M:Zn=1:3:6, In:M:Zn=2:2:1, In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:3, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8, In:M:Zn=6:1:6, In:M:Zn=5:2:5 등을 들 수 있다.

[0165] 또한 스퍼터링 타겟으로서는 다결정 산화물을 포함한 타겟을 사용하면, 결정성을 갖는 반도체층(221)을 형성하기 쉬워지기 때문에 바람직하다. 또한 형성되는 반도체층(221)의 원자수비는 상기 스퍼터링 타겟에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 의 변동을 포함한다. 예를 들어 반도체층(221)에 사용하는 스퍼터링 타겟의 조성이 In:Ga:Zn=4:2:4.1[원자수비]인 경우, 형성되는 반도체층(221)의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이 되는 경우가 있다.

[0166] 또한 원자수비가 In:Ga:Zn=4:2:3 또는 그 근방이라고 기재된 경우, In을 4로 하였을 때, Ga이 1 이상 3 이하이고, Zn이 2 이상 4 이하인 경우를 포함한다. 또한 원자수비가 In:Ga:Zn=5:1:6 또는 그 근방이라고 기재된 경우, In을 5로 하였을 때, Ga이 0.1보다 크고 2 이하이고, Zn이 5 이상 7 이하인 경우를 포함한다. 또한 원자수비가 In:Ga:Zn=1:1:1 또는 그 근방이라고 기재된 경우, In을 1로 하였을 때, Ga이 0.1보다 크고 2 이하이고, Zn이 0.1보다 크고 2 이하인 경우를 포함한다.

[0167] 또한 반도체층(221)은 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상이다. 이와 같이, 실리콘보다 에너지 갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.

[0168] 또한 반도체층(221)은 비단결정 구조를 갖는 것이 바람직하다. 비단결정 구조에는, 예를 들어 후술하는 CAAC 구조, 다결정 구조, 미결정(microcrystalline) 구조, 또는 비정질 구조가 포함된다. 비단결정 구조 중, 비정질 구조는 결함 준위 밀도가 가장 높고, CAAC 구조는 결함 준위 밀도가 가장 낮다.

[0169] 이하에서는 CAAC(c-axis aligned crystal)에 대하여 설명한다. CAAC는 결정 구조의 일례를 나타낸다.

[0170] CAAC 구조는 복수의 나노 결정(최대 직경이 10nm 미만인 결정 영역)을 갖는 박막 등의 결정 구조의 하나이고, 각 나노 결정은 c축이 특정의 방향으로 배향하고, a축 및 b축은 배향성을 갖지 않고, 나노 결정들이 입계를 형성하지 않고 연속적으로 연결된다는 특징을 갖는 결정 구조이다. 특히 CAAC 구조를 갖는 박막은 각 나노 결정의 c축이 박막의 두께 방향, 피형성면의 법선 방향, 또는 박막의 표면의 법선 방향으로 배향하기 쉽다는 특징을 갖는다.

[0171] CAAC-OS(Oxide Semiconductor)는 결정성이 높은 산화물 반도체이다. 한편, CAAC-OS에서는 명확한 결정립계를 확인할 수 없기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입, 결함의 생성 등으로 인하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서 CAAC-OS를 포함하는 산화물 반도체는 물리적 성질이 안정적이다. 그러므로 CAAC-OS를 포함하는 산화물 반도체는 열에 강하고 신뢰성이 높다.

[0172] 여기서, 결정학에서 단위 격자를 구성하는 a축, b축, 및 c축의 3개의 축(결정축)에 대하여 특이적인 축을 c축으로 한 단위 격자를 선택하는 것이 일반적이다. 특히 층상 구조를 갖는 결정에서는 층의 면 방향에 평행한 2개의 축을 a축 및 b축으로 하고, 층과 교차하는 축을 c축으로 하는 것이 일반적이다. 이러한 층상 구조를 갖는 결정의 대표적인 예로서 육방정계로 분류되는 그래파이트가 있고, 그 단위 격자의 a축 및 b축은 벽개(劈開)면에 평행하고, c축은 벽개면과 직교한다. 예를 들어 층상 구조인 YbFe₂O₄형의 결정 구조를 갖는 InGaZnO₄의 결정은 육방정계로 분류될 수 있고, 그 단위 격자의 a축 및 b축은 층의 면 방향에 평행하고, c축은 층(즉 a축 및 b축)과 직교한다.

- [0173] 미결정 구조를 갖는 산화물 반도체막(미결정 산화물 반도체막)은 TEM에 의한 관찰 이미지에서는 결정부를 명확하게 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 크기가 1nm 이상 100nm 이하 또는 1nm 이상 10nm 이하인 경우가 많다. 특히 1nm 이상 10nm 이하 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한 nc-OS막은 예를 들어 TEM에 의한 관찰 이미지에서는 결정립계를 명확하게 확인할 수 없는 경우가 있다.
- [0174] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한 nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어 결정부보다 큰 직경의 X선을 사용하는 XRD 장치를 사용하여 nc-OS막의 구조를 out-of-plane법에 의하여 해석하면 결정면을 나타내는 피크가 검출되지 않는다. 또한 결정부보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 nc-OS막에 대하여 수행하면 헤일로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, 결정부의 크기에 가깝거나 결정부보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자 회절(나노 빔 전자 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 원을 그리듯이(링 형상으로) 휘도가 높은 영역이 관측되고, 이 링 형상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.
- [0175] nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다. 다만 nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 nc-OS막은 CAAC-OS막에 비하여 결함 준위 밀도가 높다. 따라서 nc-OS막은 CAAC-OS막에 비하여 캐리어 밀도가 높고 전자 이동도가 높은 경우가 있다. 따라서 nc-OS막을 사용한 트랜지스터는 높은 전계 효과 이동도를 나타내는 경우가 있다.
- [0176] nc-OS막은 성막 시의 산소 유량비를 CAAC-OS막보다 낮게 함으로써 형성할 수 있다. 또한 nc-OS막은 성막 시의 기판 온도를 CAAC-OS막보다 낮게 하는 것에 의해서도 형성할 수 있다. 예를 들어 nc-OS막은 기판 온도를 비교적 낮게(예를 들어 130℃ 이하의 온도) 한 상태 또는 기판을 가열하지 않는 상태에서도 성막할 수 있기 때문에, 대형의 유리 기판 또는 수지 기판 등을 사용하는 경우에 적합하고, 생산성을 높일 수 있다.
- [0177] 금속 산화물의 결정 구조의 일례에 대하여 설명한다. 기판 온도를 100℃ 이상 130℃ 이하로 하고, In-Ga-Zn 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법으로 형성한 금속 산화물은 nc(nano crystal) 구조 및 CAAC 구조 중 어느 한쪽의 결정 구조, 또는 이들이 혼재된 구조를 갖기 쉽다. 한편, 기판 온도를 실온(R.T.)으로 하여 형성한 금속 산화물은 nc의 결정 구조를 갖기 쉽다. 또한 여기서 실온(R.T.)은 기판을 의도적으로 가열하지 않는 경우의 온도를 포함한다.
- [0178] 한 쌍의 도전층(225)은 반도체층(221) 위에 접하여 제공되고, 소스 전극 및 드레인 전극으로서 기능한다.
- [0179] 또한 한 쌍의 도전층(225)의 상면 및 측면, 그리고 반도체층(221)의 측면 등을 덮어 절연층(232)이 제공되고, 절연층(232) 위에 절연층(261)이 제공되어 있다. 절연층(232)은 층간 절연층 등으로부터 반도체층(221)으로 물 또는 수소 등의 불순물이 확산되는 것, 그리고 반도체층(221)으로부터 산소가 이탈되는 것을 방지하는 배리어층으로서 기능한다. 절연층(232)으로서는, 상기 절연층(231)과 같은 절연막을 사용할 수 있다.
- [0180] 절연층(232) 및 절연층(261)에는 반도체층(221)에 도달하는 개구가 제공되어 있다. 상기 개구의 내부에는, 절연층(261), 절연층(232), 및 도전층(225)의 측면, 그리고 반도체층(221)의 상면과 접하는 절연층(223)과, 절연층(223) 위의 도전층(224)이 매립되어 있다. 도전층(224)은 제 2 게이트 전극으로서 기능하고, 절연층(223)은 제 2 게이트 절연층으로서 기능한다.
- [0181] 도전층(224)의 상면, 절연층(223)의 상면, 및 절연층(261)의 상면은 각각 높이가 실질적으로 일치하도록 평탄화 처리가 실시되고, 이들을 덮어 절연층(233)이 제공되어 있다. 또한 절연층(233)과 절연층(231) 사이의 적층 구조에 개구부가 제공되고, 상기 개구부에서 절연층(233)의 일부가 절연층(231)과 접하여 제공되어 있다. 절연층(261)은 층간 절연층으로서 기능한다. 또한 절연층(233)은 그 위쪽으로부터 물 또는 수소 등의 불순물이 확산되는 것을 방지하는 배리어층으로서 기능한다. 절연층(233)으로서는, 상기 절연층(231) 등과 같은 절연막을 사용할 수 있다.
- [0182] 절연층(233) 위에 용량 소자(240)가 제공되어 있다.
- [0183] 용량 소자(240)는 도전층(241)과, 도전층(242)과, 이들 사이에 위치하는 절연층(243)을 포함한다. 도전층(24

1)은 용량 소자(240)의 한쪽 전극으로서 기능하고, 도전층(242)은 용량 소자(240)의 다른 쪽 전극으로서 기능하고, 절연층(243)은 용량 소자(240)의 유전체로서 기능한다.

[0184] 용량 소자(240)를 덮어 절연층(234)이 제공된다. 절연층(234)으로서는, 상기 절연층(231)과 같은 절연막을 사용할 수 있다. 절연층(231) 위에 층간 절연층 및 배선을 사이에 두고 절연층(262)이 제공되고, 절연층(262) 위에 발광 소자(250R) 및 발광 소자(250G)가 제공되어 있다.

[0185] 발광 소자(250R)는 도전층(251), 도전층(252R), EL층(253W), 및 도전층(254) 등을 포함한다.

[0186] 도전층(251)은 가시광에 대하여 반사성을 갖고, 도전층(252R)은 가시광에 대하여 투과성을 갖는다. 도전층(254)은 가시광에 대하여 반사성 및 투과성을 갖는다. 도전층(252R)은 도전층(251)과 도전층(254) 사이의 광학 거리를 조정하기 위한 광학 조정층으로서 기능한다. 광학 조정층은 발광색이 서로 다른 발광 소자 사이에서는 두께를 다르게 할 수 있다. 발광 소자(250R)에 포함되는 도전층(252R)과 발광 소자(250G)에 포함되는 도전층(252G)은 두께가 서로 다르다.

[0187] 도전층(252R)의 단부 및 도전층(252G)의 단부를 덮어 절연층(256)이 제공되어 있다.

[0188] EL층(253W) 및 도전층(254)은 복수의 화소에 걸쳐 공통적으로 제공되어 있다. EL층(253W)은 백색의 광을 나타내도록 복수의 발광층을 포함한다.

[0189] 도 14는 도전층(252R)의 일부와, 도전층(252G)의 일부와, 이들 사이의 영역을 확대한 도면이다.

[0190] 도전층(251)과 도전층(252R)의 적층체는 화소 전극으로서 기능한다. 도전층(251)과 도전층(252R)은 이들의 측면이 기판면 또는 도전층(252R)의 상면에 대하여 실질적으로 수직이 되도록 가공되어 있다. 마찬가지로, 도전층(251)과 도전층(252G)의 적층체도 이들의 측면이 기판면 또는 도전층(252G)의 상면에 대하여 실질적으로 수직이 되도록 가공되어 있다. 또한 도전층(251) 및 도전층(252R)(또는 도전층(252G)) 중 어느 한쪽이 이의 측면이 실질적으로 수직이 되도록 가공되어 있으면 좋다.

[0191] 절연층(256)은 도전층(252R)의 상면의 일부 및 측면, 2개의 도전층(251) 각각의 측면, 그리고 도전층(252G)의 상면의 일부 및 측면을 피복하여 제공된다. 절연층(256)은 도전층(252R)과 도전층(252G) 사이의 영역에서 오목형상의 상면 형상을 갖는다. EL층(253W)은 도전층(252R), 절연층(256), 및 도전층(252G)을 피복하도록 제공되고, 도전층(252R)의 상면과 접하는 부분, 도전층(252G)의 상면과 접하는 부분, 및 절연층(256)과 접하는 부분을 갖는다.

[0192] 절연층(256)에서 EL층(253W)과 접하는 면의 일부는 기판면, 혹은 도전층(252R) 또는 도전층(252G)의 상면에 대하여 70° 이상 120° 이하, 바람직하게는 75° 이상 115° 이하, 더 바람직하게는 80° 이상 110° 이하이다. 이러한 형상을 갖는 절연층(256) 위에 EL층(253W)을 형성함으로써, 두께가 얇은 부분을 자기 정합적으로 형성할 수 있다. 또는 EL층(253W)을 자기 정합적으로 분단할 수 있다. 도 14에는 인접한 발광 소자 사이에서 EL층(253W)이 연결되는 경우의 예를 나타내었다.

[0193] EL층(253W)에서 도전층(252R)의 상면과 접하는 부분의 두께를 두께(T_{R1})로, 절연층(256) 위에서 도전층(252R)과 중첩되는 부분의 두께를 두께(T_{R2})로, 도전층(252R) 측의 절연층(256)에서 도전층(252R)의 상면에 대하여 실질적으로 수직인 면과 접하는 부분의 두께를 두께(T_{R3})로 한다. 마찬가지로, EL층(253W)에서 도전층(252G)의 상면과 접하는 부분의 두께를 두께(T_{G1})로, 절연층(256) 위에서 도전층(252G)과 중첩되는 부분의 두께를 두께(T_{G2})로, 도전층(252G) 측의 절연층(256)에서 도전층(252G)의 상면에 대하여 실질적으로 수직인 면과 접하는 부분의 두께를 두께(T_{G3})로 한다. 또한 절연층(256)의 상면이 평탄한 부분과 접하는 부분의 두께를 두께(T_4)로 한다.

[0194] 또한 여기서 두께는 기판면 등의 어떤 기준면에 대하여 수직인 방향의 두께를 의미하는 것이 아니라, 피형성면에 대한 법선 방향의 두께를 의미한다. 그러므로 피형성면에 요철이 있는 경우에는, 두께를 규정하는 방향은 부분마다 다르다.

[0195] 두께(T_{R1}), 두께(T_{R2}), 두께(T_{G1}), 두께(T_{G2}), 및 두께(T_4)는 서로 실질적으로 같다. 한편, 두께(T_{R3}) 및 두께(T_{G3})는 두께(T_{R1}), 두께(T_{R2}), 두께(T_{G1}), 두께(T_{G2}), 및 두께(T_4)보다 얇다. 구체적으로는, 두께(T_{R3}) 및 두께(T_{G3})는 두께(T_{R1}), 두께(T_{R2}), 두께(T_{G1}), 두께(T_{G2}), 또는 두께(T_4)의 절반(50%) 이하, 바람직하게는 40% 이하, 더 바람직하게는 30% 이하이고 0%보다 크다.

- [0196] 이와 같이, 인접한 발광 소자 사이에 EL층(253W)의 두께가 얇은 영역을 형성함으로써, EL층(253W)을 통하여 누설 전류가 흐르는 것을 저감할 수 있어, 의도하지 않은 발광을 억제할 수 있다.
- [0197] 또한 도 14에는 절연층(262)에서 도전층(251)으로 덮이지 않은 영역이 도전층(251) 등을 에칭할 때 깎여서 얇아진 예를 나타내었다. 구체적으로는, 절연층(256)의 밑면이 도전층(251)의 밑면보다 낮게 위치한다. 이와 같이, 절연층(262)의 일부를 에칭함으로써, 인접한 발광 소자 사이의 기복을 크게 할 수 있기 때문에, EL층(253W)의 두께가 얇은 영역의 형성을 더 효과적으로 쉽게 수행할 수 있다.
- [0198] 도 13에서 발광 소자(250R) 위에는 절연층(235)을 사이에 두고 착색층(255R)이 제공되어 있다. 또한 발광 소자(250G) 위에는 착색층(255G)이 제공되어 있다. 또한 도 13에는 착색층(255B)의 일부를 나타내었다.
- [0199] 예를 들어 착색층(255R)은 적색의 광을 투과시키고, 착색층(255G)은 녹색의 광을 투과시키고, 착색층(255B)은 청색의 광을 투과시킨다. 이에 의하여, 각 발광 소자로부터의 광의 색 순도를 높일 수 있어, 표시 품질이 더 높은 표시 장치를 실현할 수 있다. 또한 절연층(235) 위에 각 착색층을 형성하는 경우, 기판(202) 측에 착색층을 형성한 후에 기판(201)과 기판(202)을 접합하는 경우에 비하여 각 발광 소자와 각 착색층의 위치 맞춤이 용이하기 때문에, 정세도가 매우 높은 표시 장치를 실현할 수 있다.
- [0200] 착색층(255R) 위 및 착색층(255G) 위에는 렌즈 어레이(257)가 제공되어 있다. 발광 소자(250R)로부터 방출된 광은 착색층(255R)에 의하여 착색되고, 렌즈 어레이(257)를 통하여 외부로 방출된다. 렌즈 어레이(257)는 불필요하면 제공하지 않아도 된다.
- [0201] 표시 장치(200A)는 시인 측에 기판(202)을 포함한다. 기판(202)과 기판(201)은 접합되어 있다. 기판(202)으로서, 유리 기판, 석영 기판, 사파이어 기판, 플라스틱 기판 등 광 투과성을 갖는 기판을 사용할 수 있다.
- [0202] 이와 같은 구성으로 함으로써, 정세도가 매우 높고, 표시 품질이 높은 표시 장치를 실현할 수 있다.
- [0203] 이하에서는, 상기와는 구성의 일부가 다른 표시 장치의 구성예에 대하여 설명한다.
- [0204] 도 15의 (A) 내지 (D)의 각각에서는 절연층(262)으로부터 도전층(254)까지의 적층 구조를 추출하여 나타내었다.
- [0205] 도 15의 (A)는 절연층(262)에서 도전층(251)과 중첩되지 않은 부분이 박막화되지 않았다는 점에서 도 14와 다르다. 구체적으로는, 절연층(256)의 밑면이 도전층(251)의 밑면과 실질적으로 같은 높이에 위치한다. 절연층(262)을 에칭하지 않으면 단면 형상의 편차를 억제할 수 있기 때문에, 공정 수율이 높아져, 양산성을 향상시킬 수 있다.
- [0206] 도 15의 (B)에는 절연층(256)을 두껍게 형성한 경우의 예를 나타내었다. 또한 도 15의 (B)는 발광 소자(250B)와 발광 소자(250G)의 단면 개략도이다. 발광 소자(250B)는 도전층(251), 도전층(252B), EL층(253W), 및 도전층(254)을 포함한다. 도전층(252B)은 도전층(252G)보다 얇다.
- [0207] 도 15의 (B)에는 절연층(256)이 도전층(252G) 및 도전층(252B)보다 두껍게 형성된 예를 나타내었다.
- [0208] 도 15의 (C) 및 (D)에는 에칭 스톱퍼막으로서 기능하는 절연층(258)을 절연층(262)보다 아래쪽에 제공한 경우의 예를 나타내었다. 또한 인접한 발광 소자 사이의 영역에서의 절연층(262)이 에칭되어, 절연층(256)의 밑면이 절연층(258)과 접한다. 이러한 구성으로 함으로써, 인접한 발광 소자 사이의 기복을 크게 할 수 있다.
- [0209] 도 15의 (D)에는 EL층(253W)이 분단된 예를 나타내었다. 이 경우, 도전층(254)은 분단되지 않고, 인접한 발광 소자 사이에서 연결되는 것이 바람직하다. EL층(253W)이 인접한 발광 소자 사이에서 분단됨으로써, EL층(253W)을 통하여 누설 전류가 흐르는 것을 완전히 방지할 수 있기 때문에 바람직하다. 또한 도 15의 (D)에 나타난 구성은 도 14에서의 두께(T_{R3}) 및 두께(T_{G3})가 0인 구성에 상당한다. 바꿔 말하면, 도 15의 (D)는 두께(T_{R3}) 및 두께(T_{G3})가 두께(T_{R1}), 두께(T_{R2}), 두께(T_{G1}), 두께(T_{G2}), 및 두께(T_4) 각각에 대하여 0%인 상태에 있다고도 할 수 있다.
- [0210] 도 16은 상기 표시 장치(200A)와는 구성의 일부가 다른 표시 장치(200B)의 단면 개략도이다.
- [0211] 표시 장치(200B)는 착색층(255R), 착색층(255G), 착색층(255B), 및 렌즈 어레이(257)가 기판(202) 측에 형성된 예이다. 구체적으로는, 기판(202)의 기판(201) 측 면에 착색층(255R), 착색층(255G), 착색층(255B)이 제공되고, 착색층(255R), 착색층(255G), 착색층(255B)을 덮어 평탄화층으로서 기능하는 절연층(264)이 제공되고, 절연층(264)의 기판(201) 측 면에 렌즈 어레이(257)가 제공되어 있다. 기판(202)과 기판(201)은 접착층(263)에 의하여 접합되어 있다.

- [0212] 또한 도전층(254) 위에 절연층(235)이 제공되어 있다. 이때 절연층(235)은 접착층(263)에 포함되는 수분 등이 발광 소자로 확산되는 것을 방지하는 기능을 갖는 것이 바람직하다. 예를 들어 절연층(235)은 적어도 무기 절연막을 포함하는 것이 바람직하다. 무기 절연막으로서, 특히 단차 피복성이 우수한 ALD(Atomic Layer Deposition)법에 의하여 형성된 산화 알루미늄막, 산화 하프늄막 등의 산화 금속막 또는 산화 실리콘막 등의 무기 절연막을 절연층(235)에 적용함으로써, 기복이 큰 발광 소자 사이의 영역에서도 양호하게 피복을 할 수 있을 뿐만 아니라, 핀홀이 적고 Et층을 보호하는 기능이 우수한 절연층(235)을 형성할 수도 있다.
- [0213] 도 17은 표시 장치(200C)의 단면 개략도이다. 표시 장치(200C)는 트랜지스터(210)를 포함하지 않는다는 점에서 표시 장치(200B)와 주로 다르다.
- [0214] 기관(201) 위에는 절연층(231)이 제공되고, 절연층(231) 위에는 트랜지스터(220)가 제공되어 있다. 또한 불순물 등이 기관(201)으로부터 확산될 우려가 없는 경우에는 절연층(231)을 제공하지 않아도 된다.
- [0215] 기관(201)으로서 열팽창률이 낮은 기관을 사용하는 것이 바람직하다. 예를 들어 단결정 실리콘 또는 탄소화 실리콘 등으로 이루어지는 단결정 반도체 기관, 혹은 사파이어, 석영 등으로 이루어지는 고융점 절연성 기관 등을 사용하는 것이 바람직하다.
- [0216] 도 18은 표시 장치(200D)의 단면 개략도이다. 표시 장치(200D)는 트랜지스터의 적층 구조가 표시 장치(200B)와 주로 다르다.
- [0217] 표시 장치(200D)에서는 트랜지스터(210) 위에 트랜지스터(220B)와 트랜지스터(220A)가 적층되어 있다. 트랜지스터(220A)는 표시 장치(200B) 등에서의 트랜지스터(220)와 같은 구성을 갖는다. 트랜지스터(220B)는 절연층(236)과 절연층(237) 사이에 제공되고, 트랜지스터(220A)와 같은 구성을 갖는다. 절연층(236) 및 절연층(237)은 절연층(231) 등과 마찬가지로 배리어층으로서 기능한다.
- [0218] 이와 같이, 트랜지스터(210)를 포함한 층과 트랜지스터(220A)를 포함한 층 사이에 트랜지스터(220B)를 포함한 층을 더 제공함으로써, 더 다기능화할 수 있다.
- [0219] 여기까지가 단면 구성예에 대한 설명이다.
- [0220] [보호 회로]
- [0221] 이하에서는, 표시 장치에 적용할 수 있는 보호 회로의 구성예에 대하여 설명한다.
- [0222] 액티브 매트릭스형 표시 장치에서는 많은 소스선과 게이트선이 매트릭스로 배치된다. 그러므로 표시 장치의 제작 공정 중 또는 전자 기기의 통합 공정 중 등에 소스선 또는 게이트선에 ESD(Electro Static Discharge)가 발생하면, 표시 결함이 초래된다. 그러므로 소스선, 게이트선에는 ESD의 영향을 경감시키기 위한 보호 회로를 제공하는 것이 바람직하다.
- [0223] 또한 표시 장치의 출하 전 검사 또는 샘플링 검사 등의 검사에서, 화소가 정상적으로 구동하는지 여부를 검사하기 위한 검사용 회로, 단자, 또는 전극 등을 제공하는 경우가 있다.
- [0224] 도 19의 (A)에는 단자(PRE)로부터 입력되는 전위를 소스선(SL)에 입력하기 위한 회로(PC1)의 예를 나타내었다.
- [0225] 회로(PC1)는 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr3)를 포함한다. 각 트랜지스터는 한 쌍의 게이트를 포함하는 트랜지스터이다. 반도체층에 대하여 아래쪽에 위치하는 게이트를 백 게이트라고 하고, 위쪽에 위치하는 게이트를 톱 게이트라고 한다.
- [0226] 트랜지스터(Tr1)는 톱 게이트가 단자(Sig)에 전기적으로 접속되고, 백 게이트가 단자(VBG1)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 소스선(SL)에 전기적으로 접속되고, 다른 쪽이 단자(PRE)에 전기적으로 접속되어 있다.
- [0227] 단자(Sig)에는 트랜지스터(Tr1)를 제어하기 위한 신호가 공급된다. 단자(VBG1)에는 바이어스 전위가 공급된다. 트랜지스터(Tr1)가 도통 상태가 됨으로써, 배선(SL)에 단자(PRE)의 전위가 공급된다.
- [0228] 여기서, 트랜지스터(Tr1)의 톱 게이트와 단자(Sig) 사이에서는 트랜지스터(Tr2)와 트랜지스터(Tr3)가 전기적으로 접속되어 있다. 트랜지스터(Tr2)와 트랜지스터(Tr3)는 보호 회로로서 기능한다. 트랜지스터(Tr2)와 트랜지스터(Tr3)는 각각 다이오드 접속된 트랜지스터이다. 또한 트랜지스터(Tr2)에는 단자(VDD)가 전기적으로 접속되고, 트랜지스터(Tr3)에는 단자(VSS)가 전기적으로 접속된다. 또한 트랜지스터(Tr2)의 백 게이트에는 단자(VBG2)가 전기적으로 접속되고, 트랜지스터(Tr3)의 백 게이트에는 단자(VBG3)가 전기적으로 접속된다.

- [0229] 도 19의 (B)에 나타난 회로(PC2)는 회로(PC1)에 비하여 단자 수 및 트랜지스터 수가 삭감된 경우의 예이다.
- [0230] 회로(PC2)는 트랜지스터(Tr1)를 포함한다. 트랜지스터(Tr1)는 톱 게이트가 배선(SL)에 전기적으로 접속되고, 백 게이트가 단자(Sig)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 단자(PRE)에 전기적으로 접속되고, 다른 쪽이 배선(SL)에 전기적으로 접속되어 있다.
- [0231] 이와 같이, 제어 신호가 공급되는 단자(Sig)를 트랜지스터(Tr1)의 톱 게이트가 아니라 백 게이트에 접속하면, 단자(Sig)의 보호 회로가 불필요하므로, 회로를 간략화할 수 있다. 또한 트랜지스터(Tr1)의 전기 특성에 따라서는, 트랜지스터(Tr1)의 톱 게이트와 백 게이트를 교체할 수 있는 경우가 있다.
- [0232] 도 19의 (C)에 나타난 회로(PC3)는 회로(PC2)에서의 트랜지스터(Tr1) 대신에 트랜지스터(Tr1a)와 트랜지스터(Tr1b)의 2개의 트랜지스터를 사용한 경우의 예이다. 트랜지스터(Tr1a)와 트랜지스터(Tr1b)는 각각 백 게이트가 단자(Sig)에 전기적으로 접속되어 있다.
- [0233] 또한 도 19의 (D)에 나타난 회로(PC4)는 트랜지스터(Tr1a)와 트랜지스터(Tr1b)에 각각 단자(단자(Sig1) 및 단자(Sig2))를 접속한 경우의 예이다.
- [0234] 도 19의 (B), (C), 및 (D)에 나타난 구성을 적용함으로써, 예를 들어 도 19의 (A)에 나타난 구성을 적용하는 경우에 비하여 단자 수를 대폭 삭감할 수 있기 때문에, 소형의 표시 장치를 실현할 수 있다.
- [0235] 본 실시형태는 적어도 그 일부를 본 명세서에 기재된 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0236] (실시형태 2)
- [0237] 이하에서는, 실시형태 1에서 예시한 전자 기기의 표시 장치에 적용할 수 있는 표시 장치의 구성예에 대하여 도면을 참조하여 설명한다.
- [0238] 도 20의 (A)는 실시형태 1에서 예시한 전자 기기의 표시 장치에 적용할 수 있는 표시 장치(310A)의 사시도이다.
- [0239] 표시 장치(310A)는 기관(311), 기관(312)을 포함한다. 표시 장치(310A)는 기관(311)과 기관(312) 사이에 제공되는 소자로 구성된 표시부(313)를 포함한다. 표시부(313)는 표시 장치(310A)에서 화상을 표시하는 영역이다. 표시부(313)는 복수의 화소(390)를 포함한다. 화소(390)는 화소 회로(351) 및 발광 소자(361)를 포함한다.
- [0240] 또한 화소(390)를 1920×1080 화소의 매트릭스로 배치하면, 소위 풀 하이비전("2K 해상도", "2K1K", 또는 "2K" 등이라고도 함)의 해상도로 표시 가능한 표시부(313)를 실현할 수 있다. 또한 예를 들어 화소(390)를 3840×2160 화소의 매트릭스로 배치하면, 소위 울트라 하이비전("4K 해상도", "4K2K", 또는 "4K" 등이라고도 함)의 해상도로 표시 가능한 표시부(313)를 실현할 수 있다. 또한 예를 들어 화소(390)를 7680×4320 화소의 매트릭스로 배치하면, 소위 슈퍼 하이비전("8K 해상도", "8K4K", 또는 "8K" 등이라고도 함)의 해상도로 표시 가능한 표시부(313)를 실현할 수 있다. 화소(390)의 개수를 늘림으로써, 16K, 나아가서는 32K의 해상도로 표시 가능한 표시부(313)를 실현할 수도 있다.
- [0241] 또한 표시부(313)의 화소 밀도(정세도)는 1000ppi 이상 10000ppi 이하인 것이 바람직하다. 예를 들어 2000ppi 이상 6000ppi 이하이어도 좋고, 3000ppi 이상 5000ppi 이하이어도 좋다.
- [0242] 또한 표시부(313)의 화면 비율(종횡비)은 특별히 한정되지 않는다. 표시부(313)는 예를 들어 1:1(정사각형), 4:3, 16:9, 16:10 등 다양한 화면 비율에 대응할 수 있다.
- [0243] 또한 본 명세서 등에서 소자라는 용어를 "디바이스"라고 바꿔 말할 수 있는 경우가 있다. 예를 들어 표시 소자, 발광 소자, 및 액정 소자는 표시 디바이스, 발광 디바이스, 및 액정 디바이스라고 바꿔 말할 수 있다.
- [0244] 표시 장치(310A)에서는 단자부(314)를 통하여 외부로부터 각종 신호 및 전원 전위가 입력되어, 표시부(313)에 제공된 표시 소자를 사용하여 화상 표시를 수행할 수 있다. 표시 소자로서는 다양한 소자를 사용할 수 있다. 대표적으로는 유기 EL 소자 및 LED 소자 등의 광을 방출하는 기능을 갖는 발광 소자, 액정 소자, 또는 MEMS(Micro Electro Mechanical Systems) 소자 등을 적용할 수 있다.
- [0245] 기관(311)과 기관(312) 사이에는 복수의 층이 제공되고, 각 층에는 회로 동작을 수행하기 위한 트랜지스터 또는 광을 방출하는 표시 소자가 제공된다. 복수의 층에는 표시 소자의 동작을 제어하는 기능을 갖는 화소 회로, 화소 회로를 제어하는 기능을 갖는 구동 회로, 구동 회로를 제어하는 기능을 갖는 기능 회로 등이 제공된다.
- [0246] 도 20의 (B)는 기관(311)과 기관(312) 사이에 제공되는 각 층의 구성을 모식적으로 나타낸 사시도이다.

- [0247] 기판(311) 위에는 층(320)이 제공된다. 층(320)은 구동 회로(330), 기능 회로(340), 및 입출력 회로(380)를 포함한다. 층(320)은 채널 형성 영역(322)에 실리콘을 포함한 트랜지스터(321)(Si 트랜지스터라고도 함)를 포함한다. 일례로서 기판(311)은 실리콘 기판이다. 실리콘 기판은 유리 기판보다 열전도성이 높기 때문에 바람직하다. 구동 회로(330), 기능 회로(340), 및 입출력 회로(380)를 같은 층에 제공함으로써, 구동 회로(330), 기능 회로(340), 및 입출력 회로(380)를 전기적으로 접속하는 배선을 짧게 할 수 있다. 따라서 기능 회로(340)에 의하여 구동 회로(330)를 제어하기 위한 제어 신호의 충방전 시간이 짧아지기 때문에, 소비 전력을 절감할 수 있다. 또한 입출력 회로(380)로부터 기능 회로(340) 및 구동 회로(330)에 신호를 공급하기 위한 충방전 시간이 짧아지기 때문에, 소비 전력을 절감할 수 있다.
- [0248] 트랜지스터(321)는 예를 들어 채널 형성 영역에 단결정 실리콘을 포함한 트랜지스터("c-Si 트랜지스터"라고도 함)로 할 수 있다. 특히 층(320)에 제공되는 트랜지스터로서 채널 형성 영역에 단결정 실리콘을 포함한 트랜지스터를 사용하면, 상기 트랜지스터의 온 전류를 크게 할 수 있다. 따라서 층(320)에 포함되는 회로를 고속으로 구동시킬 수 있기 때문에 바람직하다. 또한 Si 트랜지스터는 3nm 이상 10nm 이하의 채널 길이를 갖도록 미세 가공으로 형성될 수 있기 때문에, 표시 장치(310A)에서는 CPU, GPU 등의 가속기, 애플리케이션 프로세서 등이 표시부와 일체화될 수 있다.
- [0249] 또한 층(320)에는 채널 형성 영역에 다결정 실리콘을 포함한 트랜지스터("Poly-Si 트랜지스터"라고도 함)를 제공하여도 좋다. 다결정 실리콘으로서는 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)을 사용하여도 좋다. 또한 채널 형성 영역에 LTPS를 포함한 트랜지스터를 "LTPS 트랜지스터"라고도 한다. 또한 층(320)에 OS 트랜지스터를 제공하여도 좋다.
- [0250] 구동 회로(330)로서는 시프트 레지스터, 레벨 시프터, 인버터, 래치, 아날로그 스위치, 및 논리 회로 등의 다양한 회로를 사용할 수 있다. 구동 회로(330)는 예를 들어 게이트 드라이버 회로, 소스 드라이버 회로 등을 포함한다. 이들 외에 연산 회로, 메모리 회로, 및 전원 회로 등을 포함하여도 좋다. 게이트 드라이버 회로, 소스 드라이버 회로, 및 이들 외의 회로를 표시부(313)와 중첩시켜 배치할 수 있기 때문에, 이들 회로와 표시부(313)를 나란히 배치하는 경우에 비하여 표시 장치(310A)의 표시부(313)의 외주에 존재하는 비표시 영역(베젤이라고도 함)의 폭을 매우 좁게 할 수 있어, 표시 장치(310A)의 소형화를 실현할 수 있다.
- [0251] 기능 회로(340)는 예를 들어 표시 장치(310A)에서의 각 회로의 제어 및 각 회로를 제어하기 위한 신호를 생성하는 애플리케이션 프로세서의 기능을 갖는다. 또한 기능 회로(340)는 CPU, GPU 등의 가속기 등 화상 데이터를 보정하기 위한 회로를 포함하여도 좋다. 또한 기능 회로(340)는 화상 데이터 등을 표시 장치(310A)의 외부로부터 수신하기 위한 인터페이스로서의 기능을 갖는 LVDS(Low Voltage Differential Signaling) 회로, MIPI(Mobile Industry Processor Interface) 회로, 및/또는 D/A(Digital to Analog) 변환 회로 등을 포함하여도 좋다. 또한 기능 회로(340)는 화상 데이터를 압축·압축 해제하기 위한 회로 및/또는 전원 회로 등을 포함하여도 좋다.
- [0252] 층(320) 위에는 층(350)이 제공된다. 층(350)은 복수의 화소 회로(351)를 포함한 화소 회로군(355)을 포함한다. 층(350)에 OS 트랜지스터를 제공하여도 좋다. 화소 회로(351)는 OS 트랜지스터를 포함하여도 좋다. 또한 층(350)은 층(320) 위에 적층하여 제공할 수 있다.
- [0253] 층(350)에 Si 트랜지스터를 제공하여도 좋다. 예를 들어 화소 회로(351)는 채널 형성 영역에 단결정 실리콘 또는 다결정 실리콘을 포함한 트랜지스터를 포함하여도 좋다. 다결정 실리콘으로서는 LTPS를 사용하여도 좋다. 예를 들어 다른 기판에 층(350)을 형성하고 층(320)과 접합할 수도 있다.
- [0254] 또한 예를 들어 화소 회로(351)는 서로 다른 반도체 재료를 사용한 복수 종류의 트랜지스터로 구성되어도 좋다. 화소 회로(351)가 서로 다른 반도체 재료를 사용한 복수 종류의 트랜지스터로 구성되는 경우, 트랜지스터의 종류마다 다른 층에 트랜지스터를 제공하여도 좋다. 예를 들어 화소 회로(351)가 Si 트랜지스터와 OS 트랜지스터로 구성되는 경우, Si 트랜지스터와 OS 트랜지스터를 중첩시켜 제공하여도 좋다. 트랜지스터를 중첩시켜 제공함으로써, 화소 회로(351)의 점유 면적이 감소된다. 따라서 표시 장치(310A)의 정세도를 높일 수 있다. 또한 LTPS 트랜지스터와 OS 트랜지스터를 조합한 구성을 LTPO라고 부르는 경우가 있다.
- [0255] OS 트랜지스터인 트랜지스터(352)로서, 채널 형성 영역에 인듐, 원소 M(원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석), 아연 중 적어도 하나를 포함한 산화물을 포함하는 트랜지스터를 사용하는 것이 바람직하다. 이러한 OS 트랜지스터는 오프 전류가 매우 낮다는 특성을 갖는다. 따라서 특히 화소 회로에 제공되는 트랜지스터로서 OS 트랜지스터를 사용하면, 화소 회로에 기록된 아날로그 데이터를 장기간 유지할 수 있기 때문에 바람직하다.

- [0256] 층(350) 위에는 층(360)이 제공된다. 층(360) 위에는 기관(312)이 제공된다. 기관(312)은 광 투과성을 갖는 기관 또는 광 투과성을 갖는 재료로 이루어진 층인 것이 바람직하다. 층(360)에는 복수의 발광 소자(361)가 제공된다. 또한 층(360)은 층(350) 위에 적층하여 제공할 수 있다. 발광 소자(361)로서는 예를 들어 유기 일렉트로루미네선스 소자(유기 EL 소자라고도 함) 등을 사용할 수 있다. 다만 발광 소자(361)는 이에 한정되지 않고, 예를 들어 무기 재료로 이루어진 무기 EL 소자이어도 좋다. 또한 "유기 EL 소자"와 "무기 EL 소자"를 통틀어 "EL 소자"라고 부르는 경우가 있다. 발광 소자(361)는 퀀텀닷 등의 무기 화합물을 포함하여도 좋다. 예를 들어 퀀텀닷을 발광층에 사용함으로써, 발광 재료로서 기능시킬 수도 있다.
- [0257] 도 20의 (B)에 나타난 바와 같이, 본 발명의 일 형태의 표시 장치(310A)에서는 발광 소자(361)와, 화소 회로(351)와, 구동 회로(330) 및 기능 회로(340)가 적층될 수 있기 때문에, 화소의 개구율(유효 표시 영역의 비율)을 매우 높게 할 수 있다. 예를 들어 화소의 개구율은 40% 이상 100% 미만, 바람직하게는 50% 이상 95% 이하, 더 바람직하게는 60% 이상 95% 이하로 할 수 있다. 또한 화소 회로(351)를 매우 고밀도로 배치할 수 있어, 화소의 정세도를 매우 높게 할 수 있다. 예를 들어 표시 장치(310A)의 표시부(313)(화소 회로(351) 및 발광 소자(361)가 적층되어 제공된 영역)에서는 화소를 2000ppi 이상, 바람직하게는 3000ppi 이상, 더 바람직하게는 5000ppi 이상, 더 바람직하게는 6000ppi 이상이고 20000ppi 이하 또는 30000ppi 이하의 정세도로 배치할 수 있다.
- [0258] 이러한 표시 장치(310A)는 정세도가 매우 높기 때문에, 헤드 마운트 디스플레이 등의 VR용 기기 또는 안경형 AR용 기기에 적합하게 사용할 수 있다. 예를 들어 렌즈 등의 광학 부재를 통하여 표시 장치(310A)의 표시부를 시인하는 구성의 경우에도, 표시 장치(310A)에는 정세도가 매우 높은 표시부가 포함되기 때문에 렌즈로 표시부를 확대하여도 화소가 시인되지 않아, 몰입감이 높은 표시를 수행할 수 있다.
- [0259] 또한 표시 장치(310A)를 장착형 VR 또는 장착형 AR용 표시 장치로서 사용하는 경우, 표시부(313)의 대각선 크기를 0.1인치 이상 5.0인치 이하, 바람직하게는 0.5인치 이상 2.0인치 이하, 더 바람직하게는 1인치 이상 1.7인치 이하로 할 수 있다. 예를 들어 표시부(313)의 대각선 크기를 1.5인치 또는 1.5인치 근방으로 하여도 좋다. 표시부(313)의 대각선 크기를 2.0인치 이하로 함으로써, 노광 장치(대표적으로는 스캐너 장치)를 사용하여 한 번 노광 처리를 수행하면 처리될 수 있기 때문에, 제조 공정의 생산성을 향상시킬 수 있다.
- [0260] 또한 본 발명의 일 형태에 따른 표시 장치(310A)는 장착형 전자 장치 이외에도 적용할 수 있다. 이 경우, 표시부(313)의 대각선 크기는 2.0인치를 넘어도 된다. 표시부(313)의 대각선 크기에 따라, 화소 회로(351)에 사용하는 트랜지스터의 구성을 적절히 선택하여도 좋다. 예를 들어 화소 회로(351)에 단결정 Si 트랜지스터를 사용하는 경우, 표시부(313)의 대각선 크기는 0.1인치 이상 3인치 이하가 바람직하다. 또한 화소 회로(351)에 LTPS 트랜지스터를 사용하는 경우, 표시부(313)의 대각선 크기는 0.1인치 이상 30인치 이하가 바람직하고, 1인치 이상 30인치 이하가 더 바람직하다. 또한 화소 회로(351)에 LTPO(LTPS 트랜지스터와 OS 트랜지스터를 조합한 구성)를 사용하는 경우, 표시부(313)의 대각선 크기는 0.1인치 이상 50인치 이하가 바람직하고, 1인치 이상 50인치 이하가 더 바람직하다. 또한 화소 회로(351)에 OS 트랜지스터를 사용하는 경우, 표시부(313)의 대각선 크기는 0.1인치 이상 200인치 이하가 바람직하고, 50인치 이상 100인치 이하가 더 바람직하다.
- [0261] 단결정 Si 기관을 대형화하기 어렵기 때문에, 단결정 Si 트랜지스터는 대형화가 매우 어렵다. 또한 표시 장치에 LTPS 트랜지스터를 사용하는 경우에는 제조 공정에서 레이저 결정화 장치를 사용하기 때문에, 대형화(대표적으로는 대각선 크기가 30인치를 넘는 화면 크기)에 대응하기 어렵다. 한편, OS 트랜지스터는 제조 공정에서 레이저 결정화 장치 등을 반드시 사용할 필요가 없거나 비교적 낮은 프로세스 온도(대표적으로는 450℃ 이하)에서 제조할 수 있기 때문에, 비교적 면적이 큰(대표적으로는 대각선 크기가 50인치 이상 100인치 이하)의 표시 장치까지 대응할 수 있다. 또한 LTPO는 LTPS 트랜지스터를 사용하는 경우와 OS 트랜지스터를 사용하는 경우의 중간의 대각선 크기(대표적으로는 1인치 이상 50인치 이하)에 대응할 수 있다.
- [0262] 구동 회로(330) 및 기능 회로(340)의 구체적인 구성예에 대하여 도 21을 참조하여 설명한다. 도 21은 표시 장치(310A)에서의 화소 회로(351), 구동 회로(330), 및 기능 회로(340)를 접속하는 복수의 배선, 그리고 표시 장치(310A)에서의 버스 배선 등을 나타낸 블록도이다.
- [0263] 도 21에 나타난 표시 장치(310A)에서, 층(350)에는 복수의 화소 회로(351)가 매트릭스로 배치되어 있다.
- [0264] 또한 도 21에 나타난 표시 장치(310A)에서, 층(320)에는 구동 회로(330), 기능 회로(340), 및 입출력 회로(380)가 배치되어 있다. 구동 회로(330)는 일례로서 소스 드라이버 회로(331), 디지털 아날로그 변환 회로(DAC: Digital Analog Converter)(332), 증폭 회로(335), 게이트 드라이버 회로(333), 및 레벨 시프터(334)를 포함한

다. 기능 회로(340)는 일례로서 기억 장치(341), GPU(AI 가속기)(342), EL 보정 회로(343), 타이밍 컨트롤러(344), CPU(345), 센서 컨트롤러(346), 및 전원 회로(347)를 포함한다. 기능 회로(340)는 애플리케이션 프로세서의 기능을 갖는다.

- [0265] 입출력 회로(380)는 LVDS(Low Voltage Differential Signaling) 등의 전송(傳送) 방식에 대응하고, 단자부(314)를 통하여 입력되는 제어 신호 및 화상 데이터 등을 구동 회로(330) 및 기능 회로(340)에 분배하는 기능을 갖는다. 또한 입출력 회로(380)는 표시 장치(310A)의 정보를 단자부(314)를 통하여 외부에 출력하는 기능을 갖는다.
- [0266] 또한 도 21의 표시 장치(310A)는 구동 회로(330)에 포함되는 회로 및 기능 회로(340)에 포함되는 회로의 각각이 버스 배선(BSL)에 전기적으로 접속된 구성을 예시한 것이다.
- [0267] 소스 드라이버 회로(331)는 일례로서 화소(390)에 포함되는 화소 회로(351)에 화상 데이터를 송신하는 기능을 갖는다. 그러므로 소스 드라이버 회로(331)는 배선(SL)을 통하여 화소 회로(351)에 전기적으로 접속되어 있다. 또한 소스 드라이버 회로(331)는 복수로 제공하여도 좋다.
- [0268] 디지털 아날로그 변환 회로(332)는 일례로서 후술하는 GPU, 보정 회로 등에 의하여 디지털 처리된 화상 데이터를 아날로그 데이터로 변환하는 기능을 갖는다. 아날로그 데이터로 변환된 화상 데이터는 연산 증폭기 등의 증폭 회로(335)에 의하여 증폭되고, 소스 드라이버 회로(331)를 통하여 화소 회로(351)에 송신된다. 또한 소스 드라이버 회로(331), 디지털 아날로그 변환 회로(332), 화소 회로(351)의 순서로 화상 데이터가 송신되어도 좋다. 또한 디지털 아날로그 변환 회로(332) 및 증폭 회로(335)는 소스 드라이버 회로(331)에 포함되어도 좋다.
- [0269] 게이트 드라이버 회로(333)는 일례로서 화소 회로(351) 중 화상 데이터가 송신되는 화소 회로를 선택하는 기능을 갖는다. 그러므로 게이트 드라이버 회로(333)는 배선(GL)을 통하여 화소 회로(351)에 전기적으로 접속되어 있다. 또한 게이트 드라이버 회로(333)는 소스 드라이버 회로(331)에 대응시켜 복수로 제공하여도 좋다.
- [0270] 레벨 시프터(334)는 일례로서 소스 드라이버 회로(331), 디지털 아날로그 변환 회로(332), 게이트 드라이버 회로(333) 등에 입력되는 신호를 적절한 레벨을 갖는 신호로 변환하는 기능을 갖는다.
- [0271] 기억 장치(341)는 일례로서 화소 회로(351)에 표시되는 화상 데이터를 저장하는 기능을 갖는다. 또한 기억 장치(341)는 화상 데이터를 디지털 데이터 또는 아날로그 데이터로서 저장하는 구성을 가질 수 있다.
- [0272] 또한 기억 장치(341)에 화상 데이터를 저장하는 경우, 기억 장치(341)는 비휘발성 메모리인 것이 바람직하다. 이 경우, 기억 장치(341)로서는 예를 들어 NAND형 메모리 등을 적용할 수 있다.
- [0273] 또한 기억 장치(341)에 GPU(342), EL 보정 회로(343), CPU(345) 등에서 생성되는 일시적 데이터를 저장하는 경우, 기억 장치(341)는 휘발성 메모리인 것이 바람직하다. 이 경우, 기억 장치(341)로서는 예를 들어 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory) 등을 적용할 수 있다.
- [0274] GPU(342)는 일례로서 기억 장치(341)로부터 판독된 화상 데이터를 화소 회로(351)에 출력하기 위한 처리를 수행하는 기능을 갖는다. 특히 GPU(342)는 파이프라인 처리를 병렬로 수행하는 구성을 갖기 때문에, 화소 회로(351)에 출력되는 화상 데이터를 고속으로 처리할 수 있다. 또한 GPU(342)는 인코딩된 화상을 디코딩하기 위한 디코더로서의 기능도 가질 수 있다.
- [0275] 또한 기능 회로(340)에는 표시 장치(310A)의 표시 품질을 높일 수 있는 회로가 복수로 포함되어도 좋다. 상기 회로로서는, 예를 들어 표시되는 화상의 색 불균일을 검출하고, 이 색 불균일을 보정하여 최적의 화상을 얻는 보정 회로(조색, 조광)를 제공하여도 좋다. 예를 들어 유기 EL이 사용된 발광 디바이스가 표시 소자에 적용되어 있는 경우, 기능 회로(340)에는 상기 발광 디바이스의 특성에 따라 화상 데이터를 보정하는 EL 보정 회로를 제공하여도 좋다. 기능 회로(340)는 일례로서 EL 보정 회로(343)를 포함한다.
- [0276] 또한 앞에서 설명한 화상 보정에는 인공지능을 사용하여도 좋다. 예를 들어 화소 회로에 흐르는 전류(또는 화소 회로에 인가되는 전압)를 모니터링하고 취득하고, 표시된 화상을 이미지 센서 등으로 취득하고, 전류(또는 전압)와 화상을 인공지능의 연산(예를 들어 인공 신경망 등)의 입력 데이터로서 취급하고, 그 출력 결과를 바탕으로 상기 화상의 보정의 유무를 판단하여도 좋다.
- [0277] 또한 인공지능의 연산은 화상 보정뿐만 아니라, 화상 데이터의 해상도를 높이는 업컨버전에도 적용할 수 있다. 일례로서, 도 21에는 각종 보정의 연산(색 불균일 보정(342a), 업컨버전(342b) 등)을 수행하기 위한 블록을 포함하는 GPU(342)를 나타내었다.

- [0278] 화상 데이터의 업컨버전은 Nearest neighbor법, Bilinear법, Bicubic법, RAISR(Rapid and Accurate Image Super-Resolution)법, ANR(Anchored Neighborhood Regression)법, A+법, SRCNN(Super-Resolution Convolutional Neural Network)법 등에서 선택된 알고리즘을 사용하여 수행할 수 있다.
- [0279] 주시점에 따라 결정되는 영역마다 업컨버전에 사용하는 알고리즘이 다른 구성을 적용하여도 좋다. 예를 들어 주시점 및 주시점 근방의 영역에 대한 업컨버전을 처리 속도는 느리되 정밀도는 높은 알고리즘을 사용하여 수행하고, 상기 영역 이외의 영역에 대한 업컨버전을 처리 속도는 빠르되 정밀도는 낮은 알고리즘을 사용하여 수행하면 좋다. 이 구성으로 함으로써, 업컨버전에 필요한 시간을 단축할 수 있다. 또한 업컨버전에 필요한 소비 전력을 절감할 수 있다.
- [0280] 또한 업컨버전에 한정되지 않고, 화상 데이터의 해상도를 낮추는 다운컨버전을 수행하여도 좋다. 화상 데이터의 해상도가 표시부(313)의 해상도보다 높은 경우, 화상 데이터의 일부가 표시부(313)에 표시되지 않는 경우가 있다. 이러한 경우, 다운컨버전을 수행함으로써, 상기 화상 데이터 전체를 표시부(313)에 표시할 수 있다.
- [0281] 타이밍 컨트롤러(344)는 일레로서 화상을 표시시키는 구동 주파수(프레임 주파수, 프레임 레이트, 또는 리프레시 레이트 등)를 제어하는 기능을 갖는다. 예를 들어 표시 장치(310A)에 정지 화상을 표시하는 경우, 타이밍 컨트롤러(344)에 의하여 구동 주파수를 낮춤으로써, 표시 장치(310A)의 소비 전력을 절감할 수 있다.
- [0282] CPU(345)는 일레로서 운영 체제의 실행, 데이터의 제어, 각종 연산 및 프로그램의 실행 등, 범용적인 처리를 수행하는 기능을 갖는다. CPU(345)는 예를 들어 기억 장치(341)에서의 화상 데이터의 기록 동작 또는 판독 동작, 화상 데이터의 보정 동작, 후술하는 센서에 대한 동작 등의 명령을 수행하는 기능을 갖는다. 또한 예를 들어 CPU(345)는 기능 회로(340)에 포함되는 회로 중 적어도 하나에 제어 신호를 송신하는 기능을 가져도 좋다.
- [0283] 센서 컨트롤러(346)는 일레로서 센서를 제어하는 기능을 갖는다. 또한 도 21에는 상기 센서에 전기적으로 접속하기 위한 배선으로서 배선(SNCL)을 나타내었다.
- [0284] 상기 센서는 예를 들어 표시부(313)에 포함될 수 있는 터치 센서로 할 수 있다. 또는 상기 센서는 예를 들어 조도 센서로 할 수 있다.
- [0285] 전원 회로(347)는 일레로서 화소 회로(351), 구동 회로(330), 및 기능 회로(340) 등에 공급하는 전압을 생성하는 기능을 갖는다. 또한 전원 회로(347)는 전압을 공급하는 회로를 선택하는 기능을 가져도 좋다. 예를 들어 전원 회로(347)는 정지 화상이 표시되는 기간에 CPU(345), GPU(342) 등에 대한 전압 공급을 정지함으로써, 표시 장치(310A) 전체의 소비 전력을 절감할 수 있다.
- [0286] 상술한 바와 같이, 본 발명의 일 형태의 표시 장치에서는, 표시 소자와, 화소 회로와, 구동 회로 및 기능 회로(340)가 적층될 수 있다. 주변 회로인 구동 회로 및 기능 회로를 화소 회로와 중첩시켜 배치할 수 있기 때문에, 베젤의 폭을 매우 좁게 할 수 있어, 소형화된 표시 장치를 실현할 수 있다. 또한 본 발명의 일 형태의 표시 장치에서 각 회로가 적층되면, 각 회로 사이를 접속하는 배선을 짧게 할 수 있기 때문에, 경량화된 표시 장치를 실현할 수 있다. 또한 본 발명의 일 형태의 표시 장치는 화소의 정세도가 향상된 표시부를 포함할 수 있기 때문에 표시 품질이 우수한 표시 장치를 실현할 수 있다.
- [0287] <표시 모듈의 구성예>
- [0288] 다음으로, 표시 장치(310A)를 포함하는 표시 모듈의 구성예에 대하여 설명한다.
- [0289] 도 22의 (A) 내지 (C)는 표시 모듈(370)의 사시도이다. 표시 모듈(370)은 표시 장치(310A)의 단자부(314)에 FPC(374)(FPC: Flexible printed circuits)가 제공된 구조를 갖는다. FPC(374)는 절연체로 이루어진 필름에 배선이 제공된 구조를 갖는다. 또한 FPC(374)는 가요성을 갖는다. FPC(374)는 외부로부터 표시 장치(310A)에 영상 신호, 제어 신호, 및 전원 전위 등을 공급하기 위한 배선으로서 기능한다. 또한 FPC(374) 위에 IC가 실장되어도 좋다.
- [0290] 도 22의 (B)에 나타난 표시 모듈(370)은 인쇄 배선 기판(371) 위에 표시 장치(310A)가 제공된 구성을 갖는다. 인쇄 배선 기판(371)은 절연체로 이루어진 기판의 내부 또는 표면, 혹은 내부와 표면에 배선이 제공된 구성을 갖는다.
- [0291] 도 22의 (B)에 나타난 표시 모듈(370)에서는, 표시 장치(310A)의 단자부(314)와 인쇄 배선 기판(371)의 단자부(372)가 와이어(373)를 통하여 전기적으로 접속되어 있다. 와이어(373)는 와이어 본딩으로 형성할 수 있다. 또한 와이어 본딩으로서는 볼 본딩 또는 웨지 본딩을 사용할 수 있다.

- [0292] 와이어(373)를 형성한 후, 수지 재료 등으로 와이어(373)를 덮어도 좋다. 또한 표시 장치(310A)와 인쇄 배선 기판(371)은 와이어 본딩 이외의 방법으로 전기적으로 접속되어도 좋다. 예를 들어 표시 장치(310A)와 인쇄 배선 기판(371)은 이방성 도전 접착제 또는 범프 등을 사용하여 전기적으로 접속되어도 좋다.
- [0293] 또한 도 22의 (B)에 나타난 표시 모듈(370)에서는 인쇄 배선 기판(371)의 단자부(372)가 FPC(374)에 전기적으로 접속되어 있다. 예를 들어 표시 장치(310A)의 단자부(314)에 포함되는 전극의 피치와 FPC(374)에 포함되는 전극의 피치가 다른 경우에는, 인쇄 배선 기판(371)을 통하여 단자부(314)와 FPC(374)를 전기적으로 접속하여도 좋다. 구체적으로는, 인쇄 배선 기판(371)에 형성된 배선을 사용하여, 단자부(314)에 포함되는 복수의 전극의 간격(피치)을 단자부(372)에 포함되는 복수의 전극의 간격으로 변환할 수 있다. 즉 단자부(314)에 포함되는 전극의 피치와 FPC(374)에 포함되는 전극의 피치가 다른 경우에도, 이들 전극 사이의 전기적인 접속을 실현할 수 있다.
- [0294] 또한 인쇄 배선 기판(371)에는 저항 소자, 용량 소자, 반도체 소자 등의 다양한 소자를 제공할 수 있다.
- [0295] 또한 도 22의 (C)에 나타난 표시 모듈(370)과 같이, 단자부(372)를 인쇄 배선 기판(371)의 하면(표시 장치(310A)가 제공되지 않은 측의 면)에 제공된 접속부(375)에 전기적으로 접속하여도 좋다. 예를 들어 접속부(375)를 소켓 형식의 접속부로 함으로써, 표시 모듈(370)과 다른 기기의 탈착을 용이하게 수행할 수 있다.
- [0296] (실시형태 3)
- [0297] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치에 사용할 수 있는 발광 디바이스(발광 소자)에 대하여 설명한다.
- [0298] 본 명세서 등에서, 메탈 마스크 또는 FMM(파인 메탈 마스크, 고정세 메탈 마스크)을 사용하여 제작되는 디바이스를 MM(메탈 마스크) 구조의 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서, 메탈 마스크 또는 FMM을 사용하지 않고 제작되는 디바이스를 MML(메탈 마스크리스) 구조의 디바이스라고 부르는 경우가 있다.
- [0299] 본 명세서 등에서는, 발광 파장이 서로 다른 발광 디바이스에서 적어도 발광층을 구분 형성하는 구조를 SBS(Side By Side) 구조라고 부르는 경우가 있다. SBS 구조는 발광 디바이스마다 재료 및 구성을 최적화할 수 있기 때문에, 재료 및 구성의 선택의 자유도가 높아져, 휘도 및 신뢰성을 용이하게 향상시킬 수 있다.
- [0300] 본 명세서 등에서 정공 또는 전자를 "캐리어"라고 하는 경우가 있다. 구체적으로는, 정공 주입층 또는 전자 주입층을 "캐리어 주입층"이라고 하고, 정공 수송층 또는 전자 수송층을 "캐리어 수송층"이라고 하고, 정공 차단층 또는 전자 차단층을 "캐리어 차단층"이라고 하는 경우가 있다. 또한 상술한 캐리어 주입층, 캐리어 수송층, 및 캐리어 차단층은 각각 단면 형상 또는 특성 등에 따라 명확하게 구별할 수 없는 경우가 있다. 또한 하나의 층이 캐리어 주입층, 캐리어 수송층, 및 캐리어 차단층 중 2개 또는 3개의 기능을 갖는 경우가 있다.
- [0301] 본 명세서 등에서, 발광 디바이스(발광 소자라고도 함)는 한 쌍의 전극 사이에 EL층을 포함한다. EL층은 적어도 발광층을 포함한다. 여기서, EL층에 포함되는 층(기능층이라고도 함)으로서는 발광층, 캐리어 주입층(정공 주입층 및 전자 주입층), 캐리어 수송층(정공 수송층 및 전자 수송층), 및 캐리어 차단층(정공 차단층 및 전자 차단층) 등을 들 수 있다.
- [0302] 발광 디바이스로서는 예를 들어 OLED(Organic Light Emitting Diode) 또는 QLED(Quantum-dot Light Emitting Diode)를 사용하는 것이 바람직하다. 발광 디바이스에 포함되는 발광 물질로서는, 예를 들어 형광을 방출하는 물질(형광 재료), 인광을 방출하는 물질(인광 재료), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(TADF: Thermally activated delayed fluorescence) 재료), 및 무기 화합물(퀀텀닷 재료 등)이 있다. 또한 발광 디바이스로서 마이크로 LED(Light Emitting Diode) 등의 LED를 사용할 수도 있다.
- [0303] 발광 디바이스의 발광색은 적외, 적색, 녹색, 청색, 시안, 마젠타, 황색, 또는 백색 등으로 할 수 있다. 또한 발광 디바이스가 마이크로캐비티 구조를 가짐으로써, 색 순도를 높일 수 있다.
- [0304] 도 23의 (A)에 나타난 바와 같이, 발광 디바이스는 한 쌍의 전극(하부 전극(761) 및 상부 전극(762)) 사이에 EL층(763)을 포함한다. EL층(763)은 층(780), 발광층(771), 및 층(790) 등의 복수의 층으로 구성될 수 있다.
- [0305] 발광층(771)은 적어도 발광 물질(발광 재료라고도 함)을 포함한다.
- [0306] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780)은 정공 주입성이 높은 물질을 포함한 층(정공 주입층), 정공 수송성이 높은 물질을 포함한 층(정공 수송층), 및 전자 차단성이 높은 물질을 포함한 층(전자 차단층) 중 하나 또는 복수를 포함한다. 또한 층(790)은 전자 주입성이 높은 물질을 포함한 층(전자

주입층), 전자 수송성이 높은 물질을 포함한 층(전자 수송층), 및 정공 차단성이 높은 물질을 포함한 층(정공 차단층) 중 하나 또는 복수를 포함한다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우에는, 층(780)과 층(790)의 구성은 서로 상기와 반대가 된다.

- [0307] 한 쌍의 전극 사이에 제공된 층(780), 발광층(771), 및 층(790)을 포함한 구성은 단일의 발광 유닛으로서 기능할 수 있고, 본 명세서에서는 도 23의 (A)의 구성을 싱글 구조라고 부른다.
- [0308] 또한 도 23의 (B)는 도 23의 (A)에 나타난 발광 디바이스에 포함되는 EL층(763)의 변형예를 나타낸 것이다. 구체적으로는, 도 23의 (B)에 나타난 발광 디바이스는 하부 전극(761) 위의 층(781)과, 층(781) 위의 층(782)과, 층(782) 위의 발광층(771)과, 발광층(771) 위의 층(791)과, 층(791) 위의 층(792)과, 층(792) 위의 상부 전극(762)을 포함한다.
- [0309] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(781)을 정공 주입층으로, 층(782)을 정공 수송층으로, 층(791)을 전자 수송층으로, 층(792)을 전자 주입층으로 할 수 있다. 또한 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(781)을 전자 주입층으로, 층(782)을 전자 수송층으로, 층(791)을 정공 수송층으로, 층(792)을 정공 주입층으로 할 수 있다. 이러한 층 구조로 함으로써, 발광층(771)에 캐리어를 효율적으로 주입하고, 발광층(771) 내에서의 캐리어의 재결합의 효율을 높일 수 있다.
- [0310] 또한 도 23의 (C) 및 (D)에 나타난 바와 같이, 층(780)과 층(790) 사이에 복수의 발광층(발광층(771, 772, 773))이 제공된 구성도 싱글 구조의 배리에이션이다. 또한 도 23의 (C) 및 (D)에는 3개의 발광층을 포함한 예를 나타내었지만, 싱글 구조를 갖는 발광 디바이스에서의 발광층은 2개이어도 좋고, 4개 이상이어도 좋다. 또한 싱글 구조를 갖는 발광 디바이스는 2개의 발광층 사이에 버퍼층을 포함하여도 좋다.
- [0311] 또한 본 명세서에서는, 도 23의 (E) 및 (F)에 나타난 바와 같이, 복수의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)(중간층이라고도 함)을 사이에 두고 직렬로 접속된 구성을 탠덤 구조라고 부른다. 또한 탠덤 구조를 스택 구조라고 불러도 좋다. 탠덤 구조를 적용함으로써, 고휘도 발광이 가능한 발광 디바이스를 실현할 수 있다. 또한 탠덤 구조는 싱글 구조를 적용하는 경우에 비하여 같은 휘도를 얻는 데 필요한 전류를 감소시킬 수 있기 때문에, 신뢰성을 높일 수 있다.
- [0312] 또한 도 23의 (D) 및 (F)는 표시 장치가 발광 디바이스와 중첩된 층(764)을 포함하는 예를 나타낸 것이다. 도 23의 (D)에는 층(764)이 도 23의 (C)에 나타난 발광 디바이스와 중첩된 예를 나타내고, 도 23의 (F)에는 층(764)이 도 23의 (E)에 나타난 발광 디바이스와 중첩된 예를 나타내었다.
- [0313] 층(764)으로서는 색 변환층 및 컬러 필터(착색층) 중 한쪽 또는 양쪽을 사용할 수 있다.
- [0314] 도 23의 (C) 및 (D)에서는, 발광층(771), 발광층(772), 및 발광층(773)에 같은 색의 광을 방출하는 발광 물질을 사용하여도 좋고, 같은 발광 물질을 사용하여도 좋다. 예를 들어 발광층(771), 발광층(772), 및 발광층(773)에 청색의 광을 방출하는 발광 물질을 사용하여도 좋다. 청색의 광을 나타내는 부화소에서는, 발광 디바이스로부터 방출되는 청색의 광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소 및 녹색의 광을 나타내는 부화소에서는, 도 23의 (D)에 나타난 층(764)으로서 색 변환층을 제공함으로써, 발광 디바이스로부터 방출되는 청색의 광이 더 긴 파장의 광으로 변환되기 때문에, 적색 또는 녹색의 광을 추출할 수 있다.
- [0315] 또한 발광층(771), 발광층(772), 및 발광층(773)에 각각 발광색이 다른 발광 물질을 사용하여도 좋다. 발광층(771), 발광층(772), 및 발광층(773) 각각이 방출하는 광이 보색 관계에 있는 경우, 백색 발광이 얻어진다. 예를 들어 싱글 구조를 갖는 발광 디바이스는 청색의 광을 방출하는 발광 물질을 포함한 발광층 및 청색보다 파장이 긴 가시광을 방출하는 발광 물질을 포함한 발광층을 포함하는 것이 바람직하다.
- [0316] 예를 들어 싱글 구조를 갖는 발광 디바이스가 3개의 발광층을 포함하는 경우, 적색(R)의 광을 방출하는 발광 물질을 포함한 발광층, 녹색(G)의 광을 방출하는 발광 물질을 포함한 발광층, 및 청색(B)의 광을 방출하는 발광 물질을 포함한 발광층을 포함하는 것이 바람직하다. 발광층의 적층 순서는 양극 측으로부터 R, G, B로 하거나 양극 측으로부터 R, B, G 등으로 할 수 있다. 이때 R과 G 또는 R과 B 사이에 버퍼층이 제공되어도 좋다.
- [0317] 또한 예를 들어 싱글 구조를 갖는 발광 디바이스가 2개의 발광층을 포함하는 경우, 청색(B)의 광을 방출하는 발광 물질을 포함한 발광층 및 황색(Y)의 광을 방출하는 발광 물질을 포함한 발광층을 포함하는 것이 바람직하다. 이 구성을 BY 싱글 구조라고 부르는 경우가 있다.
- [0318] 도 23의 (D)에 나타난 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색의 광이 컬러 필터를 투과함으로써,

원하는 색의 광을 얻을 수 있다.

- [0319] 백색의 광을 방출하는 발광 디바이스는 2종류 이상의 발광 물질을 포함하는 것이 바람직하다. 백색 발광을 얻기 위해서는, 보색의 광을 방출하도록 2개 이상의 발광 물질을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색으로 함으로써, 발광 디바이스 전체로서 백색의 광을 방출하는 발광 디바이스를 얻을 수 있다. 또한 3개 이상의 발광층을 포함한 발광 디바이스의 경우도 마찬가지이다.
- [0320] 또한 도 23의 (E) 및 (F)에서, 발광층(771)과 발광층(772)에 같은 색의 광을 방출하는 발광 물질, 나아가서는 같은 발광 물질을 사용하여도 좋다.
- [0321] 예를 들어 각 색의 광을 나타내는 부화소에 포함되는 발광 디바이스에서, 발광층(771)과 발광층(772)에 각각 청색의 광을 방출하는 발광 물질을 사용하여도 좋다. 청색의 광을 나타내는 부화소에서는, 발광 디바이스로부터 방출되는 청색의 광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소 및 녹색의 광을 나타내는 부화소에서는, 도 23의 (F)에 나타난 층(764)으로서 색 변환층을 제공함으로써, 발광 디바이스로부터 방출되는 청색의 광이 더 긴 파장의 광으로 변환되기 때문에, 적색 또는 녹색의 광을 추출할 수 있다.
- [0322] 또한 각 색의 광을 나타내는 부화소에 도 23의 (E) 또는 (F)에 나타난 구성을 갖는 발광 디바이스를 사용하는 경우, 부화소에 따라 다른 발광 물질을 사용하여도 좋다. 구체적으로는, 적색의 광을 나타내는 부화소에 포함되는 발광 디바이스에서, 발광층(771)과 발광층(772)에 각각 적색의 광을 방출하는 발광 물질을 사용하여도 좋다. 마찬가지로, 녹색의 광을 나타내는 부화소에 포함되는 발광 디바이스에서, 발광층(771)과 발광층(772)에 각각 녹색의 광을 방출하는 발광 물질을 사용하여도 좋다. 청색의 광을 나타내는 부화소에 포함되는 발광 디바이스에서, 발광층(771)과 발광층(772)에 각각 청색의 광을 방출하는 발광 물질을 사용하여도 좋다. 이러한 구성을 갖는 표시 장치는 탠덤 구조를 갖는 발광 디바이스가 적용되어 있고, SBS 구조를 갖는다고 할 수 있다. 그러므로 탠덤 구조의 장점과 SBS 구조의 장점을 모두 가질 수 있다. 이에 의하여, 고효율 발광이 가능하고, 신뢰성이 높은 발광 디바이스를 실현할 수 있다.
- [0323] 또한 도 23의 (E) 및 (F)에서는, 발광층(771)과 발광층(772)에 발광색이 서로 다른 발광 물질을 사용하여도 좋다. 발광층(771)과 발광층(772)이 보색의 광을 방출하는 경우, 백색 발광이 얻어진다. 도 23의 (F)에 나타난 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색의 광이 컬러 필터를 투과함으로써, 원하는 색의 광을 얻을 수 있다.
- [0324] 또한 도 23의 (E) 및 (F)에는 발광 유닛(763a)이 하나의 발광층(771)을 포함하고, 발광 유닛(763b)이 하나의 발광층(772)을 포함하는 예를 나타내었지만, 이에 한정되지 않는다. 발광 유닛(763a) 및 발광 유닛(763b)은 각각 2개 이상의 발광층을 포함하여도 좋다.
- [0325] 또한 도 23의 (E) 및 (F)에는 2개의 발광 유닛을 포함한 발광 디바이스를 예시하였지만, 이에 한정되지 않는다. 발광 디바이스는 3개 이상의 발광 유닛을 포함하여도 좋다.
- [0326] 구체적으로는, 도 24의 (A) 내지 (C)에 나타난 발광 디바이스의 구성을 들 수 있다.
- [0327] 도 24의 (A)에는 3개의 발광 유닛을 포함한 구성을 나타내었다. 또한 2개의 발광 유닛을 포함한 구성을 2단 탠덤 구조라고 부르고, 3개의 발광 유닛을 포함한 구성을 3단 탠덤 구조라고 불러도 좋다.
- [0328] 또한 도 24의 (A)에 나타난 구성에서는, 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))이 각각 전하 발생층(785)을 사이에 두고 직렬로 접속되어 있다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771)과, 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b)과, 발광층(772)과, 층(790b)을 포함하고, 발광 유닛(763c)은 층(780c)과, 발광층(773)과, 층(790c)을 포함한다.
- [0329] 또한 도 24의 (A)에 나타난 구성에서는 발광층(771), 발광층(772), 및 발광층(773)은 각각 같은 색의 광을 방출하는 발광 물질을 포함하는 것이 바람직하다. 구체적으로는, 발광층(771), 발광층(772), 및 발광층(773)이 각각 적색(R)의 발광 물질을 포함하는 구성(소위 R\R\R의 3단 탠덤 구조), 발광층(771), 발광층(772), 및 발광층(773)이 각각 녹색(G)의 발광 물질을 포함하는 구성(소위 G\G\G의 3단 탠덤 구조), 또는 발광층(771), 발광층(772), 및 발광층(773)이 각각 청색(B)의 발광 물질을 포함하는 구성(소위 B\B\B의 3단 탠덤 구조)으로 할 수 있다.
- [0330] 또한 각각 같은 색의 광을 방출하는 발광 물질의 구성은 상기에 한정되지 않는다. 예를 들어 도 24의 (B)에 나타난 바와 같이, 복수의 발광 물질을 포함한 발광 유닛을 적층한 탠덤형 발광 디바이스로 하여도 좋다. 도 24의 (B)에 나타난 구성에서는, 복수의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)을 사

이에 두고 직렬로 접속되어 있다. 또한 발광 유닛(763a)은 층(780a), 발광층(771a), 발광층(771b), 발광층(771c), 및 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b), 발광층(772a), 발광층(772b), 발광층(772c), 및 층(790b)을 포함한다.

[0331] 도 24의 (B)에 나타난 구성에서는, 발광층(771a), 발광층(771b), 및 발광층(771c)에 대하여 발광 물질을 적절히 선택함으로써, 발광 유닛(763a)이 백색 발광(W)이 가능한 구성을 갖도록 한다. 또한 발광층(772a), 발광층(772b), 및 발광층(772c)에 대하여 발광 물질을 적절히 선택함으로써, 발광 유닛(763b)이 백색 발광(W)이 가능한 구성을 갖도록 한다. 즉 도 24의 (C)에 나타난 구성은 W\W의 2단 탠덤 구조이다. 또한 보색의 광을 방출하는 발광 물질을 포함한 발광층(771a), 발광층(771b), 및 발광층(771c)의 적층 순서는 특별히 한정되지 않는다. 실시자가 최적의 적층 순서를 적절히 선택할 수 있다. 또한 도시하지 않았지만, W\W\W의 3단 탠덤 구조 또는 4단 이상의 탠덤 구조를 적용하여도 좋다.

[0332] 또한 탠덤 구조를 갖는 발광 디바이스의 경우, 황색(Y)의 광을 방출하는 발광 유닛과 청색(B)의 광을 방출하는 발광 유닛을 포함한 B\Y의 2단 탠덤 구조, 적색(R)과 녹색(G)의 광을 방출하는 발광 유닛과 청색(B)의 광을 방출하는 발광 유닛을 포함한 R·G\B의 2단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 황색(Y)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 포함한 B\Y\B의 3단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 황록색(YG)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 포함한 B\Y·G\B의 3단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 녹색(G)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 포함한 B\G\B의 3단 탠덤 구조 등을 적용할 수 있다.

[0333] 또한 도 24의 (C)에 나타난 바와 같이, 하나의 발광 물질을 포함한 발광 유닛과 복수의 발광 물질을 포함한 발광 유닛을 조합하여도 좋다.

[0334] 구체적으로는, 도 24의 (C)에 나타난 구성에서는, 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))이 각각 전하 발생층(785)을 사이에 두고 직렬로 접속되어 있다. 또한 발광 유닛(763a)은 층(780a), 발광층(771), 및 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b), 발광층(772a), 발광층(772b), 발광층(772c), 및 층(790b)을 포함하고, 발광 유닛(763c)은 층(780c), 발광층(773), 및 층(790c)을 포함한다.

[0335] 예를 들어 도 24의 (C)에 나타난 구성에서는, 발광 유닛(763a)이 청색(B)의 광을 방출하는 발광 유닛이고, 발광 유닛(763b)이 적색(R), 녹색(G), 및 황록색(YG)의 광을 방출하는 발광 유닛이고, 발광 유닛(763c)이 청색(B)의 광을 방출하는 발광 유닛인 B\R·G·YG\B의 3단 탠덤 구조 등을 적용할 수 있다.

[0336] 예를 들어 발광 유닛의 적층 수와 색의 순서로서는, 양극 측으로부터 B, Y의 2단 구조, B, 발광 유닛 X의 2단 구조, B, Y, B의 3단 구조, B, X, B의 3단 구조를 들 수 있고, 발광 유닛 X에서의 발광층의 적층 수와 색의 순서로서는, 양극 측으로부터 R, Y의 2층 구조, R, G의 2층 구조, G, R의 2층 구조, G, R, G의 3층 구조, 또는 R, G, R의 3층 구조 등을 들 수 있다. 또한 2개의 발광층 사이에 다른 층이 제공되어도 좋다.

[0337] 또한 도 23의 (C), (D)에서도, 도 23의 (B)에 나타난 바와 같이, 층(780)과 층(790)이 각각 독립적으로 2층 이상의 층으로 이루어지는 적층 구조를 가져도 좋다.

[0338] 또한 도 23의 (E) 및 (F)에서, 발광 유닛(763a)은 층(780a), 발광층(771), 및 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b), 발광층(772), 및 층(790b)을 포함한다.

[0339] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780a) 및 층(780b)은 각각 정공 주입층, 정공 수송층, 및 전자 차단층 중 하나 또는 복수를 포함한다. 또한 층(790a) 및 층(790b)은 각각 전자 주입층, 전자 수송층, 및 정공 차단층 중 하나 또는 복수를 포함한다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우에는, 층(780a)과 층(790a)의 구성은 서로 상기와 반대가 되고, 층(780b)과 층(790b)의 구성도 서로 상기와 반대가 된다.

[0340] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(780a)은 정공 주입층과, 정공 주입층 위의 정공 수송층을 포함하고, 정공 수송층 위의 전자 차단층을 더 포함하여도 좋다. 또한 층(790a)은 전자 수송층을 포함하고, 발광층(771)과 전자 수송층 사이의 정공 차단층을 더 포함하여도 좋다. 또한 층(780b)은 정공 수송층을 포함하고, 정공 수송층 위의 전자 차단층을 더 포함하여도 좋다. 또한 층(790b)은 전자 수송층과, 전자 수송층 위의 전자 주입층을 포함하고, 발광층(771)과 전자 수송층 사이의 정공 차단층을 더 포함하여도 좋다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우에는, 예를 들어 층(780a)은 전자 주입층과, 전자 주입층 위의 전자 수송층을 포함하고, 전자 수송층 위의 정공 차단층을 더 포함하여도 좋다. 또한 층(790

a)은 정공 수송층을 포함하고, 발광층(771)과 정공 수송층 사이의 전자 차단층을 더 포함하여도 좋다. 또한 층(780b)은 전자 수송층을 포함하고, 전자 수송층 위의 정공 차단층을 더 포함하여도 좋다. 또한 층(790b)은 정공 수송층과, 정공 수송층 위의 정공 주입층을 포함하고, 발광층(771)과 정공 수송층 사이의 전자 차단층을 더 포함하여도 좋다.

[0341] 또한 탠덤 구조를 갖는 발광 디바이스를 제작하는 경우, 2개의 발광 유닛은 전하 발생층(785)을 개재(介在)하여 적층된다. 전하 발생층(785)은 적어도 전하 발생 영역을 갖는다. 전하 발생층(785)은 한 쌍의 전극 사이에 전압을 인가한 경우에 2개의 발광 유닛 중 한쪽에 전자를 주입하고, 다른 쪽에 정공을 주입하는 기능을 갖는다.

[0342] 특히 본 발명의 일 형태의 표시 장치는 백색 발광의 발광 디바이스와 컬러 필터를 조합한 구성을 갖는 것이 바람직하다. 또한 탠덤 구조를 갖는 발광 디바이스로 하는 것이 더 바람직하다.

[0343] 다음으로, 발광 디바이스에 사용할 수 있는 재료에 대하여 설명한다.

[0344] 하부 전극(761) 및 상부 전극(762) 중 광을 추출하는 측의 전극으로서는 가시광을 투과시키는 도전막을 사용한다. 또한 광을 추출하지 않는 측의 전극으로서는 가시광을 반사하는 도전막을 사용하는 것이 바람직하다. 또한 표시 장치가 적외광을 방출하는 발광 디바이스를 포함하는 경우에는, 광을 추출하는 측의 전극으로서는 가시광 및 적외광을 투과시키는 도전막을 사용하고, 광을 추출하지 않는 측의 전극으로서는 가시광 및 적외광을 반사하는 도전막을 사용하는 것이 바람직하다.

[0345] 또한 광을 추출하지 않는 측의 전극으로서도 가시광을 투과시키는 도전막을 사용하여도 좋다. 이 경우, 반사층과 EL층(763) 사이에 상기 전극을 배치하는 것이 바람직하다. 즉 EL층(763)으로부터 방출되는 광은 상기 반사층에 의하여 반사되어 표시 장치로부터 추출되어도 좋다.

[0346] 발광 디바이스의 한 쌍의 전극을 형성하는 재료로서는 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 적절히 사용할 수 있다. 상기 재료로서 구체적으로는, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 철, 코발트, 니켈, 구리, 갈륨, 아연, 인듐, 주석, 몰리브덴, 탄탈럼, 텅스텐, 팔라듐, 금, 백금, 은, 이트륨, 네오디뮴 등의 금속, 및 이들을 적절히 조합하여 포함한 합금을 들 수 있다. 또한 상기 재료로서는 인듐 주석 산화물(In-Sn 산화물, ITO라고도 함), In-Si-Sn 산화물(ITSO라고도 함), 인듐 아연 산화물(In-Zn 산화물), 및 In-W-Zn 산화물 등을 들 수 있다. 또한 상기 재료로서는 알루미늄, 니켈, 및 란타넘의 합금(Al-Ni-La) 등의 알루미늄을 포함한 합금(알루미늄 합금), 및 은과 팔라듐과 구리의 합금(Ag-Pd-Cu, APC라고도 표기함)을 들 수 있다. 이들 외에, 상기 재료로서는 위에서 예시하지 않은 원소 주기율표의 1족 또는 2족에 속하는 원소(예를 들어 리튬, 세슘, 칼슘, 스트론튬), 유로퓸, 이터븀 등의 희토류 금속, 및 이들을 적절히 조합하여 포함한 합금, 그래핀 등을 들 수 있다.

[0347] 발광 디바이스에는 미소 광공진기(마이크로캐비티) 구조가 적용되어 있는 것이 바람직하다. 따라서 발광 디바이스의 한 쌍의 전극 중 한쪽은 가시광 투과성 및 가시광 반사성을 갖는 전극(반투과·반반사 전극)을 포함하는 것이 바람직하고, 다른 쪽은 가시광 반사성을 갖는 전극(반사 전극)을 포함하는 것이 바람직하다. 발광 디바이스가 마이크로캐비티 구조를 갖는 경우, 발광층으로부터 얻어지는 발광을 양쪽 전극 사이에서 공진시켜, 발광 디바이스로부터 방출되는 광을 강하게 할 수 있다.

[0348] 또한 반투과·반반사 전극은 반사 전극으로서 사용할 수 있는 도전층과, 가시광 투과성을 갖는 전극(투명 전극이라고도 함)으로서 사용할 수 있는 도전층의 적층 구조를 가질 수 있다.

[0349] 투명 전극의 광 투과율은 40% 이상으로 한다. 예를 들어 발광 디바이스의 투명 전극에는 가시광(파장 400nm 이상 750nm 미만의 광) 투과율이 40% 이상인 전극을 사용하는 것이 바람직하다. 반투과·반반사 전극의 가시광 반사율은 10% 이상 95% 이하, 바람직하게는 30% 이상 80% 이하로 한다. 반사 전극의 가시광 반사율은 40% 이상 100% 이하, 바람직하게는 70% 이상 100% 이하로 한다. 또한 이들 전극의 저항률은 $1 \times 10^{-2} \Omega \text{cm}$ 이하가 바람직하다.

[0350] 발광 디바이스는 적어도 발광층을 포함한다. 또한 발광 디바이스는 발광층 이외의 층으로서, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 차단 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 전자 차단 재료, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 포함한 층을 더 포함하여도 좋다. 예를 들어 발광 디바이스는 발광층 외에, 정공 주입층, 정공 수송층, 정공 차단층, 전하 발생층, 전자 차단층, 전자 수송층, 및 전자 주입층 중 하나 이상을 포함할 수 있다.

[0351] 발광 디바이스에는 저분자 화합물 및 고분자 화합물 중 어느 쪽이든 사용할 수 있고, 무기 화합물이 포함되어도

좋다. 발광 디바이스를 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0352] 발광층은 1종류 또는 복수 종류의 발광 물질을 포함한다. 발광 물질로서는 청색, 자색, 청자색, 녹색, 황록색, 황색, 주황색, 또는 적색 등의 발광색을 나타내는 물질을 적절히 사용한다. 또한 발광 물질로서 근적외광을 방출하는 물질을 사용할 수도 있다.

[0353] 발광 물질로서는 형광 재료, 인광 재료, TADF 재료, 및 퀀텀닷 재료 등을 들 수 있다.

[0354] 형광 재료로서는 예를 들어 피렌 유도체, 안트라센 유도체, 트라이페닐렌 유도체, 플루오렌 유도체, 카바졸 유도체, 다이벤조싸이오펜 유도체, 다이벤조퓨란 유도체, 다이벤조퀴녹살린 유도체, 퀴녹살린 유도체, 피리딘 유도체, 피리미딘 유도체, 페난트렌 유도체, 및 나프탈렌 유도체 등이 있다.

[0355] 인광 재료로서는 예를 들어 4H-트리아아졸 골격, 1H-트리아아졸 골격, 이미다졸 골격, 피리미딘 골격, 피라진 골격, 또는 피리딘 골격을 갖는 유기 금속 착체(특히 이리듐 착체), 전자 흡인기를 갖는 페닐피리딘 유도체를 리간드로서 포함하는 유기 금속 착체(특히 이리듐 착체), 백금 착체, 및 희토류 금속 착체 등이 있다.

[0356] 발광층은 발광 물질(게스트 재료)에 더하여 1종류 또는 복수 종류의 유기 화합물(호스트 재료, 어시스트 재료 등)을 포함하여도 좋다. 1종류 또는 복수 종류의 유기 화합물로서는 정공 수송성이 높은 물질(정공 수송성 재료) 및 전자 수송성이 높은 물질(전자 수송성 재료) 중 한쪽 또는 양쪽을 사용할 수 있다. 정공 수송성 재료로서는 후술하는, 정공 수송층에 사용할 수 있는 정공 수송성이 높은 재료를 사용할 수 있다. 전자 수송성 재료로서는 후술하는, 전자 수송층에 사용할 수 있는 전자 수송성이 높은 재료를 사용할 수 있다. 또한 1종류 또는 복수 종류의 유기 화합물로서 양극성 재료 또는 TADF 재료를 사용하여도 좋다.

[0357] 발광층은 예를 들어 인광 재료와, 들뜬 복합체를 형성하기 쉬운 정공 수송성 재료와 전자 수송성 재료의 조합을 포함하는 것이 바람직하다. 이러한 구성으로 함으로써, 들뜬 복합체로부터 발광 물질(인광 재료)로의 에너지 이동인 ExTET(Exciplex-Triplet Energy Transfer)를 사용한 발광을 효율적으로 얻을 수 있다. 발광 물질의 가장 낮은 에너지 층의 흡수대의 파장과 중첩되는 발광을 나타내는 들뜬 복합체를 형성하는 조합을 선택함으로써, 에너지 이동이 원활해져 발광을 효율적으로 얻을 수 있다. 이 구성에 의하여, 발광 디바이스의 고효율, 저전압 구동, 장수명을 동시에 실현할 수 있다.

[0358] 정공 주입층은 양극으로부터 정공 수송층에 정공을 주입하는 층이고, 정공 주입성이 높은 재료를 포함한다. 정공 주입성이 높은 재료로서는, 방향족 아민 화합물, 및 정공 수송성 재료와 엑셉터성 재료(전자 수용성 재료)를 포함한 복합 재료 등을 들 수 있다.

[0359] 정공 수송성 재료로서는 후술하는, 정공 수송층에 사용할 수 있는 정공 수송성이 높은 재료를 사용할 수 있다.

[0360] 엑셉터성 재료로서는, 예를 들어 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물을 사용할 수 있다. 구체적으로는, 산화 몰리브데넘, 산화 바나듐, 산화 나이오븀, 산화 탄탈럼, 산화 크로뮴, 산화 텅스텐, 산화 망가니즈, 및 산화 레늄을 들 수 있다. 이들 중에서도 특히 산화 몰리브데넘은 대기 중에서도 안정적이고, 흡습성이 낮고, 다루기 쉽기 때문에 바람직하다. 또한 플루오린을 포함한 유기 엑셉터성 재료를 사용할 수도 있다. 또한 퀴노다이메테인 유도체, 클로라닐 유도체, 및 헥사아자트라이페닐렌 유도체 등의 유기 엑셉터성 재료를 사용할 수도 있다.

[0361] 예를 들어 정공 주입성이 높은 재료로서, 정공 수송성 재료와, 상술한 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물(대표적으로는 산화 몰리브데넘)을 포함한 재료를 사용하여도 좋다.

[0362] 정공 수송층은 정공 주입층에 의하여 양극으로부터 주입된 정공을 발광층으로 수송하는 층이다. 정공 수송층은 정공 수송성 재료를 포함한다. 정공 수송성 재료로서는 정공 이동도가 $1 \times 10^{-6} \text{ cm}^2/\text{Vs}$ 이상인 물질이 바람직하다. 또한 전자 수송성보다 정공 수송성이 높은 물질이면, 이들 이외의 물질을 사용할 수도 있다. 정공 수송성 재료로서는 π 전자 과잉형 헤테로 방향족 화합물(예를 들어 카바졸 유도체, 싸이오펜 유도체, 퓨란 유도체 등), 방향족 아민(방향족 아민 골격을 갖는 화합물) 등의 정공 수송성이 높은 재료가 바람직하다.

[0363] 전자 차단층은 발광층과 접하여 제공된다. 전자 차단층은 정공 수송성을 갖고, 전자를 차단할 수 있는 재료를 포함한다. 전자 차단층에는 상기 정공 수송성 재료 중 전자 차단성을 갖는 재료를 사용할 수 있다.

[0364] 전자 차단층은 정공 수송성을 갖기 때문에 정공 수송층이라고 부를 수도 있다. 또한 정공 수송층 중 전자 차단성을 갖는 층을 전자 차단층이라고 부를 수도 있다.

- [0365] 전자 수송층은 전자 주입층에 의하여 음극으로부터 주입된 전자를 발광층으로 수송하는 층이다. 전자 수송층은 전자 수송성 재료를 포함한다. 전자 수송성 재료로서는 전자 이동도가 $1 \times 10^{-6} \text{ cm}^2/\text{Vs}$ 이상인 물질이 바람직하다. 또한 정공 수송성보다 전자 수송성이 높은 물질이면, 이들 이외의 물질을 사용할 수도 있다. 전자 수송성 재료로서는 퀴놀린 골격을 갖는 금속 착체, 벤조퀴놀린 골격을 갖는 금속 착체, 옥사졸 골격을 갖는 금속 착체, 싸이아졸 골격을 갖는 금속 착체 등 외에, 옥사다리아졸 유도체, 트리아아졸 유도체, 이미다졸 유도체, 옥사졸 유도체, 싸이아졸 유도체, 페난트롤린 유도체, 퀴놀린 리간드를 포함한 퀴놀린 유도체, 벤조퀴놀린 유도체, 퀴놀살린 유도체, 다이벤조퀴놀살린 유도체, 피리딘 유도체, 바이피리딘 유도체, 피리미딘 유도체, 그 외에 질소 함유 헤테로 방향족 화합물을 포함한 π 전자 부족형 헤테로 방향족 화합물 등의 전자 수송성이 높은 재료를 사용할 수 있다.
- [0366] 정공 차단층은 발광층과 접하여 제공된다. 정공 차단층은 전자 수송성을 갖고, 정공을 차단할 수 있는 재료를 포함한다. 정공 차단층에는 상기 전자 수송성 재료 중 정공 차단성을 갖는 재료를 사용할 수 있다.
- [0367] 정공 차단층은 전자 수송성을 갖기 때문에 전자 수송층이라고 부를 수도 있다. 또한 전자 수송층 중 정공 차단성을 갖는 층을 정공 차단층이라고 부를 수도 있다.
- [0368] 전자 주입층은 음극으로부터 전자 수송층에 전자를 주입하는 층이고, 전자 주입성이 높은 재료를 포함한다. 전자 주입성이 높은 재료로서는 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 전자 주입성이 높은 재료로서는 전자 수송성 재료와 도너성 재료(전자 공여성 재료)를 포함한 복합 재료를 사용할 수도 있다.
- [0369] 또한 전자 주입성이 높은 재료의 LUMO 준위와 음극에 사용하는 재료의 일함수의 차이는 작은(구체적으로는 0.5eV 이하) 것이 바람직하다.
- [0370] 전자 주입층에는 예를 들어 리튬, 세슘, 이터븀, 플루오린화 리튬(LiF), 플루오린화 세슘(CsF), 플루오린화 칼슘(CaF_x , X는 임의의 수), 8-(퀴놀리놀레이토)리튬(약칭: Liq), 2-(2-피리딜)페놀레이토리튬(약칭: LiPP), 2-(2-피리딜)-3-피리딜놀레이토리튬(약칭: LiPPy), 4-페닐-2-(2-피리딜)페놀레이토리튬(약칭: LiPPP), 리튬 산화물(LiO_x), 탄산 세슘 등의 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 또한 전자 주입층은 2개 이상의 층의 적층 구조를 가져도 좋다. 상기 적층 구조에서는, 예를 들어 첫 번째 층에 플루오린화 리튬을 사용하고, 두 번째 층에 이터븀을 사용할 수 있다.
- [0371] 전자 주입층은 전자 수송성 재료를 포함하여도 좋다. 예를 들어 비공유 전자쌍을 갖고 전자 부족형 헤테로 방향족 고리를 갖는 화합물을 전자 수송성 재료로서 사용할 수 있다. 구체적으로는, 피리딘 고리, 다이아진 고리(피리미딘 고리, 피라진 고리, 피리다진 고리), 트리아진 고리 중 적어도 하나를 갖는 화합물을 사용할 수 있다.
- [0372] 또한 비공유 전자쌍을 갖는 유기 화합물의 LUMO(Lowest Unoccupied Molecular Orbital) 준위는 -3.6eV 이상 -2.3eV 이하인 것이 바람직하다. 또한 일반적으로 CV(사이클릭 볼타메트리), 광전자 분광법, 광 흡수 분광법, 역광전자 분광법 등에 의하여 유기 화합물의 HOMO(Highest Occupied Molecular Orbital) 준위 및 LUMO 준위를 추정할 수 있다.
- [0373] 예를 들어 4,7-다이페닐-1,10-페난트롤린(약칭: BPhen), 2,9-다이(나프탈렌-2-일)-4,7-다이페닐-1,10-페난트롤린(약칭: NBPhen), 다이퀴놀살리노[2,3-a:2',3'-c]페나진(약칭: HATNA), 2,4,6-트리스[3'-(피리딘-3-일)바이페닐-3-일]-1,3,5-트리아진(약칭: TmPPPyTz) 등을 비공유 전자쌍을 갖는 유기 화합물에 사용할 수 있다. 또한 NBPhen은 BPhen보다 유리 전이점(Tg)이 높기 때문에, 내열성이 우수하다.
- [0374] 전하 발생층은 상술한 바와 같이 적어도 전하 발생 영역을 갖는다. 전하 발생 영역은 엑셉터성 재료를 포함하는 것이 바람직하고, 예를 들어 상술한 정공 주입층에 적용할 수 있는 정공 수송성 재료와 엑셉터성 재료를 포함하는 것이 바람직하다.
- [0375] 또한 전하 발생층은 전자 주입성이 높은 재료를 포함한 층을 포함하는 것이 바람직하다. 상기 층은 전자 주입 버퍼층이라고 부를 수도 있다. 전자 주입 버퍼층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 주입 버퍼층을 제공함으로써, 전하 발생 영역과 전자 수송층 사이의 주입 장벽을 완화할 수 있기 때문에, 전하 발생 영역에서 발생한 전자를 전자 수송층에 용이하게 주입할 수 있다.
- [0376] 전자 주입 버퍼층은 알칼리 금속 또는 알칼리 토금속을 포함하는 것이 바람직하고, 예를 들어 알칼리 금속의 화

합물 또는 알칼리 토금속의 화합물을 포함할 수 있다. 구체적으로는, 전자 주입 버퍼층은 알칼리 금속과 산소를 포함한 무기 화합물 또는 알칼리 토금속과 산소를 포함한 무기 화합물을 포함하는 것이 바람직하고, 리튬과 산소를 포함한 무기 화합물(산화 리튬(Li_2O) 등)을 포함하는 것이 더 바람직하다. 이 외에, 전자 주입 버퍼층에는 상술한 전자 주입층에 적용할 수 있는 재료를 적합하게 사용할 수 있다.

[0377] 전하 발생층은 전자 수송성이 높은 재료를 포함한 층을 포함하는 것이 바람직하다. 상기 층은 전자 릴레이층이라고 부를 수도 있다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층 사이에 제공되는 것이 바람직하다. 전하 발생층이 전자 주입 버퍼층을 포함하지 않는 경우, 전자 릴레이층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층(또는 전자 수송층)의 상호 작용을 방지하고, 전자를 원활하게 수송하는 기능을 갖는다.

[0378] 전자 릴레이층으로서는 구리(II) 프탈로사이아닌(약칭: CuPc) 등의 프탈로사이아닌계 재료, 또는 금속-산소 결합과 방향족 리간드를 포함한 금속 착체를 사용하는 것이 바람직하다.

[0379] 또한 상술한 전하 발생 영역, 전자 주입 버퍼층, 및 전자 릴레이층은 단면 형상 또는 특성 등에 따라 명확하게 구별할 수 없는 경우가 있다.

[0380] 또한 전하 발생층은 엑셉터성 재료 대신에 도너성 재료를 포함하여도 좋다. 예를 들어 전하 발생층은 상술한 전자 주입층에 적용할 수 있는, 전자 수송성 재료와 도너성 재료를 포함한 층을 포함하여도 좋다.

[0381] 발광 유닛을 적층할 때, 2개의 발광 유닛 사이에 전하 발생층을 제공함으로써, 구동 전압의 상승을 억제할 수 있다.

[0382] 본 실시형태에서 예시한 구성에 및 이들에 대응하는 도면 등은, 적어도 그 일부를 다른 구성에 또는 도면 등과 적절히 조합할 수 있다.

[0383] (실시형태 4)

[0384] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치가 적용된 전자 기기의 구성예에 대하여 설명한다.

[0385] 본 발명의 일 형태의 표시 장치 및 표시 모듈은 표시 기능을 갖는 전자 기기 등의 표시부에 적용될 수 있다. 이러한 전자 기기로서는, 예를 들어 텔레비전 장치, 노트북 퍼스널 컴퓨터, 모니터 장치, 디지털 사이니지, 파친코기, 게임기 등 비교적 큰 화면을 갖는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다.

[0386] 특히 본 발명의 일 형태의 표시 장치 및 표시 모듈은 정세도를 높일 수 있기 때문에, 비교적 작은 표시부를 갖는 전자 기기에 적합하게 사용할 수 있다. 이러한 전자 기기로서는, 예를 들어 손목시계형, 팔찌형의 정보 단말기(웨어러블 기기), 헤드 마운트 디스플레이 등의 VR용 기기 또는 안경형의 AR용 기기 등, 머리에 장착할 수 있는 웨어러블 기기 등이 있다.

[0387] 도 25의 (A)는 안경형 전자 기기(700)의 사시도이다. 전자 기기(700)는 한 쌍의 표시 패널(701), 한 쌍의 하우징(702), 한 쌍의 광학 부재(703), 한 쌍의 장착부(704) 등을 포함한다.

[0388] 전자 기기(700)는 광학 부재(703)의 표시 영역(706)에, 표시 패널(701)에 표시한 화상을 투영할 수 있다. 또한 광학 부재(703)는 광 투과성을 갖기 때문에, 사용자는 광학 부재(703)를 통하여 시인되는 투과 이미지에 겹쳐, 표시 영역(706)에 표시된 화상을 볼 수 있다. 따라서 전자 기기(700)는 AR 표시가 가능한 전자 기기이다.

[0389] 또한 한쪽의 하우징(702)에는 앞쪽을 촬상할 수 있는 카메라(705)가 제공되어 있다. 또한 도시하지 않았지만, 어느 한쪽의 하우징(702)에는 무선 수신기 또는 케이블을 접속할 수 있는 커넥터가 제공되고, 하우징(702)에 영상 신호 등을 공급할 수 있다. 또한 하우징(702)에 자이로 센서 등의 가속도 센서를 제공함으로써, 사용자의 머리의 방향을 검지하고, 그 방향에 대응하는 화상을 표시 영역(706)에 표시할 수도 있다. 또한 하우징(702)에는 배터리가 제공되어 있는 것이 바람직하고, 무선 또는 유선으로 충전할 수 있다.

[0390] 이어서, 도 25의 (B)를 사용하여 전자 기기(700)의 표시 영역(706)에 대한 화상의 투영 방법에 대하여 설명한다. 하우징(702)의 내부에는 표시 패널(701), 렌즈(711), 반사판(712)이 제공되어 있다. 또한 광학 부재(703)의 표시 영역(706)에 상당하는 부분에는, 하프 미러로서 기능하는 반사면(713)이 제공된다.

[0391] 표시 패널(701)로부터 방출된 광(715)은, 렌즈(711)를 통과하고, 반사판(712)에 의하여 광학 부재(703) 측으로 반사된다. 광학 부재(703)의 내부에서는, 광(715)이 광학 부재(703)의 단부면에서 전반사를 반복하고 반사면

(713)에 도달됨으로써, 반사면(713)에 화상이 투영된다. 이로써, 사용자는 반사면(713)에 반사된 광(715)과, 광학 부재(703)(반사면(713)을 포함함)를 투과한 투과광(716)의 양쪽을 시인할 수 있다.

[0392] 도 25에는 반사판(712) 및 반사면(713)이 각각 곡면을 갖는 예를 나타내었다. 이 경우, 이들이 평면인 경우에 비하여 광학 설계의 자유도를 높일 수 있고, 광학 부재(703)의 두께를 얇게 할 수 있다. 또한 반사판(712) 및 반사면(713)을 평면으로 하여도 좋다.

[0393] 반사판(712)으로서는 경면을 갖는 부재를 사용할 수 있고, 반사율이 높은 것이 바람직하다. 또한 반사면(713)으로서는, 금속막의 반사를 이용한 하프 미러를 사용하여도 좋지만, 전반사를 이용한 프리즘 등을 사용하면, 투과광(716)의 투과율을 높일 수 있다.

[0394] 여기서, 하우징(702)은 렌즈(711)와 표시 패널(701) 사이의 거리 또는 이들의 각도를 조정하는 기구를 갖는 것이 바람직하다. 이에 의하여, 초점 조정, 화상의 확대, 축소 등을 수행할 수 있다. 예를 들어 렌즈(711) 및 표시 패널(701) 중 한쪽 또는 양쪽이 광축 방향으로 이동할 수 있는 구성으로 하면 좋다.

[0395] 또한 하우징(702)은 반사판(712)의 각도를 조정할 수 있는 기구를 갖는 것이 바람직하다. 반사판(712)의 각도를 변경함으로써, 화상이 표시되는 표시 영역(706)의 위치를 변경할 수 있다. 따라서 사용자의 눈의 위치에 따라 최적의 위치에 표시 영역(706)을 배치할 수 있다.

[0396] 표시 패널(701)에는 본 발명의 일 형태의 표시 장치 또는 표시 모듈을 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기(700)를 실현할 수 있다.

[0397] 도 26의 (A), (B)는 고글형 전자 기기(750)의 사시도이다. 도 26의 (A)는 전자 기기(750)의 정면, 평면, 및 왼쪽 면을 나타낸 사시도이고, 도 26의 (B)는 전자 기기(750)의 배면, 밀면, 및 오른쪽 면을 나타낸 사시도이다.

[0398] 전자 기기(750)는 한 쌍의 표시 패널(751), 하우징(752), 한 쌍의 장착부(754), 완충 부재(755), 한 쌍의 렌즈(756) 등을 포함한다. 한 쌍의 표시 패널(751)은 하우징(752)의 내부에서 렌즈(756)를 통하여 시인될 수 있는 위치에 각각 제공되어 있다.

[0399] 전자 기기(750)는 VR용 전자 기기이다. 전자 기기(750)를 장착한 사용자는 렌즈(756)를 통하여 표시 패널(751)에 표시되는 화상을 시인할 수 있다. 또한 한 쌍의 표시 패널(751)에 서로 다른 화상을 표시함으로써, 시차를 사용한 3차원 표시를 수행할 수도 있다.

[0400] 또한 하우징(752)의 배면 측에는 입력 단자(757)와 출력 단자(758)가 제공되어 있다. 입력 단자(757)에는 영상 출력 기기 등으로부터의 영상 신호, 또는 하우징(752) 내에 제공되는 배터리를 충전하기 위한 전력 등을 공급하는 케이블을 접속할 수 있다. 출력 단자(758)는 예를 들어 음성 출력 단자로서 기능하고, 이어폰, 헤드폰 등이 접속될 수 있다. 또한 무선 통신에 의하여 음성 데이터를 출력할 수 있는 구성으로 하는 경우 또는 외부의 영상 출력 기기로부터 음성을 출력하는 경우에는, 상기 음성 출력 단자를 제공하지 않아도 된다.

[0401] 또한 하우징(752)은, 렌즈(756) 및 표시 패널(751)이 사용자의 눈의 위치에 따라 최적의 위치에 배치되도록, 이들의 좌우의 위치를 조정할 수 있는 기구를 갖는 것이 바람직하다. 또한 렌즈(756)와 표시 패널(751) 사이의 거리를 변경함으로써 초점을 조정하는 기구를 갖는 것이 바람직하다.

[0402] 표시 패널(751)에는 본 발명의 일 형태의 표시 장치 또는 표시 모듈을 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기(750)를 실현할 수 있다. 이로써, 사용자는 높은 몰입감을 느낄 수 있다.

[0403] 완충 부재(755)는 사용자의 얼굴(이마, 뺨 등)에 접촉되는 부분이다. 완충 부재(755)가 사용자의 얼굴과 밀착되면, 광 누설을 방지할 수 있기 때문에, 몰입감을 더 높일 수 있다. 사용자가 전자 기기(750)를 장착한 경우에 완충 부재(755)가 사용자의 얼굴에 밀착되도록, 완충 부재(755)로서는 부드러운 소재를 사용하는 것이 바람직하다. 예를 들어 고무, 실리콘(silicone) 고무, 우레탄, 스펀지 등의 소재를 사용할 수 있다. 또한 스펀지 등의 표면을 친, 피혁(천연 피혁 또는 합성 피혁) 등으로 덮은 것을 사용하면, 사용자의 얼굴과 완충 부재(755) 사이에 틈이 생기기 어렵기 때문에, 광 누설을 적합하게 방지할 수 있다. 또한 이러한 소재를 사용하면, 촉감이 좋고, 추운 계절 등에 장착한 경우에 사용자가 차갑다고 느끼지 않기 때문에 바람직하다. 완충 부재(755) 또는 장착부(754) 등, 사용자의 피부에 접촉되는 부재를 탈착 가능하게 하면, 클리닝 또는 교환이 용이해지기 때문에 바람직하다.

[0404] 본 실시형태는 적어도 그 일부를 본 명세서에 기재된 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0405] (실시예)

- [0406] 본 실시예에서는 본 발명의 일 형태의 표시 패널을 제작하였다.
- [0407] 표시 패널은 기판으로서 단결정 실리콘 기판을 사용하고, 단결정 실리콘 트랜지스터, 배선층, 산화물 반도체 트랜지스터(OS 트랜지스터), 발광 소자를 순차적으로 적층함으로써 제작하였다. 발광 소자에는 청색(B)의 광을 나타내는 발광층과 황색(Y)의 광을 나타내는 발광층을 적층한 B\Y 탠덤 구조를 갖는 백색 발광 소자를 적용하였다. 또한 발광 소자 위에 보호층을 형성하고, 보호층 위에 컬러 필터 및 렌즈를 형성하였다.
- [0408] 제작한 표시 패널은 표시 영역의 크기를 대각선 0.51인치로, 해상도를 1920×1920 화소로, 화소 크기를 4.8 μm로, 화소 밀도를 5291ppi로 하였다. 발광 소자는 톱 이미지선형 발광 소자이다.
- [0409] 도 27의 (A)는 제작한 표시 장치의 단면 관찰 이미지이다. 도 27의 (A)에서는 왼쪽에서 오른쪽으로 청색(Blue), 적색(Red), 녹색(Green), 청색, 적색의 화소에 대응한 발광 소자의 단면을 나타내었다. 적색과 녹색 사이의 영역을 영역(RG)이라고 하고, 녹색과 청색 사이의 영역을 영역(GB)이라고 하고, 청색과 적색 사이의 영역을 영역(BR)이라고 한다.
- [0410] 도 27의 (B), (C), 및 (D)는 각각 영역(RG), 영역(GB), 및 영역(BR)을 확대한 이미지이다. 각 도면에서는, 반사 전극(도전층이라고도 함), 반사 전극 위의 광학 조정층(도전층이라고도 함), 반사 전극 및 광학 조정층의 단부를 덮는 격벽(절연층이라고도 함), EL층, 및 공통 전극(도전층이라고도 함)이 제공되어 있다.
- [0411] 각 도면에서 파선으로 나타낸 바와 같이, EL층은 격벽과 중첩되는 영역에서, 다른 부분에 비하여 두께가 얇은 부분을 갖는 것이 확인될 수 있다. 도 27의 (B), (C), 및 (D)에서 파선으로 둘러싼 6군데의 부분의 두께를 측정한 결과, 최솟값이 24.4nm이고 최댓값이 49.8nm이었다. 화소 전극 및 격벽과 중첩되는 부분의 EL층의 두께가 약 200nm인 것을 고려하면, EL층은 두께가 화소 전극 및 격벽과 중첩되는 부분의 약 12.2%에서 24.9%의 부분을 갖는 것이 확인될 수 있었다.
- [0412] 도 28은 하나의 발광 소자의 상면 관찰 이미지이다. 파선으로 둘러싼 영역이 발광 영역에 상당한다. 발광 영역은 세로가 약 1.5 μm이고, 가로가 약 1.8 μm인 타원 형상을 갖는다. 개구율은 약 25.9%이었다.
- [0413] 도 29는 색도 다이어그램이다. 도 29에서는 제작한 표시 패널의 적색 발광 시의 색도 좌표를 사각형의 마커로 표시하고, 녹색 발광 시의 색도 좌표를 동그란 마커로 표시하고, 청색 발광 시의 색도 좌표를 삼각형의 마커로 표시하였다. 표시 패널의 DCI-P3 커버율은 87.4%이었다.
- [0414] 도 30의 (A) 및 (B)에는 표시 패널의 스펙트럼 측정 결과를 나타내었다. 표시 패널의 모든 화소가 적색(R), 녹색(G), 및 청색(B)을 각각 표시한 상태에서 분광 방사 강도의 파장 의존성을 측정하였다. 도 30의 (A)는 100cd/m²에서 표시한 경우의 스펙트럼을 나타낸 것이고, 도 30의 (B)는 1cd/m²에서 표시한 경우의 스펙트럼을 나타낸 것이다. 도 30의 (A), (B)에 나타낸 바와 같이, 혼색은 거의 확인되지 않았으며, 매우 높은 콘트라스트 및 연색성이 실현된 것이 확인될 수 있었다.

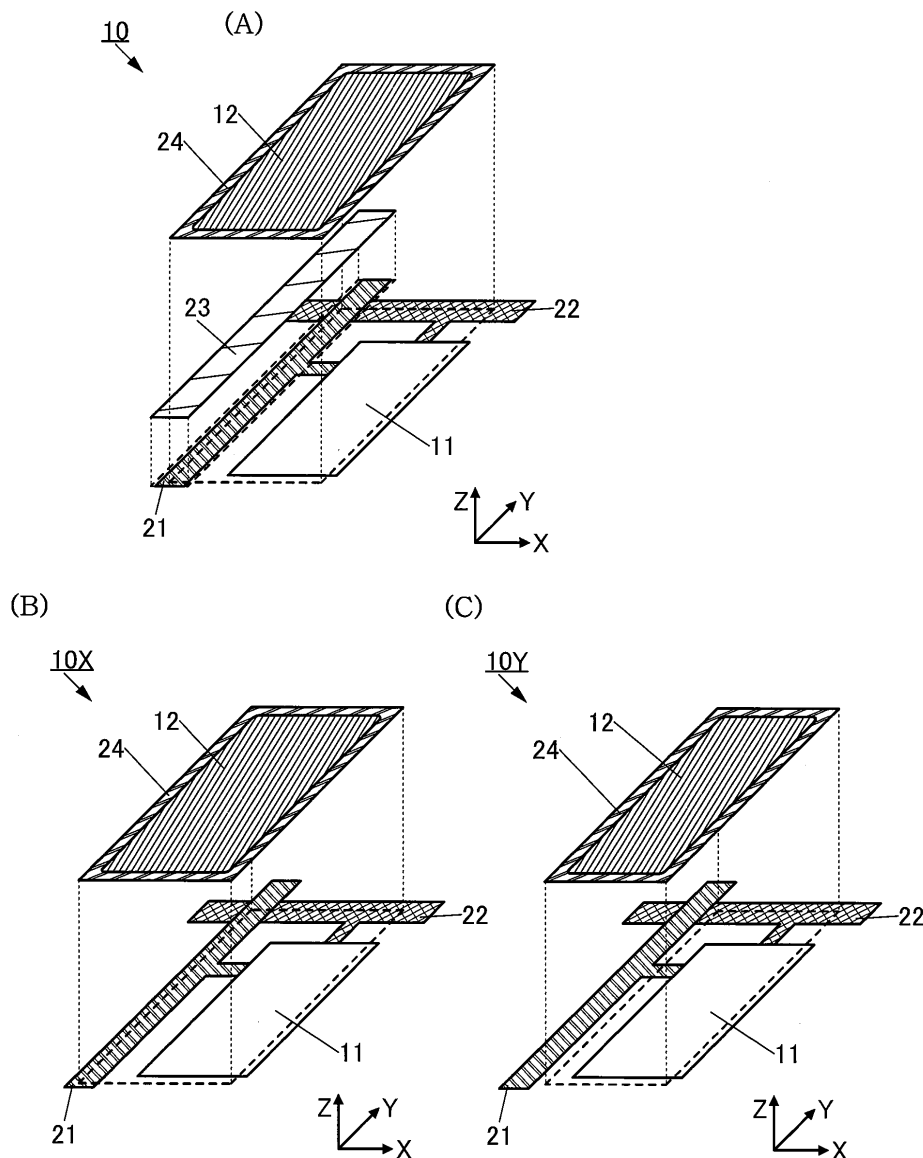
부호의 설명

- [0415] 10A: 표시 장치, 10B: 표시 장치, 10C: 표시 장치, 10D: 표시 장치, 10E: 표시 장치, 10F: 표시 장치, 10X: 표시 장치, 10Y: 표시 장치, 10: 표시 장치, 11: 화소 회로, 12B: 발광 소자, 12G: 발광 소자, 12R: 발광 소자, 12X: 발광 소자, 12: 발광 소자, 20B: 부화소, 20G: 부화소, 20R: 부화소, 20X: 부화소, 20: 화소, 21: 배선, 22a: 배선, 22b: 배선, 22c: 배선, 22d: 배선, 22: 배선, 23: 배선, 24: 화소 전극, 25: 도전층, 27: 도전층, 30a: 트랜지스터, 30b: 트랜지스터, 30c: 트랜지스터, 30d: 트랜지스터, 31a: 반도체층, 31b: 반도체층, 31c: 반도체층, 31d: 반도체층, 32: 더미층, 200A: 표시 장치, 200B: 표시 장치, 200C: 표시 장치, 200D: 표시 장치, 201: 기판, 202: 기판, 203: 배선층, 210: 트랜지스터, 211: 도전층, 212: 저저항 영역, 213: 절연층, 214: 절연층, 215: 소자 분리층, 220A: 트랜지스터, 220B: 트랜지스터, 220: 트랜지스터, 221: 반도체층, 223: 절연층, 224: 도전층, 225: 도전층, 226: 절연층, 227: 도전층, 231: 절연층, 232: 절연층, 233: 절연층, 234: 절연층, 235: 절연층, 236: 절연층, 237: 절연층, 240: 용량 소자, 241: 도전층, 242: 도전층, 243: 절연층, 250B: 발광 소자, 250G: 발광 소자, 250R: 발광 소자, 251: 도전층, 252B: 도전층, 252G: 도전층, 252R: 도전층, 253W: EL층, 254: 도전층, 255B: 착색층, 255G: 착색층, 255R: 착색층, 256: 절연층, 257: 렌즈 어레이, 258: 절연층, 261: 절연층, 262: 절연층, 263: 접착층, 264: 절연층, 271: 도전층, 272: 플러그, 273: 층간 절연층, 310A: 표시 장치, 311: 기판, 312: 기판, 313: 표시부, 314: 단자부, 320: 층, 321: 트랜지스터, 322: 채널 형성 영역, 330: 구동 회로, 331: 소스 드라이버 회로, 332: 디지털 아날로그 변환 회로, 333: 게이트 드라이버 회로, 334: 레벨 시프터, 335: 증폭 회로, 340: 기능 회로, 341: 기억 장치, 342a: 색 불균일 보정,

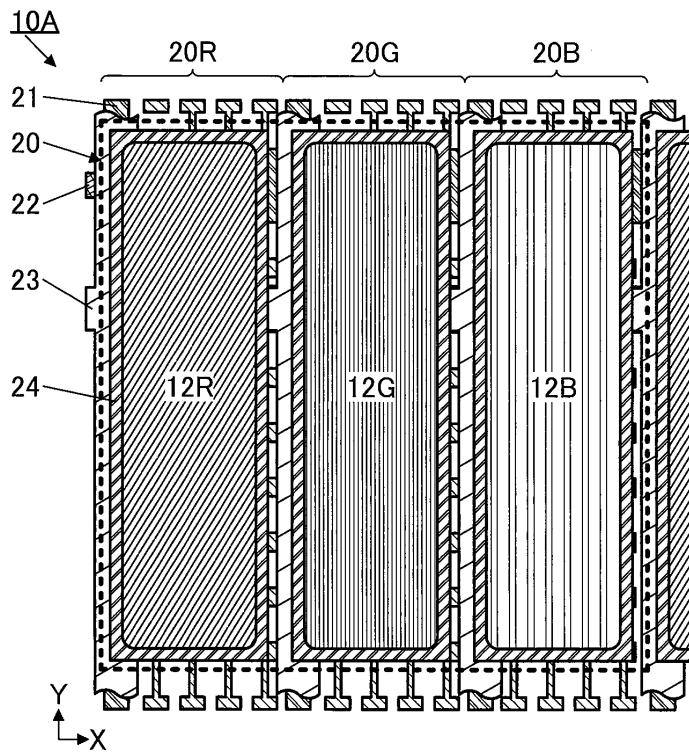
342b: 업컨버전, 342: GPU, 기억 장치, 343: EL 보정 회로, 344: 타이밍 컨트롤러, 345: CPU, 346: 센서 컨트롤러, 347: 전원 회로, 350: 층, 351: 화소 회로, 352: 트랜지스터, 355: 화소 회로군, 360: 층, 361: 발광 소자, 370: 표시 모듈, 371: 인쇄 배선 기판, 372: 단자부, 373: 와이어, 374: FPC, 375: 접속부, 380: 입출력 회로, 390: 화소, 700: 전자 기기, 701: 표시 패널, 702: 하우징, 703: 광학 부재, 704: 장착부, 705: 카메라, 706: 표시 영역, 711: 렌즈, 712: 반사판, 713: 반사면, 715: 광, 716: 투과광, 750: 전자 기기, 751: 표시 패널, 752: 하우징, 754: 장착부, 755: 완충 부재, 756: 렌즈, 757: 입력 단자, 758: 출력 단자, 761: 하부 전극, 762: 상부 전극, 763a: 발광 유닛, 763b: 발광 유닛, 763c: 발광 유닛, 763: EL층, 764: 층, 771a: 발광층, 771b: 발광층, 771c: 발광층, 771: 발광층, 772a: 발광층, 772b: 발광층, 772c: 발광층, 772: 발광층, 773: 발광층, 780a: 층, 780b: 층, 780c: 층, 780: 층, 781: 층, 782: 층, 785: 전하 발생층, 790a: 층, 790b: 층, 790c: 층, 790: 층, 791: 층, 792: 층

도면

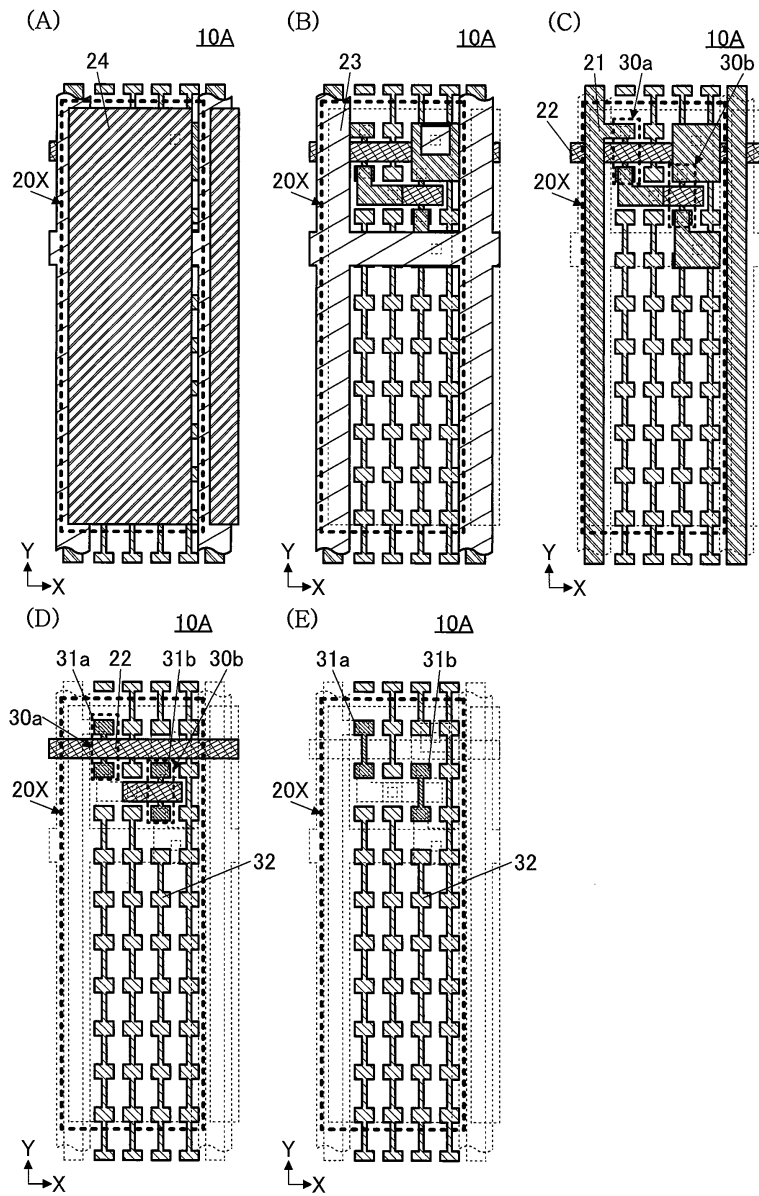
도면1



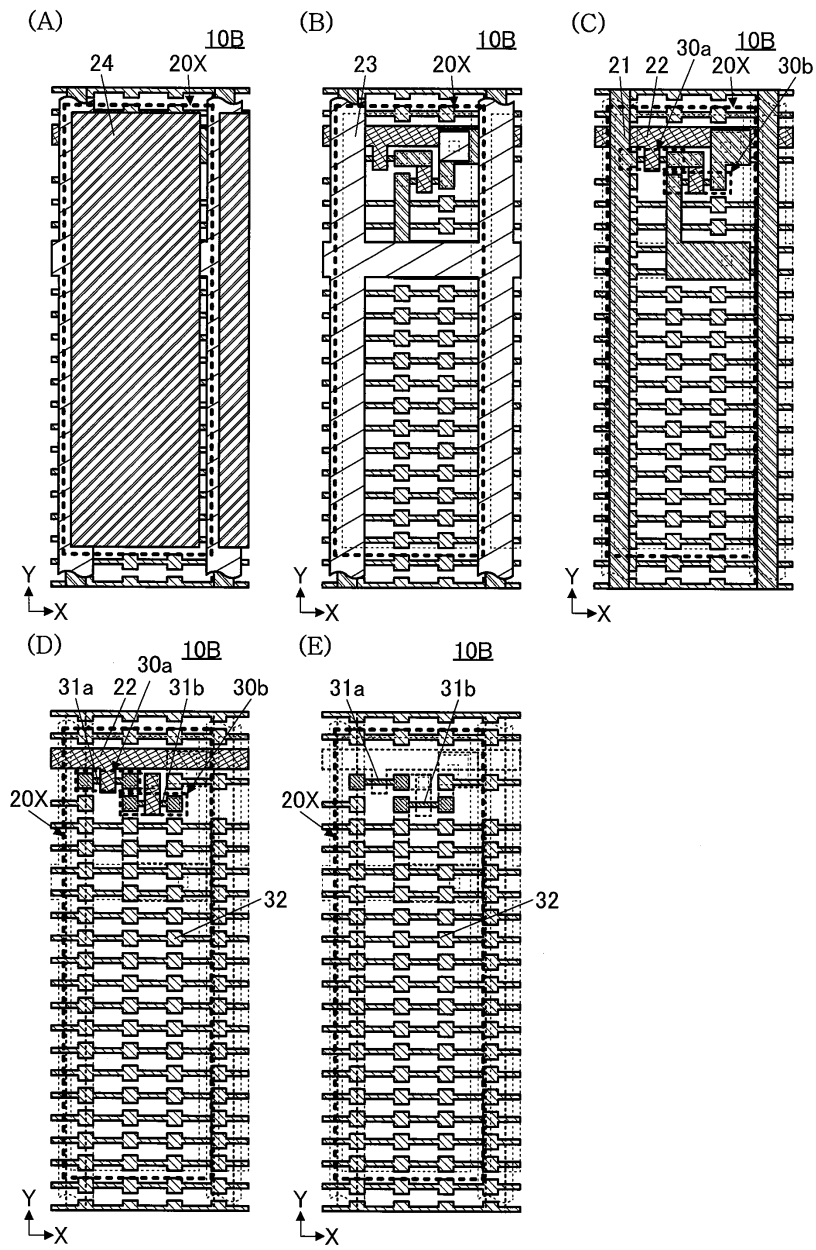
도면2



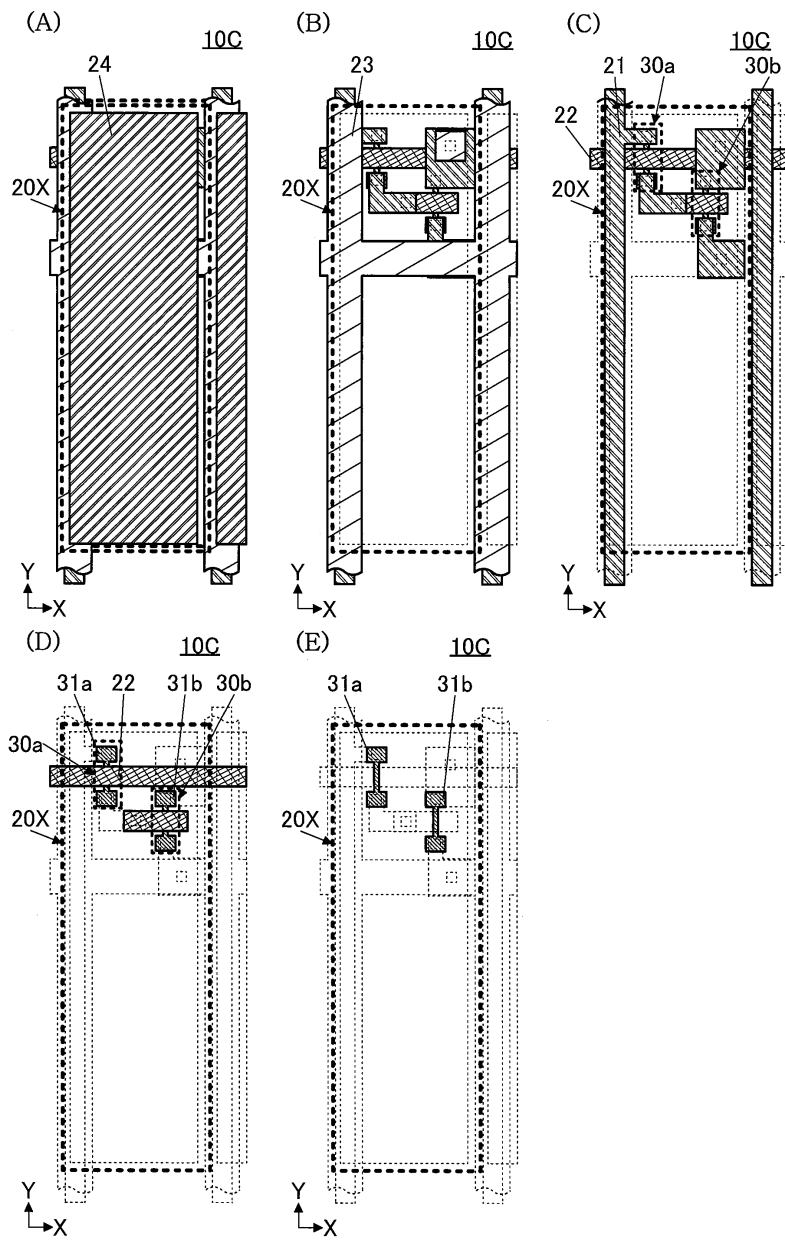
도면3



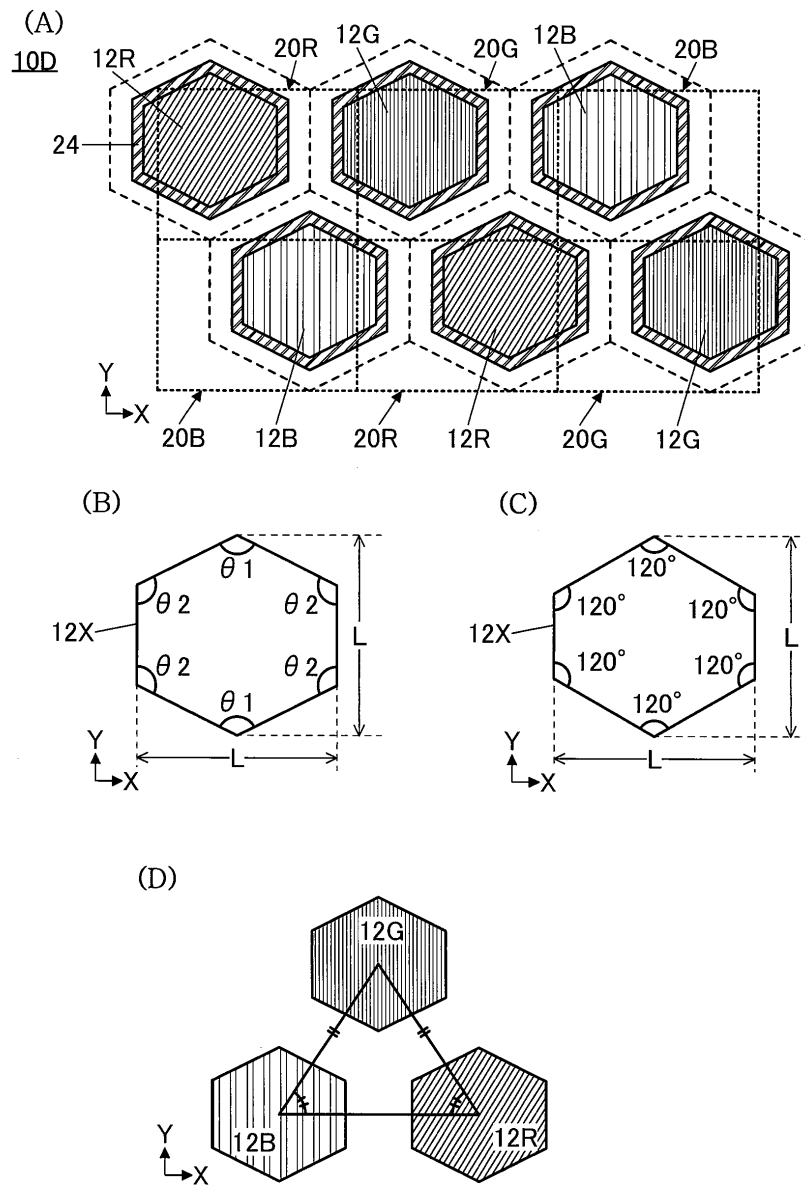
도면4



도면5

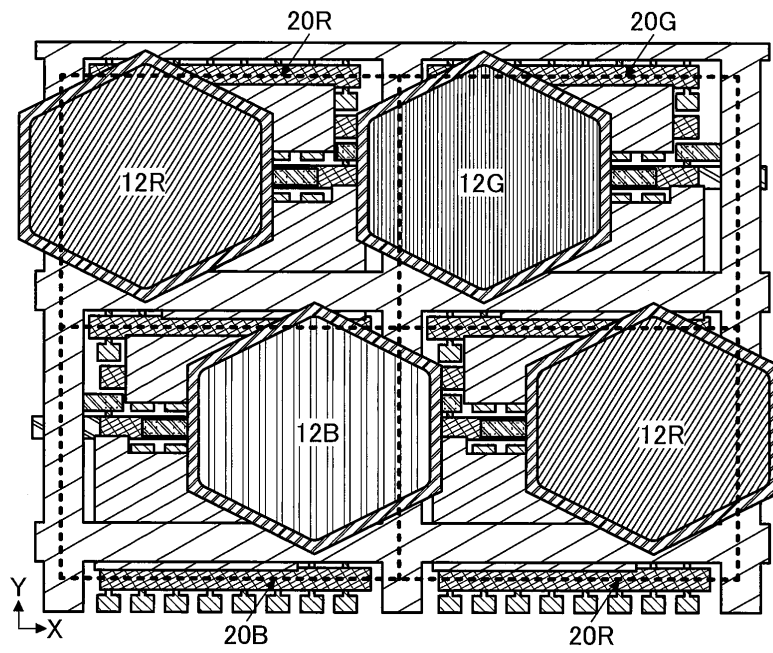


도면6

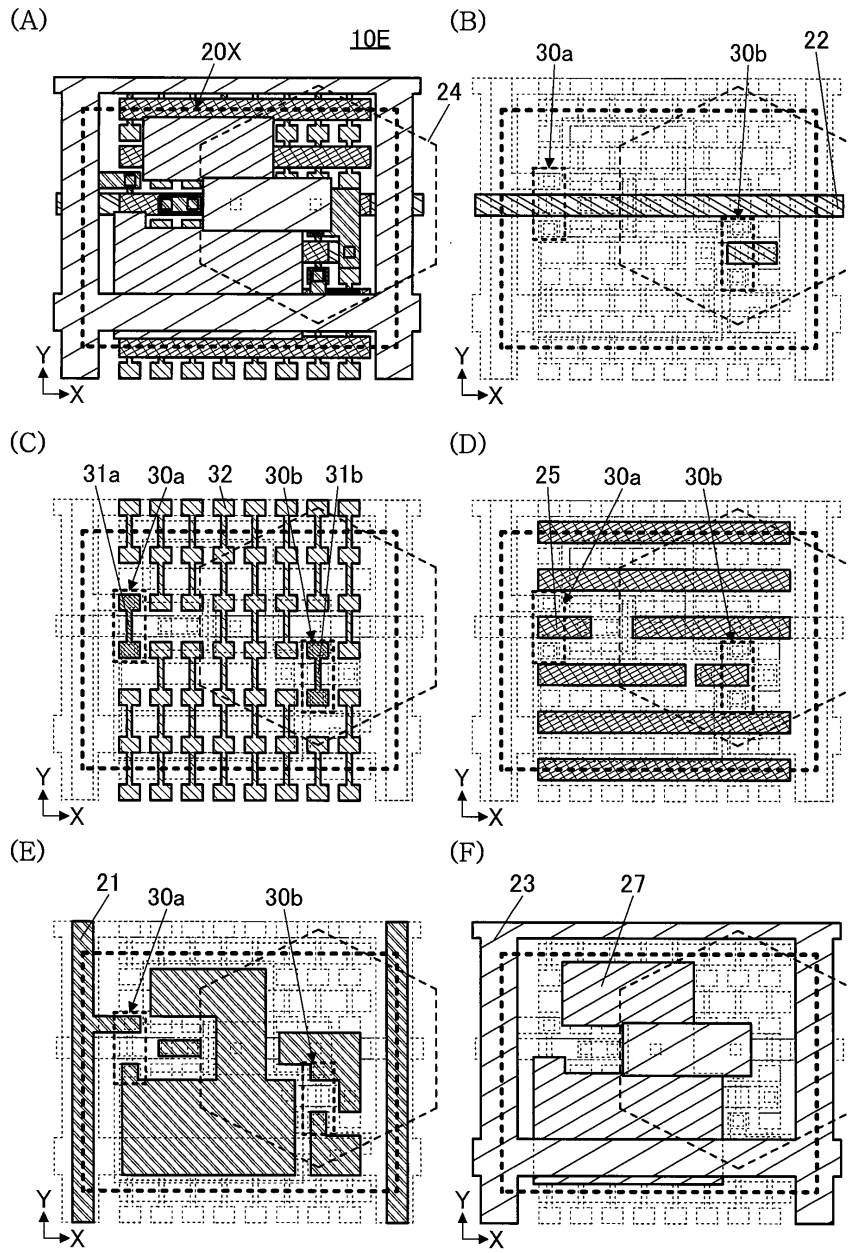


도면7

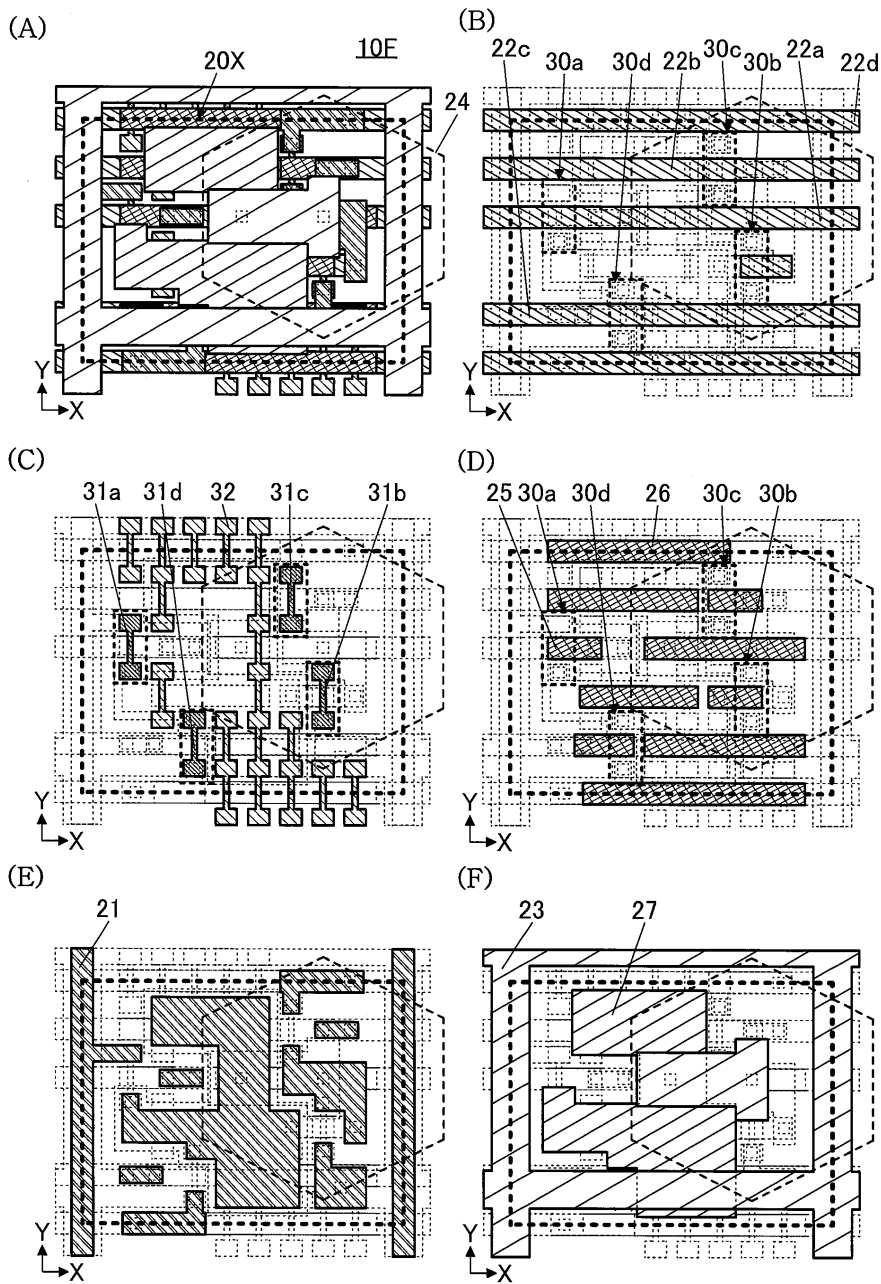
10E



도면8

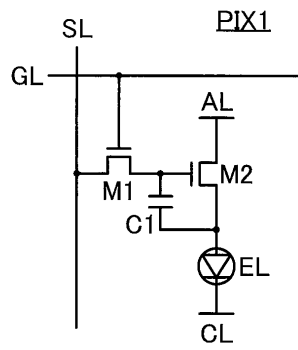


도면9

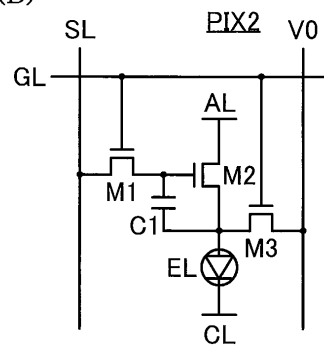


도면10

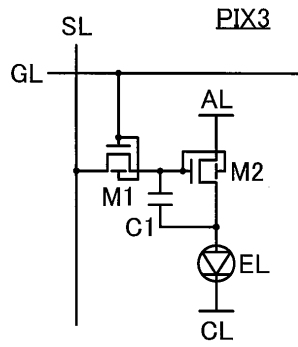
(A)



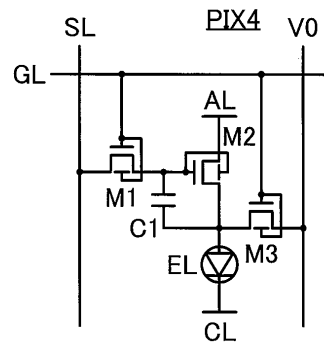
(B)



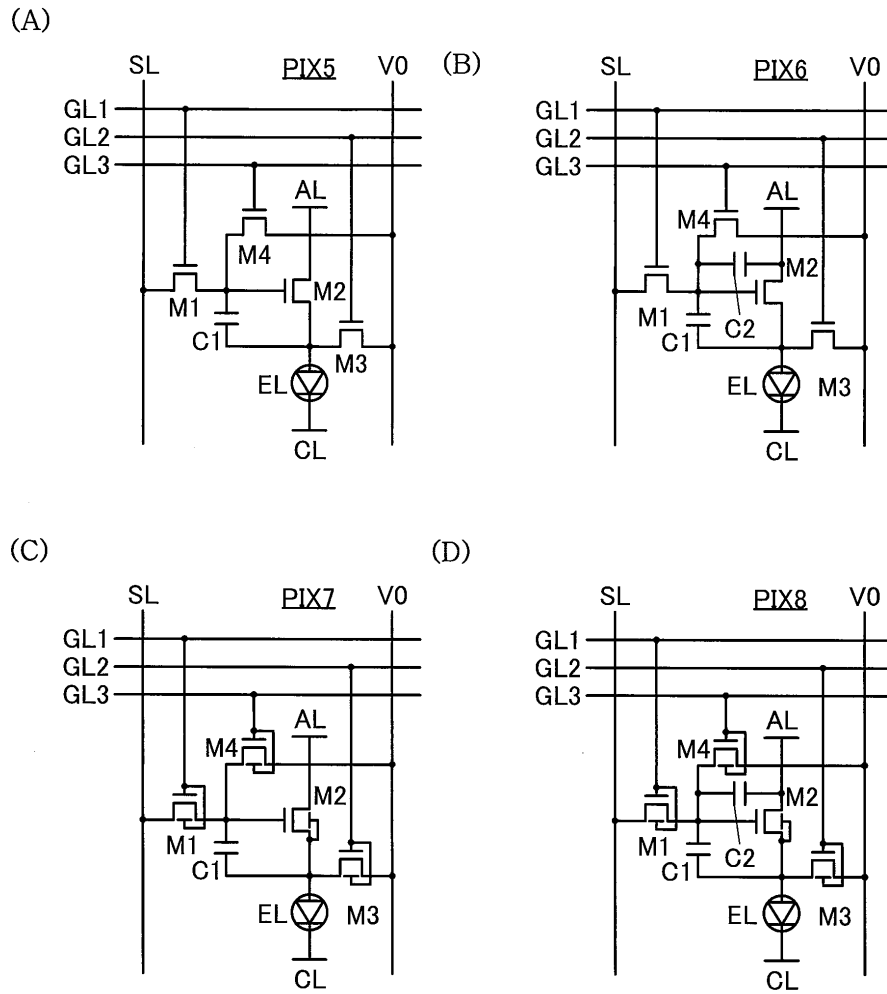
(C)



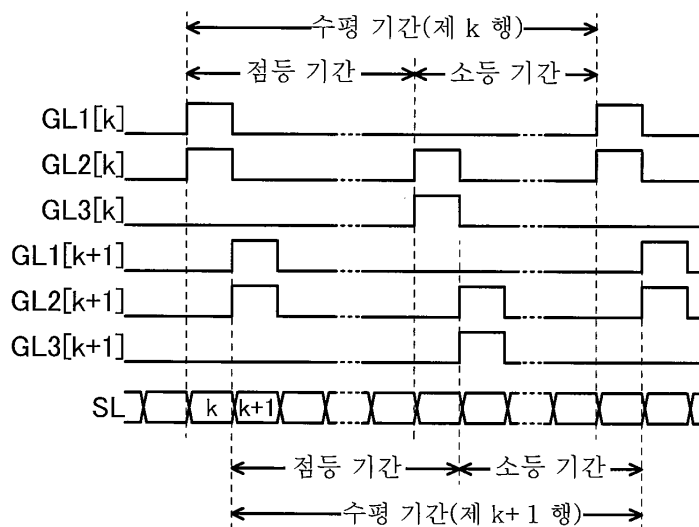
(D)



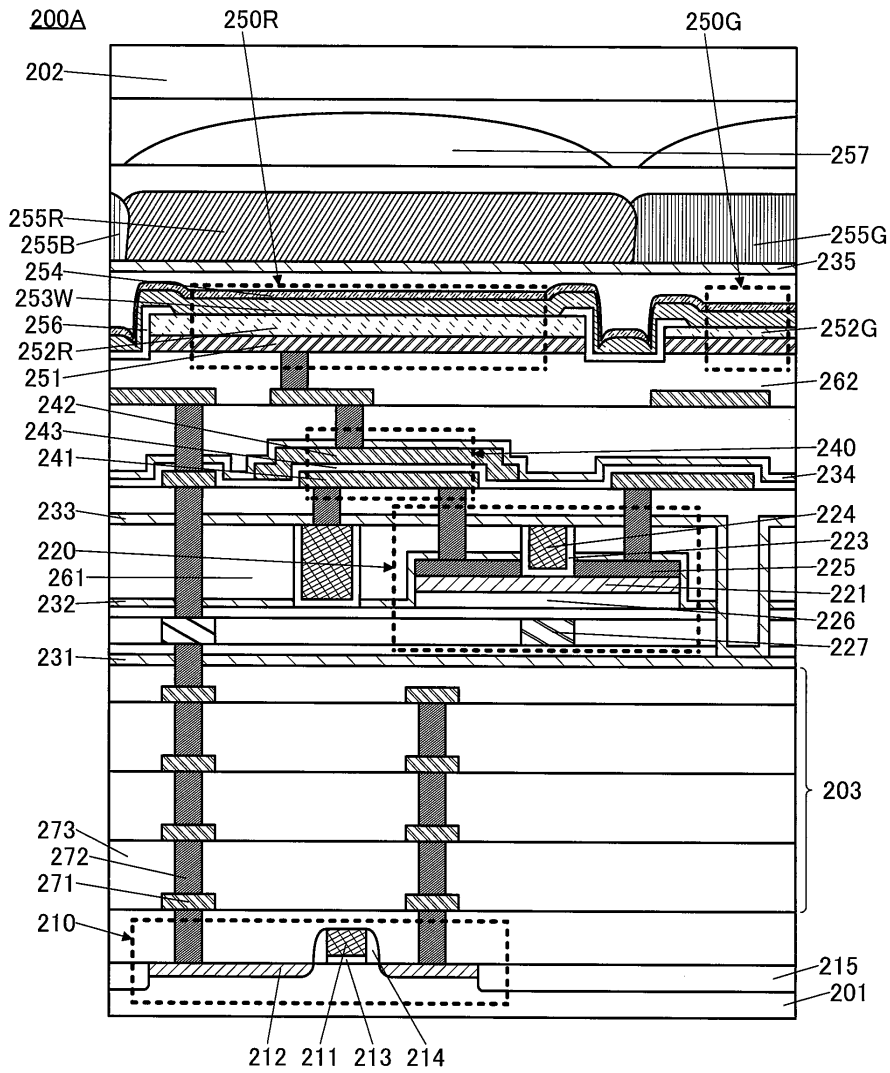
도면11



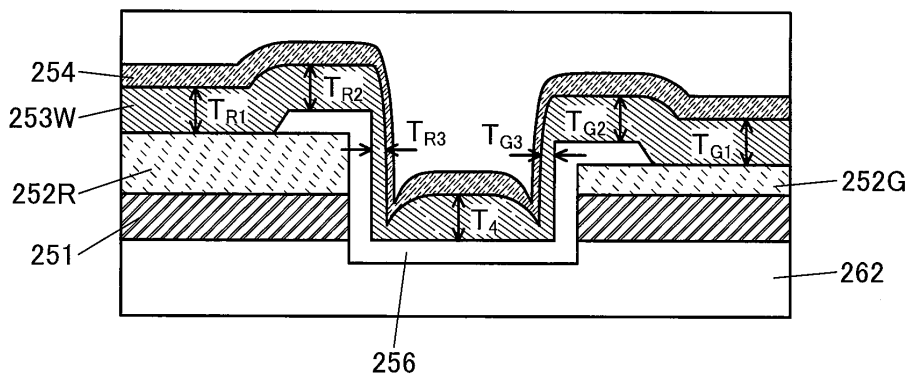
도면12



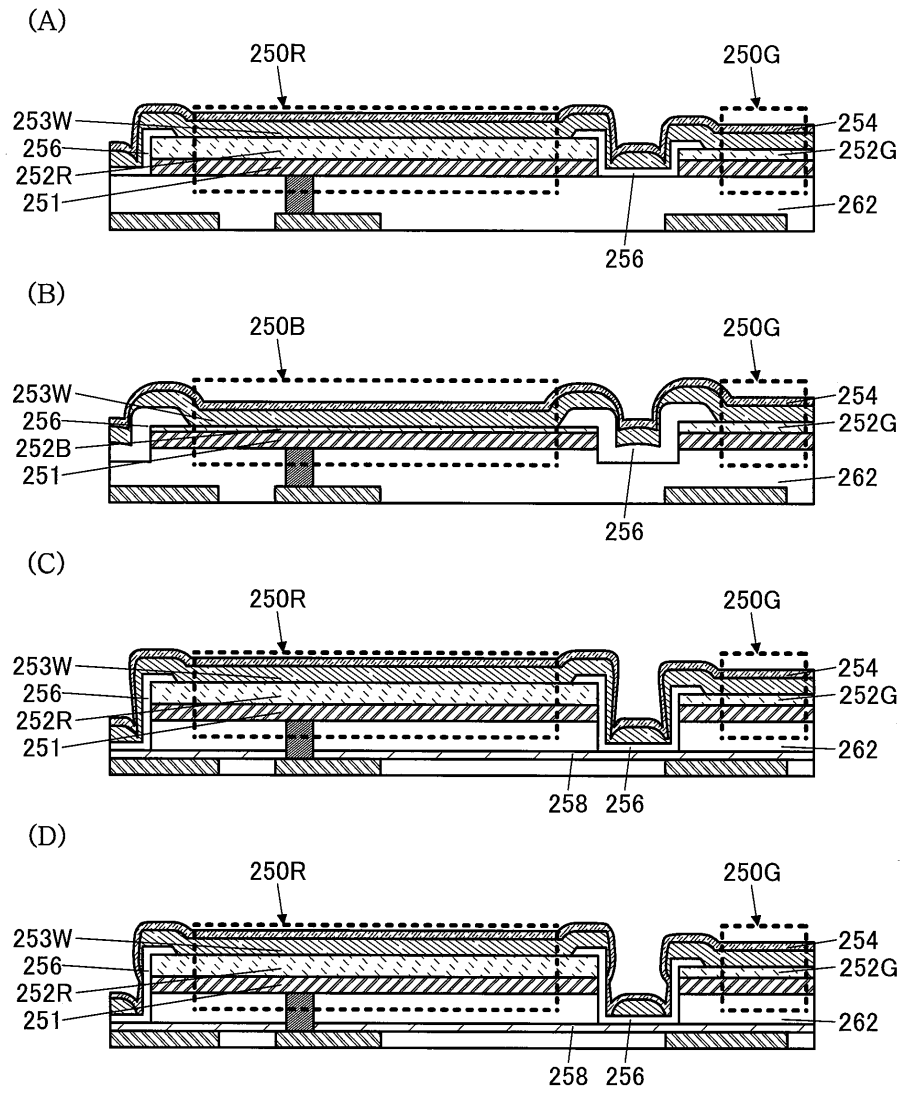
도면13



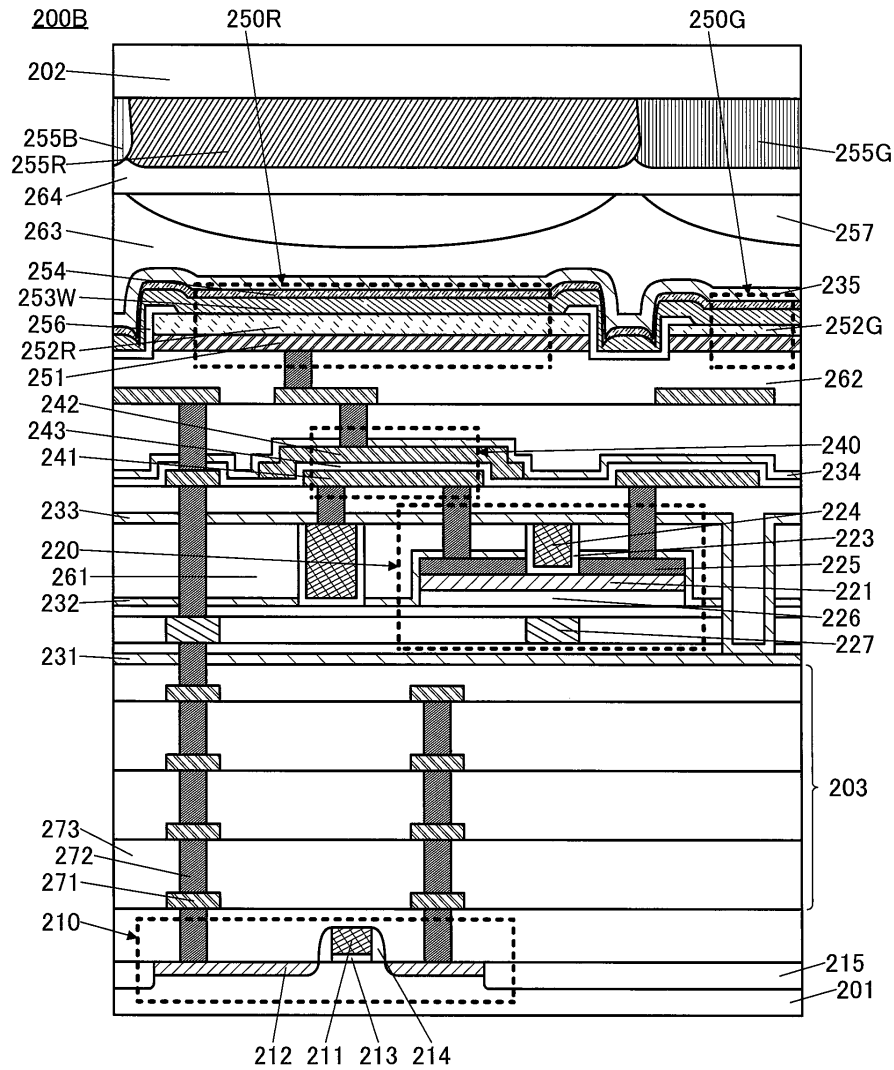
도면14



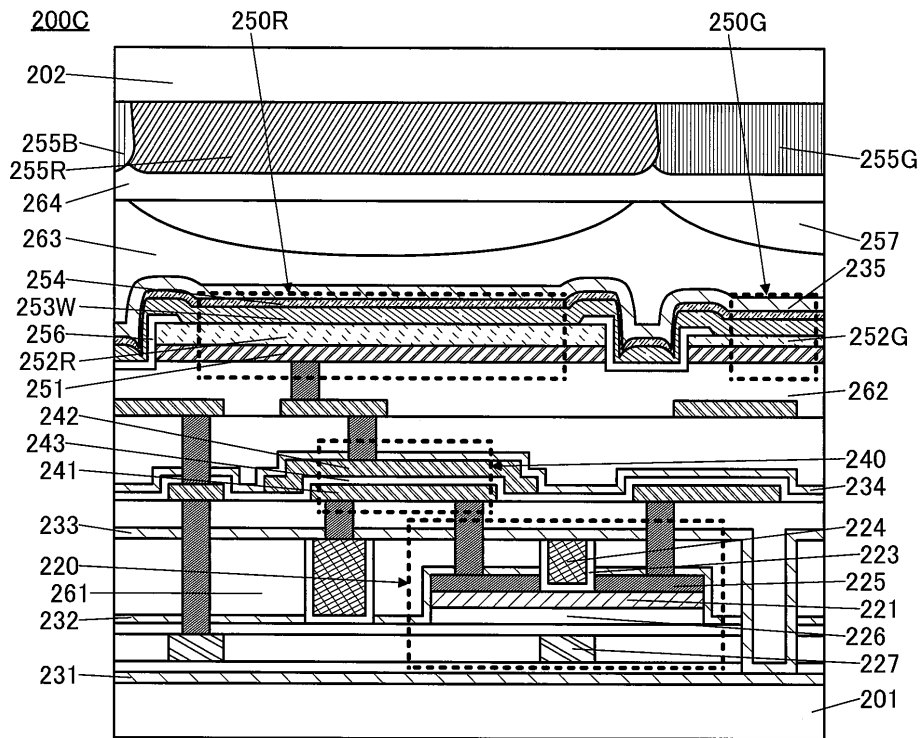
도면15



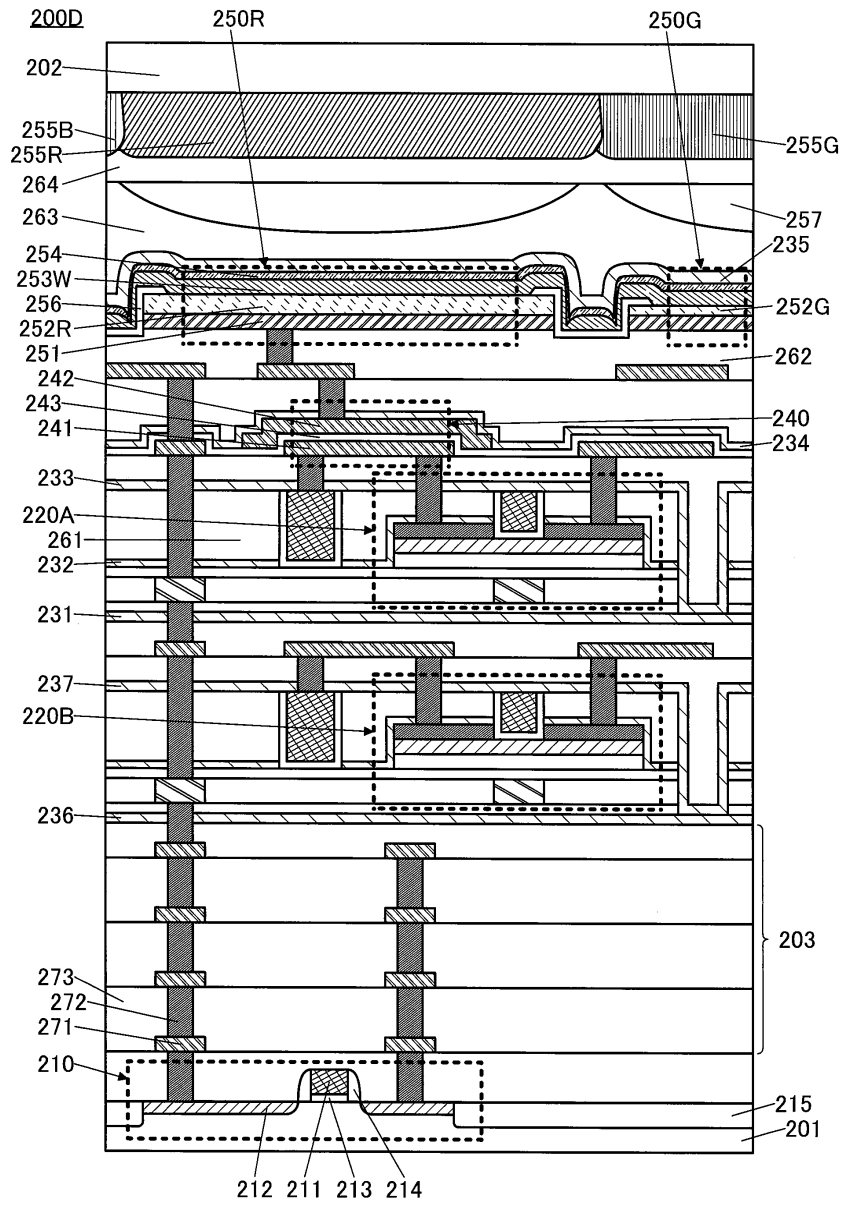
도면16



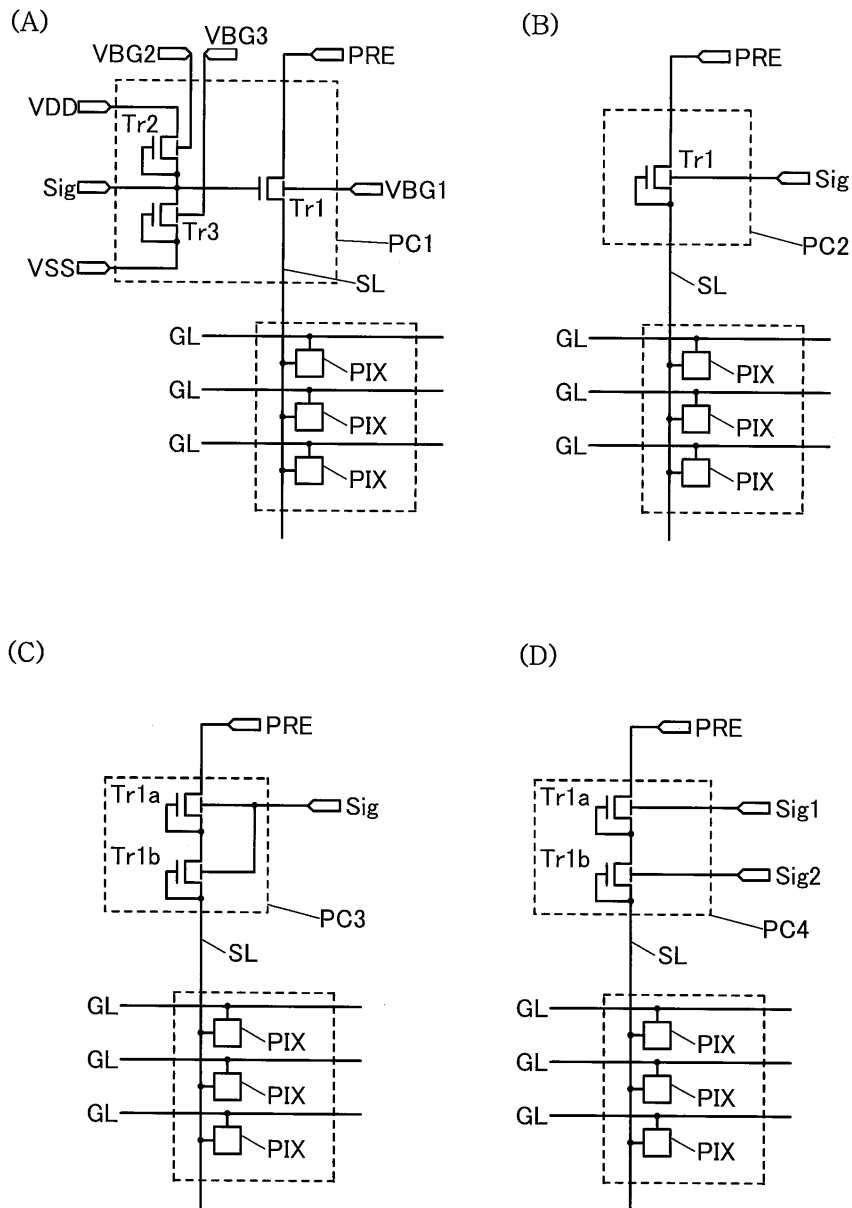
도면17



도면18

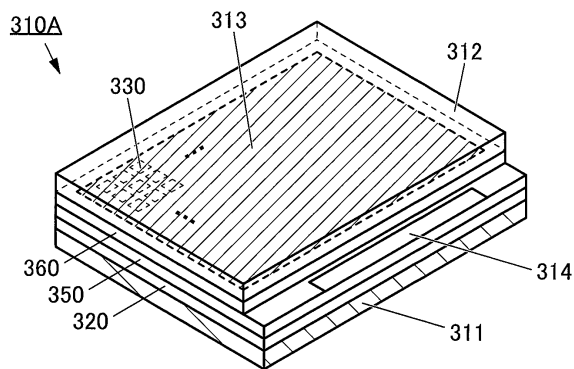


도면19

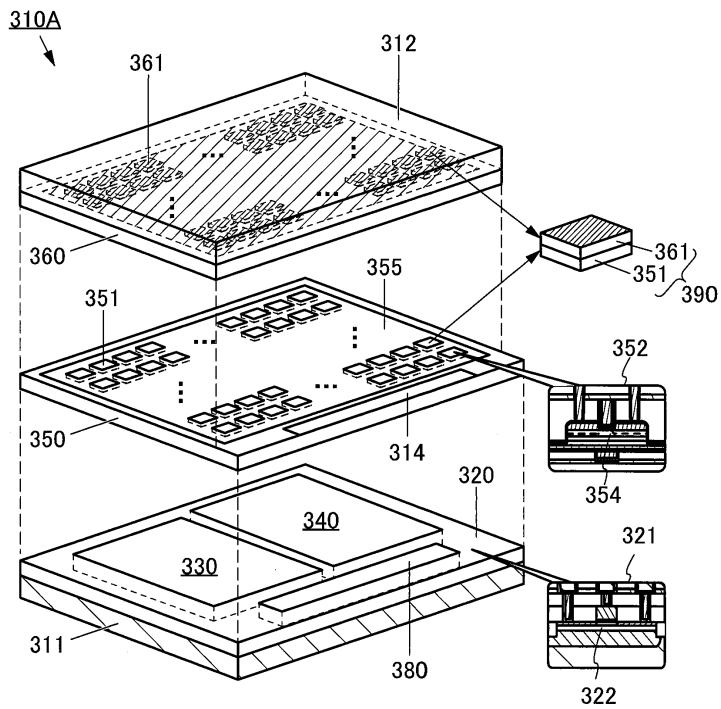


도면20

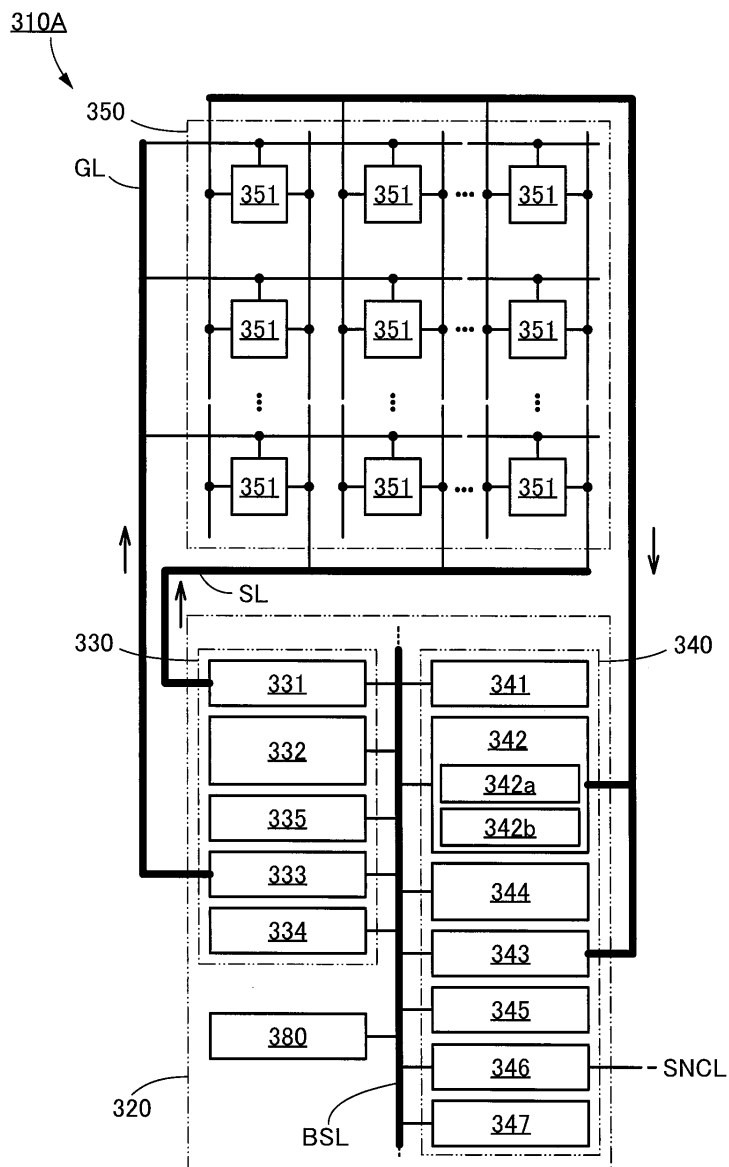
(A)



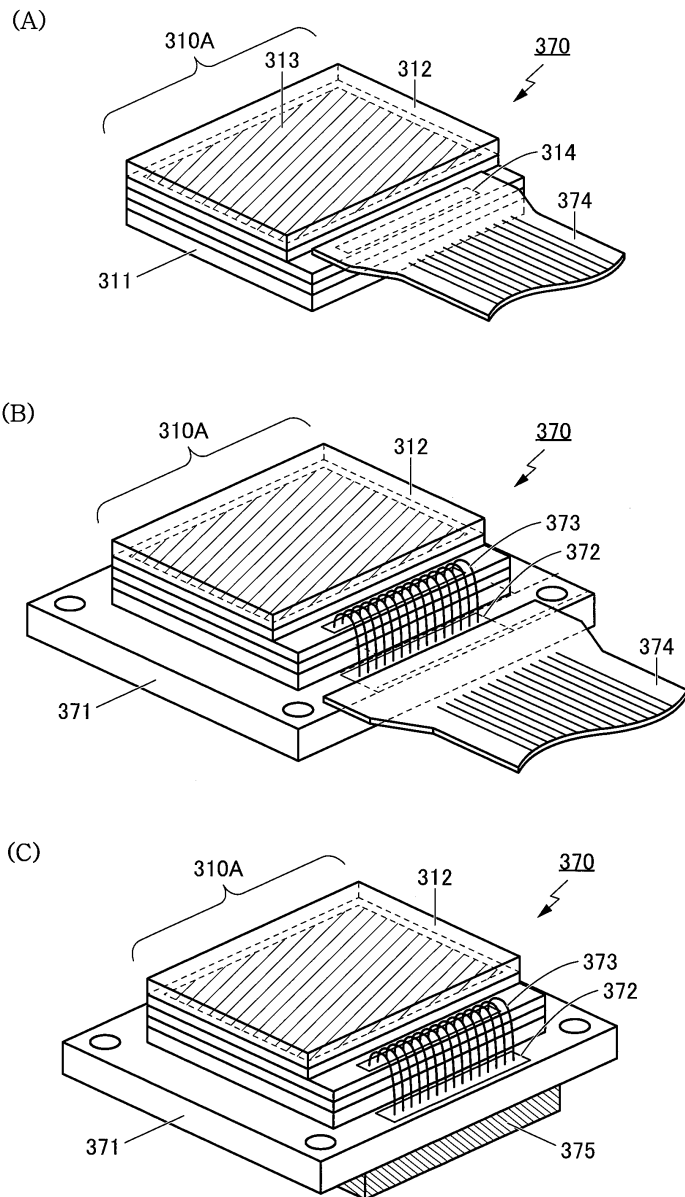
(B)



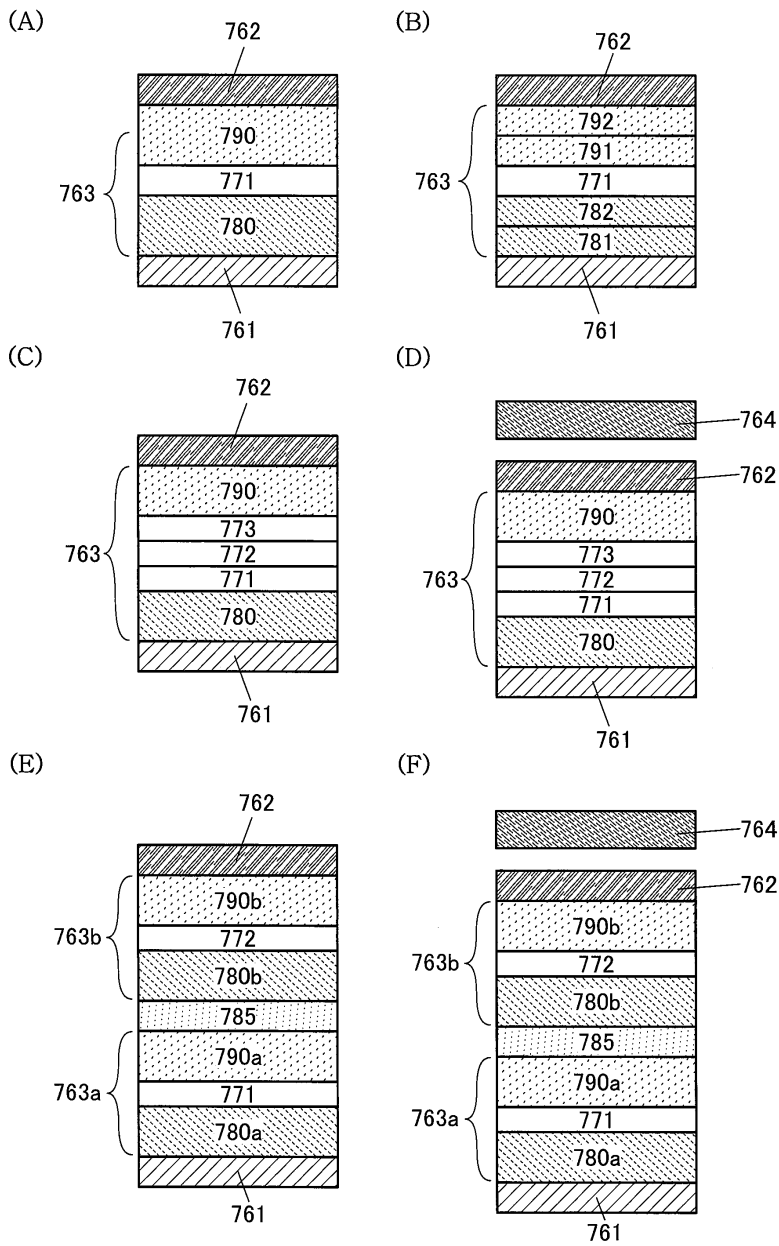
도면21



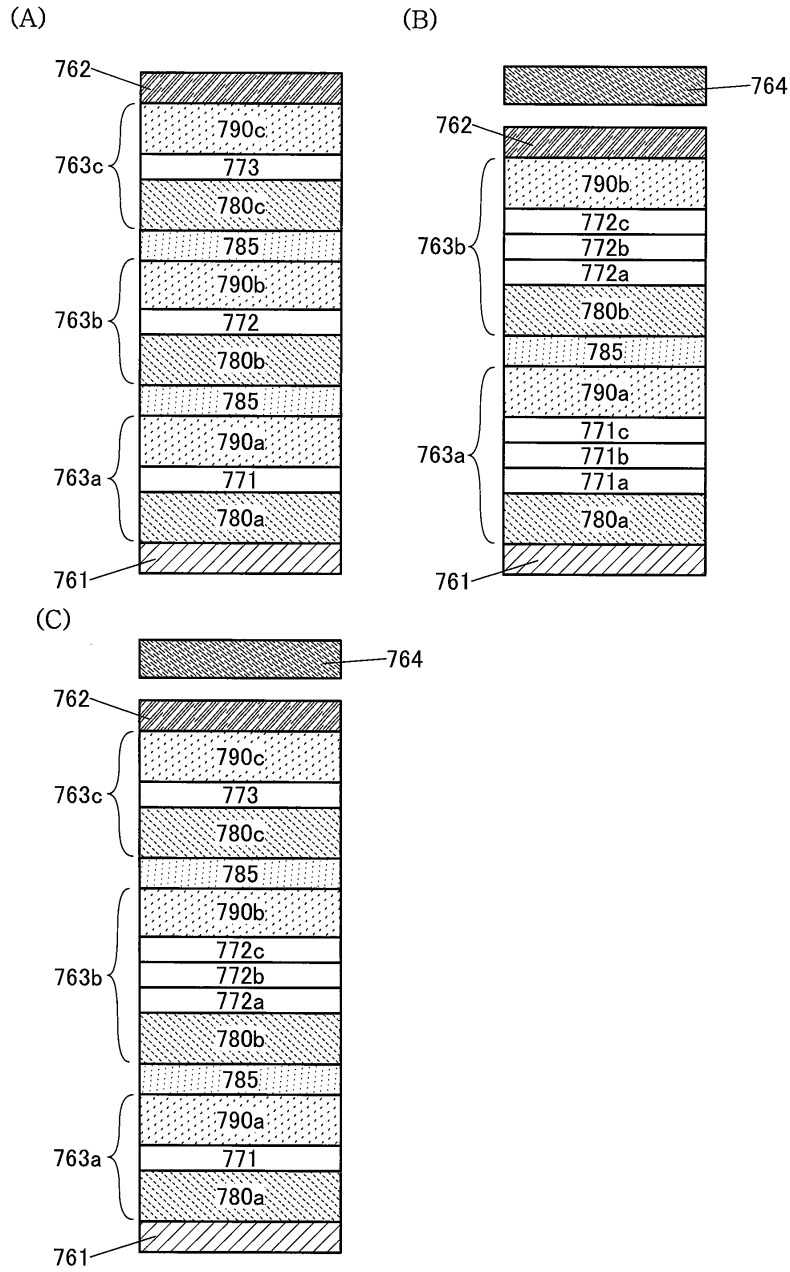
도면22



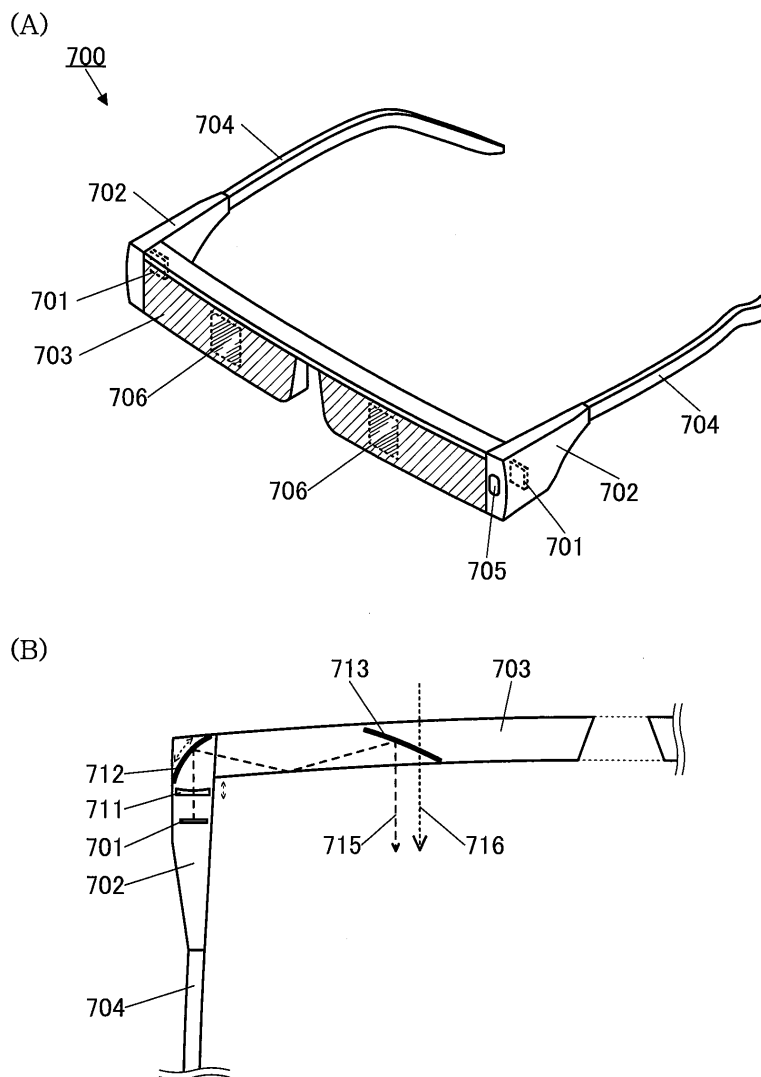
도면23



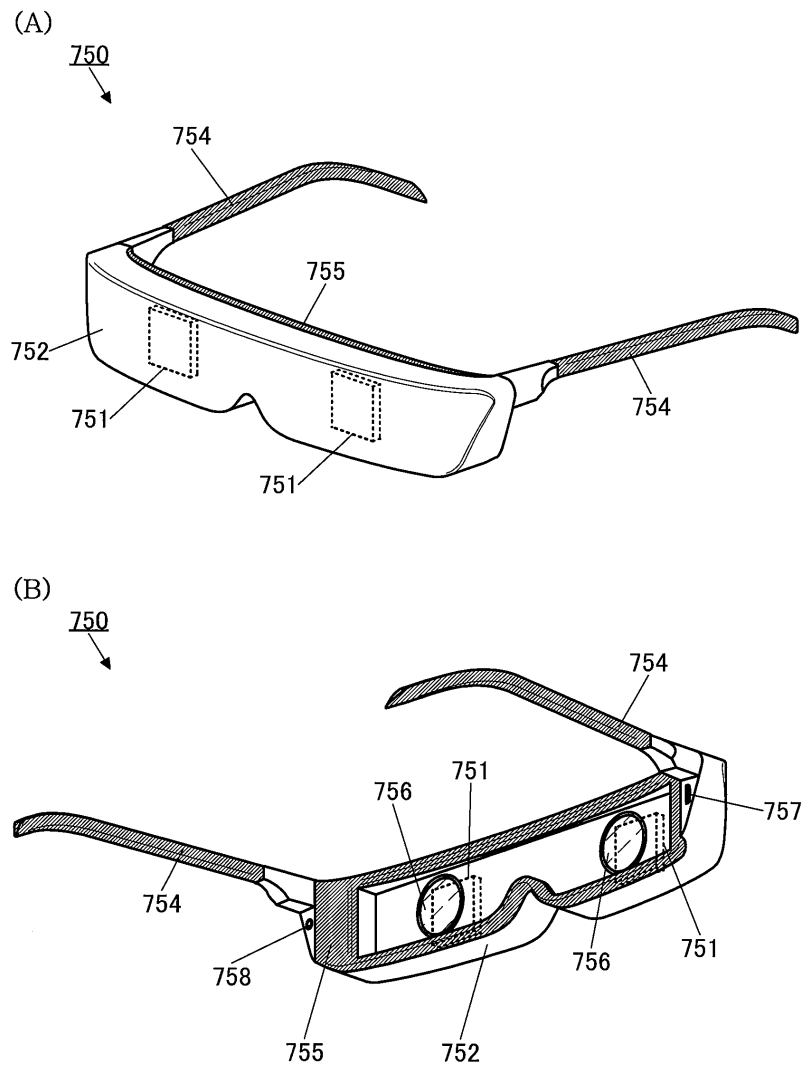
도면24



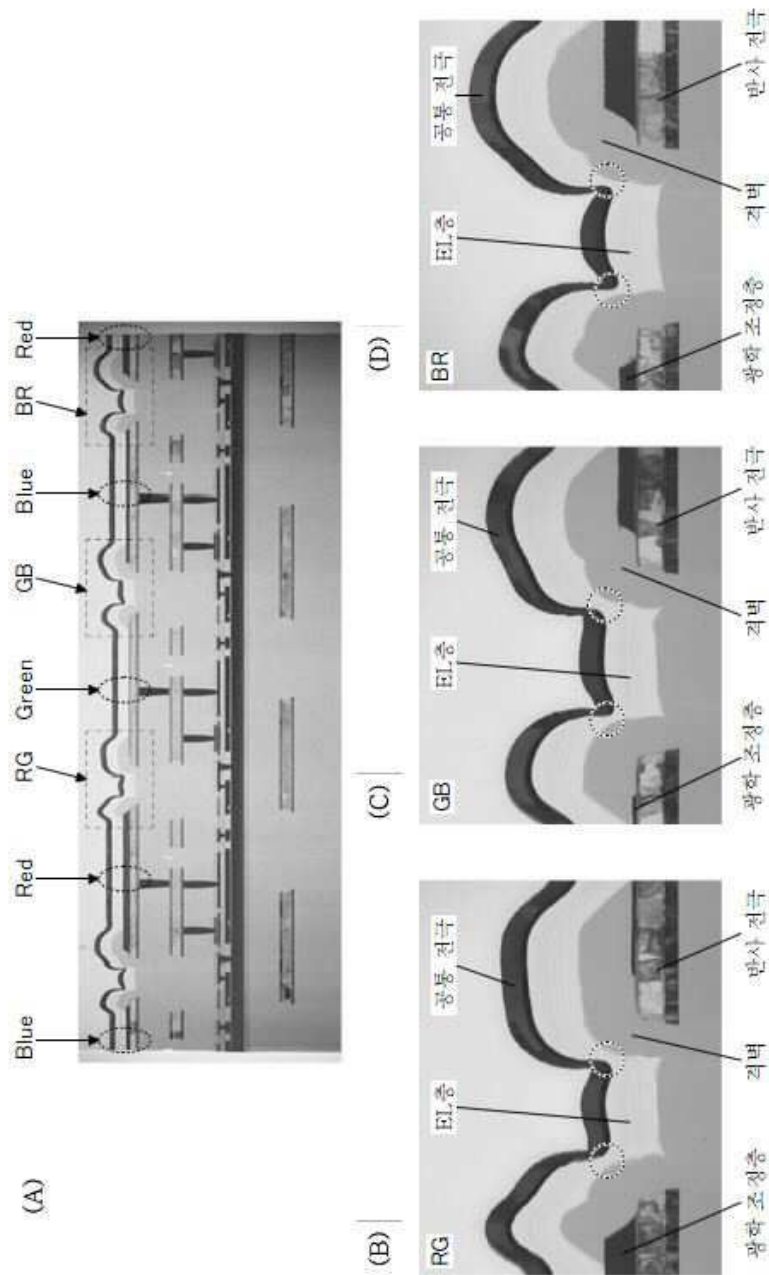
도면25



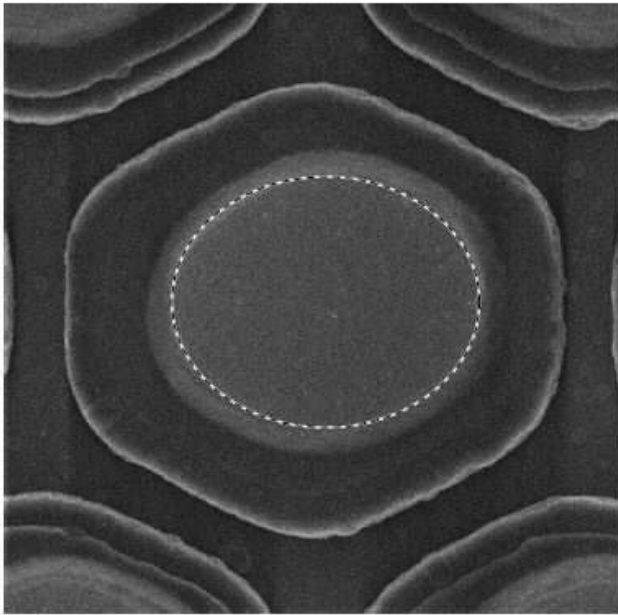
도면26



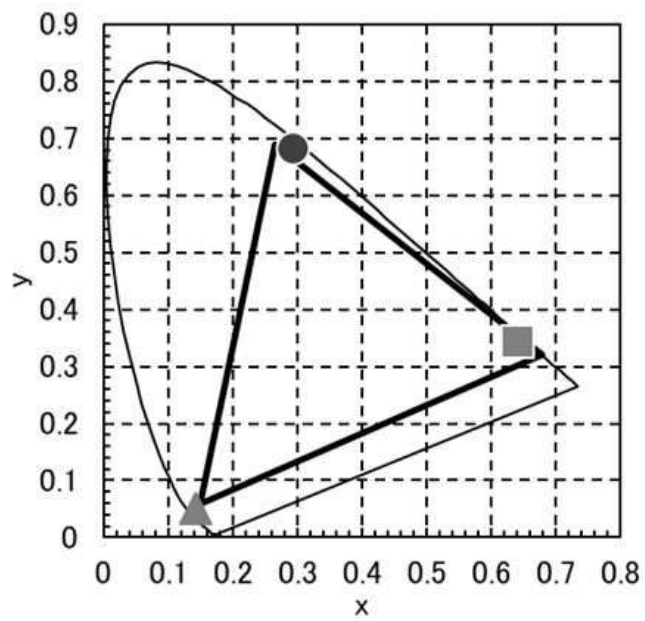
도면27



도면28

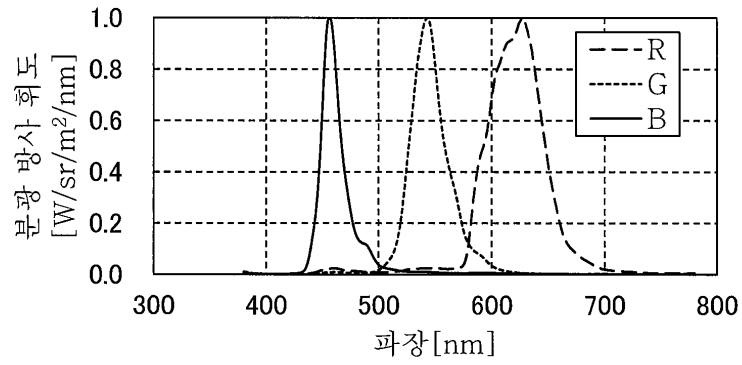


도면29



도면30

(A) 100 cd/m^2



(B) 1 cd/m^2

