

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 4 月 7 日 (2005.4.7)

【公開番号】特開 2003-67440 (P2003-67440A)
 【公開日】平成 15 年 3 月 7 日 (2003.3.7)
 【出願番号】特願 2002-126588 (P2002-126588)
 【国際特許分類第 7 版】

G 0 6 F 17/50

H 0 1 L 21/82

【F I】

G 0 6 F 17/50 6 6 6 V

H 0 1 L 21/82 A

【手続補正書】

【提出日】平成 16 年 5 月 24 日 (2004.5.24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

スタティック論理ゲートの入力におけるノイズをシミュレートして、該ゲートの出力におけるノイズを決定するための方法であって、

- (a) 出力ノードに直接接続された第 1 のタイプの F E T を識別するステップと、
- (b) 前記出力ノードに直接接続された第 2 のタイプの F E T を識別するステップと、
- (c) 前記出力ノードに接続された前記第 1 のタイプの F E T によって生成される第 1 のタイプの分岐を識別するステップと、
- (d) 前記出力ノードに接続された前記第 2 のタイプの F E T によって生成される第 2 のタイプの分岐を識別するステップと、
- (e) 許容可能な入力電圧を選択するステップと、
- (f) 前記選択された入力値（すなわち、入力電圧）によって起動される前記第 1 のタイプの F E T すべての幅値を格納するステップと、
- (g) 前記選択された入力値によって起動される前記第 2 のタイプの F E T すべての幅値を格納するステップと、
- (h) 前記ステップ (f) において格納された前記幅値の有効幅を決定するステップと、
- (i) 前記ステップ (g) において格納された前記幅値の有効幅を決定するステップと、
- (j) 前記ステップ (h) における有効幅を、前記ステップ (i) における有効幅によって除算するステップと、
- (k) 可能なすべての入力電圧の組合せが使用され尽くすまで、前記ステップ (e) 乃至 (j) を繰返すステップと、
- (l) 前記組合せから P / N 比を選択するステップと、
- (m) 前記 P / N 比について入力におけるノイズをシミュレートするステップと、
- (n) 前記 P / N 比について出力に生じるノイズを決定するステップ

を含む、方法。

【請求項 2】

スタティックゲートの入力におけるノイズをシミュレートして、該ゲートの出力におけるノイズを決定する方法を実行するためのコンピュータ実行可能な命令を有するコンピュータ読み取り可能な媒体であって、該方法が、

- (a) 出力ノードに直接接続された第1のタイプのFETを識別するステップと、
 - (b) 前記出力ノードに直接接続された第2のタイプのFETを識別するステップと、
 - (c) 前記出力ノードに接続された前記第1のタイプのFETによって生成される第1のタイプの分岐を識別するステップと、
 - (d) 前記出力ノードに接続された前記第2のタイプのFETによって生成される第2のタイプの分岐を識別するステップと、
 - (e) 許容可能な入力電圧を選択するステップと、
 - (f) 前記選択された入力値（すなわち、入力電圧）によって起動される前記第1のタイプのFETすべての幅値を格納するステップと、
 - (g) 前記選択された入力値によって起動される前記第2のタイプのFETすべての幅値を格納するステップと、
 - (h) 前記ステップ（f）において格納された前記幅値の有効幅を決定するステップと、
 - (i) 前記ステップ（g）において格納された前記幅値の有効幅を決定するステップと、
 - (j) 前記ステップ（h）における有効幅を、前記ステップ（i）における有効幅によって除算するステップと、
 - (k) 可能なすべての入力電圧の組合せが使用され尽くすまで、前記ステップ（e）乃至（j）を繰返すステップと、
 - (l) 前記組合せからP/N比を選択するステップと、
 - (m) 前記P/N比について入力におけるノイズをシミュレートするステップと、
 - (n) 前記P/N比について出力に生じるノイズを決定するステップ
- を含むことからなる、コンピュータ読み取り可能な媒体。

【請求項3】

回路設計においてスタティック論理ゲートにおけるP/N比を計算するためのコンピュータシステムであって、

- a) 記憶媒体と、
 - b) 回路設計においてスタティック論理ゲートにおけるP/N比を計算するための、前記記憶媒体に記憶されたソフトウェアプログラム
- を有し、
- 前記ソフトウェアが、
- (1) 出力ノードに直接接続された第1のタイプのFETを識別するステップと、
 - (2) 前記出力ノードに直接接続された第2のタイプのFETを識別するステップと、
 - (3) 前記出力ノードに接続された前記第1のタイプのFETによって生成される第1のタイプの分岐を識別するステップと、
 - (4) 前記出力ノードに接続された前記第2のタイプのFETによって生成される第2のタイプの分岐を識別するステップと、
 - (5) 許容可能な入力電圧を選択するステップと、
 - (6) 前記選択された入力値（すなわち、入力電圧）によって起動される前記第1のタイプのFETすべての幅値を格納するステップと、
 - (7) 前記選択された入力値によって起動される前記第2のタイプのFETすべての幅値を格納するステップと、
 - (8) 前記ステップ（6）において格納された前記幅値の有効幅を決定するステップと、
 - (9) 前記ステップ（7）において格納された前記幅値の有効幅を決定するステップと、
 - (10) 前記ステップ（8）における有効幅を、前記ステップ（9）における有効幅によって除算するステップと、
 - (11) 可能なすべての入力電圧の組合せが使用され尽くすまで、前記ステップ（5）乃至（10）を繰返すステップと、
 - (12) 前記組合せからP/N比を選択するステップと、
 - (13) 前記P/N比について入力におけるノイズをシミュレートするステップと、
 - (14) 前記P/N比について出力に生じるノイズを決定するステップ
- からなる1組の命令を含むことからなる、コンピュータシステム。