



(72) 발명자

**호리 미즈야끼**

일본 가나가와켄 요코하마시 고호꾸꾸 신요코하마  
2-10-23 후지쓰 세미컨덕터 가부시카가이샤 내

**후지따 가즈시**

일본 가나가와켄 요코하마시 고호꾸꾸 신요코하마  
2-10-23 후지쓰 세미컨덕터 가부시카가이샤 내

---

**특허청구의 범위**

**청구항 1**

기관과,

상기 기관 내에 형성되고, 제1 폭의 제1 영역 및 상기 제1 폭보다도 굵은 제2 폭의 제2 영역을 갖고, 제1 방향으로 연장되는 제1 활성 영역과,

상기 기관 내에 형성되고, 상기 제1 활성 영역의 상기 제2 영역과 병행하여 연장되는 제2 활성 영역과,

상기 기관에 형성되고, 상기 제1 활성 영역 및 상기 제2 활성 영역의 각각을 획정하는 소자 분리 절연막을 구비하고,

상기 제1 활성 영역의 상기 제2 영역 또는 상기 제2 활성 영역은, 평면에서 보아 상기 제1 방향과 교차하는 제2 방향을 향해 오목해지는 오목 형상을 갖는 반도체 장치.

**청구항 2**

제1항에 있어서,

상기 기관 상에 형성되고, 상기 제1 활성 영역의 상기 제2 영역 및 상기 제2 활성 영역에 걸쳐있는 복수의 게이트 전극을 구비하고,

상기 복수의 게이트 전극의 사이에서의 상기 제1 활성 영역의 상기 제2 영역 또는 상기 제2 활성 영역은, 상기 오목 형상을 갖는 반도체 장치.

**청구항 3**

제2항에 있어서,

상기 복수의 게이트 전극은, 복수의 구동 트랜지스터의 게이트 전극 및 복수의 부하 트랜지스터의 게이트 전극을 포함하고,

상기 복수의 구동 트랜지스터의 상기 게이트 전극의 사이에서의 상기 제1 활성 영역의 상기 제2 영역 또는 상기 복수의 부하 트랜지스터의 상기 게이트 전극의 사이에서의 상기 제2 활성 영역은, 상기 오목 형상을 갖는 반도체 장치.

**청구항 4**

제1항에 있어서,

상기 제1 활성 영역의 상기 제2 영역 상에는 접지 전압을 인가하는 접지 콘택트가 형성되고,

상기 제2 활성 영역 상에는 전원 전압을 인가하는 전원 콘택트가 형성되어 있는 반도체 장치.

**청구항 5**

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 활성 영역 및 상기 제2 활성 영역에 형성된 에피택셜층을 갖는 반도체 장치.

**청구항 6**

제1 기관과, 상기 제1 기관 내에 형성되고, 제1 폭의 제1 영역 및 상기 제1 폭보다도 굵은 제2 폭의 제2 영역을 갖고, 제1 방향으로 연장되는 제1 활성 영역과, 상기 제1 기관 내에 형성되고, 상기 제1 활성 영역의 상기 제2 영역과 병행하여 연장되는 제2 활성 영역과, 상기 제1 기관에 형성되고, 상기 제1 활성 영역 및 상기 제2 활성 영역의 각각을 획정하는 제1 소자 분리 절연막과, 상기 제1 활성 영역 및 상기 제2 활성 영역에 형성된 에피택셜층을 갖는 제1 반도체 장치와,

제2 기관과, 상기 제2 기관 내에 형성되고, 제3 폭의 제3 영역 및 상기 제3 폭보다도 굵은 제4 폭의 제4 영역을

갖고, 제3 방향으로 연장되는 제3 활성 영역과, 상기 제2 기관 내에 형성되고, 상기 제3 활성 영역의 상기 제3 영역과 병행하여 연장되는 제4 활성 영역과, 상기 제2 기관에 형성되고, 상기 제3 활성 영역 및 상기 제4 활성 영역의 각각을 획정하는 제2 소자 분리 절연막을 갖는 제2 반도체 장치

를 구비하고,

상기 제1 활성 영역의 상기 제2 영역 또는 상기 제2 활성 영역은, 평면에서 보아 상기 제1 방향과 교차하는 제2 방향을 향해 오목해지는 오목 형상을 갖는 것을 특징으로 하는 반도체 장치.

**명세서**

**기술분야**

[0001] 본 발명은, 반도체 장치에 관한 것이다.

**배경 기술**

[0002] 반도체 집적 회로의 미세화에 수반하여, 반도체 기관에 형성되는 활성 영역, 소자 분리 절연막 및 게이트 전극 등의 미세화가 요구되고 있다. 소자 분리 절연막은 반도체 기관에 형성된 홈에 산화막을 매립함으로써 형성된다. 반도체 기관에 소자 분리막이 형성되어, 활성 영역이 확정된다.

**선행기술문헌**

**특허문헌**

[0003] (특허문헌 0001) 일본 특허 공개 제2009-252825호 공보  
(특허문헌 0002) 일본 특허 공개 제2009-176407호 공보

**발명의 내용**

**해결하려는 과제**

[0004] 반도체 기관의 홈에 대한 산화막의 매립이 불충분한 경우, 인접하는 활성 영역간에 형성되는 소자 분리 절연막에 보이드(공간)가 발생하는 경우가 있다. 소자 분리 절연막에 보이드가 발생하면, 게이트 전극을 형성할 때, 폴리실리콘이 소자 분리 절연막의 보이드에 매립되고, 인접하는 게이트 전극간에서 단락이 발생하는 경우가 있다. 게이트 전극간에서 단락이 발생하면, 반도체 장치의 수율의 저하를 야기한다고 하는 문제가 있다. 본 건은, 소자 분리 절연막에 있어서의 보이드의 발생을 억제하는 것을 목적으로 한다.

**과제의 해결 수단**

[0005] 본 건의 일 관점에 의한 반도체 장치는, 기관과, 상기 기관 내에 형성되고, 제1 폭의 제1 영역 및 상기 제1 폭보다도 굵은 제2 폭의 제2 영역을 갖고, 제1 방향으로 연장되는 제1 활성 영역과, 상기 기관 내에 형성되고, 상기 제1 활성 영역의 상기 제2 영역과 병행하여 연장되는 제2 활성 영역과, 상기 기관에 형성되고, 상기 제1 활성 영역 및 상기 제2 활성 영역의 각각을 획정하는 소자 분리 절연막을 구비하고, 상기 제1 활성 영역의 상기 제2 영역 또는 상기 제2 활성 영역은, 평면에서 보아 상기 제1 방향과 교차하는 제2 방향을 향해 오목해지는 오목 형상을 갖는다.

**발명의 효과**

[0006] 본 건에 의하면, 소자 분리 절연막에 있어서의 보이드의 발생을 억제할 수 있다.

**도면의 간단한 설명**

[0007] 도 1은 제1 실시예에 따른 반도체 장치(1)의 평면도이다.

도 2는 제1 실시예에 따른 반도체 장치(1)의 단면도이며, 도 1의 일점쇄선 A-A'에 대한 단면을 도시하고 있다.

- 도 3은 제1 실시예에 따른 반도체 장치(1)의 단면도이며, 도 1의 일점쇄선 B-B'에 대한 단면을 도시하고 있다.
- 도 4는 제2 실시예에 따른 반도체 장치(1)의 평면도이다.
- 도 5는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 6은 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 7은 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 8은 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 9는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 10은 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 11은 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 12는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 13a는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 13b는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 13c는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 14a는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 14b는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 14c는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 15a는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 15b는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 15c는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 16a는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 16b는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 16c는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 17a는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 17b는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 17c는 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다.
- 도 18은 프린트 기관(81)의 평면도이다.
- 도 19는 반도체 장치(201)의 평면도이다.
- 도 20은 반도체 장치(201)의 단면도이며, 도 19의 일점쇄선 E-E'에 대한 단면을 도시하고 있다.
- 도 21은 반도체 장치(201)의 단면도이며, 도 19의 일점쇄선 F-F'에 대한 단면을 도시하고 있다.
- 도 22는 SRAM(101)의 부분 평면도이다.
- 도 23은 SRAM(101)의 단면도이며, 도 22의 일점쇄선 X-X'에 대한 단면을 도시하고 있다.
- 도 24는 활성 영역의 패턴 형성 시의 노광량과 SRAM의 불량률의 관계를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

본원 발명자가 검토한 결과, 발견한 과제에 대해 설명한다. 도 22는 SRAM(Static Random Access Memory)(101)의 부분 평면도이다. 도 23은 SRAM(101)의 단면도이며, 도 22의 일점쇄선 X-X'에 대한 단면을 도시하고 있다. 도 22 및 도 23에서는 SRAM(101)의 일부의 구성 요소에 대한 도시를 생략하고 있다.

[0008]

- [0009] SRAM(101)은 실리콘 기판(102), 활성(Active) 영역(103 내지 105), 소자 분리 절연막(106), 게이트 전극(107A 내지 107F), VSS 콘택트(108), VDD 콘택트(109) 및 스토리지 콘택트(110)를 구비한다. 도 22에서는 VSS 콘택트(108), VDD 콘택트(109) 및 스토리지 콘택트(110)를 점선으로 나타내고 있다. 게이트 전극(107A)은 전송(Transfer) 트랜지스터에 갖는 게이트 전극이다. 게이트 전극(107B, 107C)은 구동(Driver) 트랜지스터에 갖는 게이트 전극이다. 게이트 전극(107D 내지 107F)은 부하(Load) 트랜지스터에 갖는 게이트 전극이다.
- [0010] 도 22에 도시하는 바와 같이, 실리콘 기판(102) 내에는 활성 영역(103 내지 105)이 형성되어 있다. 또한, 반도체 기판(2)에는 소자 분리 절연막(106)이 형성되어 있다. 활성 영역(103 내지 105)은 소자 분리 절연막(106)에 의해 한정되어 있다. 예를 들어, 실리콘 기판(102)에 형성된 홈에 산화막을 매립함으로써, 반도체 기판(102)에 소자 분리 절연막(106)이 형성된다. 활성 영역(103)은, 제1 폭의 제1 영역(103A) 및 제1 폭보다도 굵은 제2 폭의 제2 영역(103B)을 갖는다. 제1 폭 및 제2 폭의 각각은, 실리콘 기판(102)의 평면 방향에서의 길이이다. 게이트 전극(107A)은 활성 영역(103)의 제1 영역(103A)에 걸치도록 하여, 반도체 기판(102) 상에 형성되어 있다. 게이트 전극(107B, 107C)은 활성 영역(103)의 제2 영역(103B)에 걸치도록 하여, 반도체 기판(102) 상에 형성되어 있다. 게이트 전극(107D)은 활성 영역(105)에 걸치도록 하여, 반도체 기판(102) 상에 형성되어 있다. 게이트 전극(107E, 107F)은 활성 영역(104)에 걸치도록 하여, 반도체 기판(102) 상에 형성되어 있다.
- [0011] 소자 분리 절연막(106)을 형성할 때, 활성 영역(103)과 활성 영역(104) 사이의 홈에 대한 산화막의 매립이 불충분한 경우, 활성 영역(103)과 활성 영역(104) 사이에 형성되는 소자 분리 절연막(106)에 보이드가 발생한다. 소자 분리 절연막(106)에 보이드가 발생하면, 게이트 전극(107A 내지 107F)을 형성할 때, 폴리실리콘(111)이 소자 분리 절연막(106)의 보이드에 매립된다. 그로 인해, 도 22에 도시하는 바와 같이, 게이트 전극(107B)과 게이트 전극(107C) 사이에서 단락이 발생하거나, 게이트 전극(107E)과 게이트 전극(107F) 사이에서 단락이 발생하거나 하는 경우가 있다.
- [0012] 본원 발명자는, 소자 분리 절연막(106)에 보이드가 발생하는 개소로서, 이하와 같은 경향이 있는 것을 발견했다.
- [0013] · 실리콘 기판(102)에, 긴 패턴의 활성 영역(103) 및 짧은 패턴의 활성 영역(104)이 병행하여 형성되어 있는 경우, 활성 영역(103)과 활성 영역(104) 사이의 소자 분리 절연막(106)에 보이드가 발생한다.
- [0014] · 활성 영역(103)이, 제1 폭의 제1 영역(103A) 및 제1 폭보다도 굵은 제2 폭의 제2 영역(103B)을 갖는 경우, 활성 영역(103)의 제2 영역(103B)과 활성 영역(104) 사이의 소자 분리 절연막(106)에 보이드가 발생한다.
- [0015] · 구동 트랜지스터의 게이트 전극(107B)과 구동 트랜지스터의 게이트 전극(107C) 사이에서의 소자 분리 절연막(106)에 보이드가 발생한다.
- [0016] · 부하 트랜지스터의 게이트 전극(107E)과 부하 트랜지스터의 게이트 전극(107F) 사이에서의 소자 분리 절연막(106)에 보이드가 발생한다.
- [0017] 고농도 불순물층 상에 에피택셜 실리콘층을 형성함으로써, 임계값 전압의 변동을 저감하는 기술이 알려져 있다. 고농도 불순물층에는 미소한 결정 결함이 잔류되어 있다. 산화막의 매립 시, 성막 챔버 내의 메탈 오염에 의해, 고농도 불순물층에 메탈이 도입되는 경우가 있다. 이 경우, 그 후의 열처리에 의해, 결정 결함이 크게 성장되어, 소스-드레인간 누설 전류를 야기한다.
- [0018] 예를 들어, 고밀도 플라즈마(HDP:High Density Plasma) CVD(Chemical Vapor Deposition)법에 의해, 성막 및 에칭을 반복함으로써, 산화막의 매립성이 향상된다. 성막 및 에칭의 횟수가 많아지면, 고농도 불순물층에 도입되는 메탈의 양이 증가하고, 결정 결함이 더 커지는 경우가 있다. 그로 인해, 실리콘 기판(102) 내에 고농도 불순물층이 형성되어 있는 경우, 성막 및 에칭의 횟수가 적은 성막 방법을 선택하여, 실리콘 기판(102)에 소자 분리 절연막(106)을 형성한다. 그러나, 성막 및 에칭의 횟수가 적은 성막 방법은, 산화막의 매립성이 나쁘기 때문에, 소자 분리 절연막(106)에 보이드가 발생하기 쉬워진다.
- [0019] 도 24는 활성 영역의 패턴 형성 시의 노광량과 SRAM의 불량률의 관계를 나타내는 도면이다. 노광량이 내려가면, 소자 분리 절연막을 형성하기 위한 레지스트 패턴의 폭이 좁아진다. 레지스트 패턴의 폭이 좁아짐으로써, 실리콘 기판에 형성되는 홈의 폭이 좁아진다. 그 결과, 산화막의 매립량이 저하되고, 소자 분리 절연막에 보이드가 발생하기 쉬워져, SRAM의 불량률이 증가한다. 이와 같이, SRAM의 불량률은 소자 분리 절연막에 보이드가 발생하는 것에 기인하고 있다.
- [0020] 이하, 도면을 참조하여, 실시 형태에 따른 반도체 장치 및 반도체 장치의 제조 방법에 대해 설명한다. 이하의

제1 실시예 및 제2 실시예의 구성은 예시이며, 실시 형태에 따른 반도체 장치의 제조 방법 및 반도체 장치는 제1 실시예 및 제2 실시예의 구성에 한정되지 않는다.

[0021]

<제1 실시예>

[0022]

도 1 내지 도 3을 참조하여, 제1 실시예에 따른 반도체 장치(1)에 대해 설명한다. 제1 실시예에서는, 반도체 장치(1)의 일례인 SRAM을 예로서 설명한다. 도 1은, 제1 실시예에 따른 반도체 장치(1)의 평면도이다. 도 2는, 제1 실시예에 따른 반도체 장치(1)의 단면도이며, 도 1의 일점쇄선 A-A'에 대한 단면을 도시하고 있다. 도 3은, 제1 실시예에 따른 반도체 장치(1)의 단면도이며, 도 1의 일점쇄선 B-B'에 대한 단면을 도시하고 있다. 도 1 내지 도 3에서는, 반도체 장치(1)의 일부의 구성 요소에 대한 도시를 생략하고 있다.

[0023]

도 1에 도시하는 바와 같이, 반도체 장치(1)는 반도체 기판(2), 활성 영역(3 내지 6), 소자 분리 절연막(7), 게이트 전극(11A, 11B, 12A, 12B, 13A 내지 13D), VSS 콘택트(14), VDD 콘택트(15) 및 스토리지 콘택트(16A 내지 16F)를 구비한다. 도 1에서는 VSS 콘택트(14), VDD 콘택트(15) 및 스토리지 콘택트(16A 내지 16F)를 점선으로 나타내고 있다. 또한, 도 2 및 도 3에 도시하는 바와 같이, 반도체 장치(1)는 전송 트랜지스터(21A, 21B), 구동 트랜지스터(22A, 22B) 및 부하 트랜지스터(23A, 23B)를 구비한다. 전송 트랜지스터(21A, 21B) 및 구동 트랜지스터(22A, 22B)는 N채널형 MOS(Metal Oxide Semiconductor) 트랜지스터이다. 부하 트랜지스터(23A, 23B)는 P채널형 MOS 트랜지스터이다.

[0024]

반도체 기판(2)은, 예를 들어, 실리콘(Si) 기판이다. 반도체 기판(2)은, 「기판」의 일례이다. 도 1에 도시하는 바와 같이, 반도체 기판(2) 내에는 활성 영역(3 내지 6)이 형성되어 있다. 또한, 반도체 기판(2)에는 소자 분리 절연막(7)이 형성되어 있다. 활성 영역(3 내지 6)은 소자 분리 절연막(7)에 의해 한정되어 있다. 예를 들어, 반도체 기판(2)에 형성된 홈에 산화막을 매립함으로써, 반도체 기판(2)에 소자 분리 절연막(7)이 형성된다. 활성 영역(3, 4)은, 제1 방향(S)을 향해 연장되어 있다. 활성 영역(3)은, 「제1 활성 영역」의 일례이다. 활성 영역(4)은, 「제2 활성 영역」의 일례이다. 제1 방향(S)은 반도체 기판(2)의 평면 방향이며, 게이트 전극(11A, 11B, 12A, 12B)과 교차하는 방향이다. 즉, 제1 방향(S)은 게이트 전극(11A, 11B, 12A, 12B)의 게이트 길이 방향이다.

[0025]

활성 영역(3)은, 제1 폭의 제1 영역(3A) 및 제1 폭보다도 굵은 제2 폭의 제2 영역(3B)을 갖는다. 제1 폭 및 제2 폭의 각각은, 반도체 기판(2)의 평면 방향에서의 길이이다. 게이트 전극(11A, 11B)은 활성 영역(3)의 제1 영역(3A)에 걸치도록 하여, 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(12A, 12B)은 활성 영역(3)의 제2 영역(3B)에 걸치도록 하여, 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(13A, 13B)은 활성 영역(4)에 걸치도록 하여, 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(12A)과 게이트 전극(13A)이 접속되어 있다. 즉, 게이트 전극(12A)과 게이트 전극(13A)이, 일체로 형성되어 있다. 게이트 전극(12B)과 게이트 전극(13B)이 접속되어 있다. 즉, 게이트 전극(12B)과 게이트 전극(13B)이, 일체로 형성되어 있다.

[0026]

활성 영역(3)의 제2 영역(3B)과, 활성 영역(4)이 서로 병행하여 연장되도록 하여, 활성 영역(3, 4)이, 반도체 기판(2) 내에 형성되어 있다. 활성 영역(3)의 제2 영역(3B)은, 평면에서 보아, 제1 방향(S)과 교차하는 제2 방향(T)을 향해 오목해지는 오목 형상(8)을 갖고 있다. 제2 방향(T)은 반도체 기판(2)의 평면 방향이며, 활성 영역(4)으로부터 이격되는 방향이다. 활성 영역(3)의 제2 영역(3B)이 오목 형상(8)을 가짐으로써, 활성 영역(3)의 제2 영역(3B)과 활성 영역(4) 사이에서의 반도체 기판(2)의 홈에 매립되는 산화막의 양이 증가한다. 활성 영역(3)의 제2 영역(3B)과 활성 영역(4) 사이에서의 반도체 기판(2)의 홈에 매립되는 산화막의 양이 증가함으로써, 활성 영역(3)의 제2 영역(3B)과 활성 영역(4) 사이에 형성되는 소자 분리 절연막(7)에 보이드가 발생하는 것이 억제된다. 활성 영역(3)의 제2 영역(3B)이 오목 형상(8)을 가짐으로써, 게이트 전극(12A, 12B)의 채널 폭을 확보하면서, 활성 영역(3)의 제2 영역(3B)과 활성 영역(4) 사이에 형성되는 소자 분리 절연막(7)에 있어서의 보이드의 발생을 억제할 수 있다.

[0027]

도 2에 도시하는 바와 같이, 게이트 전극(11A)은 전송 트랜지스터(21A)가 형성되는 영역(전송 트랜지스터 형성 영역)(51A)에서의 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(11B)은 전송 트랜지스터(21B)가 형성되는 영역(전송 트랜지스터 형성 영역)(51B)에서의 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(12A)은 구동 트랜지스터(22A)가 형성되는 영역(구동 트랜지스터 형성 영역)(52A)에서의 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(12B)은 구동 트랜지스터(22B)가 형성되는 영역(구동 트랜지스터 형성 영역)(52B)에서의 반도체 기판(2) 상에 형성되어 있다.

[0028]

도 1에 도시하는 바와 같이, 활성 영역(3)의 제1 영역(3A) 상에는 전송 트랜지스터(21A)의 게이트 전극(11A) 및

전송 트랜지스터(21B)의 게이트 전극(11B)이 형성되어 있다. 활성 영역(3)의 제2 영역(3B) 상에는 구동 트랜지스터(22A)의 게이트 전극(12A) 및 구동 트랜지스터(22B)의 게이트 전극(12B)이 형성되어 있다. 구동 트랜지스터(22A, 22B)의 전류 구동 능력은 전송 트랜지스터(21A, 21B)의 전류 구동 능력보다도 크다. 그로 인해, 구동 트랜지스터(22A)의 게이트 전극(12A) 및 구동 트랜지스터(22B)의 게이트 전극(12B)의 채널 폭(게이트 폭)은, 전송 트랜지스터(21A)의 게이트 전극(11A) 및 전송 트랜지스터(21B)의 게이트 전극(11B)의 채널 폭보다도 길다. 따라서, 활성 영역(3)의 제2 영역(3B)의 폭은, 활성 영역(3)의 제1 영역(3A)의 폭보다도 짧게 되어 있다.

[0029] 도 3에 도시하는 바와 같이, 게이트 전극(13A)은 부하 트랜지스터(23A)가 형성되는 영역(부하 트랜지스터 형성 영역)(53A)에서의 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(13B)은 부하 트랜지스터(23B)가 형성되는 영역(부하 트랜지스터 형성 영역)(53B)에서의 반도체 기판(2) 상에 형성되어 있다. 전송 트랜지스터(21A, 21B), 구동 트랜지스터(22A, 22B) 및 부하 트랜지스터(23A, 23B)는, SRAM에 있어서의 하나의 메모리 셀로서 기능한다. 도 1에 도시하는 바와 같이, 게이트 전극(13C)은 활성 영역(5)에 걸치도록 하여, 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(13D)은 활성 영역(6)에 걸치도록 하여, 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(13C, 13D)은 부하 트랜지스터가 형성되는 영역에서의 반도체 기판(2) 상에 형성되어 있다.

[0030] 도 2에 도시하는 바와 같이, 활성 영역(3)에는 에피택셜 실리콘층(20), P형 고농도 불순물층(31) 및 N형 소스·드레인 영역(32)이 형성되어 있다. 「에피택셜 실리콘층(20)」은 「에피택셜층」의 일례이다. P형 고농도 불순물층(31)은 임계값 전압 제어용의 확산층 및 펀치 스루를 억제하는 펀치 스루 스톱층이다. 도 3에 도시하는 바와 같이, 활성 영역(4)에는 에피택셜 실리콘층(20), N형 고농도 불순물층(41) 및 P형 소스·드레인 영역(42)이 형성되어 있다. N형 고농도 불순물층(41)은 임계값 전압 제어용의 확산층 및 펀치 스루를 억제하는 펀치 스루 스톱층이다.

[0031] 도 1에 도시하는 바와 같이, 게이트 전극(12A)과 게이트 전극(12B) 사이에서의 활성 영역[3(3B)] 상에는, VSS 콘택트(14)가 형성되어 있다. VSS 콘택트(14)는 활성 영역(3)의 N형 소스·드레인 영역(32)에 접지 전압(기준 전압)을 인가하기 위한 접지 콘택트이다. VSS 콘택트(14)는 반도체 기판(2)에 형성된 접지선(도시하지 않음)에 전기적으로 접속되어 있다. 게이트 전극(13A)과 게이트 전극(13B) 사이에서의 활성 영역(4) 상에는, VDD 콘택트(15)가 형성되어 있다. VDD 콘택트(15)는 활성 영역(4)의 P형 소스·드레인 영역(42)에 전원 전압을 인가하기 위한 전원 콘택트이다. VDD 콘택트(15)는 반도체 기판(2)에 형성된 전원선(도시하지 않음)에 전기적으로 접속되어 있다.

[0032] 게이트 전극(11A)과 게이트 전극(12A) 사이에서의 활성 영역(3) 상에는, 스토리지 콘택트(16A)가 형성되어 있다. 게이트 전극(11B)과 게이트 전극(12B) 사이에서의 활성 영역(3) 상에는, 스토리지 콘택트(16B)가 형성되어 있다. 활성 영역(4) 상 및 게이트 전극(13C) 상에는, 공통의 스토리지 콘택트(16C)가 형성되어 있다. 활성 영역(4) 상 및 게이트 전극(13D) 상에는, 공통의 스토리지 콘택트(16D)가 형성되어 있다. 활성 영역(5) 상 및 게이트 전극(13A) 상에는, 공통의 스토리지 콘택트(16E)가 형성되어 있다. 활성 영역(6) 상 및 게이트 전극(13B) 상에는, 공통의 스토리지 콘택트(16F)가 형성되어 있다. 스토리지 콘택트(16A 내지 16F)는 기억 노드(기억부)에 접속되는 콘택트이다.

[0033] <제2 실시예>

[0034] 도 4를 참조하여, 제2 실시예에 따른 반도체 장치(1)에 대해 설명한다. 제2 실시예에서는, 반도체 장치(1)의 일례인 SRAM을 예로서 설명한다. 제2 실시예에 있어서, 제1 실시예와 동일한 구성 요소에 대해서는, 제1 실시예와 동일한 부호를 부여하고, 그 설명을 생략한다.

[0035] 도 4는, 제2 실시예에 따른 반도체 장치(1)의 평면도이다. 도 4에서는, 반도체 장치(1)의 일부의 구성 요소에 대한 도시를 생략하고 있다. 도 4에 도시하는 바와 같이, 반도체 장치(1)는 반도체 기판(2), 활성 영역(3 내지 6), 소자 분리 절연막(7), 게이트 전극(11A, 11B, 12A, 12B, 13A 내지 13D), VSS 콘택트(14), VDD 콘택트(15) 및 스토리지 콘택트(16A 내지 16F)를 구비한다. 도 4에서는, VSS 콘택트(14), VDD 콘택트(15) 및 스토리지 콘택트(16A 내지 16F)를 점선으로 나타내고 있다.

[0036] 도 4에 도시하는 바와 같이, 반도체 기판(2) 내에는 활성 영역(3 내지 6)이 형성되어 있다. 또한, 반도체 기판(2)에는 소자 분리 절연막(7)이 형성되어 있다. 활성 영역(3 내지 6)은 소자 분리 절연막(7)에 의해 획정되어 있다. 활성 영역(3, 4)은, 제1 방향(S)을 향해 연장되어 있다. 제1 방향(S)은 반도체 기판(2)의 평면 방향이며, 게이트 전극(11A, 11B, 12A, 12B)과 교차하는 방향이다. 즉, 제1 방향(S)은 게이트 전극(11A, 11B, 12A, 12B)의 게이트 길이 방향이다.

- [0037] 활성 영역(3)은, 제1 폭의 제1 영역(3A) 및 제1 폭보다도 굵은 제2 폭의 제2 영역(3B)을 갖는다. 게이트 전극(11A, 11B)은 활성 영역(3)의 제1 영역(3A)에 걸치도록 하여, 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(12A, 12B)은 활성 영역(3)의 제2 영역(3B)에 걸치도록 하여, 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(13A, 13B)은 활성 영역(4)에 걸치도록 하여, 반도체 기판(2) 상에 형성되어 있다. 게이트 전극(12A)과 게이트 전극(13A)이 접속되어 있다. 즉, 게이트 전극(12A)과 게이트 전극(13A)이, 일체로 형성되어 있다. 게이트 전극(12B)과 게이트 전극(13B)이 접속되어 있다. 즉, 게이트 전극(12B)과 게이트 전극(13B)이, 일체로 형성되어 있다.
- [0038] 활성 영역(3)의 제2 영역(3B)과, 활성 영역(4)이 서로 병행하여 연장되도록 하여, 활성 영역(3, 4)이, 반도체 기판(2) 내에 형성되어 있다. 활성 영역(4)은, 평면에서 보아, 제1 방향(S)과 교차하는 제2 방향(U)을 향해 오목해지는 오목 형상(9)을 갖고 있다. 제2 방향(U)은 반도체 기판(2)의 평면 방향이며, 활성 영역(3)으로부터 이격되는 방향이다. 활성 영역(4)이 오목 형상(9)을 가짐으로써, 활성 영역(3)의 제2 영역(3B)과 활성 영역(4) 사이에서의 반도체 기판(2)의 홈에 매립되는 산화막의 양이 증가한다. 활성 영역(3)의 제2 영역(3B)과 활성 영역(4) 사이에서의 반도체 기판(2)의 홈에 매립되는 산화막의 양이 증가함으로써, 활성 영역(3)의 제2 영역(3B)과 활성 영역(4) 사이에 형성되는 소자 분리 절연막(7)에 보이드가 발생하는 것이 억제된다. 활성 영역(4)이 오목 형상(9)을 가짐으로써, 게이트 전극(13A, 13B)의 채널 폭을 확보하면서, 활성 영역(3)의 제2 영역(3B)과 활성 영역(4) 사이에 형성되는 소자 분리 절연막(7)에 있어서의 보이드의 발생을 억제할 수 있다.
- [0039] <제조 방법>
- [0040] 실시 형태에 따른 반도체 장치(1)의 제조 방법에 대해 설명한다. 도 5 내지 도 17c는, 실시 형태에 따른 반도체 장치(1)의 제조 방법을 도시하는 단면도이다. 실시 형태에 따른 반도체 장치(1)의 제조 방법에서는, 우선, 도 5에 도시하는 공정에서, 예를 들어, 열산화법에 의해, 반도체 기판(2)의 전체면에, 실리콘 산화막(SiO<sub>2</sub>막)(61)을 형성한다. 실리콘 산화막(61)은 반도체 기판(2)의 표면 보호막이다. 도 5는, 도 1의 일점쇄선 C-C'의 단면 부분 및 도 4의 일점쇄선 D-D'의 단면 부분에 대응하고 있다.
- [0041] 계속해서, 도 6에 도시하는 공정에서, 포토리소그래피에 의해, 반도체 기판(2)에 있어서의 NMOS 트랜지스터가 형성되는 영역(NMOS 트랜지스터 형성 영역)을 노출시키고, 다른 영역을 덮는 포토레지스트막(62)을 형성한다.
- [0042] 다음에, 포토레지스트막(62)을 마스크로서 이온 주입을 행하고, 반도체 기판(2)에 있어서의 NMOS 트랜지스터 형성 영역에, 매립 N웰(33)을 형성한다. 예를 들어, 이하의 조건으로 이온 주입을 행함으로써, 반도체 기판(2)에 매립 N웰(33)을 형성해도 좋다.
- [0043] · 이온종:인 이온(P<sup>+</sup>), 가속 에너지:700keV, 도우즈량:1.5×10<sup>13</sup> cm<sup>-2</sup>
- [0044] 계속해서, 예를 들어, 약액을 사용한 웨트 처리 또는 애싱에 의해, 포토레지스트막(62)을 제거한다. 다음에, 예를 들어, 불산 수용액을 사용한 웨트 에칭에 의해, 실리콘 산화막(61)을 제거한다. 다음에, 도 7에 도시하는 공정에서, 포토리소그래피에 의해, 반도체 기판(2)에 있어서의 NMOS 트랜지스터 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(63)을 형성한다.
- [0045] 계속해서, 포토레지스트막(63)을 마스크로서 이온 주입을 행하고, 반도체 기판(2)에 있어서의 NMOS 트랜지스터 형성 영역에, P웰(34) 및 P형 고농도 불순물층(31)을 형성한다. 예를 들어, 이하의 조건으로, 기판 법선 방향에 대해 경사진 4방향으로부터, 각각 이온 주입을 행함으로써, 반도체 기판(2)에 P웰(34)을 형성해도 좋다.
- [0046] · 이온종: 붕소 이온(B<sup>+</sup>), 가속 에너지:150keV, 도우즈량:7.5×10<sup>12</sup> cm<sup>-2</sup>
- [0047] 예를 들어, 이하의 조건으로 각각 이온 주입을 행함으로써, 반도체 기판(2)에 P형 고농도 불순물층(31)을 형성해도 좋다.
- [0048] · 이온종:게르마늄 이온(Ge<sup>+</sup>), 가속 에너지:20 내지 30keV, 도우즈량:3.0 내지 5.0×10<sup>14</sup> cm<sup>-2</sup>
- [0049] · 이온종: 탄소 이온(C<sup>+</sup>), 가속 에너지:3 내지 6keV, 도우즈량:3.0 내지 5.0×10<sup>14</sup> cm<sup>-2</sup>
- [0050] · 이온종: 붕소 이온, 가속 에너지:20keV, 도우즈량:1.6 내지 2.0×10<sup>13</sup> cm<sup>-2</sup>
- [0051] · 이온종:불화 붕소, 가속 에너지:25keV, 도우즈량:4.0 내지 8.0×10<sup>12</sup> cm<sup>-2</sup>

- [0052] · 이온종: 불화 붕소, 가속 에너지: 10keV, 도우즈량: 1.0 내지  $3.0 \times 10^{12} \text{ cm}^{-2}$
- [0053] 게르마늄 이온은 반도체 기판(2)을 비정질화하여, 붕소 이온의 채널링을 억제함과 함께, 탄소가 격자점에 배치되는 확률을 높이도록 작용한다. 격자점에 배치된 탄소는 붕소의 확산을 억제하도록 작용한다. 이러한 관점에서부터, 게르마늄은 탄소 및 붕소보다도 우선 이온 주입을 행하는 것이 바람직하다. 또한, P웰(34)은 P형 고농도 불순물층(31)보다도 우선 형성되는 것이 바람직하다. 계속해서, 예를 들어, 약액을 사용한 웨트 처리 또는 에싱에 의해, 포토레지스트막(63)을 제거한다.
- [0054] 다음에, 도 8에 도시하는 공정에서, 불활성 분위기 중에서 열처리를 행하고, 이온 주입에 의해 반도체 기판(2)이 받은 데미지를 회복한다. 예를 들어, 질소 분위기 중에서, 처리 온도 585 내지 615℃ 정도, 처리 시간 150초간 정도의 열처리를 행한다. 계속해서, 예를 들어, ISSG(In-Situ Steam Generation) 산화법에 의해, 감압 하에서 반도체 기판(2)의 표면을 웨트 산화하고, 예를 들어, 3nm 정도의 막 두께의 실리콘 산화막(64)을 반도체 기판(2) 상에 형성한다. ISSG 산화법의 처리 조건으로서, 예를 들어, 750 내지 810℃ 정도의 처리 온도, 20초간 정도의 처리 시간을 설정해도 좋다.
- [0055] 다음에, 포토리소그래피에 의해, 반도체 기판(2)에 있어서의 P형 MOS 트랜지스터가 형성되는 영역(PMOS 트랜지스터 형성 영역)을 노출시키고, 다른 영역을 덮는 포토레지스트막(65)을 형성한다.
- [0056] 계속해서, 포토레지스트막(65)을 마스크로서 이온 주입을 행하고, 반도체 기판(2)에 있어서의 PMOS 트랜지스터 형성 영역에, N웰(43) 및 N형 고농도 불순물층(41)을 형성한다. 예를 들어, 이하의 조건으로, 기판 법선 방향에 대해 경사진 4방향으로부터, 각각 이온 주입을 행함으로써, 반도체 기판(2)에 N웰(43)을 형성해도 좋다.
- [0057] · 이온종: 인 이온, 가속 에너지: 360keV, 도우즈량:  $7.5 \times 10^{12} \text{ cm}^{-2}$
- [0058] 예를 들어, 이하의 (1) 및 (2)의 조건으로, 기판 법선 방향에 대해 경사진 4방향으로부터, 각각 이온 주입을 행하고, 이하의 (3)의 조건으로 이온 주입을 행함으로써, 반도체 기판(2)에 N형 고농도 불순물층(41)을 형성해도 좋다.
- [0059] (1) 이온종: 안티몬 이온(Sb<sup>+</sup>), 가속 에너지: 80keV, 도우즈량:  $3.0 \times 10^{12} \text{ cm}^{-2}$
- [0060] (2) 이온종: 안티몬 이온, 가속 에너지: 130keV, 도우즈량:  $1.5 \times 10^{12} \text{ cm}^{-2}$
- [0061] (3) 이온종: 안티몬 이온, 가속 에너지: 20keV, 도우즈량: 4.0 내지  $8.0 \times 10^{12} \text{ cm}^{-2}$
- [0062] 계속해서, 예를 들어, 약액을 사용한 웨트 처리 또는 에싱에 의해, 포토레지스트막(65)을 제거한다. 다음에, 예를 들어, 불산 수용액을 사용한 웨트 에칭에 의해, 실리콘 산화막(64)을 제거한다. 계속해서, ISSG 산화법에 의해, 감압 하에서 반도체 기판(2)의 표면을 웨트 산화하고, 예를 들어, 3nm 정도의 막 두께의 실리콘 산화막(도시하지 않음)을 반도체 기판(2) 상에 형성한다. ISSG 산화법의 처리 조건으로서, 예를 들어, 750 내지 810℃ 정도의 처리 온도, 20초간 정도의 처리 시간을 설정해도 좋다. 실리콘 산화막을 반도체 기판(2) 상에 형성하는 것은, 반도체 기판(2)이 받은 데미지를 회복시키기 위해서이다. 다음에, 예를 들어, 불산 수용액을 사용한 웨트 에칭에 의해, 실리콘 산화막을 제거한다.
- [0063] 계속해서, 도 9에 도시하는 공정에서, 예를 들어, TMAH(테트라메틸암모늄히드록사이드)를 사용한 웨트 에칭에 의해, 반도체 기판(2)의 표면을 3nm 정도 에칭한다. 다음에, 예를 들어, CVD(Chemical Vapor Deposition)법에 의해, 반도체 기판(2)의 표면에, 예를 들어, 25nm 정도의 막 두께의 실리콘층을 에피택셜 성장한다. 이에 의해, 반도체 기판(2) 상에 에피택셜 실리콘층(20)이 형성된다. 계속해서, ISSG 산화법에 의해, 감압 하에서 실리콘층(20)의 표면을 웨트 산화하고, 예를 들어, 3nm 정도의 막 두께의 실리콘 산화막(66)을 에피택셜 실리콘층(20) 상에 형성한다. ISSG 산화법의 처리 조건으로서, 예를 들어, 750 내지 810℃ 정도의 처리 온도, 20초간 정도의 처리 시간을 설정해도 좋다. 계속해서, 예를 들어, LP(Low Pressure) CVD법에 의해, 예를 들어, 50 내지 90nm 정도의 막 두께의 실리콘 질화막(SiN)(67)을 실리콘 산화막(66) 상에 형성한다. LPCVD법의 처리 조건으로서, 예를 들어, 700℃ 정도의 처리 온도, 150분간 정도의 처리 시간을 설정해도 좋다.
- [0064] 다음에, 도 10에 도시하는 공정에서, 포토리소그래피에 의해, 실리콘 질화막(67) 상에 포토레지스트막(68)을 형성한다. 계속해서, 포토레지스트막(68)을 마스크로서, 이방성 드라이 에칭을 행함으로써, 실리콘 질화막(67), 실리콘 산화막(66), 에피택셜 실리콘층(20) 및 반도체 기판(2)을 순차 에칭한다. 이에 의해, 반도체 기판(2)에 있어서의 각 트랜지스터 형성 영역의 사이에, 소자 분리 홈(69)이 형성된다. 다음에, 예를 들어, 약액을 사용

한 웨트 처리 또는 애싱에 의해, 포토레지스트막(68)을 제거한다.

[0065] 계속해서, 도 11에 도시하는 공정에서, 열산화법을 사용해서, 에피택셜 실리콘층(20) 및 반도체 기판(2)의 표면을 웨트 산화하고, 소자 분리 홈(69)의 내벽에, 라이너막으로서, 예를 들어 10nm 정도의 막 두께의 실리콘 산화막을 형성한다. 소자 분리 홈(69)의 내벽에 실리콘 산화막을 형성하는 처리 조건으로서, 예를 들어, 650 내지 750°C 정도의 처리 온도, 40분간 정도의 처리 시간을 설정해도 좋다. 다음에, 예를 들어, 고밀도 플라즈마 CVD 법에 의해, 예를 들어, 500nm 정도의 막 두께의 실리콘 산화막을 반도체 기판(2)의 전체면에 퇴적함으로써, 소자 분리 홈(69)에 실리콘 산화막을 매립한다. 계속해서, 예를 들어, CMP(Chemical Mechanical Polishing)법에 의해, 실리콘 질화막(67) 상의 실리콘 산화막을 제거한다. 소위 STI(Shallow Trench Isolation)법에 의해, 소자 분리 홈(69)에 실리콘 산화막이 매립되고, 반도체 기판(2)에 소자 분리 절연막(7)이 형성된다.

[0066] 다음에, 도 12에 도시하는 공정에서, 예를 들어, 핫인산(열인산)을 사용한 웨트 에칭에 의해, 실리콘 질화막(67)을 제거한다.

[0067] 다음에, 도 13a 내지 도 13c에 도시하는 공정에서, 예를 들어, 불산 수용액을 사용한 웨트 에칭에 의해, 실리콘 산화막(66)을 제거함과 함께, 소자 분리 절연막(7)의 상부를 제거한다. 이에 의해, 소자 분리 절연막(7)의 표면 높이와, 에피택셜 실리콘층(20)의 표면 높이가, 대략 일치한다. 도 13a는, 도 1의 일점쇄선 C-C'의 단면 부분 및 도 4의 일점쇄선 D-D'의 단면 부분에 대응하고 있다. 도 13b는, 도 1의 일점쇄선 A-A'의 단면의 일부분에 대응하고 있다. 도 13c는, 도 1의 일점쇄선 B-B'의 단면의 일부분에 대응하고 있다.

[0068] 다음에, 예를 들어, 열산화법에 의해, 예를 들어, 2nm 정도의 막 두께의 게이트 절연막(71)을 에피택셜 실리콘층(20) 상에 형성한다. 게이트 절연막(71)은, 예를 들어, 실리콘 산화막이다. 게이트 절연막(71)을 형성하는 처리 조건으로서, 예를 들어, 810°C 정도의 처리 온도, 8초간 정도의 처리 시간을 설정해도 좋다. 계속해서, NO 분위기 중에서, 예를 들어, 처리 온도 870°C 정도, 처리 시간 13초간 정도의 열처리를 행하고, 게이트 절연막(71)에 질소를 도입해도 좋다. 질소의 도입 방법으로서, 예를 들어, 플라즈마 질화를 사용해도 좋다. 다음에, 처리 온도 1050°C 정도, 처리 시간 3초간 정도의 열처리를 행한다. 게이트 절연막(71)은, 예를 들어, HfO<sub>2</sub>, HfSiO, HfAlON, Y<sub>2</sub>O<sub>3</sub>, ZrO, TiO, TaO 등의 고유전율 절연막(High-k막)이어도 좋다.

[0069] 다음에, 예를 들어, LPCVD법에 의해, 예를 들어, 100nm 정도의 막 두께의 폴리실리콘막을, 반도체 기판(2)의 전체면에 퇴적한다. 폴리실리콘막을 형성하는 처리 조건으로서, 예를 들어, 600 내지 610°C 정도의 처리 온도를 설정해도 좋다. 계속해서, 포토리소그래피 및 이방성 드라이 에칭에 의해, 폴리실리콘막을 패터닝한다. 폴리실리콘막을 패터닝함으로써, 반도체 기판(2)에 있어서의 각 트랜지스터 형성 영역에 게이트 전극(11A, 11B, 12A, 12B, 13A 내지 13D)이 형성된다.

[0070] 계속해서, 도 14a 내지 도 14c에 도시하는 공정에서, 포토리소그래피에 의해, 반도체 기판(2)에 있어서의 NMOS 트랜지스터 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(도시하지 않음)을 형성한다. 다음에, 포토레지스트막 및 게이트 전극(11A, 11B, 12A, 12B)을 마스크로서, 이온 주입을 행한다. 이온 주입을 선택적으로 행함으로써, 반도체 기판(2)에 있어서의 NMOS 트랜지스터 형성 영역에, N형 익스텐션 영역(35)을 형성한다. 예를 들어, 이하의 조건으로 이온 주입을 행함으로써, 반도체 기판(2)에 N형 익스텐션 영역(35)을 형성해도 좋다.

[0071] · 이온종:비소 이온, 가속 에너지:1.5keV, 도우즈량:1.0×10<sup>15</sup> cm<sup>-2</sup>

[0072] 계속해서, 포토리소그래피에 의해, 반도체 기판(2)에 있어서의 PMOS 트랜지스터 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(도시하지 않음)을 형성한다. 다음에, 포토레지스트막 및 게이트 전극(13A 내지 13D)을 마스크로서, 이온 주입을 행한다. 이온 주입을 선택적으로 행함으로써, 반도체 기판(2)에 있어서의 PMOS 트랜지스터 형성 영역에, P형 익스텐션 영역(44)을 형성한다. 예를 들어, 이하의 조건으로 이온 주입을 행함으로써, 반도체 기판(2)에 P형 익스텐션 영역(44)을 형성해도 좋다.

[0073] · 이온종: 붕소 이온, 가속 에너지:0.5keV, 도우즈량:3.2×10<sup>14</sup> cm<sup>-2</sup>

[0074] 다음에, 도 15a 내지 도 15c에 도시하는 공정에서, 예를 들어, CVD법에 의해, 예를 들어, 80nm 정도의 막 두께의 실리콘 산화막을 반도체 기판(2)의 전체면에 퇴적한다. 실리콘 산화막을 형성하는 처리 조건으로서, 예를 들어, 500 내지 550°C 정도의 처리 온도를 설정해도 좋다. 계속해서, 반도체 기판(2)의 전체면에 퇴적한 실리콘 산화막을 이방성 드라이 에칭하고, 게이트 전극(11A, 11B, 12A, 12B, 13A 내지 13D)의 측면(측벽 부분)에 실리콘 산화막을 잔존시킨다. 이에 의해, 게이트 전극(11A, 11B, 12A, 12B, 13A 내지 13D)의 측면에 사이드 월

(72)이 형성된다.

- [0075] 계속해서, 도 16a 내지 도 16c에 도시하는 공정에서, 포토리소그래피에 의해, 반도체 기판(2)에 있어서의 NMOS 트랜지스터 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(도시하지 않음)을 형성한다. 다음에, 포토레지스트막, 게이트 전극(11A, 11B, 12A, 12B) 및 사이드 월(72)을 마스크로서, 이온 주입을 행한다. 이에 의해, 반도체 기판(2)에 있어서의 NMOS 트랜지스터 형성 영역에, N형 소스·드레인 영역(32)을 형성함과 함께, 게이트 전극(11A, 11B, 12A, 12B)에 N형 불순물을 첨가한다. 예를 들어, 이하의 조건으로 이온 주입을 행해도 좋다.
- [0076] · 이온종:인 이온, 가속 에너지:8keV, 도우즈량:1.2×10<sup>16</sup> cm<sup>-2</sup>
- [0077] 계속해서, 포토리소그래피에 의해, 반도체 기판(2)에 있어서의 PMOS 트랜지스터 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(도시하지 않음)을 형성한다. 다음에, 포토레지스트막, 게이트 전극(13A 내지 13D) 및 사이드 월(72)을 마스크로서, 이온 주입을 행한다. 이에 의해, 반도체 기판(2)에 있어서의 PMOS 트랜지스터 형성 영역에, P형 소스·드레인 영역(42)을 형성함과 함께, 게이트 전극(13A 내지 13D)에 P형 불순물을 첨가한다. 예를 들어, 이하의 조건으로 이온 주입을 행해도 좋다.
- [0078] · 이온종: 붕소 이온, 가속 에너지:4keV, 도우즈량:6.0×10<sup>15</sup> cm<sup>-2</sup>
- [0079] 계속해서, 불활성 가스 분위기 중에서, 예를 들어, 1025℃ 정도의 처리 온도, 0초간의 단시간 열처리를 행하고, 주입한 불순물의 활성화 및 게이트 전극(11A, 11B, 12A, 12B, 13A 내지 13D)에 있어서의 확산을 행한다. 1025℃ 정도의 처리 온도, 0초간의 단시간 열처리는, 게이트 전극(11A, 11B, 12A, 12, 13A 내지 13D)과 게이트 절연막(71)의 계면까지 불순물을 확산시키는 데도 충분하다.
- [0080] 다음에, 도 17a 내지 도 17c에 도시하는 공정에서, 살리사이드 프로세스에 의해, 게이트 전극(11A, 11B, 12A, 12, 13A 내지 13D) 상, N형 소스·드레인 영역(32) 상 및 P형 소스·드레인 영역(42) 상에 금속 실리사이드막(73)을 형성한다. 금속 실리사이드막(73)은, 예를 들어, 코발트 실리사이드막이다. 계속해서, 예를 들어, CVD 법에 의해, 예를 들어, 80nm 정도의 막 두께의 실리콘 질화막을 반도체 기판(2)의 전체면에 퇴적한다. 실리콘 질화막은 에칭 스톱퍼막으로서 기능한다. 계속해서, 예를 들어, 고밀도 플라즈마 CVD법에 의해, 예를 들어, 500nm 정도의 막 두께의 실리콘 산화막을 실리콘 질화막 상에 퇴적한다. 이에 의해, 실리콘 질화막과 실리콘 산화막의 적층막인 층간 절연막(74)이 반도체 기판(2) 상에 형성된다.
- [0081] 계속해서, 예를 들어, CMP법에 의해, 층간 절연막(74)의 표면을 연마하고, 층간 절연막(74)을 평탄화한다. 다음에, 포토리소그래피 및 이방성 드라이 에칭에 의해, 층간 절연막(74)에 콘택트 홀을 형성한다. 계속해서, 층간 절연막(74)에 형성된 콘택트 홀에, VSS 콘택트(14), VDD 콘택트(15) 및 스토리지 콘택트(16A, 16B)를 매립 형성한다. 다음에, VSS 콘택트(14), VDD 콘택트(15) 및 스토리지 콘택트(16A, 16B)에 접속된 배선(75) 등을 형성한 후, 원하는 백 엔드 프로세스가 행해져, 반도체 장치(1)가 제조된다.
- [0082] <답재예>
- [0083] 도 18은 에피택셜 실리콘층(20)을 갖는 반도체 장치(1)와, 에피택셜 실리콘층(20)을 갖지 않는 반도체 장치(201)가 탑재된 프린트 기판(81)의 평면도이다. 도 19는 반도체 장치(201)의 평면도이다. 도 20은 반도체 장치(201)의 단면도이며, 도 19의 일점쇄선 E-E'에 대한 단면을 도시하고 있다. 도 21은 반도체 장치(201)의 단면도이며, 도 19의 일점쇄선 F-F'에 대한 단면을 도시하고 있다. 도 19 내지 도 21에서는 반도체 장치(201)의 일부의 구성 요소에 대한 도시를 생략하고 있다.
- [0084] 도 19에 도시하는 바와 같이, 반도체 장치(201)는 반도체 기판(202), 활성 영역(203 내지 206), 소자 분리 절연막(207), 게이트 전극(211A, 211B, 212A, 212B, 213A 내지 213D)을 구비한다. 또한, 반도체 장치(201)는 VSS 콘택트(214), VDD 콘택트(215) 및 스토리지 콘택트(216A 내지 216F)를 구비한다. 도 19에서는 VSS 콘택트(214), VDD 콘택트(215) 및 스토리지 콘택트(216A 내지 216F)를 점선으로 나타내고 있다. 또한, 도 20 및 도 21에 도시하는 바와 같이, 반도체 장치(201)는 전송 트랜지스터(221A, 221B), 구동 트랜지스터(222A, 222B) 및 부하 트랜지스터(223A, 223B)를 구비한다. 전송 트랜지스터(221A, 221B) 및 구동 트랜지스터(222A, 222B)는 N 채널형 MOS 트랜지스터이다. 부하 트랜지스터(223A, 223B)는 P 채널형 MOS 트랜지스터이다.
- [0085] 반도체 기판(202)은, 예를 들어, 실리콘 기판이다. 반도체 기판(202)은, 「제2 기판」의 일례이다. 도 19에 도시하는 바와 같이, 반도체 기판(202) 내에는, 활성 영역(203 내지 206)이 형성되어 있다. 또한, 반도체 기판

(202)에는 소자 분리 절연막(207)이 형성되어 있다. 소자 분리 절연막(207)은 「제2 소자 분리 절연막」의 일례이다. 활성 영역(203 내지 206)은 소자 분리 절연막(207)에 의해 획정되어 있다. 예를 들어, 반도체 기관(202)에 형성된 홈에 산화막을 매립함으로써, 반도체 기관(202)에 소자 분리 절연막(207)이 형성된다. 활성 영역(203, 204)은, 제3 방향(V)을 향해 연장되어 있다. 활성 영역(203)은 「제3 활성 영역」의 일례이다. 활성 영역(204)은 「제4 활성 영역」의 일례이다. 제3 방향(V)은 반도체 기관(202)의 평면 방향이며, 게이트 전극(211A, 211B, 212A, 212B)과 교차하는 방향이다. 즉, 제3 방향(V)은 게이트 전극(211A, 211B, 212A, 212B)의 게이트 길이 방향이다.

[0086] 활성 영역(203)은, 제3 폭의 제3 영역(203A) 및 제3 폭보다도 굵은 제4 폭의 제4 영역(203B)을 갖는다. 제3 폭 및 제4 폭의 각각은, 반도체 기관(202)의 평면 방향에서의 길이이다. 게이트 전극(211A, 211B)은 활성 영역(203)의 제3 영역(203A)에 걸쳐도록 하여, 반도체 기관(202) 상에 형성되어 있다. 게이트 전극(212A, 212B)은 활성 영역(203)의 제4 영역(203B)에 걸쳐도록 하여, 반도체 기관(202) 상에 형성되어 있다. 게이트 전극(213A, 213B)은 활성 영역(204)에 걸쳐도록 하여, 반도체 기관(202) 상에 형성되어 있다. 게이트 전극(212A)과 게이트 전극(213A)이 접속되어 있다. 즉, 게이트 전극(212A)과 게이트 전극(213A)이, 일체로 형성되어 있다. 게이트 전극(212B)과 게이트 전극(213B)이 접속되어 있다. 즉, 게이트 전극(212B)과 게이트 전극(213B)이, 일체로 형성되어 있다. 활성 영역(203)의 제4 영역(203B)과, 활성 영역(204)이 서로 병행하여 연장되도록 하여, 활성 영역(203, 204)이, 반도체 기관(202) 내에 형성되어 있다.

[0087] 도 20에 도시하는 바와 같이, 게이트 전극(211A)은 전송 트랜지스터(221A)가 형성되는 영역(전송 트랜지스터 형성 영역)(251A)에서의 반도체 기관(202) 상에 형성되어 있다. 게이트 전극(211B)은 전송 트랜지스터(221B)가 형성되는 영역(전송 트랜지스터 형성 영역)(251B)에서의 반도체 기관(202) 상에 형성되어 있다. 게이트 전극(212A)은 구동 트랜지스터(222A)가 형성되는 영역(구동 트랜지스터 형성 영역)(252A)에서의 반도체 기관(2) 상에 형성되어 있다. 게이트 전극(212B)은 구동 트랜지스터(222B)가 형성되는 영역(구동 트랜지스터 형성 영역)(252B)에서의 반도체 기관(2) 상에 형성되어 있다.

[0088] 도 19에 도시하는 바와 같이, 활성 영역(203)의 제3 영역(203A) 상에는 전송 트랜지스터(221A)의 게이트 전극(211A) 및 전송 트랜지스터(221B)의 게이트 전극(211B)이 형성되어 있다. 활성 영역(203)의 제4 영역(203B) 상에는 구동 트랜지스터(222A)의 게이트 전극(212A) 및 구동 트랜지스터(222B)의 게이트 전극(212B)이 형성되어 있다. 구동 트랜지스터(222A, 222B)의 전류 구동 능력은 전송 트랜지스터(221A, 221B)의 전류 구동 능력보다도 크다. 그로 인해, 구동 트랜지스터(222A)의 게이트 전극(212A) 및 구동 트랜지스터(222B)의 게이트 전극(212B)의 채널 폭은, 전송 트랜지스터(221A)의 게이트 전극(211A) 및 전송 트랜지스터(221B)의 게이트 전극(211B)의 채널 폭보다도 길다. 따라서, 활성 영역(203)의 제4 영역(203B)의 폭은, 활성 영역(203)의 제3 영역(203A)의 폭보다도 굵게 되어 있다.

[0089] 도 21에 도시하는 바와 같이, 게이트 전극(213A)은 부하 트랜지스터(223A)가 형성되는 영역(부하 트랜지스터 형성 영역)(253A)에서의 반도체 기관(202) 상에 형성되어 있다. 게이트 전극(213B)은 부하 트랜지스터(223B)가 형성되는 영역(부하 트랜지스터 형성 영역)(253B)에서의 반도체 기관(202) 상에 형성되어 있다. 전송 트랜지스터(221A, 221B), 구동 트랜지스터(222A, 222B) 및 부하 트랜지스터(223A, 223B)는 SRAM에 있어서의 하나의 메모리 셀로서 기능한다. 도 19에 도시하는 바와 같이, 게이트 전극(213C)은 활성 영역(205)에 걸쳐도록 하여, 반도체 기관(202) 상에 형성되어 있다. 게이트 전극(213D)은 활성 영역(206)에 걸쳐도록 하여, 반도체 기관(202) 상에 형성되어 있다. 게이트 전극(213C, 213D)은 부하 트랜지스터가 형성되는 영역에서의 반도체 기관(2) 상에 형성되어 있다.

[0090] 도 20에 도시하는 바와 같이, 활성 영역(203)에는 P형 불순물층(231) 및 N형 소스·드레인 영역(232)이 형성되어 있다. P형 불순물층(231)은 임계값 전압 제어용의 확산층이다. 도 21에 도시하는 바와 같이, 활성 영역(204)에는 N형 불순물층(241) 및 P형 소스·드레인 영역(242)이 형성되어 있다. N형 불순물층(241)은 임계값 전압 제어용의 확산층이다.

[0091] 도 19에 도시하는 바와 같이, 게이트 전극(212A)과 게이트 전극(212B) 사이에서의 활성 영역[203(203B)] 상에는, VSS 콘택트(214)가 형성되어 있다. VSS 콘택트(214)는 활성 영역(203)의 N형 소스·드레인 영역(232)에 접지 전압(기준 전압)을 인가하기 위한 접지 콘택트이다. VSS 콘택트(214)는 반도체 기관(202)에 형성된 접지선(도시하지 않음)에 전기적으로 접속되어 있다. 게이트 전극(213A)과 게이트 전극(213B) 사이에서의 활성 영역(204) 상에는, VDD 콘택트(215)가 형성되어 있다. VDD 콘택트(215)는 활성 영역(204)의 P형 소스·드레인 영역(242)에 전원 전압을 인가하기 위한 전원 콘택트이다. VDD 콘택트(215)는 반도체 기관(202)에 형성된 전원

선(도시하지 않음)에 전기적으로 접속되어 있다.

[0092]

게이트 전극(211A)과 게이트 전극(212A) 사이에서의 활성 영역(203) 상에는, 스토리지 콘택트(216A)가 형성되어 있다. 게이트 전극(211B)과 게이트 전극(212B) 사이에서의 활성 영역(203) 상에는, 스토리지 콘택트(216B)가 형성되어 있다. 활성 영역(204) 상 및 게이트 전극(213C) 상에는, 공통의 스토리지 콘택트(216C)가 형성되어 있다. 활성 영역(204) 상 및 게이트 전극(213D) 상에는, 공통의 스토리지 콘택트(216D)가 형성되어 있다. 활성 영역(205) 상 및 게이트 전극(213A) 상에는, 공통의 스토리지 콘택트(216E)가 형성되어 있다. 활성 영역(206) 상 및 게이트 전극(213B) 상에는, 공통의 스토리지 콘택트(216F)가 형성되어 있다. 스토리지 콘택트(216A 내지 216F)는 기억 노드(기억부)에 접속되는 콘택트이다.

[0093]

도 18에 도시하는 바와 같이, 프린트 기관(81)은 에피택셜 실리콘층(20)을 갖는 반도체 장치(1)와, 에피택셜 실리콘층(20)을 갖지 않는 반도체 장치(201)를 구비하고 있다. 반도체 장치(1)와 반도체 장치(201)는 동일한 기능을 갖고 있다. 반도체 장치(1)와 비교해서, 반도체 장치(201)는 에피택셜 실리콘층(20), P형 고농도 불순물층(31) 및 N형 고농도 불순물층(41)을 갖고 있지 않고, P형 불순물층(231) 및 N형 불순물층(241)을 갖고 있다. 또한, 반도체 장치(1)와 비교해서, 반도체 장치(201)에 있어서의 활성 영역(203)의 제4 영역(203B)은 오목 형상(8)을 갖고 있지 않고, 반도체 장치(201)에 있어서의 활성 영역(204)은 오목 형상(9)을 갖고 있지 않다. 반도체 장치(1)는 「제1 반도체 장치」의 일례이다. 반도체 장치(201)는 「제2 반도체 장치」의 일례이다. 반도체 장치(1) 및 반도체 장치(201)를 구비하는 프린트 기관(81)은 「반도체 장치」의 일례이다.

**부호의 설명**

[0094]

- 1 : 반도체 장치
- 2 : 반도체 기관
- 3, 4, 5, 6 : 활성 영역
- 3A : 제1 영역
- 3B : 제2 영역
- 7 : 소자 분리 절연막
- 8, 9 : 오목 형상
- 11A, 11B, 12A, 12B, 13A, 13B, 13C, 13D : 게이트 전극
- 14 : VSS 콘택트
- 15 : VDD 콘택트
- 16A, 16B, 16C, 16D, 16E, 16F : 스토리지 콘택트
- 20 : 에피택셜 실리콘층
- 21A, 21B : 전송 트랜지스터
- 22A, 22B : 구동 트랜지스터
- 23A, 23B : 부하 트랜지스터
- 31 : P형 고농도 불순물층
- 32 : N형 소스·드레인 영역
- 33 : 매립 N웰
- 34 : P웰
- 35 : N형 익스텐션 영역
- 41 : N형 고농도 불순물층
- 42 : P형 소스·드레인 영역

43 : N웰

44 : P형 익스텐션 영역

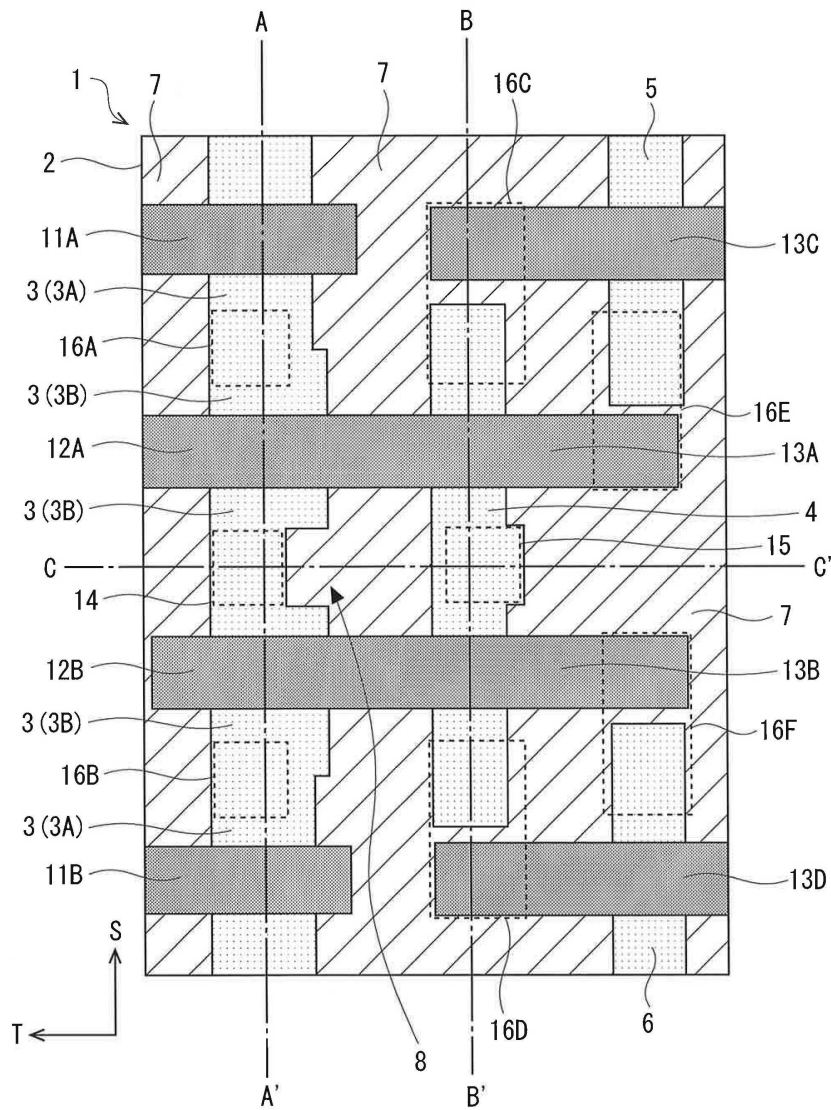
51A, 51B : 전송 트랜지스터 형성 영역

52A, 52B : 구동 트랜지스터 형성 영역

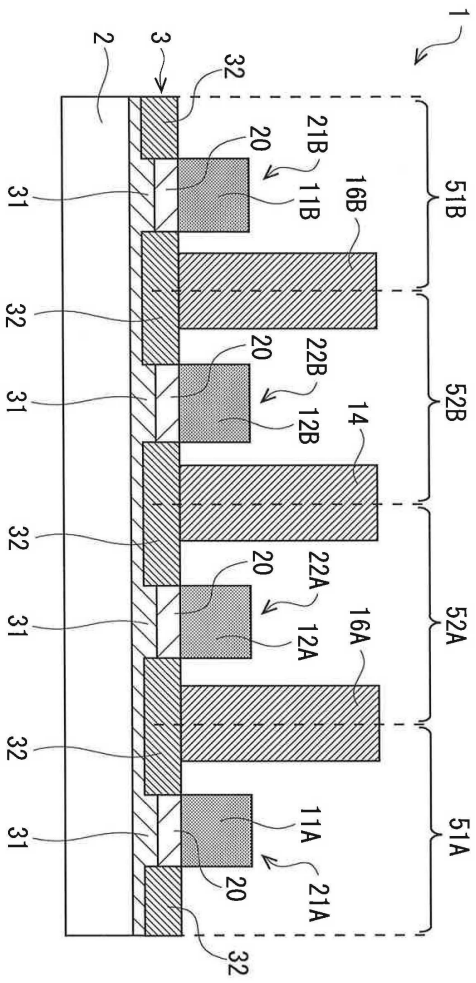
53A, 53B : 부하 트랜지스터 형성 영역

도면

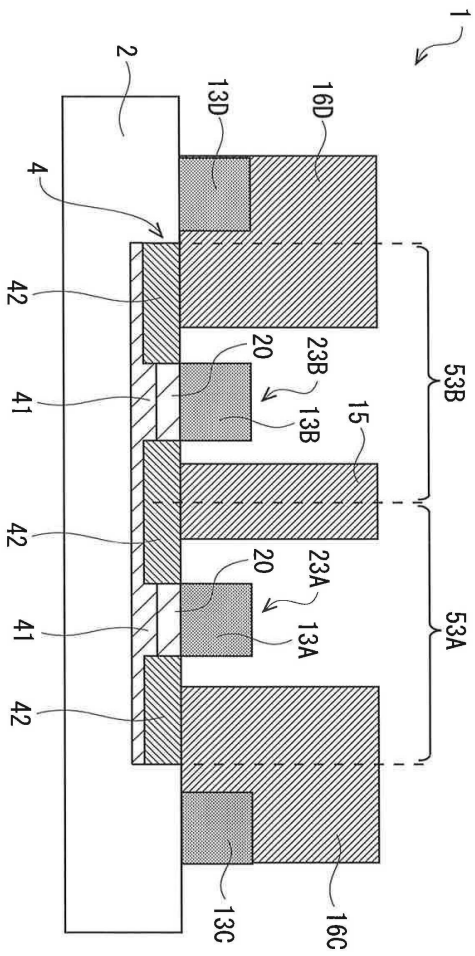
도면1



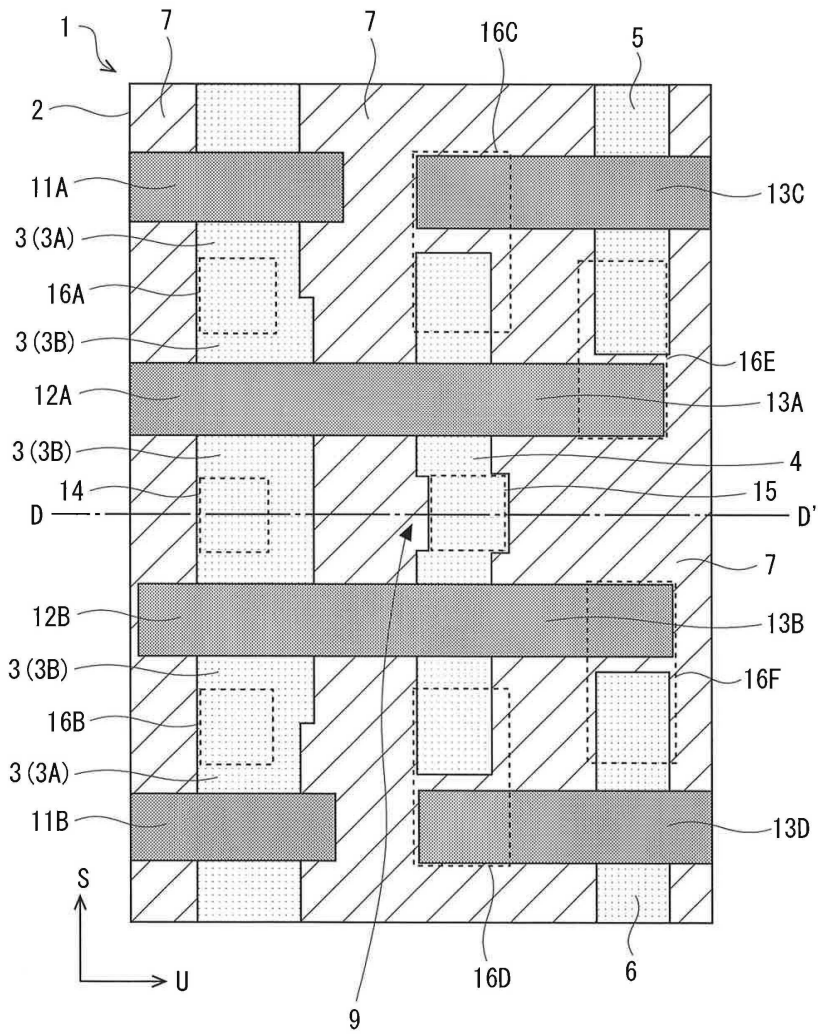
도면2



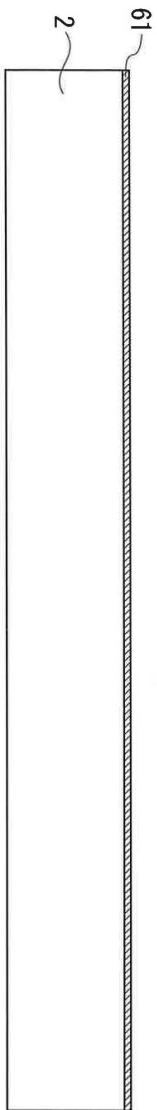
도면3



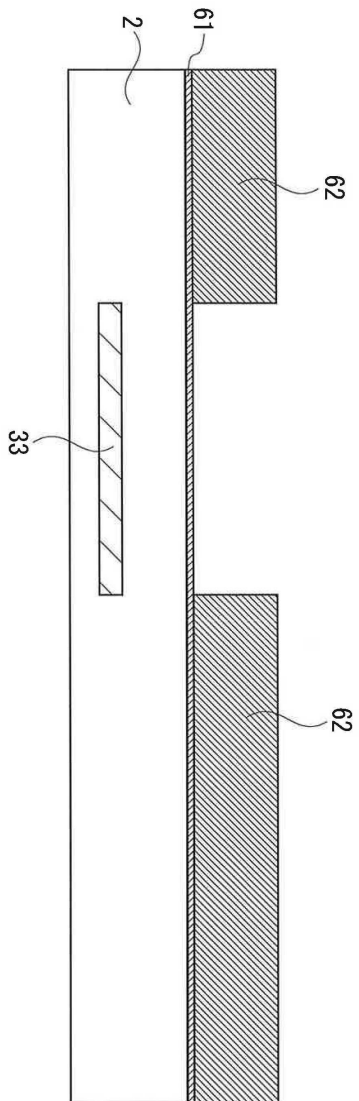
도면4



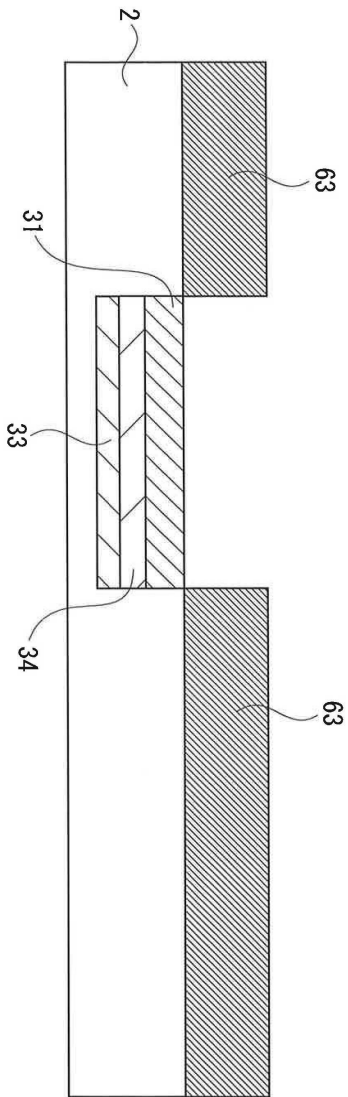
도면5



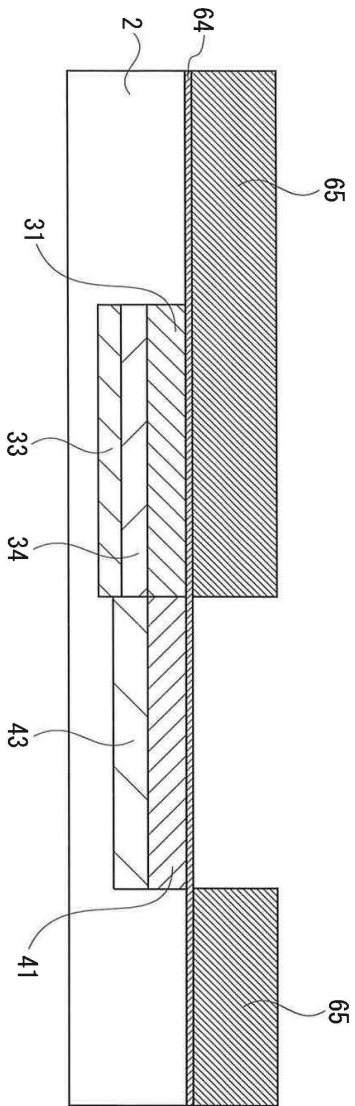
도면6



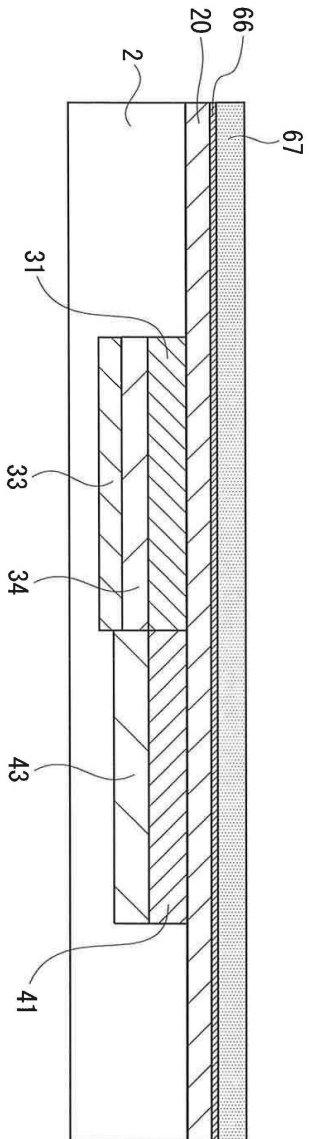
도면7



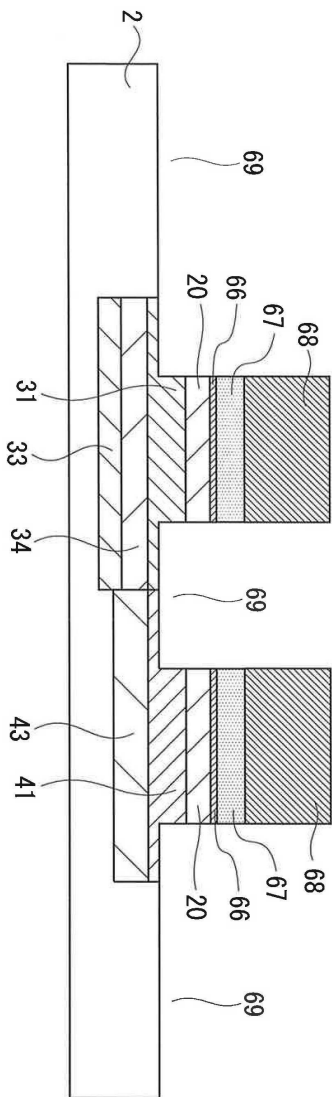
도면8



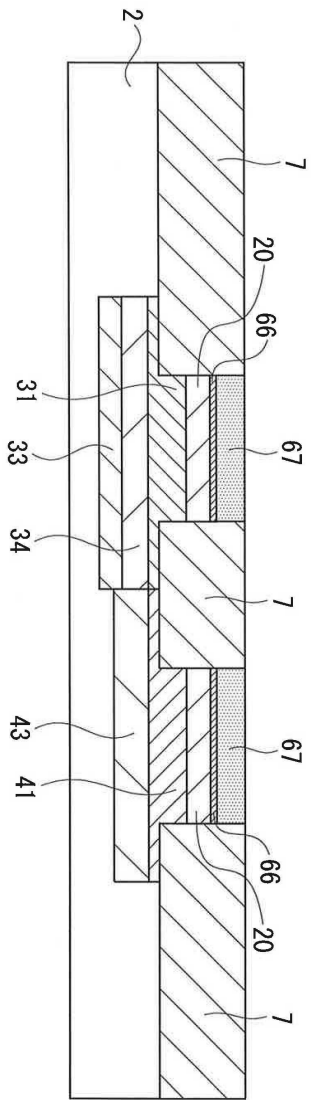
도면9



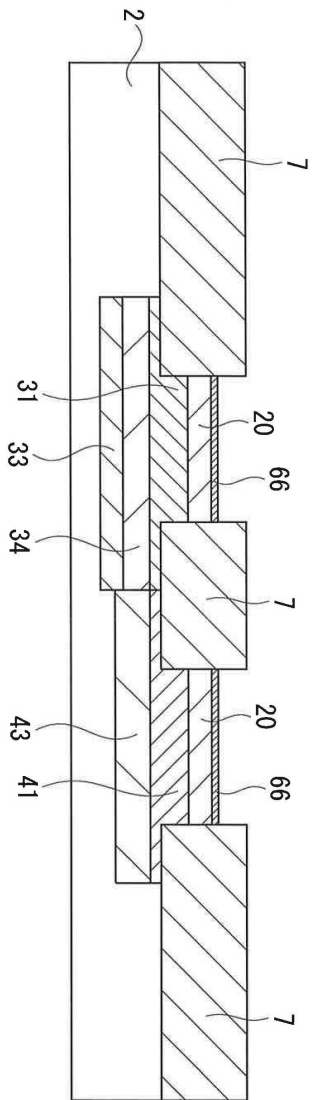
도면10



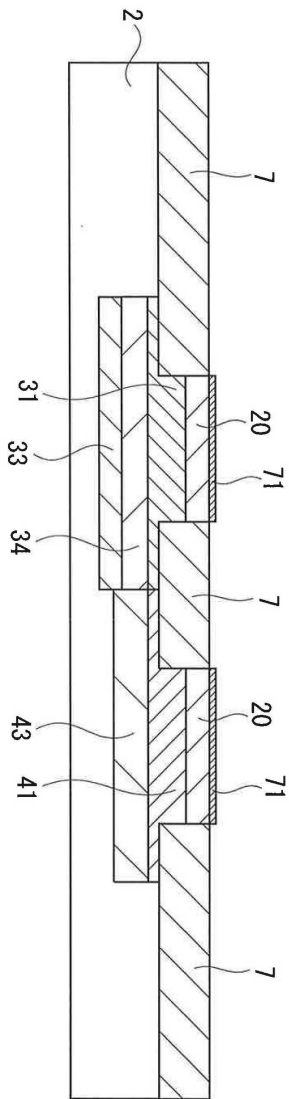
도면11



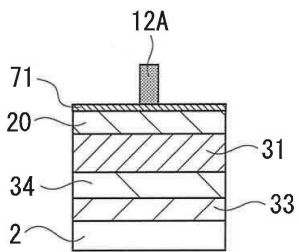
도면12



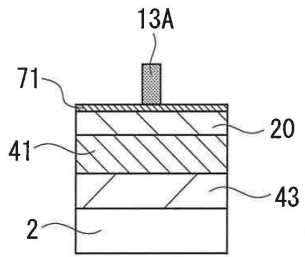
도면13a



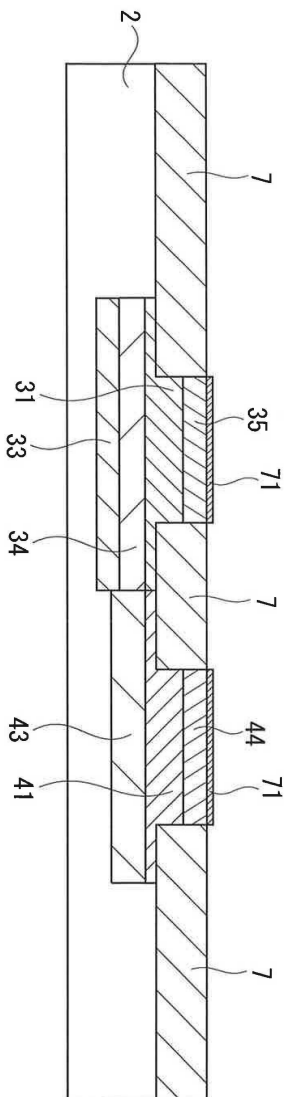
도면13b



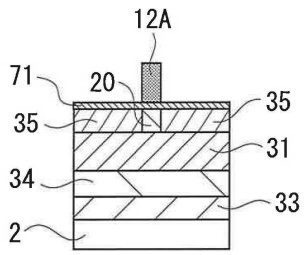
도면13c



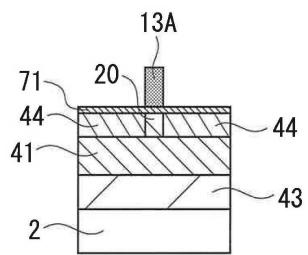
도면14a



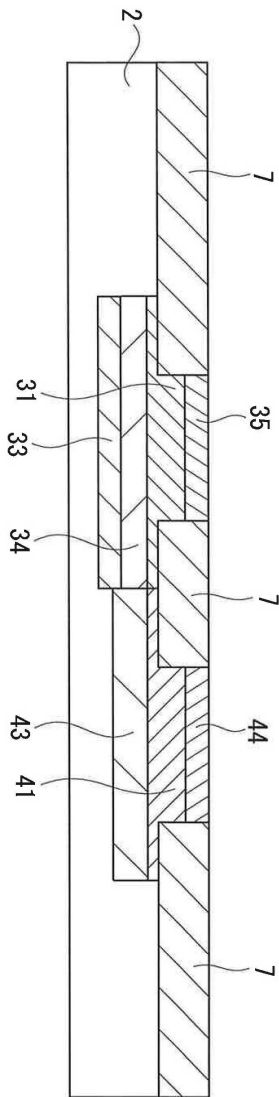
도면14b



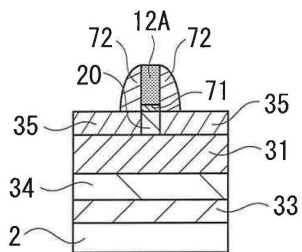
도면14c



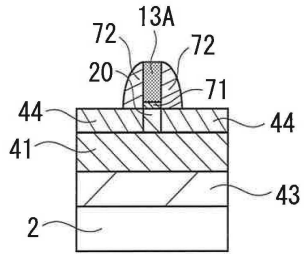
도면15a



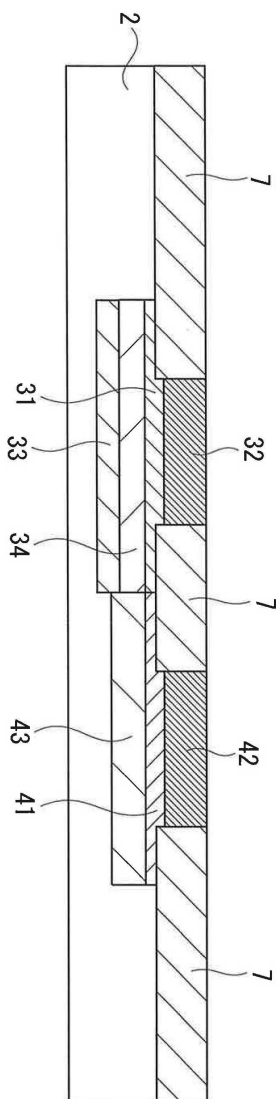
도면15b



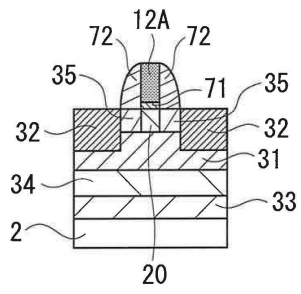
도면15c



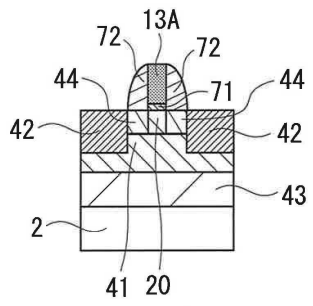
도면16a



도면16b

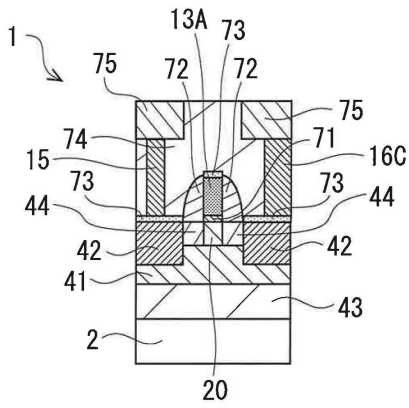


도면16c

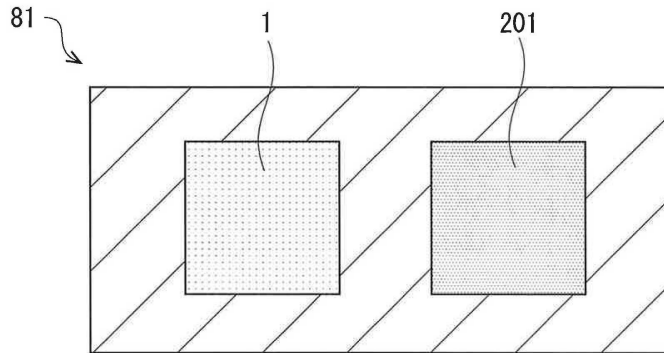




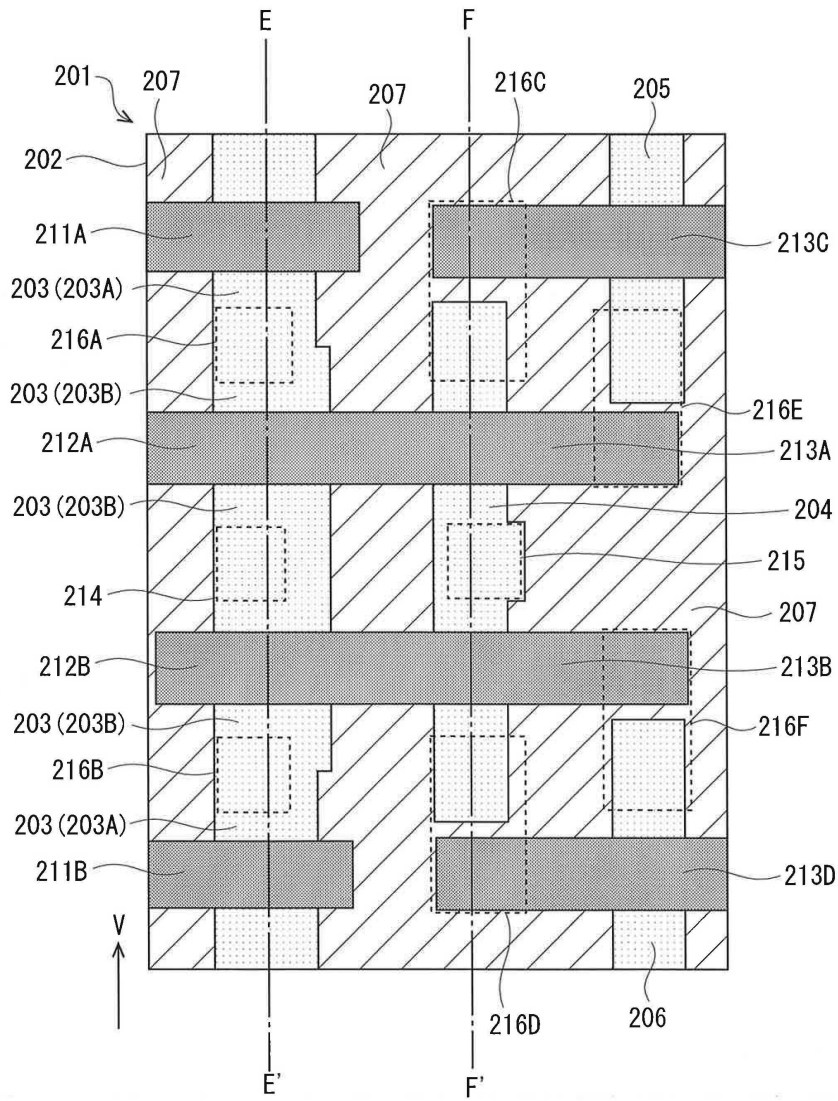
도면17c



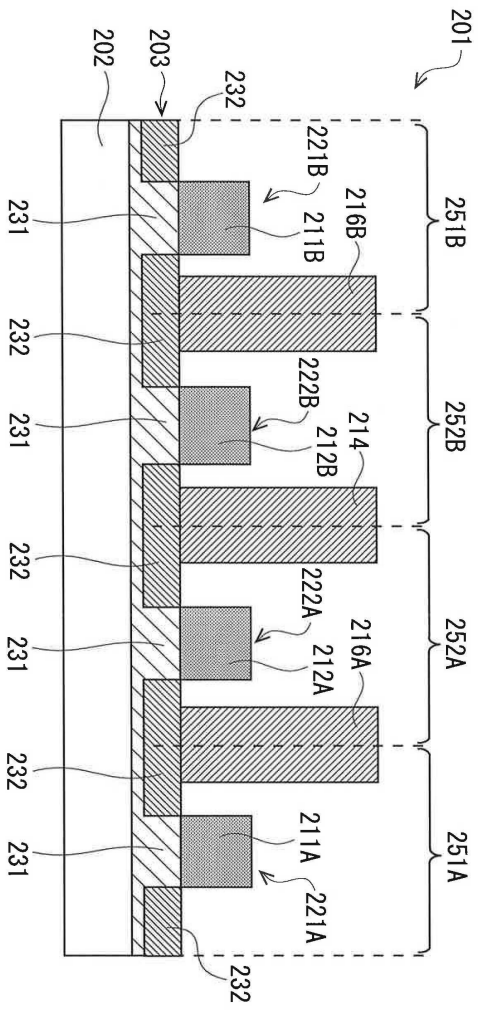
도면18



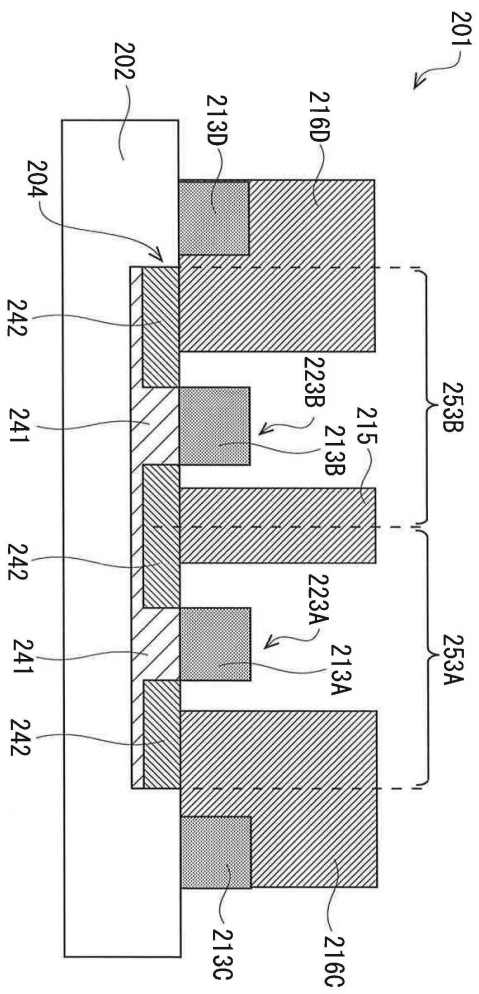
도면19



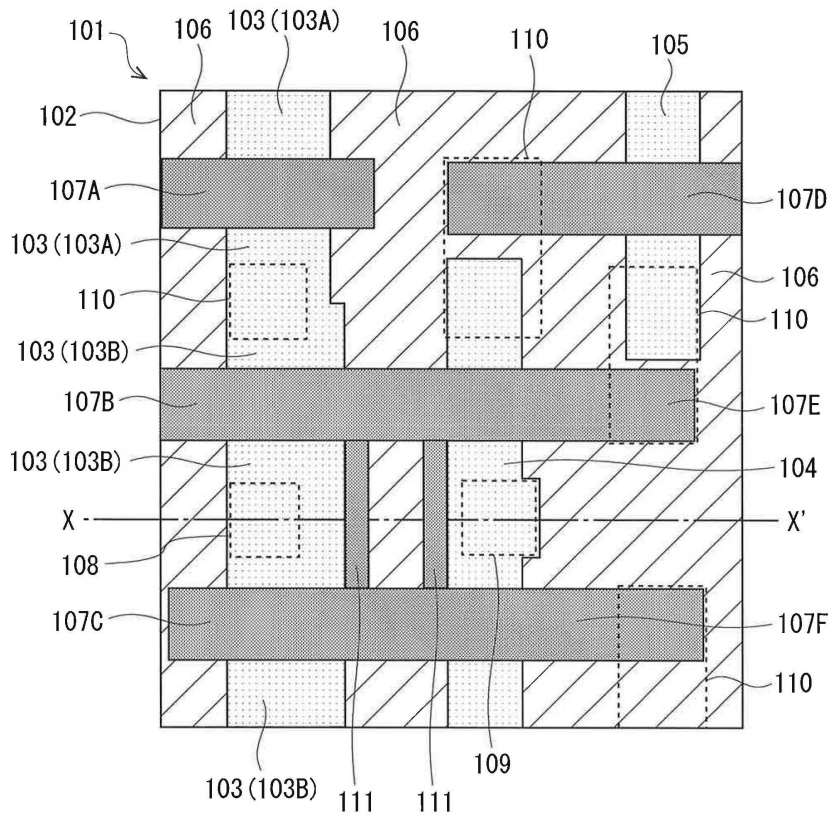
도면20



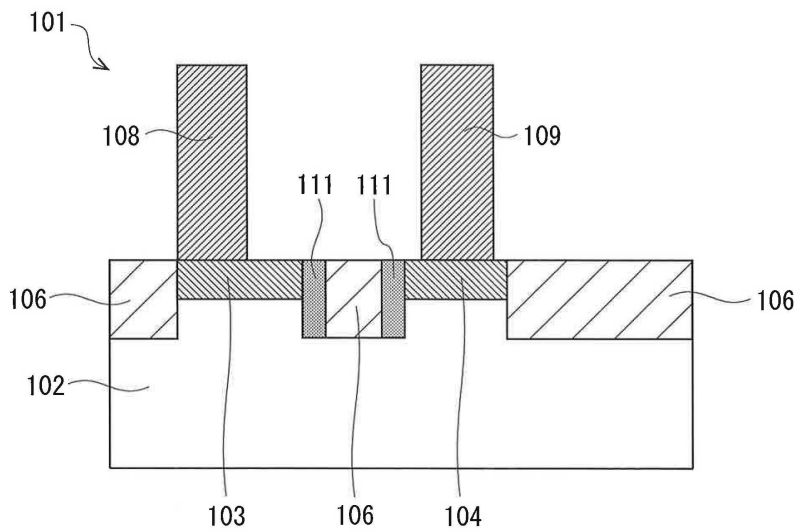
도면21



도면22



도면23



도면24

