

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4754798号  
(P4754798)

(45) 発行日 平成23年8月24日 (2011. 8. 24)

(24) 登録日 平成23年6月3日 (2011. 6. 3)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 2 7 G

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 2 D

H O 1 L 21/20 (2006. 01)

H O 1 L 29/78 6 1 7 U

H O 5 B 33/10 (2006. 01)

H O 1 L 21/20

H O 1 L 51/50 (2006. 01)

H O 1 L 29/78 6 2 7 Z

請求項の数 7 (全 68 頁) 最終頁に続く

(21) 出願番号 特願2004-289098 (P2004-289098)  
 (22) 出願日 平成16年9月30日 (2004. 9. 30)  
 (65) 公開番号 特開2006-108169 (P2006-108169A)  
 (43) 公開日 平成18年4月20日 (2006. 4. 20)  
 審査請求日 平成19年9月21日 (2007. 9. 21)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷 3 9 8 番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 藤井 厳  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内

審査官 宮澤 尚之

最終頁に続く

(54) 【発明の名称】 表示装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 のゲート電極と第 1 の電極とを同工程で形成し、前記第 1 のゲート電極上及び前記第 1 の電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に半導体の結晶化を促進する触媒元素を有する触媒元素層を形成し、  
前記触媒元素層上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に n 型を付与する第 1 の不純物元素が添加された第 2 の半導体膜を形成し、前記第 1 の半導体膜と前記第 2 の半導体膜とを加熱処理し、前記第 2 の半導体膜をエッチングして第 1 の半導体領域を形成し、且つ、前記第 1 の半導体膜をエッチングして前記第 1 の半導体領域と重なる第 2 の半導体領域を形成し、液滴吐出法を用いて、前記第 1 の半導体領域上に第 1 のソース電極及び第 1 のドレイン電極を形成し、前記第 1 の半導体領域をエッチングして第 1 のソース領域及び第 1 のドレイン領域を形成し、前記第 1 のソース電極上及び前記第 1 のドレイン電極上に第 1 の絶縁膜を形成し、前記第 1 の絶縁膜及び前記ゲート絶縁膜に設けられた前記第 1 の電極に達する第 1 の開口部と、前記第 1 の絶縁膜に設けられた前記第 1 のソース電極又は前記第 1 のドレイン電極の一方に達する第 2 の開口部と、前記第 1 の絶縁膜に設けられた前記第 1 のソース電極

10

20

又は前記第 1 のドレイン電極の他方に達する第 3 の開口部と、を同工程で形成し、

前記第 1 の絶縁膜上に前記第 1 の開口部及び前記第 2 の開口部を介して前記第 1 の電極と前記第 1 のソース電極又は前記第 1 のドレイン電極の一方とを電氣的に接続する第 1 の配線と、前記第 3 の開口部を介して前記第 1 のソース電極又は前記第 1 のドレイン電極の他方に電氣的に接続する第 2 の配線と、を同工程で形成し、

前記第 1 の配線及び前記第 2 の配線を覆い且つ前記第 1 の開口部内に第 4 の開口部を有する第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜上及び前記第 4 の開口部内において露出した前記第 1 の電極上に電界発光層を形成し、

前記電界発光層上に第 2 の電極を形成し、

10

前記加熱処理によって、前記触媒元素層から前記第 1 の半導体膜へ前記触媒元素を移動させて前記第 1 の半導体膜を結晶化し、前記第 1 の半導体膜から前記第 2 の半導体膜へ前記触媒元素を移動させて前記第 2 の半導体膜を結晶化し、

前記第 1 のソース領域及び前記第 1 のドレイン領域は結晶性を有し且つ前記触媒元素が含まれることを特徴とする表示装置の作製方法。

【請求項 2】

請求項 1 において、

前記触媒元素層は選択的に形成されることを特徴とする表示装置の作製方法。

【請求項 3】

請求項 1 又は請求項 2 において、

20

前記第 1 のソース電極及び前記第 1 のドレイン電極の形成は、

前記液滴吐出法により第 1 及び第 2 の導電層を形成し、

前記第 1 及び第 2 の導電層に第 1 の焼成を行い、

前記第 1 の焼成を行った前記第 1 及び第 2 の導電層にプレス工程を行い、

前記プレス工程を行った前記第 1 及び第 2 の導電層に第 2 の焼成を行うことで、前記第 1 の導電層を前記第 1 のソース電極とし且つ前記第 2 の導電層を前記第 1 のドレイン電極とすることによって行うことを特徴とする表示装置の作製方法。

【請求項 4】

第 1 のゲート電極と第 2 のゲート電極と第 1 の電極とを同工程で形成し、

前記第 1 のゲート電極上、前記第 2 のゲート電極上及び前記第 1 の電極上にゲート絶縁膜を形成し、

30

前記ゲート絶縁膜上に半導体の結晶化を促進する触媒元素を有する触媒元素層を形成し、

、

前記触媒元素層上に第 1 の半導体膜を形成し、

前記第 1 の半導体膜上に n 型を付与する第 1 の不純物元素が添加された第 2 の半導体膜を形成し、

前記第 1 の半導体膜と前記第 2 の半導体膜とを加熱処理し、

前記第 2 の半導体膜をエッチングして第 1 の半導体領域と第 3 の半導体領域とを形成し、且つ、前記第 1 の半導体膜をエッチングして前記第 1 の半導体領域と重なる第 2 の半導体領域と前記第 3 の半導体領域と重なる第 4 の半導体領域とを形成し、

40

前記第 1 の半導体領域の全部を覆う第 1 のマスクと、前記第 3 の半導体領域の一部を覆う第 2 のマスクと、を形成し、

前記第 1 のマスク及び前記第 2 のマスクが形成された状態で、前記第 3 の半導体領域に p 型を付与する第 2 の不純物元素を添加し、

前記第 1 のマスク及び前記第 2 のマスクを除去し、

液滴吐出法を用いて、前記第 1 の半導体領域上に第 1 のソース電極及び第 1 のドレイン電極を形成し、且つ、前記第 3 の半導体領域上に第 2 のソース電極及び第 2 のドレイン電極を形成し、

前記第 1 の半導体領域をエッチングして第 1 のソース領域及び第 1 のドレイン領域を形成し、且つ、前記第 3 の半導体領域をエッチングして第 2 のソース領域及び第 2 のドレイン

50

ン領域を形成し、

前記第 1 のソース電極上、前記第 1 のドレイン電極上、前記第 2 のソース電極上、及び前記第 2 のドレイン電極上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜及び前記ゲート絶縁膜に設けられた前記第 1 の電極に達する第 1 の開口部と、前記第 1 の絶縁膜に設けられ前記第 1 のソース電極又は前記第 1 のドレイン電極の一方に達する第 2 の開口部と、前記第 1 の絶縁膜に設けられた前記第 1 のソース電極又は前記第 1 のドレイン電極の他方に達する第 3 の開口部と、を同工程で形成し、

前記第 1 の絶縁膜上に前記第 1 の開口部及び前記第 2 の開口部を介して前記第 1 の電極と前記第 1 のソース電極又は前記第 1 のドレイン電極の一方とを電氣的に接続する第 1 の配線と、前記第 3 の開口部を介して前記第 1 のソース電極又は前記第 1 のドレイン電極の他方に電氣的に接続する第 2 の配線と、を同工程で形成し、

10

前記第 1 の配線及び前記第 2 の配線を覆い且つ前記第 1 の開口部内に第 4 の開口部を有する第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜上及び前記第 4 の開口部内において露出した前記第 1 の電極上に電界発光層を形成し、

前記電界発光層上に第 2 の電極を形成し、

前記第 2 のマスクは、第 2 のソース領域と前記第 2 のドレイン領域との間の位置に形成され、

前記加熱処理によって、前記触媒元素層から前記第 1 の半導体膜へ前記触媒元素を移動させて前記第 1 の半導体膜を結晶化し、前記第 1 の半導体膜から前記第 2 の半導体膜へ前記触媒元素を移動させて前記第 2 の半導体膜を結晶化し、

20

前記第 1 のソース領域及び前記第 1 のドレイン領域は結晶性を有し且つ前記触媒元素が含まれ、且つ、前記第 2 のソース領域及び前記第 2 のドレイン領域は結晶性を有し且つ前記触媒元素が含まれることを特徴とする表示装置の作製方法。

**【請求項 5】**

請求項 4 において、

前記触媒元素層は選択的に形成されることを特徴とする表示装置の作製方法。

**【請求項 6】**

請求項 4 又は請求項 5 において、

前記第 1 のソース電極、前記第 1 のドレイン電極、前記第 2 のソース電極、及び前記第 2 のドレイン電極の形成は、

30

前記液滴吐出法により第 1 乃至第 4 の導電層を形成し、

前記第 1 乃至第 4 の導電層に第 1 の焼成を行い、

前記第 1 の焼成を行った前記第 1 乃至第 4 の導電層にプレス工程を行い、

前記プレス工程を行った前記第 1 乃至第 4 の導電層に第 2 の焼成を行うことで、前記第 1 の導電層を前記第 1 のソース電極とし且つ前記第 2 の導電層を前記第 1 のドレイン電極且つ前記第 3 の導電層を前記第 2 のソース電極とし且つ前記第 4 の導電層を前記第 2 のドレイン電極とすることによって行うことを特徴とする表示装置の作製方法。

**【請求項 7】**

請求項 1 乃至請求項 6 のいずれか一項において、

40

前記第 2 の半導体膜に希ガスが含まれていることを特徴とする表示装置の作製方法。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、表示装置の作製方法に関する。

**【背景技術】**

**【0002】**

近年、フラットパネルディスプレイ(FPD)は、これまでのCRTに替わる表示装置として注目を集めている。特にアクティブマトリクス駆動の大型表示パネルを搭載した大画面テレビジョン装置の開発は、パネルメーカーにとって注力すべき重要な課題になってい

50

る。

【 0 0 0 3 】

従来の E L 表示装置において、各画素を駆動する半導体素子としては、半導体活性層にアモルファスシリコンを用いた薄膜トランジスタ（以下、T F Tとも示す。）が用いられている（特許文献 1 参照。）。

【特許文献 1】特開平 5 - 3 5 2 0 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

しかしながら、アモルファスシリコン（非晶質半導体）膜を用いた T F T を直流駆動した場合は、しきい値がずれやすく、それに伴い T F T の特性バラツキが生じやすい。このため、非晶質半導体膜を用いた T F T を画素のスイッチングに用いた表示装置は、輝度ムラが発生する。このような現象は、対角 3 0 インチ以上（典型的には 4 0 インチ以上）の大画面テレビジョン装置であるほど顕著であり、画質の低下が深刻な問題である。

【 0 0 0 5 】

一方、画質を向上させるために高速動作が可能なスイッチング素子が必要とされている。しかしながら、非晶質半導体膜を用いた T F T では限界がある。

【 0 0 0 6 】

本発明は、このような状況に鑑みなされたものであり、少ないフォトリソ数で、しきい値のずれが生じにくく、高速動作が可能な T F T を有する表示装置の作製方法を提供する。また、スイッチング特性が高く、コントラストがすぐれた表示が可能な表示装置の作製方法を提供する。

【課題を解決するための手段】

【 0 0 0 7 】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

【 0 0 0 8 】

本発明は、非晶質半導体膜に触媒元素を添加し加熱して、結晶性半導体膜を形成するとともに該結晶性半導体膜から触媒元素を除去した後、逆スタガ型薄膜トランジスタを作製する。また本発明は、薄膜トランジスタのゲート電極層と画素電極層を同工程同材料を用いて形成し、工程の簡略化と、材料のロスの軽減を達成する。

【 0 0 0 9 】

非晶質半導体膜に、結晶化を促進又は助長させる元素（以下、主に金属元素を指すことから金属元素、触媒元素ともいう）を添加し、該結晶性半導体膜に 1 5 族元素を有する半導体膜または希ガス元素を有する半導体膜を形成し加熱して、結晶性半導体膜を形成するとともに金属元素を結晶性半導体膜から除去した後、逆スタガ型薄膜トランジスタを形成することを要旨とする。なお、該結晶性半導体膜に 1 5 族元素を有する半導体膜を形成した場合、1 5 族元素を有する半導体膜をソース領域及びドレイン領域として用いて、n チャネル型薄膜トランジスタを形成する。また、n 型を付与する不純物元素として 1 5 族元素を有する半導体膜に p 型を付与する不純物元素として 1 3 族元素を添加して、p チャネル型薄膜トランジスタを形成する。さらには、希ガス元素を有する半導体膜を形成した場合、加熱の後に希ガス元素を有する半導体膜を除去し、ソース領域及びドレイン領域を形成して、n チャネル型薄膜トランジスタ又は p チャネル型薄膜トランジスタを形成する。

【 0 0 1 0 】

本発明の表示装置の作製方法の一は、絶縁表面上に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターンニングし、マスクを形成し、マスクを用いて導電層をパターンニングし、ゲート電極層及び第 1 の電極層を形成し、ゲート電極層及び第 1 の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に金属元素を含む金属膜を形成し、金属膜上に半導体層を形成し、半導体層に接して一導電型を有する半導体層を形成し、半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層上

10

20

30

40

50

に、導電性材料を含む組成物を吐出して選択的にソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に第1の電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び第1の電極層を電氣的に接続する配線層を形成し、第1の電極層の一部、及び配線層を覆う第2の絶縁層を形成し、第1の電極層上に電界発光層を形成し、電界発光層上に第2の電極層を形成する。

【0011】

本発明の表示装置の作製方法の一は、絶縁表面上に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターンニングし、マスクを形成し、マスクを用いて導電層をパターンニングし、ゲート電極層及び第1の電極層を形成し、ゲート電極層及び第1の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層に金属元素を添加し、半導体層に接して一導電型を有する半導体層を形成し、半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層上に導電性材料を含む組成物を吐出して選択的にソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に第1の電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び第1の電極層を電氣的に接続する配線層を形成し、第1の電極層の一部、及び配線層を覆う第2の絶縁層を形成し、第1の電極層上に電界発光層を形成し、電界発光層上に第2の電極層を形成することを特徴とする。

【0012】

本発明の表示装置の作製方法の一は、絶縁表面上に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターンニングし、マスクを形成し、マスクを用いて導電層をパターンニングし、ゲート電極層及び第1の電極層を形成し、ゲート電極層及び第1の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に金属元素を含む金属膜を形成し、金属膜上に半導体層を形成し、半導体層上に選択的にチャンネル保護層を形成し、半導体層及びチャンネル保護層に接して一導電型を有する半導体層を形成し、半導体層、チャンネル保護層、及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層上に、導電性材料を含む組成物を吐出して選択的にソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に第1の電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び第1の電極層を電氣的に接続する配線層を形成し、第1の電極層の一部、及び配線層を覆う第2の絶縁層を形成し、第1の電極層上に電界発光層を形成し、電界発光層上に第2の電極層を形成する。

【0013】

本発明の表示装置の作製方法の一は、絶縁表面上に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターンニングし、マスクを形成し、マスクを用いて導電層をパターンニングし、ゲート電極層及び第1の電極層を形成し、ゲート電極層及び第1の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層上に選択的にチャンネル保護層を形成し、半導体層及びチャンネル保護層に金属元素を添加し、半導体層及びチャンネル保護層に接して一導電型を有する半導体層を形成し、半導体層、チャンネル保護層、及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層上に、導電性材料を含む組成物を吐出して選択的にソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層に

ソース電極層またはドレイン電極層に達する第１の開口部、及び絶縁層とゲート絶縁層に第１の電極層に達する第２の開口部を形成し、第１の開口部及び第２の開口部に、ソース電極層またはドレイン電極層及び第１の電極層を電氣的に接続する配線層を形成し、第１の電極層の一部、及び配線層を覆う第２の絶縁層を形成し、第１の電極層上に電界発光層を形成し、電界発光層上に第２の電極層を形成する。

【００１４】

本発明の表示装置の作製方法の一は、絶縁表面上に、ゲート電極層及び第１の電極層を形成し、ゲート電極層及び第１の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に金属元素を含む金属膜を形成し、金属膜上に半導体層を形成し、半導体層に接して一導電型を有する半導体層を形成し、半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層上に導電性材料を含む組成物を吐出して選択的に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターニングし、マスクを形成し、マスクを用いて導電層及び一導電型を有する半導体層をパターニングし、ソース電極層、ドレイン電極層、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第１の開口部、及び絶縁層とゲート絶縁層に第１の電極層に達する第２の開口部を形成し、第１の開口部及び第２の開口部に、ソース電極層またはドレイン電極層及び第１の電極層を電氣的に接続する配線層を形成し、第１の電極層の一部、及び配線層を覆う第２の絶縁層を形成し、第１の電極層上に電界発光層を形成し、電界発光層上に第２の電極層を形成する。

【００１５】

本発明の表示装置の作製方法の一は、絶縁表面上に、ゲート電極層及び第１の電極層を形成し、ゲート電極層及び第１の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層に金属元素を添加し、半導体層に接して一導電型を有する半導体層を形成し、半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層上に導電性材料を含む組成物を吐出して選択的に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターニングし、マスクを形成し、マスクを用いて導電層及び一導電型を有する半導体層をパターニングし、ソース電極層、ドレイン電極層、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第１の開口部、及び絶縁層とゲート絶縁層に第１の電極層に達する第２の開口部を形成し、第１の開口部及び第２の開口部に、ソース電極層またはドレイン電極層及び第１の電極層を電氣的に接続する配線層を形成し、第１の電極層の一部、及び配線層を覆う第２の絶縁層を形成し、第１の電極層上に電界発光層を形成し、電界発光層上に第２の電極層を形成する。

【００１６】

本発明の表示装置の作製方法の一は、絶縁表面上に、ゲート電極層及び第１の電極層を形成し、ゲート電極層及び第１の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に金属元素を含む金属膜を形成し、金属膜上に半導体層を形成し、半導体層上に選択的にチャネル保護層を形成し、半導体層及びチャネル保護層に接して一導電型を有する半導体層を形成し、半導体層、チャネル保護層、及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層上に導電性材料を含む組成物を吐出して選択的に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターニングし、マスクを形成し、マスクを用いて導電層及び一導電型を有する半導体層をパターニングし、ソース電極層、ドレイン電極層、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第１の開口部、及び絶縁層とゲート絶縁層に第１の電極層に達する第２の開口部を形成し、第１の開口部及び第２の開口部に、ソース電極層またはドレイン電極層及び第１の電極層を電氣的に接続する配線層を形成し、第１の電極層の一部、及び配線層を覆う第２の絶縁層を形成し、第１の電極層上に電界発光層を形成し、電界発光層上に第２の

電極層を形成する。

【 0 0 1 7 】

本発明の表示装置の作製方法の一は、絶縁表面上に、ゲート電極層及び第 1 の電極層を形成し、ゲート電極層及び第 1 の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層上に選択的にチャネル保護層を形成し、半導体層及びチャネル保護層に金属元素を添加し、半導体層及びチャネル保護層に接して一導電型を有する半導体層を形成し、半導体層、チャネル保護層、及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層上に導電性材料を含む組成物を吐出して選択的に導電層を形成し、導電層上にレジストを形成し、レジストをレーザー光で露光してパターンニングし、マスクを形成し、マスクを用いて導電層及び一導電型を有する半導体層をパターンニングし、ソース電極層、ドレイン電極層、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第 1 の開口部、及び絶縁層とゲート絶縁層に第 1 の電極層に達する第 2 の開口部を形成し、第 1 の開口部及び第 2 の開口部に、ソース電極層またはドレイン電極層及び第 1 の電極層を電気的に接続する配線層を形成し、第 1 の電極層の一部、及び配線層を覆う第 2 の絶縁層を形成し、第 1 の電極層上に電界発光層を形成し、電界発光層上に第 2 の電極層を形成する。

10

【発明の効果】

【 0 0 1 8 】

本発明により、結晶性半導体膜を有する逆スタガ型薄膜トランジスタを形成することができる。このため少ないマスク数で T F T を形成することができる。また、本発明で形成される T F T は、結晶性半導体膜で形成されるため非晶質半導体膜で形成される逆スタガ型 T F T と比較して移動度が高い。また、ソース領域及びドレイン領域には、p 型を付与する不純物元素（アクセプター型元素）又は n 型を付与する不純物元素（ドナー型元素）に加え、結晶化を促進する元素である金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

20

【 0 0 1 9 】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、T F T 特性のパラツキを低減することが可能である。このため、表示ムラを低減することが可能であり、信頼性の高い表示装置を作製することが可能である。

30

【 0 0 2 0 】

また、成膜段階で半導体膜中に混入する金属元素をゲッタリングするため、オフ電流を低減することが可能である。このため、このような T F T を表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【 0 0 2 1 】

また本発明によると、材料のロスも少なく、コストダウンも達成できる。よって高性能、高信頼性の表示装置を歩留まりよく作製することができる。

【発明を実施するための最良の形態】

【 0 0 2 2 】

40

（実施の形態 1）

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【 0 0 2 3 】

図 3 2（A）は本発明に係る表示パネルの構成を示す上面図であり、絶縁表面を有する基板 2 7 0 0 上に画素 2 7 0 2 をマトリクス上に配列させた画素部 2 7 0 1、走査線側入

50

力端子 2703、信号線側入力端子 2704 が形成されている。画素数は種々の規格に従って設ければ良く、XGA であれば  $1024 \times 768 \times 3$  (RGB)、UXGA であれば  $1600 \times 1200 \times 3$  (RGB)、フルスペックハイビジョンに対応させるのであれば  $1920 \times 1080 \times 3$  (RGB) とすれば良い。

#### 【0024】

画素 2702 は、走査線側入力端子 2703 から延在する走査線と、信号線側入力端子 2704 から延在する信号線とが交差することで、マトリクス状に配設される。画素 2702 のそれぞれには、スイッチング素子とそれに接続する画素電極が備えられている。スイッチング素子の代表的な一例は TFT であり、TFT のゲート電極側が走査線と、ソース若しくはドレイン側が信号線と接続されることにより、個々の画素を外部から入力する信号によって独立して制御可能としている。

10

#### 【0025】

図 32 (A) は、走査線及び信号線へ入力する信号を、外付けの駆動回路により制御する表示パネルの構成を示しているが、図 33 (A) に示すように、COG (Chip on Glass) 方式によりドライバ IC 2751 を基板 2700 上に実装しても良い。また他の実装形態として、図 33 (B) に示すような TAB (Tape Automated Bonding) 方式を用いてもよい。ドライバ IC は単結晶半導体基板に形成されたものでも良いし、ガラス基板上に TFT で回路を形成したものであっても良い。図 33 において、ドライバ IC 2751 は、FPC 2750 と接続している。

#### 【0026】

20

また、画素に設ける TFT を SAS で形成する場合には、図 32 (B) に示すように走査線側駆動回路 3702 を基板 3700 上に形成し一体化することもできる。図 33 (B) において、3701 は画素部であり、信号線側駆動回路は、図 32 (A) と同様に外付けの駆動回路により制御する。画素に設ける TFT を移動度の高い、多結晶 (微結晶) 半導体、単結晶半導体などで形成する場合は、図 32 (C) は、走査線駆動回路 4702 と、信号線駆動回路 4704 をガラス基板 4700 上に一体形成することもできる。

#### 【0027】

本発明は、配線層若しくは電極を形成する導電層や、所定のパターンに形成するためのマスク層など表示パネルを作製するために必要な物体 (その目的や機能に応じて膜や層などあらゆる形態で存在する) のうち、少なくとも一つ若しくはそれ以上を、選択的に所望な形状に形成可能な方法により形成して、表示装置を作製することを特徴とするものである。本発明は、薄膜トランジスタや表示装置を構成する、ゲート電極層、ソース電極層、ドレイン電極層などの導電層、半導体層、マスク層、絶縁層など、所定の形状を有して形成される全ての構成要素に対して適用できる。選択的に所望な形状に形成可能な方法として、導電層や絶縁層など形成し、特定の目的に調合された組成物の液滴を選択的に吐出 (噴出) して所定のパターンに形成することが可能な、液滴吐出 (噴出) 法 (その方式によっては、インクジェット法とも呼ばれる。) を用いる。また、物体が所望のパターンに転写、または描写できる方法、例えば各種印刷法 (スクリーン (孔版) 印刷、オフセット (平版) 印刷、凸版印刷やグラビア (凹版) 印刷など所望なパターンで形成される方法) などを用いることができる。

30

40

#### 【0028】

本実施の形態は、流動性を有する形成する材料を含む組成物を、液滴として吐出 (噴出) し、所望なパターンに形成する方法を用いている。形成物の被形成領域に、形成する材料を含む液滴を吐出し、焼成、乾燥等を行って固定化し所望なパターンで物体を形成する。

#### 【0029】

液滴吐出法に用いる液滴吐出装置の一態様を図 30 に示す。液滴吐出手段 1403 の個々のヘッド 1405、ヘッド 1412 は制御手段 1407 に接続され、それがコンピュータ 1410 で制御することにより予めプログラミングされたパターンに描画することができる。描画するタイミングは、例えば、基板 1400 上に形成されたマーカー 1411

50



を基準に行えば良い。或いは、基板 1400 の縁を基準にして基準点を確定させても良い。これを撮像手段 1404 で検出し、画像処理手段 1409 にてデジタル信号に変換したものをコンピュータ 1410 で認識して制御信号を発生させて制御手段 1407 に送る。撮像手段 1404 としては、電荷結合素子 (CCD) や相補型金属酸化物半導体 (CMOS) を利用したイメージセンサなどを用いることができる。勿論、基板 1400 上に形成されるべきパターンの情報は記憶媒体 1408 に格納されたものであり、この情報を基にして制御手段 1407 に制御信号を送り、液滴吐出手段 1403 の個々のヘッド 1405、ヘッド 1412 を個別に制御することができる。吐出する材料は、材料供給源 1413、材料供給源 1414 より配管を通してヘッド 1405、ヘッド 1412 に供給される。

#### 【0030】

ヘッド 1405 とヘッド 1412 のノズルのサイズは異なっており、異なる材料を異なる幅で同時に描画することができる。一つのヘッドで、導電性材料や有機、無機材料などをそれぞれ吐出し、描画することができ、層間膜のような広領域に描画する場合は、スループットを向上させるため複数のノズルより同材料を同時に吐出し、描画することができる。大型基板を用いる場合、ヘッド 1405、ヘッド 1412 は基板上を、矢印の方向に自在に走査し、描画する領域を自由に設定することができ、同じパターンを一枚の基板に複数描画することができる。

#### 【0031】

本発明では、形成物のパターンニング工程において感光性のレジストや感光性物質を含む材料に光を照射し、露光する工程を行う。露光に用いる光は、特に限定されず、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能である。例えば、紫外線ランプ、ブラックライト、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いてもよい。その場合、ランプ光源は、必要な時間点灯させて照射してもよいし、複数回照射してもよい。

#### 【0032】

レーザ光を用いてもよく、レーザ光を用いるとより精密なパターンで被形成領域を露光処理できるので、そこに形成される物体も高繊細化することができる。本発明で用いることのできるレーザ光 (レーザビームともいう) を処理領域に描画する、レーザ光描画装置について、図 29 を用いて説明する。本実施の形態では、レーザ光を照射する領域をマスク等を介して選択するのではなく、処理領域を選択して直接照射して処理するため、レーザ光直接描画装置を用いる。図 29 に示すようにレーザ光直接描画装置 1001 は、レーザ光を照射する際の各種制御を実行するパーソナルコンピュータ (以下、PC と示す。) 1002 と、レーザ光を出力するレーザ発振器 1003 と、レーザ発振器 1003 の電源 1004 と、レーザ光を減衰させるための光学系 (ND フィルタ) 1005 と、レーザ光の強度を変調するための音響光学変調器 (AOM) 1006 と、レーザ光の断面の拡大又は縮小をするためのレンズ、光路の変更するためのミラー等で構成される光学系 1007、X ステージ及び Y ステージを有する基板移動機構 1009 と、PC 1002 から出力される制御データをデジタル-アナログ変換する D/A 変換部 1010 と、D/A 変換部から出力されるアナログ電圧に応じて音響光学変調器 1006 を制御するドライバ 1011 と、基板移動機構 1009 を駆動するための駆動信号を出力するドライバ 1012 とを備えている。

#### 【0033】

レーザ発振器 1003 としては、紫外光、可視光、又は赤外光を発振することが可能なレーザ発振器を用いることができる。レーザー発振器としては、KrF、ArF、KrF、XeCl、Xe 等のエキシマレーザ発振器、He、He-Cd、Ar、He-Ne、HF 等の気体レーザ発振器、YAG、GdVO<sub>4</sub>、YVO<sub>4</sub>、YLF、YAlO<sub>3</sub> などの結晶に Cr、Nd、Er、Ho、Ce、Co、Ti 又は Tm をドープした結晶を使った固体レーザー発振器、GaN、GaAs、GaAlAs、InGaAsP 等の半導体レーザ発振器を用いることができる。なお、固体レーザ発振器においては、基本波の第 1 高調波 ~

10

20

30

40

50

第5高調波を適用するのが好ましい。

【0034】

次に、レーザ光直接描画装置を用いた物質（表面）の露光処理について述べる。基板1008が基板移動機構1009に装着されると、PC1002は図外のカメラによって、基板に付されているマーカの位置を検出する。次いで、PC1002は、検出したマーカの位置データと、予め入力されている描画パターンデータとに基づいて、基板移動機構1009を移動させるための移動データを生成する。この後、PC1002が、ドライバ1011を介して音響光学変調器1006の出力光量を制御することにより、レーザ発振器1003から出力されたレーザ光は、光学系1005によって減衰された後、音響光学変調器1006によって所定の光量になるように光量が制御される。一方、音響光学変調器1006から出力されたレーザ光は、光学系1007で光路及びレーザ光（ビームスポット）の形状を変化させ、レンズで集光した後、基板上に形成された被処理物に該レーザ光を照射して、被処理物を改質処理する。このとき、PC1002が生成した移動データに従い、基板移動機構1009をX方向及びY方向に移動制御する。この結果、所定の場所にレーザ光が照射され、被処理物の露光処理が行われる。

10

【0035】

この結果、レーザ光が照射された領域で、被処理物は露光され、感光される。感光性物質には大きくわけてネガ型とポジ型がある。ネガ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分のみが残されてパターンが形成される。また、ポジ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分が溶解され、露光されなかった部分のみが残されてパターンが形成される。レーザ光のエネルギーの一部は被処理物材料で熱に変換され、被処理物の一部を反応させるため、処理された被処理物の領域の幅が、処理するレーザ光の幅より若干大きくなることもある。また、短波長のレーザ光ほど、レーザ光の径を短く集光することが可能であるため、微細な幅に処理領域を形成するためには、短波長のレーザ光を照射することが好ましい。

20

【0036】

また、レーザ光の膜表面でのスポット形状は、点状、円形、楕円形、矩形、または線状（厳密には細長い長方形状）となるように光学系で加工されている。

【0037】

また、29に示した装置は、基板の表面側からレーザ光を照射して露光する例を示したが、光学系や基板移動機構を適宜変更し、基板の裏面側からレーザ光を照射して露光するレーザビーム描画装置としてもよい。

30

【0038】

なお、ここでは、基板を移動して選択的にレーザ光を照射しているが、これに限定されず、レーザ光をX-Y軸方向に走査してレーザ光を照射することができる。この場合、光学系1007にポリゴンミラーやガルバノミラー、音響光学偏向器（Acoust-Optic Deflector；AOD）を用いることが好ましい。また、レーザビームをX軸又はY軸の一方に走査し、基板をX軸又はY軸の他の方向に移動して、基板の所定の場所にレーザビームを照射してもよい。

40

【0039】

また、光は、ランプ光源による光とレーザ光とを組み合わせることもでき、比較的広範囲なパターンニングを行う領域は、マスクを用いてランプによる照射処理を行い、高繊細なパターンニングを行う領域のみレーザ光で照射処理を行うこともできる。このように光の照射処理を行うと、スループットも向上でき、かつ高繊細にパターンニングされた配線基板などを得ることができる。

【0040】

本発明の実施の形態について、図1乃至図9を用いて説明する。より詳しくは、本発明を適用した表示装置の作製方法について説明する。まず、本発明を適用した、チャネルエッチ型の薄膜トランジスタを有する表示装置の作製方法について説明する。図2～図6

50

(A)は表示装置画素部の上面図であり、図2～図6の(B)は、図2～図6(A)における線A-Cによる断面図、図2～図6の(C)は、図2～図6(A)における線B-Dによる断面図である。

#### 【0041】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる。また、基板100の表面が平坦化されるようにCMP法などによって、研磨しても良い。なお、基板100上に、絶縁層を形成してもよい。絶縁層は、CVD法、プラズマCVD法、スパッタリング法、スピンコート法等の公知の方法により、珪素を含む酸化物材料、窒化物材料を用いて、単層又は積層して形成される。この絶縁層は、形成しなくても良いが、基板100からの汚染物質などを遮断する効果がある。基板100として、320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mmのような大面積基板を用いることができる。

#### 【0042】

基板100上に導電膜101を形成する。導電膜101は、パターニングされゲート電極層と画素電極層となる。導電膜101は、印刷法、電界メッキ法、PVD法(Physical Vapor Deposition)、CVD法(Chemical Vapor Deposition)、蒸着法等の公知の手法により高融点材料を用いて形成することが好ましい。また形成方法としては、液滴吐出法によって所望のパターンに形成することもできる。高融点材料を用いることにより、後の加熱工程が可能となる。高融点材料としては、タングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、白金(Pt)等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の層を積層して形成しても良い。代表的には、基板表面に窒化タンタル膜、その上にタングステン膜を積層してもよい。このような反射性を有する金属は、上面放射型の表示パネルを作製する場合には好ましい。また、珪素に一導電型を付与する不純物元素を添加した材料を用いても良い。例えば、非晶質珪素膜にリン(P)などのn型を付与する不純物元素が含まれたn型を有する珪素膜などを用いることができる。

#### 【0043】

導電膜101は、画素電極層としても機能するので、透明導電性材料を用いて形成することもできる。画素電極層となる第1の電極層は、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化スズ(SnO<sub>2</sub>)などにより形成してもよい。好ましくは、スパッタリング法によりインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)などで形成する。より好ましくは、ITOに酸化珪素が2～10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。その他、酸化珪素を含み酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合した酸化インジウム酸化亜鉛合金などの導電性材料を用いても良い。

#### 【0044】

本実施の形態では、導電膜101は、導電性材料としてインジウム錫酸化物を含む組成物を吐出して、550℃で焼成し、導電膜101を形成する。液滴吐出手段とは、組成物の吐出口を有するノズルや、1つ又は複数のノズルを具備したヘッド等の液滴を吐出する手段を有するものの総称とする。液滴吐出手段が具備するノズルの径は、0.02～100μm(好適には30μm以下)に設定し、該ノズルから吐出される組成物の吐出量は0.001pL～100pL(好適には0.1pL以上40pL以下、より好ましくは10pL以下)に設定する。吐出量は、ノズルの径の大きさに比例して増加する。また、被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には0.1～3mm(好適には1mm以下)程度に設定する。

## 【0045】

吐出口から吐出する組成物は、導電性材料を溶媒に溶解又は分散させたものを用いる。導電性材料とは、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al等の金属、Cd、Znの金属硫化物、Fe、Ti、Si、Ge、Si、Zr、Baなどの酸化物、ハロゲン化銀の微粒子又は分散性ナノ粒子に相当する。また、透明導電膜として用いられるインジウム錫酸化物（ITO）、インジウム錫酸化物と酸化珪素からなるITO、有機インジウム、有機スズ、酸化亜鉛、窒化チタン等に相当する。但し、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。バリア膜としては、窒化珪素膜やニッケルボロン（NiB）を用いることができる。

10

## 【0046】

また、導電性材料の周りに他の導電性材料がコーティングされ、複数の層になっている粒子でも良い。例えば、銅の周りにニッケルボロン（NiB）がコーティングされ、その周囲に銀がコーティングされている3層構造の粒子などを用いても良い。溶媒は、酢酸ブチル、酢酸エチル等のエステル類、イソプロピルアルコール、エチルアルコール等のアルコール類、メチルエチルケトン、アセトン等の有機溶剤等を用いる。組成物の粘度は20cP以下が好適であり、これは、乾燥が起こることを防止したり、吐出口から組成物を円滑に吐出できるようにしたりするためである。また、組成物の表面張力は、40mN/m以下が好適である。但し、用いる溶媒や、用途に合わせて、組成物の粘度等は適宜調整するとよい。一例として、ITOや、有機インジウム、有機スズを溶媒に溶解又は分散させた組成物の粘度は5～20mPa・s、銀を溶媒に溶解又は分散させた組成物の粘度は5～20mPa・s、金を溶媒に溶解又は分散させた組成物の粘度は5～20mPa・sに設定するとよい。

20

## 【0047】

また、電極層となる導電膜101は、複数の導電性材料を積層しても良い。また、始めに導電性材料として銀を用いて、液滴吐出法で導電層を形成した後、銅などでめっきを行ってもよい。めっきは電気めっきや化学（無電界）めっき法で行えばよい。めっきは、めっきの材料を有する溶液を満たした容器に基板表面を浸してもよいが、基板を斜め（または垂直）に立てて設置し、めっきする材料を有する溶液を、基板表面に流すように塗布してもよい。基板を立てて溶液を塗布するようにめっきを行うと、工程装置が小型化する利点がある。

30

## 【0048】

各ノズルの径や所望のパターン形状などに依存するが、ノズルの目詰まり防止や高精細なパターンの作製のため、導電体の粒子の径はなるべく小さい方が好ましく、好適には粒径0.1μm以下が好ましい。組成物は、電解法、アトマイズ法又は湿式還元法等の公知の方法で形成されるものであり、その粒子サイズは、一般的に約0.01～10μmである。但し、ガス中蒸発法で形成すると、分散剤で保護されたナノ分子は約7nmと微細であり、またこのナノ粒子は、被覆剤を用いて各粒子の表面を覆うと、溶剤中に凝集がなく、室温で安定に分散し、液体とほぼ同じ挙動を示す。従って、被覆剤を用いることが好ましい。

40

## 【0049】

組成物を吐出する工程は、減圧下で行うと、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略することができる。また、減圧下で行うと、導電体の表面に酸化膜などが形成されないため好ましい。また、組成物を吐出後、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は100度で3分間、焼成は200～350度で15分間～60分間で行うもので、その目的、温度と時間が異なるものである。乾燥の工程、焼成の工程は、常圧下又は減圧下で、レーザ光の照射や瞬間熱アニール、加熱炉などにより行う。なお、この加熱処理を行うタイミングは特に限定されない。乾燥と焼成の工

50

程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、一般的には100～800度（好ましくは200～350度）とする。本工程により、組成物中の溶媒の揮発、又は化学的に分散剤を除去するとともに、周囲の樹脂が硬化収縮することで、ナノ粒子間を接触させ、融合と融着を加速する。

#### 【0050】

レーザ光の照射は、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、YAGレーザ等が挙げられ、後者の固体レーザとしては、Cr、Nd等がドーピングされたYAG、YVO<sub>4</sub>、GdVO<sub>4</sub>等の結晶を使ったレーザ等が挙げられる。なお、レーザ光の吸収率の関係から、連続発振のレーザを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザ照射方法を用いてもよい。但し、基板100の耐熱性に依っては、レーザ光の照射による加熱処理は、該基板100が破壊しないように、数マイクロ秒から数十秒の間で瞬間的に行うとよい。瞬間熱アニール(RTA)は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数分～数マイクロ秒の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えない。つまり、プラスチック基板等の耐熱性が弱い基板にも影響を与えない。

#### 【0051】

また、液滴吐出法により、導電膜101を組成物を吐出し形成した後、その平坦性を高めるために表面を圧力によってプレスして平坦化してもよい。プレスの方法としては、ローラー状のものを表面に走査することによって、凹凸をならすように軽減したり、平坦な板状な物で表面を垂直にプレスしてもよい。プレスする時に、加熱工程を行っても良い。また溶剤等によって表面を軟化、または融解させエアナイフで表面の凹凸部を除去しても良い。また、CMP法を用いて研磨しても良い。この工程は、液滴吐出法によって凹凸が生じる場合に、その表面の平坦化する場合適用することができる。また、平坦化の工程は、マスク102a、マスク102b、マスク102cによって導電膜101がパターンニングされ、ゲート電極層103、第1の電極層120が形成された後行っても良い。また、ゲート電極層103に銀や銅などを用いる場合、その上にバリア膜としてNiB膜を形成すると、ゲート電極層103の構成元素の拡散を防ぐ効果、及び表面を平坦化する効果がある。

#### 【0052】

導電膜101上にレジストからなるマスクを形成する。レジストからなるマスクは、レーザ光170a、レーザ光170b、レーザ光170cによって露光されることによって微細に加工され、マスク102a、マスク102b、マスク102cを形成する(図2参照)。本実施の形態におけるマスクを形成するレジストは、露光領域をエッチャントに不溶とするネガ型のレジストを用いている。よって、マスクとして残存する領域にレーザ光を照射する。レーザ光による加工前のレジストマスクも液滴吐出法を用いて形成することができる。液滴吐出法を組み合わせることで、スピコート法などによる全面塗布形成に比べ、材料のロスが防げ、コストダウンが可能になる。

#### 【0053】

マスクは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。また導電膜101に感光性を有する感光性物質を含む導電性材料を用いると、レジストからなるマスクを形成しなくても導電膜101に直接レーザ光を照射し、露光、エッチャントによる除去を行うことで、所望のパターンにパターンニングすることができる。この場合、マスクを形成せずともよいので工程が簡略化する利点がある。感光性物質を含む導電性材料は、Ag、Au、Cu、Ni、Al、Ptなどの金属或いは合金と、有機高分子樹脂、光重合開始剤、光重合単量体、または溶剤など

10

20

30

40

50

からなる感光性樹脂とを含んだものを用いればよい。有機高分子樹脂としては、ノボラック樹脂、アクリル系コポリマー、メタクリル系コポリマー、セルローズ誘導体、環化ゴム系樹脂などを用いる。

#### 【0054】

このように微細に加工されたマスク102a、マスク102b、マスク102cを用いて導電膜101をパターンニングし、ゲート電極層103、ゲート電極層104、及び画素電極層となる第1の電極層120を形成する(図3参照。 )。

#### 【0055】

次に、ゲート電極層103、ゲート電極層104、画素電極層となる第1の電極層120の上にゲート絶縁層を形成する。ゲート絶縁層は、酸化珪素( $\text{SiO}_x$ )、窒化珪素( $\text{SiN}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化珪素( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ )などのいずれかで形成される単層、又はこれらの積層を適宜用いることができる。基板側からの不純物及び、ゲート電極層103、ゲート電極層104の構成元素などの拡散を防止するため、ゲート電極に接するゲート絶縁層としては、窒化珪素( $\text{SiN}_x$ )、窒化酸化珪素( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ )などを用いて形成することが好ましい。また、後に形成される半導体層に接するゲート絶縁層としては、絶縁性及び半導体層との界面特性から、酸化珪素( $\text{SiO}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )を形成することが望ましい。なお、低い成膜温度でゲートリーク電流が少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。更には、ゲート電極層103を陽極酸化して、陽極酸化膜を形成しても良い。

#### 【0056】

本実施の形態では、半導体層に結晶化を促進する金属元素(本実施の形態ではニッケルを用いる)を添加し、その後ゲッターリング処理を行って除去する。酸化珪素膜と珪素膜とは界面状態は良好であるが、界面において珪素膜中の金属元素と酸化珪素中の酸素が反応し、酸化金属物(本実施の形態では酸化ニッケル( $\text{NiO}_x$ ))になりやすく、金属元素がゲッターリングされにくくなる場合がある。また、窒化珪素膜は、窒化珪素膜の応力や、トラップの影響により、半導体層との界面状態に悪影響を与える恐れがある。よって、半導体層に接する絶縁層の最上層に、膜厚0.1~10nm、より好ましくは1~3nmの窒化珪素膜、あるいは窒化酸化珪素膜を形成する。このような構造であると、半導体層中の金属元素のゲッターリング効率も上がり、かつ半導体層への窒化珪素膜の悪影響も軽減できる。本実施の形態では、 $\text{SiH}_4$ 、 $\text{NH}_3$ を反応ガスとして窒化珪素膜を膜厚50nmでゲート絶縁層105aを形成し、 $\text{SiH}_4$ 及び $\text{N}_2\text{O}$ を反応ガスとして酸化珪素膜を膜厚100nmでゲート絶縁層105bを形成し、 $\text{SiH}_4$ 、 $\text{NH}_3$ を反応ガスとして窒化珪素膜を膜厚5nmでゲート絶縁層105cを形成する。

#### 【0057】

次に、半導体層の詳細な作製方法を図9を用いて説明する。半導体膜の結晶化を助長するための金属膜404をゲート絶縁層上に形成する。金属膜404の形成方法としては、スパッタ法、CVD法、プラズマ処理法(プラズマCVD法も含む)、吸着法、金属塩の溶液を塗布する方法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。本実施の形態では、結晶化を助長する元素としてNiを用いる。Ni元素を重量換算で10ppmを含有した水溶液をスピンコーティング法により塗布し、金属膜404を形成する(図9(A)参照。 )。結晶化を助長する元素としては、この珪素の結晶化を助長する金属元素としては鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスニウム(Os)、イリジウム(Ir)、チタン(Ti)、白金(Pt)、銅(Cu)及び金(Au)から選ばれた一種又は複数種類を用いることができる。金属膜404はその形成条件によっては膜厚が極薄であり、膜として形態を保っていないこともよい。

#### 【0058】

次に半導体膜を形成する。図9はゲート電極層103上に形成される薄膜トランジス

タの作製方法を示しているが、ゲート電極層104上に形成される薄膜トランジスタも同様に作製することができる。半導体膜は25~200nm(好ましくは30~150nm)の厚さで公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜すればよい。本実施の形態では、非晶質半導体膜を結晶化し、結晶性半導体膜とするものを用いるのが好ましい。

#### 【0059】

半導体膜を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製される非晶質半導体(以下「アモルファス半導体:AS」ともいう。)、該非晶質半導体を熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス(微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。)半導体などを用いることができる。

10

#### 【0060】

SASは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20nmの結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが $520\text{ cm}^{-1}$ よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。未結合手(ダングリングボンド)の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。SASは、珪化物気体をグロー放電分解(プラズマCVD)して形成する。珪化物気体としては、 $\text{SiH}_4$ 、その他にも $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ などを用いることが可能である。また $\text{F}_2$ 、 $\text{GeF}_4$ を混合させても良い。この珪化物気体を $\text{H}_2$ 、又は、 $\text{H}_2$ と $\text{He}$ 、 $\text{Ar}$ 、 $\text{Kr}$ 、 $\text{Ne}$ から選ばれた一種または複数種の希ガス元素で希釈しても良い。希釈率は2~1000倍の範囲、圧力は概略0.1Pa~133Paの範囲、電源周波数は1MHz~120MHz、好ましくは13MHz~60MHzである。基板加熱温度は300以下が好ましく、100~200の基板加熱温度でも形成可能である。ここで、主に成膜時に取り込まれる不純物元素として、酸素、窒素、炭素などの大気成分に由来する不純物は $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下となるようにすることが好ましい。また、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含

20

30

#### 【0061】

本実施の形態では、半導体膜として非晶質半導体膜405を用いる。(図9(B)参照。)、後の結晶化で良質な結晶構造を有する半導体膜を得るためには、非晶質半導体膜405膜中に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18} / \text{cm}^3$ (以下、濃度はすべて二次イオン質量分析法(SIMS)にて測定した原子濃度として示す。)以下、好ましくは $2 \times 10^{19} \text{ atom} / \text{cm}^3$ 以下に低減させておくことが好ましい。これらの不純物は、触媒元素と反応しやすく、後の結晶化、及び結晶化を助長する元素のゲッターリングを妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。

40

#### 【0062】

非晶質半導体膜405に対して、薄膜トランジスタのしきい値電圧を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。本実施の形態ではジボラン( $\text{B}_2\text{H}_6$ )を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。なお、質量分離を行うイオン注入法を用いてもよい。この後の結晶化のための加熱処理によって、不純物の活性化を行うことができ、またドーピングの際に生じる欠陥等も改善することができる。

#### 【0063】

50

次に、ソース領域、ドレイン領域及びLDD (Lightly Doped Drain) 領域として機能する半導体膜を、非晶質半導体膜405に接して、半導体膜406a、半導体膜406bを形成する。(図9(B)参照。)本実施の形態では、半導体膜406a及び半導体膜406bは、非晶質半導体膜の結晶化に用いる触媒金属を吸い込み自らに取り込むゲッタリングシンクとしても機能する。まず、非晶質半導体膜405上に形成された酸化膜を洗浄処理によって除去する。次いでプラズマCVD法を用いて、半導体膜406a、半導体膜406bを形成する。半導体膜406a、半導体膜406bは不純物元素を有しており、不純物元素としてはn型を付与する不純物元素を用いることができ、例えばリン(P)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)から選ばれた一種または複数種を用いることができる。n型を付与する不純物元素を含むn型を有する半導体層に、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、Kr(クリプトン)、Xe(キセノン)などの希ガス元素が含まれるように形成することもできる。本実施の形態では、半導体膜406aと半導体膜406bには、n型を付与する不純物元素としてP(リン)が含まれており、半導体膜406aの不純物元素の濃度は、半導体膜406bより低くなるように形成されている。前記不純物元素は、CVD法などによって、不純物元素を含むように半導体膜を形成しても良いし、半導体膜を形成後に、イオンドーピング法などによって添加してもよい。

#### 【0064】

このときのn型を付与する不純物元素が含まれる半導体膜の不純物のプロファイルを図41に示す。図41(A)は、結晶性半導体膜903上に、プラズマCVD法によりn型を付与する不純物元素が含まれる半導体膜901a、901bを形成した時のn型を付与する不純物元素のプロファイル900aを示す。半導体膜901a、半導体膜901bは、半導体膜406a、半導体膜406bと対応しており、半導体膜901aはn型の低濃度不純物領域(n-領域ともいう)として形成され、半導体膜901bはn型の高濃度不純物領域(n+領域ともいう)として形成されている。よって半導体膜901a、半導体膜901bのそれぞれの膜において深さ方向に対して一定の濃度のn型を付与する不純物元素が分布しており、半導体膜901aの方が、半導体膜901bより低い濃度でn型を付与する不純物元素が分布している。n+領域である半導体膜901bは後にソース領域及びドレイン領域として機能し、n-領域である半導体膜901aはLDD (Lightly Doped Drain) 領域として機能する。なお、n+領域とn-領域はそれぞれ作り分けているので界面が存在する。n+領域とn-領域の膜厚制御は、それぞれ各濃度の半導体膜の膜厚を制御することによって達成できる。

#### 【0065】

図41(A)で形成した半導体膜901a及び半導体膜901bにp型を付与する不純物元素としてボロンをイオンドープ法又はイオン注入法によって添加して半導体膜911を形成した時のp型を付与する不純物元素のプロファイルを図42(A)に示す。p型を付与する不純物元素の濃度の方が、n型を付与する不純物元素の濃度より高く、半導体膜911はp型のを有する半導体膜となっているのがわかる。また、p型を付与する不純物元素は、チャネルドープされるため、結晶性半導体膜903にも添加されている。図42(A)に示すように、半導体膜911の表面付近は、p型を付与する不純物元素濃度が比較的高いp型の不純物領域(p+領域ともいう)912bとなっており、一方、結晶性半導体膜903に近づくにつれ、p型を付与する不純物元素濃度が比較的減少しておりp型の低濃度不純物領域(p-領域ともいう)912aとなっている。

#### 【0066】

一方、図41(B)は、結晶性半導体膜903上に、非晶質半導体、SAS、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜の半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜にn型を付与する不純物元素を添加して半導体膜902を形成した時のn型を付与する不純物元素のプロファイル900bを示す。図41(B)に示すように、半導体膜902の表面付近は、n型を付与する不純物元素濃度が比較的高い。n型を付与する不純物元素濃度が $1 \times 10^{19} / \text{cm}^3$ 以上の領域



をn型の高濃度不純物領域（n+領域ともいう）904bと示す。一方、結晶性半導体膜903に近づくにつれ、n型を付与する不純物元素濃度が比較的減少している。n型を付与する不純物元素濃度が $5 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ の領域をn型の低濃度不純物領域（n-領域ともいう）904aと示す。n+領域904bは後にソース領域及びドレイン領域として機能し、n-領域904aはLDD領域として機能する。なお、n+領域とn-領域それぞれの界面は存在せず、相対的なn型を付与する不純物元素濃度の濃度の大小によって変化する。このようにイオンドープ法又はイオン注入法により形成されたn型を付与する不純物元素が含まれる半導体膜902は、添加条件によって濃度プロファイルを制御することが可能であり、n+領域とn-領域の膜厚を適宜制御することが可能である。n+領域とn-領域を有することにより電界の緩和効果が大きくなり、ホットキャリア耐性を高めた薄膜トランジスタを形成することが可能となる。

10

## 【0067】

図41(B)で形成した半導体膜902にp型を付与する不純物元素としてボロンをイオンドープ法又はイオン注入法によって添加して半導体膜921を形成した時のp型を付与する不純物元素のプロファイル923を図42(B)に示す。p型を付与する不純物元素の濃度の方が、n型を付与する不純物元素の濃度より高く、半導体膜921はp型を有する半導体膜（p型の不純物領域を有する半導体膜ともいえる）となっているのがわかる。また、p型を付与する不純物元素は、チャネルドープされるため、結晶性半導体膜903にも添加されている。図42(B)に示すように、半導体膜921の表面付近は、p型を付与する不純物元素濃度が比較的が高いp型の不純物領域（p+領域ともいう）922bとなっており、一方、結晶性半導体膜903に近づくにつれ、p型を付与する不純物元素濃度が比較的減少しておりp型の低濃度不純物領域（p-領域ともいう）922aとなっている。また、n型を付与する不純物元素の添加工程で、その添加条件によって、膜表面の不純物元素濃度が高くなっている場合がある。このような場合は、膜表面を薄くエッチングし、高不純物元素濃度領域の膜を除去してから、p型を付与する不純物元素を添加する工程を行えばよい。

20

## 【0068】

本実施の形態では、半導体膜406a、半導体膜406bとして、n型を付与する不純物元素（ドナー型元素）であるリンを含むn型を有する半導体膜をプラズマCVD法によって形成する。また、半導体膜406a、半導体膜406bに含まれるn型を付与する不純物元素の濃度を異ならせているので、半導体膜406aはn型の低濃度不純物領域となり、半導体膜406bはn型の高濃度不純物領域となっている。n型の低濃度不純物領域の不純物濃度は、 $1 \times 10^{17} \sim 3 \times 10^{19} / \text{cm}^3$ 、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ 、n型の高濃度不純物領域の不純物濃度は、その10倍から100倍が好ましく、 $1 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ とすることができる。またn型の低濃度不純物領域である半導体膜406aの膜厚は20～200nm、代表的には50～150nmであり、本実施の形態では、膜厚50nmで形成する。n型の高濃度不純物領域である半導体膜406bの膜厚は30～100nm、代表的には40～60nmであり、本実施の形態では、膜厚50nmで形成する。

30

## 【0069】

次に、非晶質半導体膜405を加熱して結晶性半導体膜407を形成するとともに、結晶化を助長する金属を半導体膜408a及び半導体膜408bにより吸い込むことで、結晶性半導体膜407中に含まれる結晶化を助長する金属を低減又は除去する。図9(C)に示すように、加熱処理により結晶化を助長する金属膜に接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。また、結晶化とともに触媒金属は矢印の方向へ移動し、半導体膜408a、半導体膜408b中にゲッタリングされることで結晶性半導体膜407中の触媒金属の濃度を、デバイス特性に影響を与えない濃度、即ち $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。また、ゲッタリング後の金属触媒が移動した半導体膜408a、半導体膜408bも加熱処理により結晶化される場合がある。なお、本実施の形態においては、ゲッタリング工程と共

40

50

に、半導体膜 408a、半導体膜 408b 中の n 型を付与する不純物元素（ドナー型元素）の活性化を行っている。本実施の形態では、脱水素化のための熱処理の後、結晶化のための熱処理（550 ～ 650 で 5 分～ 24 時間）を行う。また、RTA、GRTA により結晶化を行っても良い。本実施の形態のようにレーザ光照射を行わず結晶化することで、結晶性のばらつきを低減することが可能であり、後に形成される TFT のばらつきを抑制することが可能である。

#### 【0070】

次に結晶性半導体膜 407、半導体膜 408a、半導体膜 408b をマスクを用いてパターニングする。本実施の形態では、フォトマスクを作製し、フォトリソグラフィ法を用いたパターニング処理により、半導体層 107、n 型を有する半導体層 109、n 型を有する半導体層 111 を形成する（図 4 参照。）。同様に半導体層 106、n 型を有する半導体層 108、n 型を有する半導体層 110 も形成する。フォトマスクはマスク 102a を形成したときと同様にレジストをスピンコート法などによる全面塗布、または液滴吐出法によって選択的に形成し、レーザ光照射による露光によって微細なパターンのマスクを形成すればよい。微細なパターンのマスクによって半導体膜は微細かつ精巧に所望な形状にパターニングすることができる。

#### 【0071】

マスクを露光加工せずに組成物を選択的に吐出して形成する場合、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いることができる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。いずれの材料を用いても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

#### 【0072】

パターニングの際のエッチング加工は、プラズマエッチング（ドライエッチング）又はウェットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 $CF_4$ 、 $NF_3$ 、 $SF_6$ 、 $CHF_3$  などのフッ素系又は  $Cl_2$ 、 $BCl_3$ 、 $SiCl_4$  もしくは  $CCl_4$  などを代表とする塩素系ガス、あるいは  $O_2$  のガスを用い、He や Ar などの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

#### 【0073】

導電性材料を含む組成物を吐出して、ソース電極層又はドレイン電極層 112、ソース電極層又はドレイン電極層 113、ソース電極層又はドレイン電極層 114、ソース電極層又はドレイン電極層 115 を形成し、該ソース電極層又はドレイン電極層 112、ソース電極層又はドレイン電極層 113、ソース電極層又はドレイン電極層 114、ソース電極層又はドレイン電極層 115 をマスクとして、半導体層 106、n 型を有する半導体層 108 及び n 型を有する半導体層 110、半導体層 107、n 型を有する半導体層 109 及び n 型を有する半導体層 111 をパターン加工して、半導体層 146、n 型を有する半導体層 148a、n 型を有する半導体層 148b、n 型を有する半導体層 150a、n 型を有する半導体層 150b、半導体層 147、n 型を有する半導体層 149a、n 型を有する半導体層 149b、n 型を有する半導体層 151a、n 型を有する半導体層 151b を形成する（図 5 参照。）。ソース電極層又はドレイン電極層 112、ソース電極層又はドレイン電極層 113、ソース電極層又はドレイン電極層 114、ソース電極層又はドレイン電極層 115 を形成する工程も、前述したゲート電極層 103、ゲート電極層 104 とを形成したときと同様に形成することができる。ソース電極層又はドレイン電極層 112、ソース電極層又はドレイン電極層 114 は配線層としても機能する。

#### 【0074】

ソース電極層又はドレイン電極層を形成する導電性材料としては、Ag（銀）、Au（

10

20

30

40

50

金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物(ITO)、インジウム錫酸化物と酸化珪素からなるITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

#### 【0075】

ソース電極層又はドレイン電極層の形成方法を図7及び図8を用いて説明する。ソース電極層又はドレイン電極層112、ソース電極層又はドレイン電極層113、ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115は、微細なパターンで形成されており、制御性よく形成しなければ形成不良によるショート等の不良を引き起こす。よって、半導体層上の微細なパターンニングはレーザー光による微細な加工によって行う。図7(A)で示すように、基板200上にゲート電極層201a、ゲート電極層201b、ゲート絶縁層202a、ゲート絶縁層202b、ゲート絶縁層202c半導体層203a、半導体層203b、n型を有する半導体層204a、n型を有する半導体層204bが形成されており、これらを覆うように導電膜205を全面に形成する。導電膜205は蒸着法、CVD法、スパッタ法などによって形成することができる。その後、レジストからなるマスク230を形成する。

#### 【0076】

レジストからなるマスク230に、レーザー光240a、レーザー光240b、レーザー光240cを照射し、露光することによって領域231a、領域231b、領域231cを感光する(図7(B)参照。)。本実施の形態ではポジ型の感光性のレジストを用いるため、露光された領域231a、領域231b、領域231cはエッチャントによって除去され、開口部232a、開口部232b、開口部232cが形成される(図7(C)参照。)。開口部232a、開口部232b、開口部232cを有するマスクを用いて導電膜205をエッチングによりパターンニングすることによって、ソース電極層又はドレイン電極層208a、ソース電極層又はドレイン電極層208b、ソース電極層又はドレイン電極層208c、ソース電極層又はドレイン電極層208dが形成される。本実施の形態では、Agを用いて形成されたソース電極層及びドレイン電極層に、HNO<sub>3</sub>溶液によるウェットエッチングを行い、その後02アッシングを行う。このソース電極層又はドレイン電極層208a、ソース電極層又はドレイン電極層208b、ソース電極層又はドレイン電極層208c、ソース電極層又はドレイン電極層208dをマスクとして半導体層203a、半導体層203b、n型を有する半導体層204a、n型を有する半導体層204bをエッチングし、半導体層206a、半導体層206b、n型を有する半導体層207a、n型を有する半導体層207b、n型を有する半導体層207c、n型を有する半導体層207dを形成することができる(図7(D)参照。)。このようにレーザー光による微細な加工によりマスクを形成し、導電膜のパターンニングを行うことで、制御性よく精密に導電膜をパターンニングでき、所望な形状のソース電極層やドレイン電極層を形成することができる。よって形成不良が生じないために薄膜トランジスタの信頼性も向上する。

#### 【0077】

図8も図7と同様にレーザー光による露光工程を用いる導電膜のパターンニング方法であるが、導電膜205を図7のように全面に形成せず、液滴吐出法によって選択的に形成する方法を示す。図7(A)のように半導体層を形成した後、液滴吐出装置280a、液滴吐出装置280bによって導電膜215a、導電膜215bが選択的に形成される(図8(A)参照。)。その後は同様にレジストをレーザー光によって露光し、微細なマスクを形成する。そのマスクを用いて、半導体チャネル形成領域上における導電膜215a、導電膜215bの微細なパターンニングを行う。図8においては液滴吐出法により選択的に導電膜215a、導電膜215bを接せずに形成しているので、図7のように開口部232bを形成する必要がない。また、エッチングによるパターンニングを行っていないので得られるソース電極層又はドレイン電極層218a、ソース電極層又はドレイン電極層218b、ソース電極層又はドレイン電極層218c、ソース電極層又はドレイン電極層218dの端部は曲率半径を有するような丸みを帯びた形状となりうる。よって液滴吐出法を用い

ると、材料のロスも軽減し、工程も簡略化するため、コストが低く生産性が上がるという利点がある。

【0078】

ソース電極層又はドレイン電極層112、ソース電極層又はドレイン電極層113、ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115を形成後もゲート電極層103の時と同様、プレス等による平坦化工程を行っても良い。また、ソース電極層又はドレイン電極層を液滴吐出法によって吐出し、仮焼成をしてから、本焼成の間にプレス工程を挟むことによって、電極層の平坦化の他に、電極層に含まれる酸素が放出され酸素濃度が低下するので、電気抵抗が下がるという効果もある。

【0079】

ソース電極層又はドレイン電極層、半導体層、ゲート電極層、ゲート絶縁層を覆うようにパッシベーション膜となる絶縁膜140を成膜することが好ましい。絶縁膜140は、プラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。ここでは、半導体層146、半導体層147の界面特性から酸化珪素、又は酸化窒化珪素を形成したのち、外部からの不純物が半導体素子内に侵入するのを防ぐため窒化珪素、又は窒化酸化珪素を形成する積層構造が好ましい。本実施の形態では、半導体層146、半導体層147に接して、酸化珪素膜を膜厚150nm形成した後、同チャンバー内でガス切り替えを行い連続的に窒化珪素膜を膜厚200nm形成する積層構造で絶縁膜140を形成する。

【0080】

この後、半導体層146、半導体層147を水素雰囲気又は窒素雰囲気で加熱して水素化することが好ましい。なお、窒素雰囲気で加熱する場合は、絶縁膜140として水素を含む絶縁膜を形成することが好ましい。

【0081】

次に、絶縁層116を形成する。本実施の形態では、絶縁層116を全面に形成し、レジスト等のマスクによって、エッチングしパターンニングする。絶縁層116を、直接選択的に形成できる液滴吐出法や印刷法などを用いて形成する場合は、エッチングによるパターンニングは必ずしも必要はない。本実施の形態において、層間絶縁層として絶縁層116を設けた上に、隔壁として機能する第2の増感層を設ける。この場合、絶縁層116は、第1の絶縁層とも言える。

【0082】

絶縁層116は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素膜(CN)その他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)、ベンゾシクロブテン、ポリシラザンなどの有機絶縁性材料、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。

【0083】

本実施の形態では、絶縁層116の材料としては、シリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に水素、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いた塗布膜を用いる。焼成した後の膜は、アルキル基を含む酸化珪素膜(SiO<sub>x</sub>)とも呼べる。

【0084】

絶縁膜140及び絶縁層116にソース電極層又はドレイン電極層113に達する開

10

20

30

40

50

口部 136 と、ソース電極層又はドレイン電極層 115 に達する開口部 138 とを、ゲート絶縁層 105 a、ゲート絶縁層 105 b、絶縁膜 140、絶縁層 116 に、第 1 の電極層 120 に達する開口部 139、ゲート電極層 103 に達する開口部 135、ゲート電極層 104 に達する開口部 137 を形成する。この開口部もレジストからなるマスクを用いてエッチングし形成する。パターニングに用いるマスクは、レーザ光の照射による露光を行うことで微細な形状を有するマスクとすることができる。このようにして形成した開口部 138 及び開口部 139 に配線層 119 を形成し、ソース電極層又はドレイン電極層 115 と第 1 の電極層 120 とを電氣的に接続する。開口部 136 及び開口部 137 に配線層 118 を形成し、ソース電極層又はドレイン電極層 113 とゲート電極層 104 とを電氣的に接続する。また、開口部 135 にもゲート電極層 103 と電氣的に接続するようにゲート配線層 117 を形成する。ゲート配線層 117 を低抵抗な材料によって形成することで、ゲート電極層 103 が多少高抵抗の材料であっても、高速動作が可能となり、大きな電流も流すことができる。

#### 【0085】

以上の工程により、基板 100 上にボトムゲート型（逆スタガ型ともいう。）の薄膜トランジスタと画素電極が接続された表示パネル用の TFT 基板が完成する。また本実施の形態の薄膜トランジスタはチャンネルエッチ型である。

#### 【0086】

次に、絶縁層 121（隔壁、土手とも呼ばれる）を選択的に形成する。絶縁層 121 は、第 1 の電極層 120 上に開口部を有するように形成し、配線層 119 を覆って形成する。本実施の形態では、絶縁層 121 を全面に形成し、レジスト等のマスクによって、エッチングしパターニングする。絶縁層 121 を、直接選択的に形成できる液滴吐出法や印刷法などを用いて形成する場合は、エッチングによるパターニングは必ずしも必要はない。また絶縁層 121 も本発明の前処理によって、所望の形状に形成できる。

#### 【0087】

絶縁層 121 は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうち Si - O - Si 結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。絶縁層 121 は曲率半径が連続的に変化する形状が好ましく、上に形成される電界発光層 122、第 2 の電極層 123 の被覆性が向上する。

#### 【0088】

また、液滴吐出法により、絶縁層 121 を組成物を吐出し形成した後、その平坦性を高めるために表面を圧力によってプレスして平坦化してもよい。プレスの方法としては、ローラー状のものを表面に走査することによって、凹凸をならすように軽減したり、平坦な板状な物で表面を垂直にプレスしてもよい。また溶剤等によって表面を軟化、または融解させエアナイフで表面の凹凸部を除去しても良い。また、CMP 法を用いて研磨してもよい。この工程は、液滴吐出法によって凹凸が生じる場合に、その表面の平坦化する場合適用することができる。この工程により平坦性が向上すると、表示パネルの表示ムラなどを防止することができ、高繊細な画像を表示することができる。

#### 【0089】

薄膜トランジスタに電氣的に接続するように、発光素子を形成する（図 1 参照。）。

#### 【0090】

電界発光層 122 を形成する前に、大気圧中で 200 の熱処理を行い第 1 の電極層 120、絶縁層 121 中若しくはその表面に吸着している水分を除去する。また、減圧下で 200 ~ 400、好ましくは 250 ~ 350 に熱処理を行い、そのまま大気に晒さずに電界発光層 122 を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

## 【 0 0 9 1 】

電界発光層 1 2 2 として、赤色 ( R )、緑色 ( G )、青色 ( B ) の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色 ( R )、緑色 ( G )、青色 ( B ) の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき ( 低分子または高分子材料など )、この場合マスクを用いずとも、 R G B の塗り分けを行うことができるため好ましい。電界発光層 1 2 2 上に第 2 の電極層 1 2 3 を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する。

## 【 0 0 9 2 】

図示しないが、第 2 の電極層 1 2 3 を覆うようにしてパッシベーション膜を設けることは有効である。表示装置を構成する際に設ける保護膜は、単層構造でも多層構造でもよい。パッシベーション膜としては、窒化珪素 ( S i N )、酸化珪素 ( S i O<sub>2</sub> )、酸化窒化珪素 ( S i O N )、窒化酸化珪素 ( S i N O )、窒化アルミニウム ( A l N )、酸化窒化アルミニウム ( A l O N )、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム ( A l N O ) または酸化アルミニウム、ダイヤモンドライクカーボン ( D L C )、窒素含有炭素膜 ( C N<sub>x</sub> ) を含む絶縁膜からなり、絶縁膜を単層もしくは組み合わせた積層を用いることができる。例えば窒素含有炭素膜 ( C N<sub>x</sub> ) \ 窒化珪素 ( S i N ) のような積層、また有機材料を用いることも出来、スチレンポリマーなど高分子の積層でもよい。また、シリコン ( S i ) と酸素 ( O ) との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有する材料を用いてもよい。

## 【 0 0 9 3 】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特に D L C 膜を用いることは有効である。D L C 膜は室温から 1 0 0 以下の温度範囲で成膜可能であるため、耐熱性の低い電界発光層の上方にも容易に成膜することができる。D L C 膜は、プラズマ C V D 法 ( 代表的には、R F プラズマ C V D 法、マイクロ波 C V D 法、電子サイクロトロン共鳴 ( E C R ) C V D 法、熱フィラメント C V D 法など )、燃焼炎法、スパッタ法、イオンビーム蒸着法、レーザ蒸着法などで形成することができる。成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス ( 例えば C H<sub>4</sub>、C<sub>2</sub>H<sub>2</sub>、C<sub>6</sub>H<sub>6</sub> など ) とを用い、グロー放電によりイオン化し、負の自己バイアスがかかったカソードにイオンを加速衝突させて成膜する。また、C N 膜は反応ガスとして C<sub>2</sub>H<sub>4</sub> ガスと N<sub>2</sub> ガスとを用いて形成すればよい。D L C 膜は酸素に対するブロッキング効果が高く、電界発光層の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に電界発光層が酸化するといった問題を防止できる。

## 【 0 0 9 4 】

続いて、シール材を形成し、封止基板を用いて封止する。その後、ゲート電極層 1 0 3 と電氣的に接続して形成されるゲート配線層に、フレキシブル配線基板を接続し、外部との電氣的な接続をしても良い。これは、ソース配線層でもあるソース電極層又はドレイン電極層 1 1 2、ソース電極層又はドレイン電極層 1 1 4 と電氣的に接続して形成されるソース配線層も同様である。

## 【 0 0 9 5 】

続いて、異方性導電体層を介して、表示装置内の配線層が電氣的に接続するように、接続用の配線基板を設ける。配線基板は、外部からの信号や電位を伝達する役目を担い、F P C ( Flexible printed circuit ) などを用いることができる。上記工程を経て、チャネルエッチ型のスイッチング用 T F T、駆動 T F T と容量素子を含む表示パネルが完成する。容量素子は、ソース電極層又はドレイン電極層 1 1 4 とゲート絶縁層 1 0 5 a、ゲート絶縁層 1 0 5 b、ゲート絶縁層 1 0 5 c とゲート電極層 1 0 4 とで形成される。

## 【 0 0 9 6 】

表示装置内の配線層と F P C は端子電極層を用いて接続され、端子電極層はゲート電極層と同材料及び同工程、ソース電極層及びドレイン電極層を兼ねるソース配線層と同材料及び同工程、ゲート配線層と同材料同工程で、それぞれ作製することができる。F P C

10

20

30

40

50

と表示装置内の配線層との接続例を図46を用いて説明する。

【0097】

図46において、基板1上に薄膜トランジスタ9及び発光素子が設けられた第1の電極層6が形成され、シール材3で対向基板8と張り合わされている。表示装置内から延長してシール材外部に形成される配線層とFPC2b及びFPC2aは異方性導電膜7a、異方性導電膜7bによって接着されている。

【0098】

図46(A1)、(B1)、(C1)は表示装置の上面図であり、図46(A2)、(B2)、(C2)は図46(A1)、(B1)、(C1)における線O-P、線R-Qの断面図である。図46(A1)、(A2)において、端子電極層5a及び端子電極層5bはゲート電極層と同材料同工程で形成されている。端子電極層5aにシール材外部に延長して形成されたソース配線層4aが接続され、端子電極層5aとFPC2aとが異方性導電膜7aを介して接続されている。一方端子電極層5bにシール材外部に延長して形成されたゲート配線層4bが接続され、端子電極層5bとFPC2bとが異方性導電膜7bを介して接続されている。

10

【0099】

図46(B1)、(B2)において、端子電極層55a及び端子電極層55bはソース配線層と同材料同工程で形成されている。端子電極層55aはシール材外部に延長して形成されたソース配線層で形成され、端子電極層55aとFPC2aとが異方性導電膜7aを介して接続されている。一方、端子電極層55bにシール材外部に延長して形成されたゲート配線層54bが接続され、端子電極層55bとFPC2bとが異方性導電膜7bを介して接続されている。

20

【0100】

図46(C1)、(C2)において、端子電極層64a及び端子電極層64bはゲート配線層と同材料同工程で形成されている。シール材外部に延長して形成されたソース配線層65aに端子電極層64aが接続され、端子電極層64aとFPC2aとが異方性導電膜7aを介して接続されている。一方、端子電極層64bはシール材外部に延長して形成されたゲート配線層で形成され、端子電極層64bとFPC2bとが異方性導電膜7bを介して接続されている。

【0101】

本実施の形態では、スイッチングTFTはシングルゲート構造を示したが、ダブルゲート構造などのマルチゲート構造でもよい。

30

【0102】

以上の工程により、結晶性半導体膜を有する逆スタガ型薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度( $2 \sim 50 \text{ cm}^2/\text{Vs}$ 程度)が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、結晶化を促進する機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

40

【0103】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

【0104】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能である。このため、このようなTFTを表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【0105】

また、レーザ光照射の微細な加工により、配線等の細線化も自由に設計できる。本

50

発明により、所望なパターンを制御性よく形成でき、材料のロスも少なく、コストダウンも達成できる。よって高性能、高信頼性の表示装置を歩留まりよく作製することができる。

【0106】

(実施の形態2)

本発明の実施の形態について、図10を用いて説明する。本実施の形態は、実施の形態1において、結晶化を助長するための金属を、非晶質半導体膜に接し、かつソース領域、ドレイン領域として機能するn型を有する半導体膜に接して形成した例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0107】

基板1500上にゲート電極層1501を形成し、ゲート電極層1501を覆うようにゲート絶縁層1502を形成する。本実施の形態ではゲート絶縁層1502は、本実施の形態ではゲート絶縁層542は、窒化珪素膜、酸化珪素膜、窒化珪素膜の3層構造とするが、酸化珪素( $\text{SiO}_x$ )、窒化珪素( $\text{SiN}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化珪素( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ )などの単層、又はこれらの積層構造を用いてもよい。

【0108】

本実施の形態においては、ゲート絶縁層1502上に非晶質半導体膜1503を形成した後に金属膜1504を形成し、n型を有する半導体膜1505を形成する(図10(A)参照。)

【0109】

その後加熱処理により非晶質半導体膜1503を結晶化し、結晶性半導体膜1506を形成する。金属膜1504は、図10(B)の矢印の方向に移動し、結晶化に寄与した後、ゲッタリングシンクとして機能する半導体膜1507中に捕獲される。(図10(B)参照。)よって、結晶化を助長する金属が低減、又は除去された結晶性半導体膜1506を得ることができる。

【0110】

結晶性半導体膜1506とn型を有する半導体膜1507とをパターニングした後、ソース電極層又はドレイン電極層1508a、ソース電極層又はドレイン電極層1508bを形成する(図10(C)参照。)

【0111】

ソース電極層又はドレイン電極層1508a、ソース電極層又はドレイン電極層1508bをマスクとしてn型を有する半導体膜及び結晶性半導体膜をエッチングし、半導体層1509及びソース領域またはドレイン領域として機能するn型を有する半導体層1510a、n型を有する半導体層1510bが形成される(図10(D)参照。)

【0112】

以上の工程により、実施の形態1と同様に、結晶性半導体膜を有する逆スタガチャネルエッチ型薄膜トランジスタを形成することができる。

【0113】

本実施の形態は、実施の形態1と組み合わせて用いることが可能である。

(実施の形態3)

本発明の実施の形態について、図11及び図12を用いて説明する。本実施の形態は、実施の形態1において、チャネル保護膜を用いて、チャネル保護型薄膜トランジスタを形成する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0114】

基板1520上にゲート電極層1521を形成し、ゲート電極層1521を覆うようにゲート絶縁層1522を形成する。ゲート絶縁層1522上に金属膜1523を形成し、非晶質半導体膜1524を形成する。本実施の形態ではゲート絶縁層1522は、本実施の形態ではゲート絶縁層542は、窒化珪素膜、酸化珪素膜、窒化珪素膜の3層構造とするが、酸化珪素( $\text{SiO}_x$ )、窒化珪素( $\text{SiN}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒

10

20

30

40

50



化酸化珪素 ( $\text{SiNxOy}$ ) ( $x > y$ ) などの単層、又はこれらの積層構造を用いてもよい。

【0115】

本実施の形態では、チャネル保護層となる絶縁層 1525 を形成する (図 11 (A) 参照。)。絶縁層 1525 は、酸化珪素 ( $\text{SiOx}$ )、窒化珪素 ( $\text{SiNx}$ )、酸化窒化珪素 ( $\text{SiOxNy}$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiNxOy}$ ) ( $x > y$ ) などの単層、又は積層構造を適宜用いればよい。その後絶縁層 1525 をパターンニングし、チャネル保護膜 1526 を形成する (図 11 (B) 参照。)。次に、n 型を有する半導体膜 1527 を形成する。(図 11 (C) 参照)

【0116】

その後加熱処理により非晶質半導体膜 1524 を結晶化し、結晶性半導体膜 1528 を形成する。金属膜 1523 は、図 11 (D) の矢印の方向に移動し、結晶化に寄与した後、ゲッタリングシンクとして機能する半導体膜 1529 中に捕獲される。(図 11 (D) 参照。) よって、金属元素が低減、又は除去された結晶性半導体膜 1528 を得ることができる。

【0117】

結晶性半導体膜 1528 と n 型を有する半導体膜 1529 とをパターンニングした後、ソース電極層又はドレイン電極層 1532a、ソース電極層又はドレイン電極層 1532b を形成する (図 11 (E) 参照。 )。

【0118】

ソース電極層又はドレイン電極層 1532a、ソース電極層又はドレイン電極層 1543b をマスクとし、n 型を有する半導体膜をエッチングし、ソース領域またはドレイン領域として機能する n 型を有する半導体層 1533a、n 型を有する半導体層 1533b が形成される。チャネル保護膜 1526 がエッチングストップとして機能するため、結晶性半導体膜 1528 はエッチングされない。(図 11 (F) 参照。)

【0119】

以上の工程により、結晶性半導体膜を有する逆スタガチャネル保護型薄膜トランジスタを形成することができる。実施の形態 1 と同様に、本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度 ( $2 \sim 50 \text{ cm}^2/\text{Vs e c}$  程度) が高く、また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、金属元素をも含むため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

【0120】

本実施の形態は、実施の形態 1 と組み合わせて用いることが可能である。  
(実施の形態 4)

本発明の実施の形態について、図 13 を用いて説明する。本実施の形態は、実施の形態 1 において、結晶化を助長するための触媒金属を、非晶質半導体膜に接し、かつソース領域、ドレイン領域に接するように形成し、チャネル保護型薄膜トランジスタを形成する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0121】

基板 1540 上にゲート電極層 1541 を形成し、ゲート電極層 1541 を覆うようにゲート絶縁層 1542 を形成する。本実施の形態ではゲート絶縁層 1542 は、本実施の形態ではゲート絶縁層 542 は、窒化珪素膜、酸化珪素膜、窒化珪素膜の 3 層構造とするが、酸化珪素 ( $\text{SiOx}$ )、窒化珪素 ( $\text{SiNx}$ )、酸化窒化珪素 ( $\text{SiOxNy}$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiNxOy}$ ) ( $x > y$ ) などの単層、又はこれらの積層構造を用いてもよい。

【0122】

次に、本実施の形態においては、ゲート絶縁層 1542 上に非晶質半導体膜 1543 を形成し、金属膜 1544 を形成する。次に実施の形態 3 と同様に絶縁膜をパターンニングすることでチャネル保護層 1546 を形成する。その後 n 型を有する半導体膜 1545 を形成する (図 13 (A) 参照。 )。

## 【 0 1 2 3 】

加熱処理により非晶質半導体膜 1 5 4 3 を結晶化し、結晶性半導体膜 1 5 4 7 を形成する。金属膜 1 5 4 4 は、図 1 3 ( B ) の矢印の方向に移動し、結晶化に寄与した後、ゲッタリングシンクとして機能する半導体膜 1 5 4 8 中に捕獲される。(図 1 3 ( B ) 参照。) によって、金属元素が低減、又は除去された結晶性半導体膜 1 5 4 7 を得ることができる。

## 【 0 1 2 4 】

結晶性半導体膜 1 5 4 9 と n 型を有する半導体膜 1 5 5 0 とをパターンニングした後、ソース電極層又はドレイン電極層 1 5 5 1 a、ソース電極層又はドレイン電極層 1 5 5 1 b を形成する(図 1 3 ( C ) 参照。)

10

## 【 0 1 2 5 】

ソース電極層又はドレイン電極層 1 5 5 1 a、ソース電極層又はドレイン電極層 1 5 5 1 b をマスクとし n 型を有する半導体膜をエッチングし、ソース領域またはドレイン領域として機能する n 型を有する半導体層 1 5 5 2 a、n 型を有する半導体層 1 5 5 2 b が形成される。(図 1 3 ( D ) 参照。)

## 【 0 1 2 6 】

以上の工程により、結晶性半導体膜を有する逆スタガチャネル保護型薄膜トランジスタを形成することができる。実施の形態 1 と同様に、本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度 ( $2 \sim 50 \text{ cm}^2/\text{Vs}$  程度) が高く、また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、金属元素をも含むため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

20

## 【 0 1 2 7 】

本実施の形態は、実施の形態 1 と組み合わせて用いることが可能である。  
(実施の形態 5)

本発明の実施の形態について、図 1 4 を用いて説明する。本実施の形態は、実施の形態 1 において、結晶性半導体膜のゲッタリング工程が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

## 【 0 1 2 8 】

基板 4 0 0 上にゲート電極層 4 0 1 を形成し、ゲート電極層 4 0 1 を覆うようにゲート絶縁層 4 0 2 を形成する。ゲート絶縁層 4 0 2 上に金属膜 4 0 4 を形成し、非晶質半導体膜 4 0 3 を形成する。本実施の形態ではゲート絶縁層 4 0 2 は、本実施の形態ではゲート絶縁層 5 4 2 は、窒化珪素膜、酸化珪素膜、窒化珪素膜の 3 層構造とするが、酸化珪素 ( $\text{SiO}_x$ )、窒化珪素 ( $\text{SiN}_x$ )、酸化窒化珪素 ( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) などの単層、又はこれらの積層構造を用いてもよい。

30

## 【 0 1 2 9 】

本実施の形態では、結晶化を助長するための金属元素をゲッタリングするゲッタリングシンクとして、希ガス元素を不純物元素として含む半導体層 4 2 1 を形成する。希ガス元素は、ヘリウム、アルゴン、キセノン、クリプトンなどを用いることができ、本実施の形態ではアルゴンを不純物元素として含んだ半導体膜を形成する。(図 1 4 ( A ) 参照。)

40

## 【 0 1 3 0 】

その後加熱処理により非晶質半導体膜 4 0 3 を結晶化し、結晶性半導体膜 4 0 7 を形成するとともに、結晶性半導体膜 4 0 7 中に含まれる金属元素は図 1 4 ( B ) の矢印の方向に移動し、半導体膜 4 2 2 中に捕獲される。よって膜中に含まれる金属元素が軽減された結晶性半導体膜 4 2 3 が形成される。そして、ゲッタリングシンクとなっていた半導体膜 4 2 2、及び半導体膜 4 2 2 上に形成された酸化膜をフッ酸等により除去し、金属元素が低減、又は除去された結晶性半導体膜 4 2 3 を得ることができる。本実施の形態では、ゲッタリングシンクとなった半導体膜 4 2 2 の除去を T M A H (Tetramethyl ammonium h

50

ydroxide)を用いて行う。結晶性半導体膜423上に、図14(C)に示すように一導電型を有する半導体膜424を形成し、パターニングした後、ソース電極層又はドレイン電極層425a、ソース電極層又はドレイン電極層425bを形成する(図14(D)参照。)。本実施の形態では、一導電型を有する半導体膜424としてn型を有する半導体膜を形成する。

#### 【0131】

ソース電極層又はドレイン電極層425a、ソース電極層又はドレイン電極層425bをマスクとしてn型を有する半導体膜及び結晶性半導体膜をエッチングし、半導体層426及びソース領域またはドレイン領域として機能するn型を有する半導体層427a、n型を有する半導体層427bが形成される(図14(E)参照。)。 10

#### 【0132】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッタリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。

#### 【0133】

本実施の形態は、実施の形態1と組み合わせて用いることが可能である。

#### 【0134】

(実施の形態6)

本発明の実施の形態として、図15を用いて説明する。本実施の形態は、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタの2種類の薄膜トランジスタを製作する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。 20

#### 【0135】

基板430上にゲート電極層431a、ゲート電極層431bを形成しゲート絶縁層433を形成する。本実施の形態ではゲート絶縁層433は、本実施の形態ではゲート絶縁層542は、窒化珪素膜、酸化珪素膜、窒化珪素膜の3層構造とするが、酸化珪素( $\text{SiO}_x$ )、窒化珪素( $\text{SiN}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ )( $x > y$ )、窒化酸化珪素( $\text{SiN}_x\text{O}_y$ )( $x > y$ )などの単層、又はこれらの積層構造を用いてもよい。ゲート絶縁層433上に、結晶化を助長する金属元素を添加し、非晶質半導体膜を形成し、n型を有する半導体膜435を形成した後、加熱結晶化させ、結晶性半導体膜を形成する。結晶化にともない金属元素は矢印の方向にn型を有する半導体膜435中に移動し捕獲され、結晶性半導体膜中の金属元素が低減又は除去され、結晶性半導体膜434が形成される。(図15(A)参照。)。 30

#### 【0136】

結晶性半導体膜434及びn型を有する半導体膜435をパターニングし、半導体層436a、半導体層436bを形成する。その後、半導体層436a及びn型を有する半導体層437を覆うマスク438a、半導体層436b中のチャネル形成領域上のn型を有する半導体層444を覆うマスク438bを形成し、p型を付与する不純物元素439をn型を有する半導体層に添加する。n型を有する半導体層は、n型を付与する不純物元素の濃度の2~10倍の濃度となるようにp型を付与する不純物元素を添加することによって、p型を有する半導体層にその導電型が反転し、p型の不純物領域445a、p型の不純物領域445bを形成することができる(図15(B)参照。)。 40

#### 【0137】

ソース電極層又はドレイン電極層440a、ソース電極層又はドレイン電極層440b、ソース電極層又はドレイン電極層440c、ソース電極層又はドレイン電極層440dを液滴吐出法とレーザ光による微細な露光によって形成する(図15(C)参照。)。ソース電極層又はドレイン電極層440a、ソース電極層又はドレイン電極層440b、ソース電極層又はドレイン電極層440c、ソース電極層又はドレイン電極層440dをマスクとして、半導体層436a、半導体層436b、n型を有する半導体層437、n型 50

を有する半導体層 4 4 4 をエッチングし、半導体層 4 4 2 a、半導体層 4 4 2 b、n 型を有する半導体層 4 4 3 a、n 型を有する半導体層 4 4 3 b、p 型を有する半導体層 4 4 3 c、p 型を有する半導体層 4 4 3 d を形成することができる（図 1 5（D）参照。）。半導体層及び n 型を有する半導体層のエッチングは、ソース電極層又はドレイン電極層のパターニングの際に形成したレジストマスクを設けた状態で行っても良い。また、エッチングはドライエッチングでもウェットエッチングで行っても良く、ソース電極層又はドレイン電極層のエッチングをエッチャントによるウェットエッチングで行い、半導体層のエッチングをドライエッチングで行っても良い。

【0138】

以上の工程で同一基板上に、n チャンネル型薄膜トランジスタ及び p チャンネル型薄膜トランジスタを形成することができる。

10

【0139】

本実施の形態は、実施の形態 1 乃至 5 それぞれと組み合わせて用いることが可能である。

【0140】

（実施の形態 7）

本発明の実施の形態として、図 1 6 を用いて説明する。本実施の形態は、n チャンネル型薄膜トランジスタ及び p チャンネル型薄膜トランジスタの 2 種類の薄膜トランジスタを作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

20

【0141】

基板 4 5 0 上にゲート電極層 4 5 1 a、ゲート電極層 4 5 1 b を形成しゲート絶縁層 4 5 2 を形成する。本実施の形態ではゲート絶縁層 4 5 2 は、本実施の形態ではゲート絶縁層 5 4 2 は、窒化珪素膜、酸化珪素膜、窒化珪素膜の 3 層構造とするが、酸化珪素（ $\text{SiO}_x$ ）、窒化珪素（ $\text{SiN}_x$ ）、酸化窒化珪素（ $\text{SiO}_x\text{N}_y$ ）（ $x > y$ ）、窒化酸化珪素（ $\text{SiN}_x\text{O}_y$ ）（ $x > y$ ）などの単層、又はこれらの積層構造を用いてもよい。ゲート絶縁層 4 5 2 上に金属元素を添加し、非晶質半導体膜を形成し、希ガス元素を不純物元素として含む半導体膜を形成し、加熱結晶化させる（図 1 6（A）参照。）。

【0142】

加熱処理により、非晶質半導体が結晶化され結晶性半導体膜 4 5 3 が形成されるとともに、結晶化を助長する金属元素は矢印の方向に移動し、希ガス元素を有する半導体膜 4 5 4 中に捕獲される。ゲッターリングシンクとして用いた半導体膜 4 5 4 をエッチングによって除去する。結晶性半導体膜 4 5 3 をパターニングし、チャンネル形成領域 4 5 5 a を覆うマスク 4 5 6 a、半導体層 4 5 5 b を覆うマスク 4 5 6 b を形成し、n 型を付与する不純物元素 4 5 8 を添加し、n 型の不純物領域 4 5 7 a、n 型の不純物領域 4 5 7 b を形成する（図 1 6（B）参照。）。

30

【0143】

マスク 4 5 6 a、及びマスク 4 5 6 b を除去し、新たに n 型の不純物領域 4 5 7 a、チャンネル形成領域 4 5 5 a、n 型の不純物領域 4 5 7 b を覆うマスク 4 5 9 a、チャンネル形成領域 4 6 3 を覆うマスク 4 5 9 b を形成し、p 型を付与する不純物元素 4 6 1 を添加する。p 型を付与する不純物元素によって p 型の不純物領域 4 6 0 a、p 型の不純物領域 4 6 0 b を形成する（図 1 6（C）参照。）。n 型の不純物領域 4 5 7 a、n 型の不純物領域 4 5 7 b、p 型の不純物領域 4 6 0 a、p 型の不純物領域 4 6 0 b はソース領域またはドレイン領域として機能する。ソース領域又はドレイン領域に接してソース電極層又はドレイン電極層 4 6 2 a、ソース電極層又はドレイン電極層 4 6 2 b、ソース電極層又はドレイン電極層 4 6 2 c、ソース電極層又はドレイン電極層 4 6 2 d が形成される（図 1 6（D）参照。）。

40

【0144】

以上の工程で同一基板上に、n チャンネル型薄膜トランジスタ及び p チャンネル型薄膜トランジスタを形成することができる。実施の形態 6 と比べ成膜工程が削減できるため、ス

50

ループットを向上させることが可能である。

【 0 1 4 5 】

( 実施の形態 8 )

本発明の実施の形態として、図 1 7 を用いて説明する。本実施の形態は、n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタの 2 種類の薄膜トランジスタを作製する例であり、ゲッターリングの工程が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【 0 1 4 6 】

基板 4 7 0 上にゲート電極層 4 7 1 a、ゲート電極層 4 7 1 b を形成しゲート絶縁層 4 7 2 を形成する。本実施の形態ではゲート絶縁層 4 7 2 は、本実施の形態ではゲート絶縁層 5 4 2 は、窒化珪素膜、酸化珪素膜、窒化珪素膜の 3 層構造とするが、酸化珪素 (  $\text{SiO}_x$  )、窒化珪素 (  $\text{SiN}_x$  )、酸化窒化珪素 (  $\text{SiO}_x\text{Ny}$  ) (  $x > y$  )、窒化酸化珪素 (  $\text{SiN}_x\text{Oy}$  ) (  $x > y$  ) などの単層、又はこれらの積層構造を用いてもよい。ゲート絶縁層 4 7 2 上に、金属膜 5 7 0 を形成し、非晶質半導体膜 5 7 1 を形成する ( 図 1 7 ( A ) 参照。 )。非晶質半導体膜 5 7 1 及び金属膜 5 7 0 をパターンニングし、半導体層 4 7 3 a、半導体層 4 7 3 b、金属層 5 7 2 a、金属層 5 7 2 b を形成する ( 図 1 7 ( B ) 参照。 )。

【 0 1 4 7 】

チャネル形成領域 4 8 3 a を覆うマスク 4 7 4 a、チャネル形成領域 4 8 3 b を覆うマスク 4 7 4 b を形成し、n 型を付与する不純物元素 4 7 6 を添加し、n 型の不純物領域 4 7 5 a、n 型の不純物領域 4 7 5 b、n 型の不純物領域 4 7 5 c、n 型の不純物領域 4 7 5 d を形成する ( 図 1 7 ( C ) 参照。 )。その後加熱処理を行う。

【 0 1 4 8 】

加熱処理により、半導体中のチャネル形成領域 4 8 3 a 及びチャネル形成領域 4 8 3 b が結晶化するとともに、半導体層中のチャネル形成領域 4 8 3 a、チャネル形成領域 4 8 3 b に含まれる金属元素はゲッターリングされ、それぞれ矢印の方向に n 型の不純物領域 4 7 7 a、n 型の不純物領域 4 7 7 b、n 型の不純物領域 4 7 7 c、n 型の不純物領域 4 7 7 d に移動し捕獲され、金属元素が除去、軽減されたチャネル形成領域 4 7 8 a、チャネル形成領域 4 7 8 b が形成される ( 図 1 7 ( D ) 参照。 )。また、この熱処理によって、添加された n 型を付与する不純物元素の活性化も行うことができる。

【 0 1 4 9 】

n 型の不純物領域 4 7 7 a、チャネル形成領域 4 7 8 a、n 型の不純物領域 4 7 7 b を覆うマスク 4 7 9 a、チャネル形成領域 4 7 8 b を覆うマスク 4 7 9 b を形成し、p 型を付与する不純物元素 4 8 1 を添加する。p 型を付与する不純物元素によって p 型の不純物領域 4 8 0 a、p 型の不純物領域 4 8 0 b を形成する ( 図 1 7 ( E ) 参照。 )。n 型の不純物領域 4 7 7 a、n 型の不純物領域 4 7 7 b、p 型の不純物領域 4 8 0 a、p 型の不純物領域 4 8 0 b はソース領域またはドレイン領域として機能する。ソース領域又はドレイン領域に接してソース電極層又はドレイン電極層 4 8 2 a、ソース電極層又はドレイン電極層 4 8 2 b、ソース電極層又はドレイン電極層 4 8 2 c、ソース電極層又はドレイン電極層 4 8 2 d が形成される ( 図 1 7 ( F ) 参照。 )。

【 0 1 5 0 】

以上の工程で同一基板上に、n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタを形成することができる。実施の形態 6 と比べ成膜工程が削減できるため、スループットを向上させることが可能である。

【 0 1 5 1 】

( 実施の形態 9 )

本実施の形態を、図 1 8 乃至 2 2 を用いて説明する。本実施の形態は、画素領域を実施の形態 1 で作製した画素領域で、周辺駆動回路領域も本発明を用いた薄膜トランジスタにより作製され、実施の形態 6 で作製される n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタからなる CMOS を適用している。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

## 【0152】

図23は本実施の形態で作製する表示装置の画素領域の上面図であり、図18乃至図21、図22(B)は、各工程の図6におけるの線A-C、B-Dの断面図である。また、図18乃至図21におけるI-Jの領域は、図22(A)の表示装置の周辺駆動回路領域である線I-Jに対応する断面図である。

## 【0153】

基板300上に導電膜を形成し、レジストからなるマスクによってパターニングを行い、ゲート電極層301、ゲート電極層302、ゲート電極層303、ゲート電極層360a、ゲート電極層360b、第1の電極層304(画素電極層ともいう)を形成する。本実施の形態では、ゲート電極層を透明導電膜の単層で形成するが、積層構造としてもよい。積層構造としては、Ta、Ti、W、Mo、Cr、前記元素の窒化膜などの積層を用いることはでき、具体的にはTa<sub>2</sub>N<sub>5</sub>、TiN、W、Mo、Cr、TiN、W、TiN、Mo、TiN、Crなどを用いることができる。本実施の形態では、液滴吐出法によって酸化珪素を含むインジウム錫酸化物(ITSO)を含む組成物を吐出し、焼成してゲート電極層形成領域を含む近傍に導電膜を形成する。この導電膜をレーザ光による露光によって微細に加工されたマスクを用いて、精密にパターニングし、ゲート電極層301、ゲート電極層302、ゲート電極層303、ゲート電極層360a、ゲート電極層360b、第1の電極層304を形成する。

## 【0154】

ゲート電極層301、ゲート電極層302、ゲート電極層303、ゲート電極層360a、ゲート電極層360b、第1の電極層304上にゲート絶縁層305を形成し、ゲート絶縁層305上に結晶化を促進、助長する元素として、金属膜306を形成する(図18(A)参照)。金属膜306は非常に膜厚が薄いため膜としての形状を保っていない場合がある。本実施の形態では、ゲート絶縁層305として、窒化珪素からなる絶縁層をプラズマCVD法により50nm形成し、酸化珪素からなる絶縁層をプラズマCVD法により100nm形成し、窒化珪素からなる絶縁層をプラズマCVD法により5nm形成して用いる。また、Niを100ppmを含有した水溶液をスピンコーティング法により塗布し、金属膜306を形成する。

## 【0155】

次に、非晶質半導体膜307を形成し、n型を有する半導体膜308を形成する。本実施の形態では、非晶質半導体膜307として非晶質珪素膜をプラズマCVD法により200nm形成し、n型を有する半導体膜308として、n型を付与する不純物元素としてリン(P)を含む非晶質珪素膜をプラズマCVD法により100nm形成する。(図18(B)参照)。

## 【0156】

非晶質半導体膜307を加熱し、結晶化させ、結晶性半導体膜310を形成する。加熱処理により、金属元素は結晶化を助長しながら矢印の方向へ移動し、n型を有する半導体膜311中に捕獲されるため、結晶性半導体膜310は、膜中の金属元素が軽減されており、n型を有する半導体膜311は、n型を付与する不純物元素(本実施の形態ではP)と金属元素(本実施の形態ではNi)を含むn型を有する膜となる。(図18(C)参照)本実施の形態では、550℃で4時間加熱処理を行い、結晶性半導体膜310を形成する(図18(C)参照)。

## 【0157】

結晶性半導体膜310及びn型を有する半導体膜311をパターニングし、半導体層312、半導体層313、半導体層314、半導体層361、n型を有する半導体層315、n型を有する半導体層316、n型を有する半導体層317、及びn型を有する半導体層362を形成することができる(図19(A)参照)。これらの半導体層のパターニングも、本発明のレーザ光による露光によって微細に加工されたマスクを用いて、精密にパターニングすることができる。

## 【0158】

次に、半導体層 312、n 型を有する半導体層 315 を覆うマスク 318 a、半導体層 313 のチャネル形成領域及び n 型を有する半導体層 316 のチャネル形成領域を覆うマスク 318 b、半導体層 314 及び n 型を有する半導体層 317 を覆うマスク 318 c、半導体層 361 及び n 型を有する半導体層 362 を覆うマスク 318 d を形成する。p 型を付与する不純物元素 319 を添加し、n 型を有する半導体層 316 中に、p 型の不純物領域 320 a、p 型の不純物領域 320 b を形成する（図 19（B）参照。）。本実施の形態では、イオンドーピング法を用いて p 型を付与する不純物元素（本実施の形態ではボロン（B））を添加する。その後、550 で 4 時間加熱処理を行い、不純物元素の添加領域を活性化する。

#### 【0159】

次に、駆動回路領域において、CMOS 構成を用いてインバーターとして機能させている。PMOS のみ、NMOS のみの構成の場合においては、一部の TFT のゲート電極層とソース電極層又はドレイン電極層とを接続させる。このような例を図 43 に示す。フォトマスクを用いてゲート絶縁層 305 の一部をエッチングして、図 43 に示すようなコンタクトホール 890 を形成する。本実施の形態では、画素電極層とソース電極層又はドレイン電極層との接続を、層間絶縁層に形成するコンタクトホールを介して行うが、ソース電極層又はドレイン電極層と画素電極層を層間絶縁層を介さないで接続してもよい。この場合、画素電極層に達する開口部を、コンタクトホール 890 と同時に形成することができる。その後、これらのコンタクトホールにソース電極層又はドレイン電極層を形成し、それぞれゲート電極層、又は画素電極層と電気的に接続する。ソース電極層又はドレイン電極層 327 b とゲート電極層 302 を接続することによって NMOS 同士、PMOS 同士であってもインバーターとしてきのうさせることができる。前述したように本実施の形態では、薄膜トランジスタ 335 と薄膜トランジスタ 336 とは CMOS 構成となっているので図 43 で示す構造としなくてもインバーターとして機能させることができる。

#### 【0160】

マスク 318 a、マスク 318 b 及びマスク 318 c を除去した後、半導体層 312、半導体層 313、半導体層 314、及び半導体層 362 上に、導電層 321、導電層 322、導電層 363 を形成する。本実施の形態では、液滴吐出法を用いて、選択的に導電層 321、導電層 322、導電層 363 を形成し、材料のロスを軽減する。導電性材料として銀（Ag）を用い、液滴吐出装置 380 a、液滴吐出装置 380 b、液滴吐出装置 380 c より Ag を含む組成物を吐出し、300 で焼成して、導電層 321、導電層 322、導電層 363 を形成する（図 19（C）参照。）。また、同工程で、容量素子も形成するソース電極層又はドレイン電極層となる導電層 370 も、ゲート電極層 360 a 上のゲート絶縁層 305 上に形成する。

#### 【0161】

実施の形態 1 で、図 8 を用いて説明したように、導電層 321、導電層 322、導電層 363、導電層 370 を精密にパターンニングし、ソース電極層又はドレイン電極層 327 a、ソース電極層又はドレイン電極層 327 b、ソース電極層又はドレイン電極層 327 c、ソース電極層又はドレイン電極層 328、ソース電極層又はドレイン電極層 366 a、ソース電極層又はドレイン電極層 366 b、ソース電極層又はドレイン電極層 366 c を形成する。ソース電極層又はドレイン電極層 327 a、ソース電極層又はドレイン電極層 327 b、ソース電極層又はドレイン電極層 327 c、ソース電極層又はドレイン電極層 328、ソース電極層又はドレイン電極層 366 a、ソース電極層又はドレイン電極層 366 b をマスクとして、半導体層 312、半導体層 313、半導体層 314、半導体層 361、n 型を有する半導体層 315、n 型を有する半導体層 316、n 型を有する半導体層 317、n 型を有する半導体層 362 をエッチングし、半導体層 371、半導体層 372、半導体層 373、半導体層 375、n 型を有する半導体層 324 a、n 型を有する半導体層 324 b、p 型を有する半導体層 325 a、p 型を有する半導体層 325 b、n 型を有する半導体層 326 a、n 型を有する半導体層 326 b、n 型を有する半導体層 365 a、n 型を有する半導体層 365 b を形成する。エッチングはドライエッチング又

10

20

30

40

50

はウェットエッチングを用いることができる。本実施の形態では、ドライエッチング法を用いる。

【0162】

以上の工程で、CMOSを構成するnチャネル型薄膜トランジスタ335及びpチャネル型薄膜トランジスタ336、nチャネル型薄膜トランジスタ337、nチャネル型薄膜トランジスタ364、容量素子338を形成することができる(図20(A)参照。)。本実施の形態ではCMOSの構成としたが、本発明はそれに限定されず、PMOSの構成でもNMOSの構成としてもよい。

【0163】

パッシベーション膜となる絶縁膜330を形成する。本実施の形態では、絶縁膜330を、半導体層に接する側から、膜厚150nmの酸化珪素膜と膜厚200nmの窒化珪素膜との積層膜で形成する。絶縁膜330は、他の珪素を含む膜で形成しても良く、酸化珪素膜の代わりに酸化窒化珪素膜を用い、酸化窒化珪素膜と窒化珪素膜の積層としてもよい。

【0164】

絶縁膜330には水素を含ませるように形成し、温度300~500 窒素雰囲気下で加熱処理を行い、半導体層の水素化を行う。

【0165】

絶縁膜330上に絶縁層339を形成する。本実施の形態では、スリッドコーターを用いて、アルキル基を含む酸化珪素膜を形成する。絶縁層339、絶縁膜330にソース電極層又はドレイン電極層328に達する開口部340b、及びソース電極層又はドレイン電極層366bに達する開口部340dを、絶縁層339、絶縁膜330、ゲート絶縁層305に、ゲート電極層303に達する開口部340a、ゲート電極層360aに達する開口部340c、及び第1の電極層304に達する開口部340eを形成する(図20(B)参照。)。開口部を形成するパターニングには、本発明のレーザ光による微細加工を用いることができる。また、本実施の形態では、ドライエッチングにより開口部を形成する。

【0166】

次に配線層341、ゲート配線層342、ゲート配線層367を形成する。本実施の形態では、ゲート配線層、または配線層を、Agを用い、液滴吐出法によって形成する。導電性材料としてAgを含む組成物を開口部340a、開口部340b、開口部340c、開口部340d、開口部340eに吐出し、300 で焼成する。以上の工程より、ソース電極層又はドレイン電極層328とゲート電極層360aとを電氣的に接続するゲート配線層367と、ソース電極層又はドレイン電極層366bと第1の電極層304とを電氣的に接続する配線層341と、ゲート電極層303と電氣的に接続するゲート配線層342を形成する(図20(C)参照。)。

【0167】

続いて、土手(隔壁ともよばれる)となる絶縁層343を形成する。絶縁層343は、スピンコート法やディップ法により全面に絶縁層を形成した後、エッチング加工によって図21に示すように開孔を形成する。また、液滴吐出法により絶縁層343を形成すれば、エッチング加工は必ずしも必要ない。

【0168】

絶縁層343は、第1の電極層304に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。

【0169】

第1の電極層304上に、電界発光層344、第2の電極層345を積層形成する。その後、封止基板347によって充填剤346を封入して封止する。充填剤346の代わりに、窒素などの不活性ガスを充填してもよい。また、乾燥剤を表示装置内に設置することによって、発光素子の水分による劣化を防止することができる。乾燥剤の設置場所は、封止基板347側でも、素子が形成されている基板300側でもよく、シール材348が

10

20

30

40

50



形成される領域に基板に凹部を形成して設置してもよい。また、封止基板 347 の駆動回路領域や配線領域など表示に寄与しない領域に対応する場所に設置すると、乾燥剤が不透明な物質であっても開口率を低下させることがない。充填剤 346 に吸湿性の材料を含むように形成し、乾燥剤の機能を持たせても良い。以上により、発光素子を用いた表示機能を有する表示装置が完成する（図 21 参照）。

#### 【0170】

また、表示装置内部と外部を電氣的に接続するための端子電極層 352 に、異方性導電膜 353 によって FPC 354 が接着され、端子電極層 352 と電氣的に接続する。

#### 【0171】

図 22 (A) に、表示装置の上面図を示す。図 22 (A) で示すように、画素領域 390、走査線駆動領域 391a、走査線駆動領域 391b、接続領域 393 が、シール材 348 によって、基板 300 と封止基板 347 との間に封止され、基板 300 上に IC ドライバによって形成された信号線駆動回路 392 が設けられている。

#### 【0172】

本実施の形態で示す図 22 の表示装置は、ゲート電極層 301、ゲート電極層 302、ゲート電極層 303、ゲート電極層 360a、ゲート電極層 360b、第 1 の電極層 304 を単層構造で示しているが、前述したように、ゲート電極層を 2 層以上の複数層積層してもよい。ゲート電極層及び第 1 の電極層を積層構造にした例を図 47 に示す。

#### 【0173】

積層構造としては、Ta、Ti、W、Mo、Cr、前記元素の窒化膜などの積層を用いることはでき、具体的には TaN\W、TaN\Mo、TaN\Cr、TiN\W、TiN\Mo、TiN\Cr などを用いることができる。本実施の形態では第 1 のゲート電極層 301a、第 1 のゲート電極層 302a、第 1 のゲート電極層 303a、第 1 のゲート電極層 360a1、第 1 のゲート電極層 360b1 として TaN を用い、第 2 のゲート電極層 301b、第 2 のゲート電極層 302b、第 2 のゲート電極層 303b、第 2 のゲート電極層 360a2、第 2 のゲート電極層 360b2 として W を用いる。同工程で形成される画素電極層においても、第 1 の電極層 304a として TaN 膜を、第 1 の電極層 304b として W 膜を形成する。このようにゲート電極層及び画素電極層を積層構造とすることができる。また、画素電極層を単層構造で形成し、ゲート電極層を積層構造としてもよく、反対に、画素電極層を積層構造としゲート電極層を単層構造としてもよい。表示装置に要求される機能に応じて適宜設定すればよい。

#### 【0174】

以上の工程により、結晶性半導体膜を有する逆スタガ型薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、金属元素を含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

#### 【0175】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

#### 【0176】

更には、ゲッターリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッターリングするため、オフ電流を低減することが可能である。このため、このような薄膜トランジスタを表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

#### 【0177】

(実施の形態 10)

#### 【0178】

本実施の形態では、実施の形態 9 における表示装置において、配線間の接続構造が異

10

20

30

40

50

なる例を図 23 を用いて説明する。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0179】

実施の形態 9 では、ソース電極層又はドレイン電極層と、ゲート電極層または第 1 の電極層とを電氣的に接続する際、ゲート電極層と層間絶縁層である絶縁膜 140 及び絶縁層 116 をパターニングして、形成された開口部を形成している。この方法であると開口部を一回の工程ですべて作製することができるので、工程は簡略化する利点がある。形成する開口部と配線間の接続構造が異なる例を図 23 に示す。

【0180】

図 23 に本実施の形態で作製する表示装置の画素領域の上面図及び断面図を示す。図 23 (A) は本実施の形態における表示素装置の上面図であり、図 23 (B) は、図 23 (A) における線 A - C の断面図、図 23 (C) は、図 23 (A) における線 B - D の断面図である。

【0181】

ソース電極層 193 とゲート電極層 104 とは、配線層を介しないで、直接ゲート絶縁層に形成された開口部 197 にて接続している。また、ソース電極層又はドレイン電極層 195 と第 1 の電極層 120 も配線層を介しないで、直接接続する構造となっている。このように、ゲート絶縁層を形成した後、ソース電極層又はドレイン電極層を形成する前に、ゲート絶縁層にゲート電極層、又は第 1 の電極層に達する開口部を形成しておけば、その開口部にソース電極層又はドレイン電極層を形成することによって、間に配線層を設けなくても良い。その後、絶縁膜 140、絶縁層 116 を形成し、開口部 135、開口部 139 を形成する。開口部 135 にゲート配線層 117 を形成し、ゲート電極層 103 と電氣的に接続する。このように開口部を形成する工程を分けると、配線間を接続する配線層を形成しなくても良い構造とすることができる。また上面放射型表示装置ならば、反射性を有する材料をソース電極層又はドレイン電極層 195 に用い、第 1 の電極層 120 と積層するような構造であってもよい。

【0182】

本実施の形態は、実施の形態 1 乃至 9 とそれぞれ組み合わせて用いることが可能である。

【0183】

(実施の形態 11)

実施の形態 1 では、ゲート電極層と、ソース電極層又はドレイン電極層 (ソース配線層も含む) 及び容量配線層とがゲート絶縁層を介して積層し、ソース電極層又はドレイン電極層 (ソース配線層も含む) とゲート配線層とが層間絶縁層を介して積層している多層構造を用いている。本実施の形態では、これらの積層構造が異なる例を図 34 乃至図 39、及び図 44 を用いて説明する。図 34 (A) 乃至図 39 (A) は、表示装置の上面図であり、図 34 (B) 乃至図 36 (B) は、図 34 (A) 乃至図 36 (A) において線 X1 - V1 による断面図である。図 34 (A) 乃至図 36 (A) は、表示装置の上面図であり、図 34 (B) 乃至図 39 (B) は、図 34 (A) 乃至図 39 (A) において線 X1 - V1 による断面図である。

【0184】

図 34 (A) は、表示装置の上面図であり、図 34 (B) は、図 34 (A) における線 X1 - V1 による断面図である。

【0185】

図 34 において、表示装置の画素領域内には、基板 600 上にゲート電極層 601a、ゲート電極層 601b、画素電極層 611、ゲート絶縁層 602、容量配線層 604、ソース電極層又はドレイン電極層 603a、ソース電極層又はドレイン電極層 603b、ゲート配線層 607、半導体層 608、n 型を有する半導体層 609a、n 型を有する半導体層 609b、パッシベーション膜である絶縁膜 605、絶縁層 606 が形成されている。ゲート絶縁層 602 は、実施の形態と同様な 3 層構造である。

## 【0186】

絶縁膜605は必ずしも必要ではないが、絶縁膜605を形成すると、パッシベーション膜として機能するので、より表示装置の信頼性が向上する。また、絶縁膜605を形成し、熱処理を行うと、絶縁膜605中に含まれる水素によって半導体層の水素化を行うことができる。

## 【0187】

図34(B)で示すようにソース電極層又はドレイン電極層603bは、層間絶縁層である絶縁層606を介して、ゲート配線層607と積層しており、ゲート配線層607は、ゲート電極層601a、ゲート電極層601bと絶縁層606、絶縁膜605、ゲート絶縁層602に形成されたコンタクトホールで接続されている。よってゲート配線層607と、ソース電極層又はドレイン電極層603b及び容量配線層604とはショートしない構造となっている。

10

## 【0188】

図35(A)は、表示装置の上面図であり、図35(B)は、図35(A)における線X2-V2による断面図である。図35において、表示装置の画素領域内には、基板620上にゲート電極層621a、ゲート電極層621b、ゲート絶縁層622、容量配線層624、ソース電極層又はドレイン電極層623a、ソース電極層又はドレイン電極層623b、ゲート配線層627a、ゲート配線層627b、パッシベーション膜である絶縁膜625、絶縁層626が形成されている。ゲート絶縁層622は、実施の形態と同様な3層構造である。

20

## 【0189】

図35(B)で示すようにソース電極層又はドレイン電極層623bは、層間絶縁層である絶縁層626を介して、ゲート配線層627bと積層しており、ゲート配線層627bは、ゲート電極層621a、ゲート電極層621bと絶縁層626、絶縁膜625、ゲート絶縁層622に形成されたコンタクトホールで接続されている。よってゲート配線層627bと、ソース電極層又はドレイン電極層623b及び容量配線層624とはショートしない構造となっている。また、図32で示す表示装置は、ゲート配線層とゲート電極層は連続的ではなく断続的に形成され、お互いにコンタクトホールを介して電氣的な接続を取りながら形成されている構造となっている。よって、ソース電極層又はドレイン電極層623b、容量配線層624が形成されている領域では、ゲート電極層621aとゲート電極層621bとは、絶縁膜660上に形成するゲート配線層627bとコンタクトホールにおいて接続することで電氣的に接続されている。

30

## 【0190】

図36(A)は、表示装置の上面図であり、図36(B)は、図36(A)における線X3-V3による断面図である。図36において、表示装置の画素領域内には、基板630上にゲート電極層631a、ゲート電極層631b、ゲート絶縁層632容量配線層634、ソース電極層又はドレイン電極層633a、ソース電極層又はドレイン電極層633b、ゲート配線層637a、ゲート配線層637b、配線層638a、配線層638b、パッシベーション膜である絶縁膜635、絶縁層636が形成されている。ゲート絶縁層632は、実施の形態と同様な3層構造である。

40

## 【0191】

図36(B)で示すようにソース電極層又はドレイン電極層633bは、層間絶縁層である絶縁層636を介して、ゲート配線層637bと積層している。図35で示す表示装置において、ゲート電極層621aとゲート配線層627a及びゲート配線層627bとは直接接続している。しかし図36で示す表示装置では、ゲート電極層631aと、ゲート配線層637a及びゲート配線層637bとは、ソース電極層と同材料、同工程で形成される配線層638aを介して電氣的に接続される。よって、ゲート電極層631aはゲート絶縁層632上に形成される配線層638aとコンタクトホールで接続し、配線層638aは、ゲート配線層637a及びゲート配線層637bとコンタクトホールを介して接続する。よって、ゲート電極層631a、ゲート配線層637a、及びゲート配線層

50

6 3 7 bは電氣的に接続する。ソース電極層又はドレイン電極層 6 3 3 b、容量配線層 6 3 4は層間絶縁層である絶縁層 6 3 6を介してゲート配線層 6 3 7 bと積層されるので、ソース電極層又はドレイン電極層 6 3 3 b及び容量配線層 6 3 4とゲート配線層 6 3 7 bとはショートしない構造となっている。

【0192】

図34、図35及び図36は層間絶縁層として絶縁層を、広範囲にわたって覆うように形成した場合を示した。図37、図36及び図39は配線層間を隔てる層間絶縁層を、液滴吐出法を用いて必要な個所のみを選択的に形成する例を示す。

【0193】

図37は図34に、図38は図35に、図39は図36の表示装置にそれぞれ対応しており、層間絶縁層の構造が異なる構造となっている。図37(A)は、表示装置の上面図であり、図37(B)は、図37(A)における線Y1-Z1による断面図である。図34において、ソース電極層又はドレイン電極層 6 0 3 b及び容量配線層 6 0 4を覆うように絶縁層 6 5 0が液滴吐出法により形成されている。その絶縁層 6 5 0上を跨ぐようにゲート配線層 6 0 7が形成されている。ゲート配線層 6 0 7上には、パッシベーション膜として絶縁膜 6 6 0が形成されている。絶縁膜 6 6 0は必ずしも必要ではないが、形成することで信頼性を向上させることができる。また本実施の形態では、絶縁層 6 5 0単層で形成するが、絶縁層 6 5 0の上、または下に絶縁膜を形成して積層構造としてもよい。

【0194】

図38(A)は、表示装置の上面図であり、図38(B)は、図38(A)における線Y2-Z2による断面図である。図38においても図37と同様に、ソース電極層又はドレイン電極層 6 2 3 b及び容量配線層 6 2 4を覆うように絶縁層 6 5 1が、液滴吐出法により選択的に形成されている。その絶縁層 6 5 1上を跨ぐようにゲート配線層 6 2 7 bが形成され、ゲート電極層 6 2 1 aとコンタクトホールにより接続されている。ゲート配線層 6 2 7 a上には、パッシベーション膜として絶縁膜 6 6 1が形成されている。

【0195】

図39(A)は、表示装置の上面図であり、図39(B)は、図39(A)における線Y3-Z3による断面図である。図39においても図37と同様に、ソース電極層又はドレイン電極層 6 3 3 b及び容量配線層 6 3 4を覆うように絶縁層 6 5 2が、液滴吐出法により選択的に形成されている。その絶縁層 6 5 2上を跨ぐようにゲート配線層 6 3 7 bが形成され、配線層 6 3 8 aを介してゲート配線層 6 3 7 a及びゲート電極層 6 3 1 aと電氣的に接続している。

【0196】

絶縁層 6 5 0、絶縁層 6 5 1、絶縁層 6 5 2のように配線層間のショートを防ぐための絶縁層を、液滴吐出法を用いて選択的に形成すると、材料のロスが軽減する。また、直接配線間が接するように形成することができるので、絶縁層にコンタクトホールを形成する工程が減る。よって、工程が簡略化し低いコスト、高い生産性を得ることができる。

【0197】

図44の表示装置もソース電極層又はドレイン電極層 6 4 3 b及び容量配線層 6 4 4と配線層 6 4 7 bを物理的に隔てるために設ける絶縁層 6 5 3を液滴吐出法を用いて選択的に形成する例である。図47乃至図39における表示装置では、絶縁層上にゲート配線層を跨ぐように形成することで、ソース電極層又はドレイン電極層とゲート配線層とのショートを防いでいた。図44の表示装置では、ゲート電極層 6 4 1 a、ゲート電極層 6 4 1 bを形成する工程で、配線層 6 4 7 a、配線層 6 4 7 bを形成する。その後ソース電極層又はドレイン電極層 6 4 3 a、容量配線層 6 4 4を形成する前に、配線層 6 4 7 a、配線層 6 4 7 bを覆うゲート絶縁層 6 4 2の一部をエッチングによって除去する。図41(A)の表示装置上面図に示すように、ゲート絶縁層 6 4 2は、半導体層上、ゲート電極層とソース電極層又はドレイン電極層が積層する領域、容量素子を形成する領域上に存在するが、配線層 6 4 7 a、配線層 6 4 7 b、配線層 6 4 8 a、配線層 6 4 8 bが形成される領域は除去されている。よって、コンタクトホールを形成することなく、配線層同士は直

接接続することができる。配線層 6 4 7 b 上の一部に絶縁層 6 5 3 を液滴吐出法によって選択的に形成し、絶縁層 6 5 3 上にソース電極層又はドレイン電極層 6 4 3 a、容量配線層 6 4 4 を形成する。ソース電極層又はドレイン電極層 6 4 3 b 及び容量配線層 6 4 4 を形成するのと同工程で、配線層 6 4 8 a、配線層 6 4 8 b をゲート電極層 6 4 1 a、ゲート電極層 6 4 1 b とそれぞれ接するように形成する。配線層 6 4 8 a と配線層 6 4 8 b とは、絶縁層 6 5 3 の下で配線層 6 4 7 b によって電氣的に接続されている。このように、絶縁層 6 5 3 の下層でゲート配線層とゲート電極層を電氣的に接続することができる。

【 0 1 9 8 】

以上の工程で示すように、信頼性の高い表示装置を低コストで生産性よく作製することができる。

【 0 1 9 9 】

本実施の形態は、実施の形態 1 乃至 1 0 とそれぞれ組み合わせて用いることが可能である。

【 0 2 0 0 】

( 実施の形態 1 2 )

次に、実施の形態 1 乃至 1 1 によって作製される表示パネルに駆動用のドライバ回路を実装する態様について説明する。

【 0 2 0 1 】

まず、COG方式を採用した表示装置について、図 3 3 ( A ) を用いて説明する。基板 2 7 0 0 上には、文字や画像などの情報を表示する画素部 2 7 0 1 が設けられる。複数の駆動回路が設けられた基板を、矩形状に分断し、分断後の駆動回路 ( 以下ドライバ IC と表記 ) 2 7 5 1 は、基板 2 7 0 0 上に実装される。図 3 3 ( A ) は複数のドライバ IC 2 7 5 1、ドライバ IC 2 7 5 1 の先に FPC 2 7 5 0 を実装する形態を示す。また、分割する大きさを画素部の信号線側の辺の長さとはほぼ同じにし、単数のドライバ IC に、該ドライバ IC の先にテープを実装してもよい。

【 0 2 0 2 】

また、TAB方式を採用してもよく、その場合は、図 3 3 ( B ) で示すように複数のテープを貼り付けて、該テープにドライバ IC を実装すればよい。COG方式の場合と同様に、単数のテープに単数のドライバ IC を実装してもよく、この場合には、強度の問題から、ドライバ IC を固定する金属片等を一緒に貼り付けるとよい。

【 0 2 0 3 】

これらの表示パネルに実装されるドライバ IC は、生産性を向上させる観点から、一辺が 3 0 0 mm から 1 0 0 0 mm 以上の矩形状の基板上に複数個作り込むとよい。

【 0 2 0 4 】

つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバ IC の長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が 1 5 ~ 8 0 mm、短辺が 1 ~ 6 mm の矩形状に形成してもよいし、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

【 0 2 0 5 】

ドライバ IC の IC チップに対する外形寸法の優位性は長辺の長さであり、長辺が 1 5 ~ 8 0 mm で形成されたドライバ IC を用いると、画素部に対応して実装するのに必要な数が IC チップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバ IC を形成すると、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウエハから IC チップを取り出す場合と比較すると、大きな優位点である。

【 0 2 0 6 】

また、図 3 2 ( B ) のように走査線側の駆動回路 3 7 0 4 は基板上に一体形成される場合、画素領域 3 7 0 1 の外側の領域には、信号線側の駆動回路駆動回路が形成されたドライバ IC が実装される。これらのドライバ IC は、信号線側の駆動回路である。RGBフ

10

20

30

40

50

ルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が3072本必要であり、UXGAクラスでは4800本が必要となる。このような本数で形成された信号線は、画素領域3701の端部で数ブロック毎に区分して引出線を形成し、ドライバICの出力端子のピッチに合わせて集められる。

【0207】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適であり、本発明を用いた薄膜トランジスタを用いることができる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。

【0208】

10

画素領域は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。画素領域に配置されるトランジスタとしても、本発明を用いた薄膜トランジスタを適用することができる。本発明を適用して作製される薄膜トランジスタは、簡略化した工程で比較的高移動度が得られるため、大画面の表示装置を作製する上で有効である。従って、この薄膜トランジスタを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いることができる。従って、システムオンパネル化を実現した表示パネルを作製することができる。

【0209】

図33(A)、(B)のように走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするとよい。

20

【0210】

その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにすることが好適である。例えば、走査線側のドライバICを構成するトランジスタには30V程度の耐圧が要求されるものの、駆動周波数は100kHz以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャンネル長(L)は十分大きく設定することが好適である。一方、信号線側のドライバICのトランジスタには、12V程度の耐圧があれば十分であるが、駆動周波数は3Vにて65MHz程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャンネル長などはミクロンルールで設定することが好適である。なおチャンネル長方向とは、チャンネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。

30

【0211】

ドライバICの実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることができる。

【0212】

ドライバICの厚さは、対向基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この表示装置に温度変化が生じても熱応力が発生することなく、TFTで作製された回路の特性を損なうことはない。その他にも、本実施の形態で示すようにICチップよりも長尺のドライバICで駆動回路を実装することにより、1つの画素領域に対して、実装されるドライバICの個数を減らすことができる。

40

【0213】

以上のようにして、発光(EL)表示パネルに駆動回路を組み入れることができる。

【0214】

本実施の形態は、実施の形態1乃至11とそれぞれ組み合わせて用いることが可能である。

【0215】

(実施の形態13)

本実施の形態では、上記実施の形態において、ゲート電極層とソース電極層及びドレイン電極層との端部の位置関係、即ちゲート電極層の幅とチャンネル長の大きさの関係につい

50

て、図 28 を用いて説明する。

【0216】

図 28 (A) は基板 540 上に形成された、ゲート電極層 541、ゲート絶縁層 542、半導体層 543、一導電型を有する半導体層 544a、一導電型を有する半導体層 544b、ソース電極層又はドレイン電極層 545a、ソース電極層又はドレイン電極層 545b からなる薄膜トランジスタである。本実施の形態ではゲート絶縁層 542 は、窒化珪素膜、酸化珪素膜、窒化珪素膜の 3 層構造とするが、酸化珪素 ( $\text{SiO}_x$ )、窒化珪素 ( $\text{SiN}_x$ )、酸化窒化珪素 ( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) などの単層、又はこれらの積層構造を用いてもよい。

【0217】

図 28 (A) は、ゲート電極層 541 上をソース電極層及びドレイン電極層 545a、ソース電極層及びドレイン電極層 545b の端部が c1 だけ重なっている。ここでは、ソース電極層及びドレイン電極層 545a、ソース電極層及びドレイン電極層 545b とが重なっている領域をオーバーラップ領域と呼ぶ。即ち、ゲート電極層の幅 b1 がチャンネル長 a1 よりも大きい。オーバーラップ領域の幅 c1 は、 $(b1 - a1) / 2$  で表される。このようなオーバーラップ領域を有する n チャンネル T F T は、ソース電極層及びドレイン電極層と、半導体領域との間に、n+領域と n-領域とを有することが好ましい。この構造により、電界の緩和効果が大きくなり、ホットキャリア耐性を高めることが可能となる。

【0218】

図 28 (B) は基板 550 上に形成された、ゲート電極層 551、ゲート絶縁層 552、半導体層 553、一導電型を有する半導体層 554a、一導電型を有する半導体層 554b、ソース電極層又はドレイン電極層 555a、ソース電極層又はドレイン電極層 555b からなる薄膜トランジスタである。本実施の形態ではゲート絶縁層 552 は、窒化珪素膜、酸化珪素膜、窒化珪素膜の 3 層構造とするが、酸化珪素 ( $\text{SiO}_x$ )、窒化珪素 ( $\text{SiN}_x$ )、酸化窒化珪素 ( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) などの単層、又はこれらの積層構造を用いてもよい。

【0219】

図 28 (B) は、ゲート電極層 551 の端部と、ソース電極層及びドレイン電極層 555a、ソース電極層及びドレイン電極層 555b の端部が一致している。即ち、ゲート電極層の幅 b2 とチャンネル長 a2 とが等しい。

【0220】

図 28 (C) は基板 560 上に形成された、ゲート電極層 561、ゲート絶縁層 562、半導体層 563、一導電型を有する半導体層 564a、一導電型を有する半導体層 564b、ソース電極層又はドレイン電極層 565a、ソース電極層又はドレイン電極層 565b からなる薄膜トランジスタである。本実施の形態ではゲート絶縁層 562 は、窒化珪素膜、酸化珪素膜、窒化珪素膜の 3 層構造とするが、酸化珪素 ( $\text{SiO}_x$ )、窒化珪素 ( $\text{SiN}_x$ )、酸化窒化珪素 ( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) などの単層、又はこれらの積層構造を用いてもよい。

【0221】

図 28 (C) は、ゲート電極層 561 とソース電極層及びドレイン電極層 565a、ソース電極層及びドレイン電極層 565a の端部とが c3 だけ離れている。ここでは、ここでは、ゲート電極層 561 と、ソース電極層及びドレイン電極層 565a、ソース電極層及びドレイン電極層 565a とが離れている領域をオフセット領域と呼ぶ。即ち、ゲート電極層の幅 b3 がチャンネル長 a3 よりも小さい。オフセット領域の幅 c3 は、 $(a3 - b3) / 2$  で表される。このような構造の T F T は、オフ電流を低減することができるため、該 T F T を表示装置のスイッチング素子として用いた場合、コントラストを向上させることができる。

【0222】

さらには、半導体領域が複数のゲート電極を覆ういわゆるマルチゲート構造の T F T と

10

20

30

40

50

しても良い。この様な構造のＴＦＴも、オフ電流を低減することができる。

【０２２３】

本実施の形態は、実施の形態１乃至１２とそれぞれ組み合わせて用いることが可能である。

【０２２４】

(実施の形態１４)

上記実施の形態において、チャネル形成領域表面に対して垂直な端部を有するソース電極層及びドレイン電極層を示したが、この構造に限定されない。本実施の形態では、一導電型を有する半導体層の形状が異なる例を図２４を用いて説明する。

【０２２５】

図２７は基板５２０上に形成された、ゲート電極層５２１、ゲート絶縁層５２２、半導体層５２３、一導電型を有する半導体層５２４ａ、一導電型を有する半導体層５２４ｂ、ソース電極層又はドレイン電極層５２５ａ、ソース電極層又はドレイン電極層５２５ｂからなる薄膜トランジスタである。

【０２２６】

図２７に示すように、一導電型を有する半導体層５２４ａ、及び一導電型を有する半導体層５２４ｂは、チャネル形成領域表面に対して９０度より大きく、１８０度未満、好ましくは９５～１４０度、さらに好ましくは１３５度～１４０度を有する端部であってもよい。また、ソース電極層とチャネル形成領域表面との角度を１、ドレイン電極層とチャネル形成領域表面との角度を２とすると、１と２が等しくてもよい。また、異な

【０２２７】

本実施の形態は、実施の形態１乃至１３とそれぞれ組み合わせて用いることが可能である。

【０２２８】

(実施の形態１５)

本実施の形態では、上記実施の形態に適応可能な半導体膜の結晶化工程を図５３及び図２６を用いて説明する。

【０２２９】

図５３において、基板４９０上に、ゲート電極層４９１、ゲート絶縁層４９２が形成され、半導体膜４９３が形成されている。半導体膜４９３上に絶縁膜で形成されるマスク４６４ａ、マスク４６４ｂを形成し、選択的に金属層４９５を形成して、半導体膜の結晶化を行うことができる。半導体膜を加熱すると、図５３（Ｂ）の矢印で示すように、金属層４９５と半導体膜との接触部分から、基板の表面に平行な方向へ結晶成長が発生し、結晶性半導体膜４９６が形成する。なお、金属層４９５から、かなり離れた部分では結晶化は行われず、非晶質部分が残存する。本実施の形態ではゲート絶縁層４９２は、窒化珪素膜、酸化珪素膜、窒化珪素膜の３層構造とするが、酸化珪素（ $\text{SiO}_x$ ）、窒化珪素（ $\text{SiN}_x$ ）、酸化窒化珪素（ $\text{SiO}_x\text{Ny}$ ）（ $x > y$ ）、窒化酸化珪素（ $\text{SiN}_x\text{O}_y$ ）（ $x > y$ ）などの単層、又はこれらの積層構造を用いてもよい。

【０２３０】

また、図２６（Ａ）に示すように、マスクを用いず、液滴吐出法により選択的に金属層５０４を形成して、上記結晶化を行ってもよい。図２６（Ｂ）は、図２６（Ａ）の上面図である。また、図２６（Ｄ）は、図２６（Ｃ）の上面図である。

【０２３１】

図２６において、基板５００上に、ゲート電極層５０１、ゲート絶縁層５０２が形成され、半導体膜５０３が形成されている。半導体膜５０３上に液滴吐出法により選択的に金属層５０４を形成する。加熱処理により半導体膜の結晶化を行うと図２６（Ｃ）及び図２６（Ｄ）に示すように、金属層と半導体膜との接触部分から、基板の表面に平行な方向へ結晶成長が発生する。ここでも、金属層５０４から、かなり離れた部分では結晶化は行



われず、非晶質部分が残存する。

【0232】

このように、基板に平行な方向への結晶成長を横成長またはラテラル成長と称する。横成長により大粒径の結晶粒を形成することができるため、より高い移動度を有する薄膜トランジスタを形成することができる。

【0233】

本実施の形態は、実施の形態1乃至14とそれぞれ組み合わせて用いることが可能である。

【0234】

(実施の形態16)

本発明の半導体装置に具備される保護回路の一例について説明する。

【0235】

図33で示すように、外部回路と内部回路の間に保護回路2713を形成することができる。保護回路は、TFT、ダイオード、抵抗素子及び容量素子等から選択された1つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1つの入力端子に対応した保護回路の等価回路図の構成について、図45を用いて説明する。図45(A)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230、容量素子7210、7240、抵抗素子7250を有する。抵抗素子7250は2端子の抵抗であり、一端には入力電圧 $V_{in}$ (以下、 $V_{in}$ と表記)が、他端には低電位電圧 $V_{SS}$ (以下、 $V_{SS}$ と表記)が与えられる。

【0236】

図45(B)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230を、整流性を有するダイオード7260、7270で代用した等価回路図である。図45(C)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230を、TFT7350、7360、7370、7380で代用した等価回路図である。また、上記とは別の構成の保護回路として、図45(D)に示す保護回路は、抵抗7280、7290と、nチャネル型薄膜トランジスタ7300を有する。図45(E)に示す保護回路は、抵抗7280、7290、pチャネル型薄膜トランジスタ7310及びnチャネル型薄膜トランジスタ7320を有する。保護回路を設けることで電位の急激な変動を防いで、素子の破壊又は損傷を防ぐことができ、信頼性が向上する。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施の形態は、上記の実施の形態と自由に組み合わせることが可能である。

【0237】

本実施の形態は、実施の形態1乃至15とそれぞれ組み合わせて用いることが可能である。

【0238】

(実施の形態17)

本発明を適用して薄膜トランジスタを形成し、該薄膜トランジスタを用いて表示装置を形成することができるが、発光素子を用いて、なおかつ、該発光素子を駆動するトランジスタとしてN型トランジスタを用いた場合、該発光素子から発せられる光は、下面放射、上面放射、両面放射のいずれかを行う。ここでは、いずれの場合に応じた発光素子の積層構造について、図49を用いて説明する。

【0239】

また、本実施の形態では、本発明を適用したチャネルエッチ型の薄膜トランジスタ671、681及び691を用いる。本実施の形態では、半導体層として結晶性の構造を有する珪素膜を用い、一導電型の半導体層としてN型の半導体層を用いる。N型半導体層を形成するかわりに、 $PH_3$ ガスによるプラズマ処理を行うことによって、半導体層に導電型を付与してもよい。半導体層は本実施の形態に限定されず、一導電型の半導体層を形成せず、結晶性半導体層に不純物を導入(添加)して一導電型を有する不純物領域を形成して

10

20

30

40

50

もよい。

#### 【0240】

また、薄膜トランジスタはチャネル保護層を有するチャネル保護型の薄膜トランジスタでもよく、チャネル保護層は、液滴吐出法を用いてポリイミド又はポリビニルアルコール等を滴下してもよい。その結果、露光工程を省略することができる。チャネル保護層としては、無機材料（酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素など）、感光性または非感光性の有機材料（有機樹脂材料）（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト、ベンゾシクロブテンなど）、低誘電率であるLow k材料などの一種、もしくは複数種からなる膜、またはこれらの膜の積層などを用いることができる。また、シリコン（Si）と酸素（O）との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。作製法としては、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いることができる。また、液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷などパターンが形成される方法）を用いることもできる。塗布法で得られるTOF膜やSOG膜なども用いることができる。

10

#### 【0241】

まず、基板680側に放射する場合、つまり下面放射を行う場合について、図49（A）を用いて説明する。この場合、薄膜トランジスタ681に電氣的に接続するように、ソース電極層又はドレイン電極層に接続する配線層682に接して、第1の電極層684、電界発光層685、第2の電極層686が順に積層される。光が透過する基板680は透光性を有する必要がある。次に、基板690と反対側に放射する場合、つまり上面放射を行う場合について、図49（B）を用いて説明する。薄膜トランジスタ691は、前述した薄膜トランジスタの同様に形成することができる。

20

#### 【0242】

薄膜トランジスタ691に電氣的に接続するソース電極層又はドレイン電極層に接続する配線層692が第1の電極層684と接し、電氣的に接続する。薄膜トランジスタ691のゲート電極層は積層構造となっており、同工程同材料で形成される第1の電極層も第1の電極層693a、第1の電極層693bの積層構造となっている。第1の電極層693aは反射性を有する金属層であり、発光素子から放射される光を矢印の上面に反射する。よって、第1の電極層693bにおいて光が透過しても、該光は第1の電極層693aにおいて反射され、基板690と反対側に放射する。もちろん第1の電極層は反射性を有する金属層の単層構造でもよい。第1の電極層693a、第1の電極層693b、電界発光層694、第2の電極層695が順に積層される。最後に、光が基板670側とその反対側の両側に放射する場合、つまり両面放射を行う場合について、図49（C）を用いて説明する。薄膜トランジスタ671は、薄膜トランジスタ681と同様のチャネルエッチ型の薄膜トランジスタであり、薄膜トランジスタ681と同様に形成することができる。薄膜トランジスタ671に電氣的に接続するソース電極層又はドレイン電極層と接続する配線層675に第1の電極層672が電氣的に接続している。第1の電極層672、電界発光層673、第2の電極層674が順に積層される。このとき、第1の電極層672と第2の電極層674のどちらも透光性を有する材料、又は光を透過できる厚さで形成すると、両面放射が実現する。この場合、光が透過する絶縁層や基板670も透光性を有する必要がある。

30

40

#### 【0243】

本実施の形態において適用できる発光素子の形態を図48に示す。発光素子は、電界発光層860を第1の電極層870と第2の電極層850で挟んだ構成になっている。第1の電極層及び第2の電極層は仕事関数を考慮して材料を選択する必要がある、そして第1の電極層及び第2の電極層は、画素構成によりいずれも陽極、又は陰極となりうる。本実施の形態では、駆動用TFTの極性がNチャネル型であるため、第1の電極層を陰極、第2の電極層を陽極とすると好ましい。また駆動用TFTの極性がpチャネル型である場合、第1の電極層を陽極、第2の電極層を陰極とするとよい。

50

## 【0244】

図48(A)及び(B)は、第1の電極層870が陽極であり、第2の電極層850が陰極である場合であり、電界発光層860は、第1の電極層870側から、HIL(ホール注入層)/HTL(ホール輸送層)804、EML(発光層)803、ETL(電子輸送層)/EIL(電子注入層)802、第2の電極層850の順に積層するのが好ましい。図48(A)は第1の電極層870から光を放射する構成であり、第1の電極層870は透光性を有する酸化物導電性材料からなる電極層805で構成し、第2の電極層は電界発光層860側から、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む電極層801とアルミニウムなどの金属材料で形成する電極層800より構成されている。図48(B)は第2の電極層850から光を放射する構成であり、第1の電極層は、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する電極層807と、酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で形成する第2の電極層806より構成されている。第2の電極層は、第2の電極層は電界発光層860側から、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む電極層801とアルミニウムなどの金属材料で形成する電極層800より構成されているがいずれの層も100nm以下の厚さとして光を透過可能な状態としておくことで、第2の電極層850から光を放射することが可能となる。

10

## 【0245】

図48(C)及び(D)は、第1の電極層870が陰極であり、第2の電極層850が陽極である場合であり、電界発光層860は、陰極側からEIL(電子注入層)/ETL(電子輸送層)802、EML(発光層)803、HTL(ホール輸送層)/HIL(ホール注入層)804、陽極である第2の電極層850の順に積層するのが好ましい。図48(C)は第1の電極層870から光を放射する構成であり、第1の電極層870は電界発光層860側から、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む電極層801とアルミニウムなどの金属材料で形成する電極層800より構成されているがいずれの層も100nm以下の厚さとして光を透過可能な状態としておくことで、第1の電極層870から光を放射することが可能となる。第2の電極層は、電界発光層860側から、酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で形成する第2の電極層806、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する電極層807より構成されている。図48(D)は第2の電極層850から光を放射する構成であり、第1の電極層870は電界発光層860側から、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む電極層801とアルミニウムなどの金属材料で形成する電極層800より構成されており、膜厚は電界発光層860で発光した光を反射可能な程度に厚く形成している。第2の電極層850は、透光性を有する酸化物導電性材料からなる電極層805で構成されている。なお電界発光層は、積層構造以外に単層構造、又は混合構造をとることができる。

20

30

## 【0246】

また、電界発光層として、赤色(R)、緑色(G)、青色(B)の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色(R)、緑色(G)、青色(B)の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき(低分子または高分子材料など)、この場合マスクを用いずとも、RGBの塗り分けを行うことができるため好ましい。

40

## 【0247】

また上面放射型の場合で、第2の電極層に透光性を有するITOやITSOを用いる場合、ベンゾオキサゾール誘導体(BzOS)にLiを添加したBzOS-Liなどを用いることができる。また例えばEMLは、R、G、Bのそれぞれの発光色に対応したドーパント(Rの場合DCM等、Gの場合DMQD等)をドーブしたAlq<sub>3</sub>を用いればよい。

## 【0248】

なお、電界発光層は上記材料に限定されない。例えば、CuPcやPEDOTの代わりに酸化モリブデン(MoO<sub>x</sub>: x=2~3)等の酸化物と - NP Dやルブレンを共蒸着

50

して形成し、ホール注入性を向上させることもできる。また電界発光層の材料は、有機材料（低分子又は高分子を含む）、又は有機材料と無機材料の複合材料として用いることができる。以下発光素子を形成する材料について詳細に述べる。

#### 【0249】

電荷注入輸送物質のうち、特に電子輸送性の高い物質としては、例えばトリス（8 - キノリノラト）アルミニウム（略称：Alq<sub>3</sub>）、トリス（5 - メチル - 8 - キノリノラト）アルミニウム（略称：Almq<sub>3</sub>）、ビス（10 - ヒドロキシベンゾ[h] - キノリナト）ベリリウム（略称：BeBq<sub>2</sub>）、ビス（2 - メチル - 8 - キノリノラト） - 4 - フェニルフェノラト - アルミニウム（略称：BALq）など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等が挙げられる。また正孔輸送性の高い物質としては、例えば

4, 4' - ビス[N - (1 - ナフチル) - N - フェニル - アミノ] - ビフェニル（略称：NPD）や4, 4' - ビス[N - (3 - メチルフェニル) - N - フェニル - アミノ] - ビフェニル（略称：TPD）や4, 4', 4'' - トリス(N, N - ジフェニル - アミノ) - トリフェニルアミン（略称：TDATA）、4, 4', 4'' - トリス[N - (3 - メチルフェニル) - N - フェニル - アミノ] - トリフェニルアミン（略称：MTDATA）などの芳香族アミン系（即ち、ベンゼン環 - 窒素の結合を有する）の化合物が挙げられる。

10

#### 【0250】

また、電荷注入輸送物質のうち、特に電子注入性の高い物質としては、フッ化リチウム（LiF）、フッ化セシウム（CsF）、フッ化カルシウム（CaF<sub>2</sub>）等のようなアルカリ金属又はアルカリ土類金属の化合物が挙げられる。また、この他、Alq<sub>3</sub>のような電子輸送性の高い物質とマグネシウム（Mg）のようなアルカリ土類金属との混合物であってもよい。

20

#### 【0251】

電荷注入輸送物質のうち、正孔注入性の高い物質としては、例えば、モリブデン酸化物（MoO<sub>x</sub>）やバナジウム酸化物（VO<sub>x</sub>）、ルテニウム酸化物（RuO<sub>x</sub>）、タングステン酸化物（WO<sub>x</sub>）、マンガン酸化物（MnO<sub>x</sub>）等の金属酸化物が挙げられる。また、この他、フタロシアニン（略称：H<sub>2</sub>Pc）や銅フタロシアニン（CuPC）等のフタロシアニン系の化合物が挙げられる。

#### 【0252】

30

発光層は、発光波長帯の異なる発光層を画素毎に形成して、カラー表示を行う構成としても良い。典型的には、R（赤）、G（緑）、B（青）の各色に対応した発光層を形成する。この場合にも、画素の光放射側にその発光波長帯の光を透過するフィルターを設けた構成とすることで、色純度の向上や、画素部の鏡面化（映り込み）の防止を図ることができる。フィルターを設けることで、従来必要であるとされていた円偏光版などを省略することが可能となり、発光層から放射される光の損失を無くすることができる。さらに、斜方から画素部（表示画面）を見た場合に起こる色調の変化を低減することができる。

#### 【0253】

発光材料には様々な材料がある。低分子系有機発光材料では、4 - ジシアノメチレン - 2 - メチル - 6 - (1, 1, 7, 7 - テトラメチルジュロリジル - 9 - エニル) - 4H - ピラン（略称：DCJT）、4 - ジシアノメチレン - 2 - t - プチル - 6 - (1, 1, 7, 7 - テトラメチルジュロリジル - 9 - エニル) - 4H - ピラン（略称：DPA）、ペリフランテン、2, 5 - ジシアノ - 1, 4 - ビス(10 - メトキシ - 1, 1, 7, 7 - テトラメチルジュロリジル - 9 - エニル)ベンゼン、N, N' - ジメチルキナクリドン（略称：DMQd）、クマリン6、クマリン545T、トリス(8 - キノリノラト)アルミニウム（略称：Alq<sub>3</sub>）、9, 9' - ビアントリル、9, 10 - ジフェニルアントラセン（略称：DPA）や9, 10 - ビス(2 - ナフチル)アントラセン（略称：DNA）等を用いることができる。また、この他の物質でもよい。

40

#### 【0254】

一方、高分子系有機発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高

50

い。また塗布により成膜することが可能であるので、素子の作製が比較的容易である。高分子系有機発光材料を用いた発光素子の構造は、低分子系有機発光材料を用いたときと基本的には同じであり、陰極／有機発光層／陽極となる。しかし、高分子系有機発光材料を用いた発光層を形成する際には、低分子系有機発光材料を用いたときのような積層構造を形成させることは難しく、多くの場合２層構造となる。具体的には、陰極／発光層／正孔輸送層／陽極という構造である。

#### 【０２５５】

発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の電界発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

10

#### 【０２５６】

ポリパラフェニレンビニレン系には、ポリ（パラフェニレンビニレン）[PPV]の誘導体、ポリ（２，５－ジアルコキシ－１，４－フェニレンビニレン）[RO-PPV]、ポリ（２－（２'－エチル－ヘキソキシ）－５－メトキシ－１，４－フェニレンビニレン）[MEH-PPV]、ポリ（２－（ジアルコキシフェニル）－１，４－フェニレンビニレン）[ROP h-PPV]等が挙げられる。ポリパラフェニレン系には、ポリパラフェニレン[PPP]の誘導体、ポリ（２，５－ジアルコキシ－１，４－フェニレン）[RO-PPP]、ポリ（２，５－ジヘキソキシ－１，４－フェニレン）等が挙げられる。ポリチオフェン系には、ポリチオフェン[PT]の誘導体、ポリ（３－アルキルチオフェン）[PAT]、ポリ（３－ヘキシルチオフェン）[PHT]、ポリ（３－シクロヘキシルチオフェン）[PCHT]、ポリ（３－シクロヘキシル－４－メチルチオフェン）[PCHMT]、ポリ（３，４－ジシクロヘキシルチオフェン）[PDCHT]、ポリ[３－（４－オクチルフェニル）－チオフェン][POPT]、ポリ[３－（４－オクチルフェニル）－２，２ビチオフェン][PTOPT]等が挙げられる。ポリフルオレン系には、ポリフルオレン[PF]の誘導体、ポリ（９，９－ジアルキルフルオレン）[PDAF]、ポリ（９，９－ジオクチルフルオレン）[PDOF]等が挙げられる。

20

#### 【０２５７】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸(CSA)の混合物、ポリアニリン[PAI]とアクセプター材料としてのポリスチレンスルホン酸[PS S]の混合物等が挙げられる。

30

#### 【０２５８】

また、発光層は単色又は白色の発光を呈する構成とすることができる。白色発光材料を用いる場合には、画素の光放射側に特定の波長の光を透過するフィルター（着色層）を設けた構成としてカラー表示を可能にすることができる。

#### 【０２５９】

40

白色に発光する発光層を形成するには、例えば、Alq<sub>3</sub>、部分的に赤色発光色素であるナイルレッドをドーブしたAlq<sub>3</sub>、Alq<sub>3</sub>、p-EtTAZ、TPD（芳香族ジアニン）を蒸着法により順次積層することで白色を得ることができる。また、スピンコートを用いた塗布法によりELを形成する場合には、塗布した後、真空加熱で焼成することが好ましい。例えば、正孔注入層として作用するポリ（エチレンジオキシチオフェン）／ポリ（スチレンスルホン酸）水溶液（PEDOT/PS S）を全面に塗布、焼成し、その後、発光層として作用する発光中心色素（１，１，４，４－テトラフェニル－１，３－ブタジエン（TPB）、４－ジシアノメチレン－２－メチル－６－（p-ジメチルアミノ－スチリル）－４H-ピラン（DCM1）、ナイルレッド、クマリン6など）ドーブしたポリビニルカルバゾール（PVK）溶液を全面に塗布、焼成すればよい。

50

## 【0260】

発光層は単層で形成することもでき、ホール輸送性のポリビニルカルバゾール（PVK）に電子輸送性の1, 3, 4-オキサジアゾール誘導体（PBD）を分散させてもよい。また、30wt%のPBDを電子輸送剤として分散し、4種類の色素（TPB、クマリン6、DCM1、ナイルレッド）を適当量分散することで白色発光が得られる。ここで示した白色発光が得られる発光素子の他にも、発光層の材料を適宜選択することによって、赤色発光、緑色発光、または青色発光が得られる発光素子を作製することができる。

## 【0261】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸（CSA）の混合物、ポリアニリン〔PANI〕とアクセプター材料としてのポリスチレンスルホン酸〔PSS〕の混合物等が挙げられる。

## 【0262】

さらに、発光層は、一重項励起発光材料の他、金属錯体などを含む三重項励起材料を用いても良い。例えば、赤色の発光性の画素、緑色の発光性の画素及び青色の発光性の画素のうち、輝度半減時間が比較的短い赤色の発光性の画素を三重項励起発光材料で形成し、他を一重項励起発光材料で形成する。三重項励起発光材料は発光効率が良いので、同じ輝度を得るのに消費電力が少なく済むという特徴がある。すなわち、赤色画素に適用した場合、発光素子に流す電流量が少なく済むので、信頼性を向上させることができる。低消費電力化として、赤色の発光性の画素と緑色の発光性の画素とを三重項励起発光材料で形成し、青色の発光性の画素を一重項励起発光材料で形成しても良い。人間の視感度が高い緑色の発光素子も三重項励起発光材料で形成することで、より低消費電力化を図ることができる。

## 【0263】

三重項励起発光材料の一例としては、金属錯体をドーパントとして用いたものがあり、第三遷移系列元素である白金を中心金属とする金属錯体、イリジウムを中心金属とする金属錯体などが知られている。三重項励起発光材料としては、これらの化合物に限られることはなく、上記構造を有し、且つ中心金属に周期表の8～10属に属する元素を有する化合物を用いることも可能である。

## 【0264】

以上に掲げる発光層を形成する物質は一例であり、正孔注入輸送層、正孔輸送層、電子注入輸送層、電子輸送層、発光層、電子ブロック層、正孔ブロック層などの機能性の各層を適宜積層することで発光素子を形成することができる。また、これらの各層を合わせた混合層又は混合接合を形成しても良い。発光層の層構造は変化するものであり、特定の電子注入領域や発光領域を備えていない代わりに、もっぱらこの目的用の電極層を備えたり、発光性の材料を分散させて備えたりする変形は、本発明の趣旨を逸脱しない範囲において許容されうるものである。

## 【0265】

上記のような材料で形成した発光素子は、順方向にバイアスすることで発光する。発光素子を用いて形成する表示装置の画素は、単純マトリクス方式、若しくは実施例2で示すようなアクティブマトリクス方式で駆動することができる。いずれにしても、個々の画素は、ある特定のタイミングで順方向バイアスを印加して発光させることとなるが、ある一定期間は非発光状態となっている。この非発光時間に逆方向のバイアスを印加することで発光素子の信頼性を向上させることができる。発光素子では、一定駆動条件下で発光強度が低下する劣化や、画素内で非発光領域が拡大して見かけ上輝度が低下する劣化モードがあるが、順方向及び逆方向にバイアスを印加する交流的な駆動を行うことで、劣化の進行を遅くすることができ、発光装置の信頼性を向上させることができる。また、デジタル駆

動、アナログ駆動どちらでも適用可能である。

【0266】

よって、図49には図示していないが、基板680の封止基板にカラーフィルタ（着色層）を形成してもよい。カラーフィルタ（着色層）は液滴吐出法によって形成することができ、その場合、前述の下地前処理として光照射処理などを適用することができる。本発明を用いると、所望なパターンに制御性よくカラーフィルタ（着色層）を形成することができる。カラーフィルタ（着色層）を用いると、高精細な表示を行うこともできる。カラーフィルタ（着色層）により、各RGBの発光スペクトルにおいてブロードなピークを鋭くなるように補正できるからである。

【0267】

以上、各RGBの発光を示す材料を形成する場合を説明したが、単色の発光を示す材料を形成し、カラーフィルターや色変換層を組み合わせることによりフルカラー表示を行うことができる。カラーフィルタ（着色層）や色変換層は、例えば第2の基板（封止基板）に形成し、基板へ張り合わせればよい。また上述したように、単色の発光を示す材料、カラーフィルタ（着色層）、及び色変換層のいずれも液滴吐出法により形成することができる。

【0268】

もちろん単色発光の表示を行ってもよい。例えば、単色発光を用いてエリアカラータイプの表示装置を形成してもよい。エリアカラータイプは、パッシブマトリクス型の表示部が適しており、主に文字や記号を表示することができる。

【0269】

上記構成において、陰極としては、仕事関数が小さい材料を用いることが可能で、例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。電界発光層は、単層型、積層型、また層の界面がない混合型のいずれでもよい。またシングレット材料、トリプレット材料、又はそれらを組み合わせた材料や、有機化合物又は無機化合物を含む電荷注入輸送物質及び発光材料で形成し、その分子数から低分子系有機化合物、中分子系有機化合物（昇華性を有さず、且つ分子数が20以下、又は連鎖する分子の長さが10μm以下の有機化合物を指している）、高分子系有機化合物から選ばれた一種又は複数種の層を含み、電子注入輸送性又は正孔注入輸送性の無機化合物と組み合わせてもよい。第1の電極層684、第1の電極層693a、第1の電極層672は光を透過する透明導電膜を用いて形成し、例えばITO、ITSOの他、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。なお、第1の電極層684、第1の電極層693a、第1の電極層693b、第1の電極層672形成前に、酸素雰囲気中でのプラズマ処理や真空雰囲気下での加熱処理を行うとよい。隔壁（土手ともいう）は、珪素を含む材料、有機材料及び化合物材料を用いて形成する。また、多孔質膜を用いても良い。但し、アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。本実施の形態は、実施の形態1乃至16とそれぞれ組み合わせ用いることが可能である。

（実施の形態18）

本実施の形態で示す表示パネルの画素の構成について、図50に示す等価回路図を参照して説明する。

【0270】

図50（A）に示す画素は、列方向に信号線710及び電源線711、電源線712、電源線713、行方向に走査線714が配置される。また、TFT701は、スイッチング用TFT、TFT703は駆動用TFT、TFT704は電流制御用TFTであり、他に容量素子702及び発光素子705を有する。

【0271】

図50（C）に示す画素は、TFT703のゲート電極が、行方向に配置された電源線715に接続される点が異なっており、それ以外は図50（A）に示す画素と同じ構成である。つまり、図50（A）（C）に示す両画素は、同じ等価回路図を示す。しかしなが

10

20

30

40

50

ら、行方向に電源線 7 1 2 が配置される場合 (図 5 0 ( A ) ) と、列方向に電源線 7 1 5 が配置される場合 (図 5 0 ( C ) ) では、各電源線は異なるレイヤーの導電体層で形成される。ここでは、T F T 7 0 3 のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図 5 0 ( A ) ( C ) として分けて記載する。

#### 【 0 2 7 2 】

図 5 0 ( A ) ( C ) に示す画素の特徴として、画素内に T F T 7 0 3、T F T 7 0 4 が直列に接続されており、T F T 7 0 3 のチャンネル長  $L_3$ 、チャンネル幅  $W_3$ 、T F T 7 0 4 のチャンネル長  $L_4$ 、チャンネル幅  $W_4$  は、 $L_3 / W_3 : L_4 / W_4 = 5 \sim 6000 : 1$  を満たすように設定される点が挙げられる。6000 : 1 を満たす場合の一例としては、 $L_3$  が 500  $\mu\text{m}$ 、 $W_3$  が 3  $\mu\text{m}$ 、 $L_4$  が 3  $\mu\text{m}$ 、 $W_4$  が 100  $\mu\text{m}$  の場合がある。また本発明を用いると、微細なパターンニングができるので、このようなチャンネル幅が短い微細な配線も、ショート等の不良が生じることなく安定的に形成することができる。よって、図 5 0 ( A ) ( C ) のような画素を十分機能させるのに必要な電気特性を有する T F T を形成でき、表示能力の優れた信頼性の高い表示パネルを作製することが可能となる。

#### 【 0 2 7 3 】

なお、T F T 7 0 3 は、飽和領域で動作し発光素子 7 0 5 に流れる電流値を制御する役目を有し、T F T 7 0 4 は線形領域で動作し発光素子 7 0 5 に対する電流の供給を制御する役目を有する。両 T F T は同じ導電型を有していると作製工程上好ましい。また T F T 7 0 3 には、エンハンスメント型だけでなく、ディプリーション型の T F T を用いてもよい。上記構成を有する本発明は、T F T 7 0 4 が線形領域で動作するために、T F T 7 0 4 の  $V_{GS}$  の僅かな変動は発光素子 7 0 5 の電流値に影響を及ぼさない。つまり、発光素子 7 0 5 の電流値は、飽和領域で動作する T F T 7 0 3 により決定される。上記構成を有する本発明は、T F T の特性バラツキに起因した発光素子の輝度ムラを改善して画質を向上させた表示装置を提供することができる。

#### 【 0 2 7 4 】

図 5 0 ( A ) ~ ( D ) に示す画素において、T F T 7 0 1 は、画素に対するビデオ信号の入力を制御するものであり、T F T 7 0 1 がオンして、画素内にビデオ信号が入力されると、容量素子 7 0 2 にそのビデオ信号が保持される。なお図 5 0 ( A ) ( C ) には、容量素子 7 0 2 を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでまかなうことが可能な場合には、明示的に容量素子 7 0 2 を設けなくてもよい。

#### 【 0 2 7 5 】

発光素子 7 0 5 は、2 つの電極間に電界発光層が挟まれた構造を有し、順バイアス方向の電圧が印加されるように、画素電極と対向電極の間 (陽極と陰極の間) に電位差が設けられる。電界発光層は有機材料や無機材料等の広汎に渡る材料により構成され、この電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と、三重項励起状態から基底状態に戻る際の発光 (リン光) とが含まれる。

#### 【 0 2 7 6 】

図 5 0 ( B ) に示す画素は、T F T 7 0 6 と走査線 7 1 6 を追加している以外は、図 5 0 ( A ) に示す画素構成と同じである。同様に、図 5 0 ( D ) に示す画素は、T F T 7 0 6 と走査線 7 1 6 を追加している以外は、図 5 0 ( C ) に示す画素構成と同じである。

#### 【 0 2 7 7 】

T F T 7 0 6 は、新たに配置された走査線 7 1 6 によりオン又はオフが制御される。T F T 7 0 6 がオンになると、容量素子 7 0 2 に保持された電荷は放電し、T F T 7 0 6 がオフする。つまり、T F T 7 0 6 の配置により、強制的に発光素子 7 0 5 に電流が流れない状態を作ることができる。従って、図 5 0 ( B ) ( D ) の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

#### 【 0 2 7 8 】

図 5 0 ( E ) に示す画素は、列方向に信号線 7 5 0、電源線 7 5 1、電源線 7 5 2、行

10

20

30

40

50



方向に走査線 7 5 3 が配置される。また、T F T 7 4 1 はスイッチング用 T F T、T F T 7 4 3 は駆動用 T F T であり、他に容量素子 7 4 2 及び発光素子 7 4 4 を有する。図 5 0 ( F ) に示す画素は、T F T 7 4 5 と走査線 7 5 4 を追加している以外は、図 5 0 ( E ) に示す画素構成と同じである。なお、図 5 0 ( F ) の構成も、T F T 7 4 5 の配置により、デューティ比を向上することが可能となる。

#### 【 0 2 7 9 】

以上のように、本発明を用いると、配線等のパターンを形成不良を生じることなく精密に安定して形成することが出来るので、T F T に高い電気的特性や信頼性をも付与することができ、使用目的に合わせて画素の表示能力を向上するための応用技術にも十分対応できる。

10

#### 【 0 2 8 0 】

本実施の形態は、実施の形態 1 乃至 1 7 とそれぞれ組み合わせて用いることが可能である。

#### 【 0 2 8 1 】

( 実施の形態 1 9 )

図 2 4 は、本発明を適用して作製される T F T 基板 2 8 0 0 を用いて E L 表示モジュールを構成する一例を示している。図 2 4 において、T F T 基板 2 8 0 0 上には、画素により構成された画素部が形成されている。

#### 【 0 2 8 2 】

図 2 4 では、画素部の外側であって、駆動回路と画素との間に、画素に形成されたものと同様な T F T 又はその T F T のゲートとソース若しくはドレインの一方とを接続してダイオードと同様に動作させた保護回路部 2 8 0 1 が備えられている。駆動回路 2 8 0 9 は、単結晶半導体で形成されたドライバ I C、ガラス基板上に多結晶半導体膜で形成されたスティックドライバ I C、若しくは S A S で形成された駆動回路などが適用されている。

20

#### 【 0 2 8 3 】

T F T 基板 2 8 0 0 は、液滴吐出法で形成されたスペーサ 2 8 0 6 a、スペーサ 2 8 0 6 b を介して封止基板 2 8 2 0 と固着されている。スペーサは、基板の厚さが薄く、また画素部の面積が大型化した場合にも、2 枚の基板の間隔を一定に保つために設けておくことが好ましい。T F T 2 8 0 2、T F T 2 8 0 3 とそれぞれ接続する発光素子 2 8 0 4、発光素子 2 8 0 5 上であって、T F T 基板 2 8 0 0 と封止基板 2 8 2 0 との間にある空隙には透光性の樹脂材料を充填して固体化しても良いし、無水化した窒素若しくは不活性気体を充填させても良い。

30

#### 【 0 2 8 4 】

図 2 4 では発光素子 2 8 0 4、発光素子 2 8 0 5、発光素子 2 8 1 5 を上面放射型 ( トップエミッション型 ) の構成とした場合を示し、図中に示す矢印の方向に光を放射する構成としている。各画素は、画素を赤色、緑色、青色として発光色を異ならせることで、多色表示を行うことができる。また、このとき封止基板 2 8 2 0 側に各色に対応した着色層 2 8 0 7 a、着色層 2 8 0 7 b、着色層 2 8 0 7 c を形成しておくことで、外部に放射される発光の色純度を高めることができる。また、画素を白色発光素子として着色層 2 8 0 7 a、着色層 2 8 0 7 b、着色層 2 8 0 7 c と組み合わせても良い。

40

#### 【 0 2 8 5 】

外部回路である駆動回路 2 8 0 9 は、T F T 基板 2 8 0 0 の一端に設けられた走査線若しくは信号線接続端子と、配線基板 2 8 1 0 で接続される。また、T F T 基板 2 8 0 0 に接して若しくは近接させて、ヒートパイプ 2 8 1 3 と放熱板 2 8 1 2 を設け、放熱効果を高める構成としても良い。

#### 【 0 2 8 6 】

なお、図 2 4 では、トップエミッションの E L モジュールとしたが、発光素子の構成や外部回路基板の配置を変えてボトムエミッション構造、もちろん上面、下面両方から光が放射する両面放射構造としても良い。トップエミッション型の構成の場合、隔壁となる絶縁層を着色しブラックマトリクスとして用いてもよい。この隔壁は液滴吐出法により形成

50

することができ、ポリイミドなどの樹脂材料に、顔料系の黒色樹脂やカーボンブラック等を混合させて形成すればよく、その積層でもよい。

【0287】

また、TFT基板2800において、画素部が形成された側にシール材や接着性の樹脂を用いて樹脂フィルムを貼り付けて封止構造を形成してもよい。本実施の形態では、ガラス基板を用いるガラス封止を示したが、樹脂による樹脂封止、プラスチックによるプラスチック封止、フィルムによるフィルム封止、など様々な封止方法を用いることができる。樹脂フィルムの表面には水蒸気の透過を防止するガスバリア膜を設けておくことが良い。フィルム封止構造とすることで、さらなる薄型化及び軽量化を図ることができる。

【0288】

本実施の形態は、実施の形態1乃至18とそれぞれ組み合わせて用いることが可能である。

【0289】

(実施の形態20)

上記実施の形態により作製されるEL表示パネルによって、ELテレビジョン装置を完成させることができる。EL表示パネルには、図32(A)で示すような構成として画素部のみが形成されて走査線側駆動回路と信号線側駆動回路とが、図33(B)のようなTAB方式により実装される場合と、図33(A)のようなCOG方式により実装される場合と、図32(B)に示すようにSASでTFTを形成し、画素部と走査線側駆動回路を基板上に一体形成し信号線側駆動回路を別途ドライバICとして実装する場合、また図32(C)のように画素部と信号線側駆動回路と走査線側駆動回路を基板上に一体形成する場合などがあるが、どのような形態としても良い。

【0290】

その他の外部回路の構成として、映像信号の入力側では、チューナで受信した信号のうち、映像信号を増幅する映像信号増幅回路と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路などからなっている。コントロール回路は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0291】

チューナで受信した信号のうち、音声信号は、音声信号増幅回路に送られ、その出力は音声信号処理回路を経てスピーカに供給される。制御回路は受信局(受信周波数)や音量の制御情報を入力部から受け、チューナや音声信号処理回路に信号を送出する。

【0292】

表示モジュールを、図40(A)、(B)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。図24のようなEL表示モジュールを用いると、ELテレビジョン装置を完成させることができる。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカ部2009、操作スイッチなどが備えられている。このように、本発明によりテレビジョン装置を完成させることができる。

【0293】

また、EL表示モジュールは、図24に示すように、位相差板や偏光板を用いて、外部から入射する光の反射光を遮断する構成にしてもよい。図24はトップエミッション型の構成であり、隔壁となる絶縁層3605を着色しブラックマトリクスとして用いている。この隔壁は液滴吐出法により形成することができ、ポリイミドなどの樹脂材料に、カーボンブラック等を混合させてもよく、その積層でもよい。液滴吐出法によって、異なった材料を同領域に複数回吐出し、隔壁を形成してもよい。本実施の形態では、顔料系の黒色樹脂を用いる。位相差板3603、位相差板3604としては $\lambda/4$ 、 $\lambda/2$ を用い、光を制御できるように設計すればよい。構成としては、TFT基板2800、発光素子2804、封止基板(封止材)2820、位相差板3603、位相差板3604( $\lambda/4$ 、 $\lambda/2$ )、偏光板3602となり、発光素子から放射された光は、これらを通り偏光板側

10

20

30

40

50

より外部に放射される。この位相差板や偏光板は光が放射される側に設置すればよく、両面放射される両面放射型の表示装置であれば両方に設置することもできる。また、偏光板の外側に反射防止膜 3601 を有していても良い。これにより、より高繊細で精密な画像を表示することができる。

#### 【0294】

筐体 2001 に発光素子 (EL 素子) を利用した表示用パネル 2002 が組みこまれ、受信機 2005 により一般のテレビ放送の受信をはじめ、モデム 2004 を介して有線又は無線による通信ネットワークに接続することにより一方向 (送信者から受信者) 又は双方向 (送信者と受信者間、又は受信者間同士) の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン装置 2006 により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部 2007 が設けられていても良い。

10

#### 【0295】

また、テレビジョン装置にも、主画面 2003 の他にサブ画面 2008 を第 2 の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。サブ画面 2008 も視野角の優れた EL 表示用パネルで形成しても良い。本発明を用いると、このような大型基板を用いて、多くの TFT や電子部品を用いても、信頼性の高い EL 表示装置とすることができる。

#### 【0296】

図 40 (B) は例えば 20 ~ 80 インチの大型の表示部を有するテレビジョン装置であり、筐体 2010、表示部 2011、操作部であるリモコン装置 2012、スピーカー部 2013 等を含む。本発明は、表示部 2011 の作製に適用される。図 40 (B) のテレビジョン装置は、壁かけ型となっており、設置するスペースを広く必要としない。

20

#### 【0297】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

#### 【0298】

##### (実施の形態 21)

本発明を適用して、様々な表示装置を作製することができる。即ち、それら表示装置を表示部に組み込んだ様々な電子機器に本発明を適用できる。

30

#### 【0299】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等)、記録媒体を備えた画像再生装置 (具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置) などが挙げられる。それらの例を図 31 に示す。

#### 【0300】

図 31 (A) は、ノート型パーソナルコンピュータであり、本体 2101、筐体 2102、表示部 2103、キーボード 2104、外部接続ポート 2105、ポインティングマウス 2106 等を含む。本発明は、表示部 2103 の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

40

#### 【0301】

図 31 (B) は記録媒体を備えた画像再生装置 (具体的には DVD 再生装置) であり、本体 2201、筐体 2202、表示部 A 2203、表示部 B 2204、記録媒体 (DVD 等) 読み込み部 2205、操作キー 2206、スピーカー部 2207 等を含む。表示部 A 2203 は主として画像情報を表示し、表示部 B 2204 は主として文字情報を表示するが、本発明は、これら表示部 A、B 2203、2204 の作製に適用される。本発明を用

50

いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

#### 【0302】

図31(C)は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示部2304、操作スイッチ2305、アンテナ2306等を含む。本発明により作製される表示装置を表示部2304に適用することで、小型化し、配線等が精密化する携帯電話であっても、信頼性の高い高画質な画像を表示できる。

#### 【0303】

図28(D)はビデオカメラであり、本体2401、表示部2402、筐体2403、外部接続ポート2404、リモコン受信部2405、受像部2406、バッテリー2407、音声入力部2408、操作キー2409等を含む。本発明は、表示部2402に適用することができる。本発明により作製される表示装置を表示部2304に適用することで、小型化し、配線等が精密化するビデオカメラであっても、信頼性の高い高画質な画像を表示できる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

#### 【0304】

##### (実施の形態22)

本発明により無線チップ(無線プロセッサ、無線メモリ、無線タグともよぶ)として機能する半導体装置を形成することができる。無線チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類(運転免許証や住民票等、図51(A)参照)、包装用容器類(包装紙やボトル等、図51(C)参照)、記録媒体(DVDソフトやビデオテープ等、図51(B)参照)、乗物類(自転車等、図51(D)参照)、身の回り品(鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札(図51(E)、図51(F)参照)等の物品に設けて使用することができる。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置(単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ)及び携帯電話等を指す。

#### 【0305】

無線チップは、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。紙幣、硬貨、有価証券類、無記名債券類、証券類等に無線チップを設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に無線チップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。本発明より形成することが可能な無線チップは、基板上に形成した薄膜集積回路を、公知の剥離工程により剥離した後、カバー材に設けるため、小型、薄型、軽量であり、物品に実装しても、デザイン性を損なうことがない。更には、可とう性を有するため、瓶やパイプなど曲面を有するものにも用いることが可能である。

#### 【0306】

また、本発明より形成することが可能な無線チップを、物の管理や流通のシステムに应用することで、システムの高機能化を図ることができる。例えば、荷札に設けられる無線チップに記録された情報を、ベルトコンベアの脇に設けられたリーダライタで読み取ることと、流通過程及び配達先等の情報が読み出され、商品の検品や荷物の分配を簡単に行うことができる。

#### 【0307】

本発明より形成することが可能な無線チップの構造について図52を用いて説明する。無線チップは、薄膜集積回路9303及びそれに接続されるアンテナ9304とで形成される。また、薄膜集積回路及びアンテナは、カバー材9301、9302により挟持される。薄膜集積回路9303は、接着剤を用いてカバー材に接着してもよい。図52においては、薄膜集積回路9303の一方が、接着剤9320を介してカバー材9301に接着されている。

#### 【0308】

薄膜集積回路 9303 は、実施形態 1 ~ 15 のいずれかで示される T F T を用いて形成した後、公知の剥離工程により剥離してカバー材に設ける。また、薄膜集積回路 9303 に用いられる半導体素子はこれに限定されない。例えば、T F T の他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどを用いることができる。

#### 【0309】

図 52 で示すように、薄膜集積回路 9303 の T F T 上には層間絶縁膜 9311 が形成され、層間絶縁膜 9311 を介して T F T に接続するアンテナ 9304 が形成される。また、層間絶縁膜 9311 及びアンテナ 9304 上には、窒化珪素膜等からなるバリア膜 9312 が形成されている。

10

#### 【0310】

アンテナ 9304 は、金、銀、銅等の導電体を有する液滴を液滴吐出法により吐出し、乾燥焼成して形成する。液滴吐出法によりアンテナを形成することで、工程数の削減が可能であり、それに伴うコスト削減が可能である。

#### 【0311】

カバー材 9301、9302 は、ラミネートフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる）、繊維質な材料からなる紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）と、接着性合成樹脂フィルム（アクリル系合成樹脂、エポキシ系合成樹脂等）との積層フィルムなどを用いることが好ましい。ラミネートフィルムは、熱圧着により、被処理体とラミネート処理が行われるものであり、ラミネート処理を行う際には、ラミネートフィルムの最表面に設けられた接着層か、又は最外層に設けられた層（接着層ではない）を加熱処理によって溶かし、加圧により接着する。

20

#### 【0312】

また、カバー材に紙、繊維、カーボングラファイト等の焼却無公害素材を用いることにより、使用済み無線チップの焼却、又は裁断することが可能である。また、これらの材料を用いた無線チップは、焼却しても有毒ガスを発生しないため、無公害である。

#### 【0313】

なお、図 52 では、接着剤 9320 を介してカバー材 9301 に無線チップを設けているが、該カバー材 9301 の代わりに、物品に無線チップを貼付けて、使用しても良い。

30

#### 【図面の簡単な説明】

#### 【0314】

【図 1】本発明の表示装置を説明する図。

【図 2】本発明の表示装置の作製方法を説明する図。

【図 3】本発明の表示装置の作製方法を説明する図。

【図 4】本発明の表示装置の作製方法を説明する図。

【図 5】本発明の表示装置の作製方法を説明する図。

【図 6】本発明の表示装置の作製方法を説明する図。

【図 7】本発明の表示装置の作製方法を説明する図。

【図 8】本発明の表示装置の作製方法を説明する図。

40

【図 9】本発明の表示装置の作製方法を説明する図。

【図 10】本発明の表示装置の作製方法を説明する図。

【図 11】本発明の表示装置の作製方法を説明する図。

【図 12】本発明の表示装置の作製方法を説明する図。

【図 13】本発明の表示装置の作製方法を説明する図。

【図 14】本発明の表示装置の作製方法を説明する図。

【図 15】本発明の表示装置の作製方法を説明する図。

【図 16】本発明の表示装置の作製方法を説明する図。

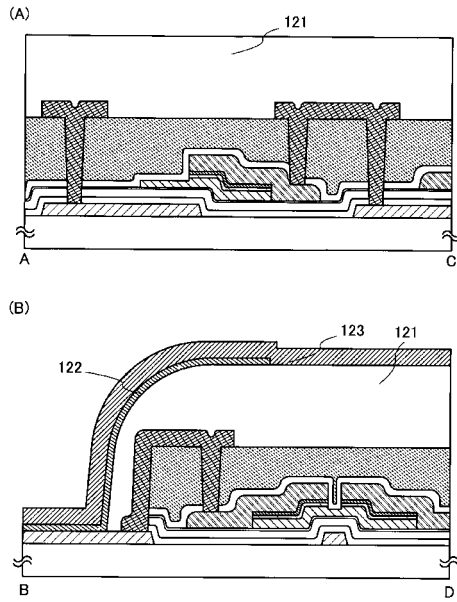
【図 17】本発明の表示装置の作製方法を説明する図。

【図 18】本発明の表示装置の作製方法を説明する図。

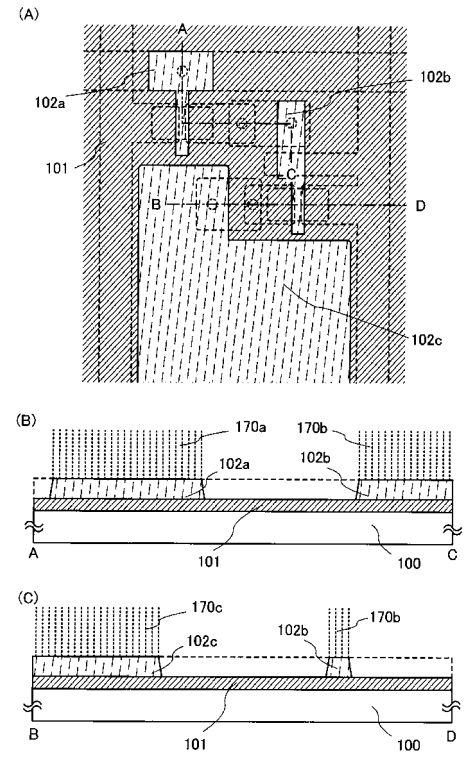
50

- 【図 19】本発明の表示装置の作製方法を説明する図。  
【図 20】本発明の表示装置の作製方法を説明する図。  
【図 21】本発明の表示装置の作製方法を説明する図。  
【図 22】本発明の表示装置の作製方法を説明する図。  
【図 23】本発明の表示装置の作製方法を説明する図。  
【図 24】本発明の E L 表示モジュールの構成を説明する図。  
【図 25】本発明の E L 表示モジュールの構成を説明する図。  
【図 26】本発明の表示装置の説明する図。  
【図 27】本発明の表示装置の説明する図。  
【図 28】本発明の表示装置の説明する図。 10  
【図 29】本発明に適用することのできるレーザビーム直接描画装置の構成を説明する図。  
。  
【図 30】本発明に適用することのできる液滴吐出装置の構成を説明する図。  
【図 31】本発明が適用される電子機器を示す図。  
【図 32】本発明の E L 表示パネルを説明する上面図。  
【図 33】本発明の E L 表示パネルを説明する上面図。  
【図 34】本発明の表示装置の説明する図。  
【図 35】本発明の表示装置の説明する図。  
【図 36】本発明の表示装置の説明する図。  
【図 37】本発明の表示装置の説明する図。 20  
【図 38】本発明の表示装置の説明する図。  
【図 39】本発明の表示装置の説明する図。  
【図 40】本発明が適用される電子機器を示す図。  
【図 41】本発明の表示装置の説明する図。  
【図 42】本発明の表示装置の説明する図。  
【図 43】本発明の表示装置の説明する図。  
【図 44】本発明の表示装置の説明する図。  
【図 45】本発明が適用される保護回路を示す図。  
【図 46】本発明の E L 表示パネルを説明する図。  
【図 47】本発明の表示装置の説明する図。 30  
【図 48】本発明に適用できる発光素子の構成を説明する図。  
【図 49】本発明の表示装置の説明する図。  
【図 50】本発明の E L 表示パネルに適用できる画素の構成を説明する回路図。  
【図 51】本発明が適用される半導体装置を示す図。  
【図 52】本発明が適用される半導体装置を示す図。  
【図 53】本発明の表示装置の作製方法を説明する図。

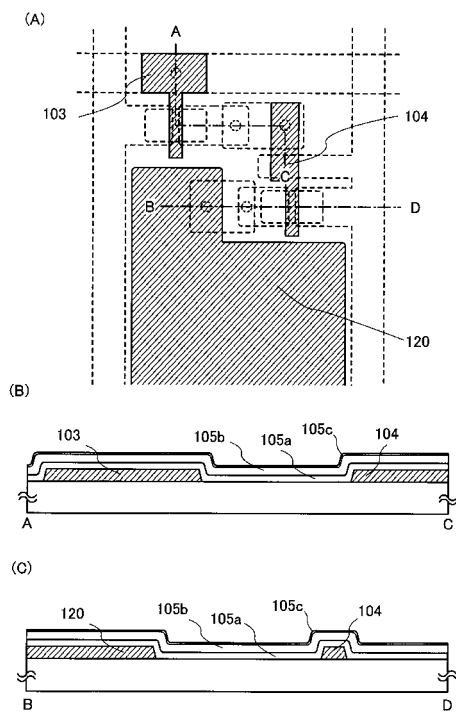
【図 1】



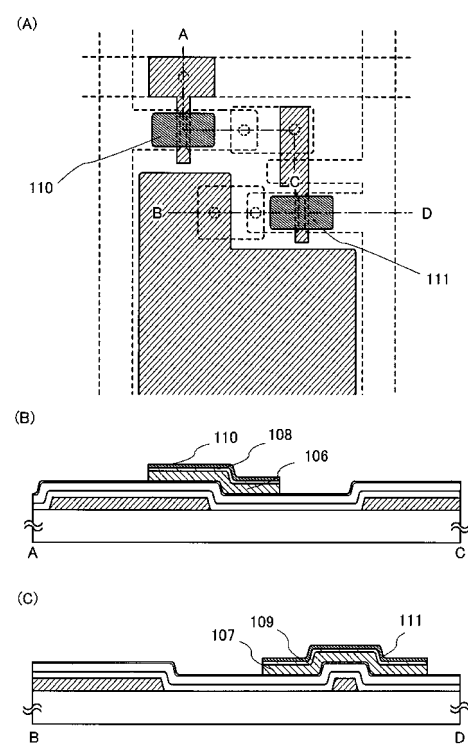
【図 2】



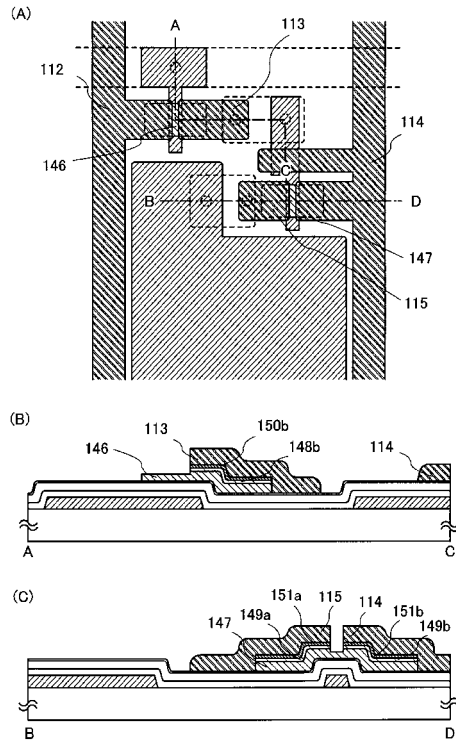
【図 3】



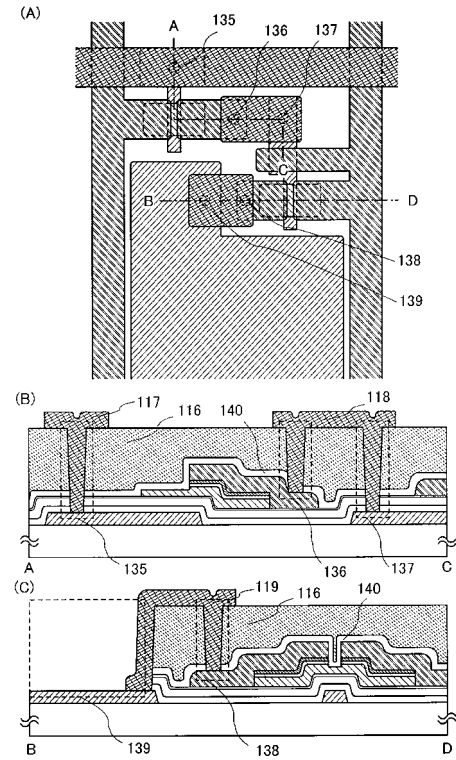
【図 4】



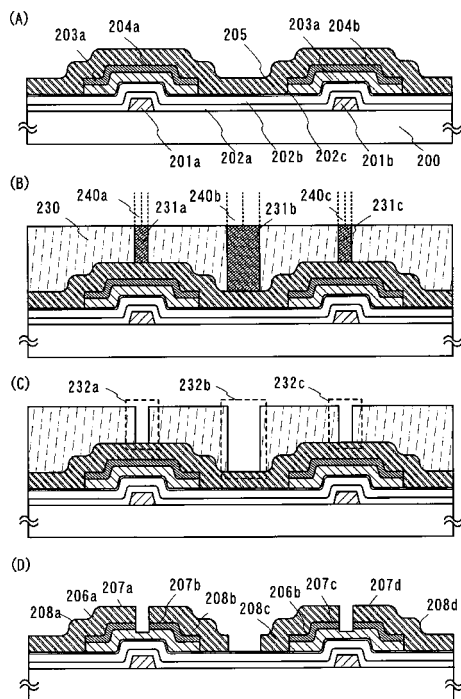
【図 5】



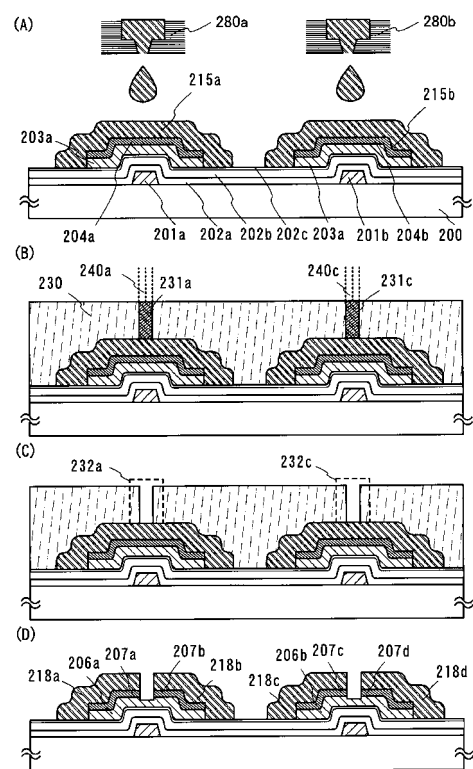
【図 6】



【図 7】

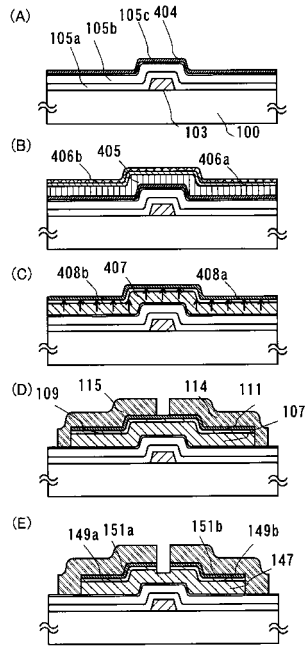


【図 8】

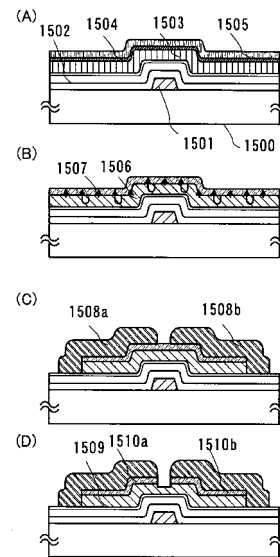




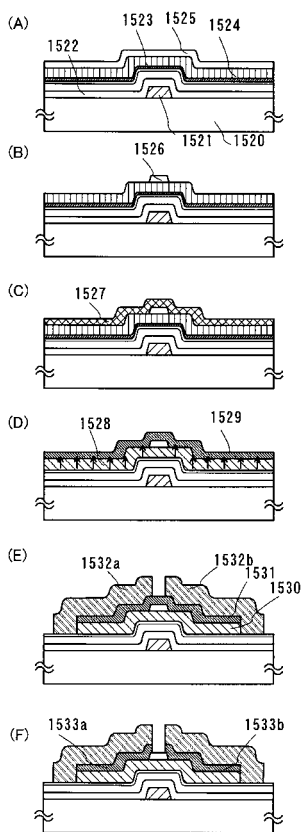
【図 9】



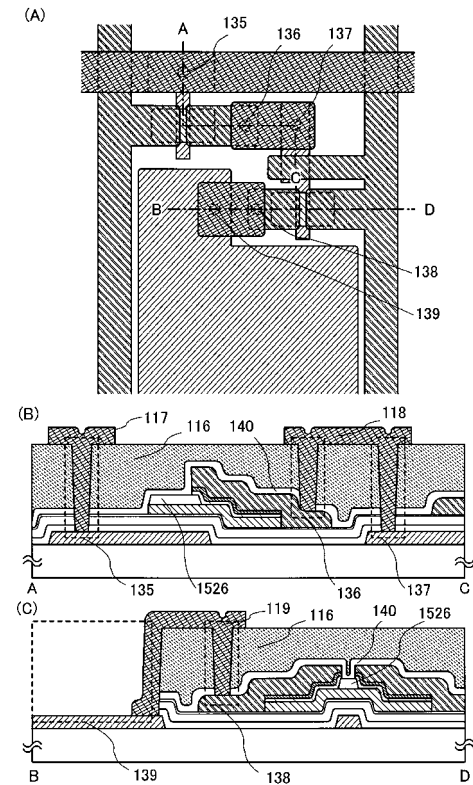
【図 10】



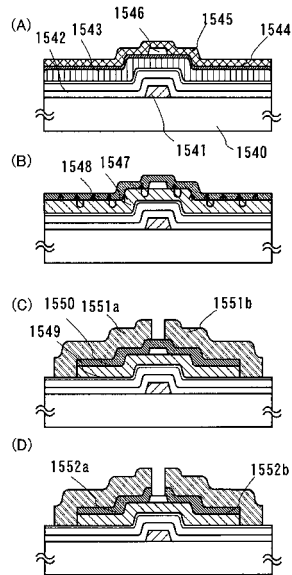
【図 11】



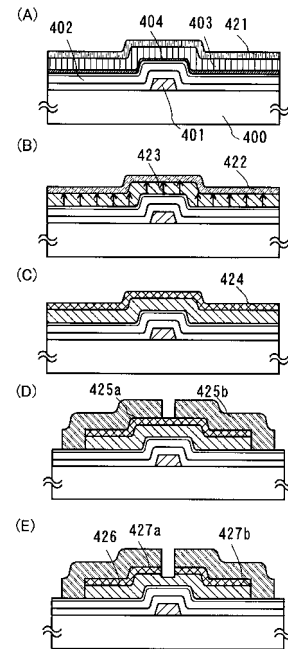
【図 12】



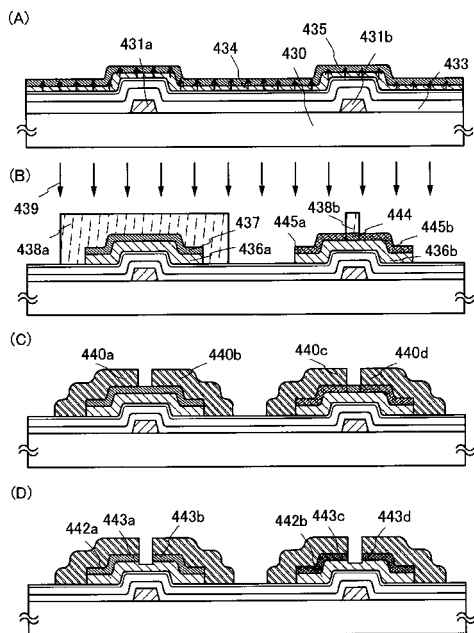
【図 13】



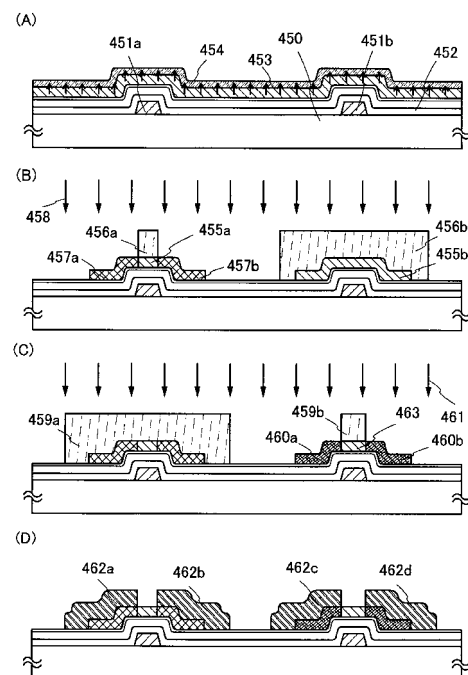
【図 14】



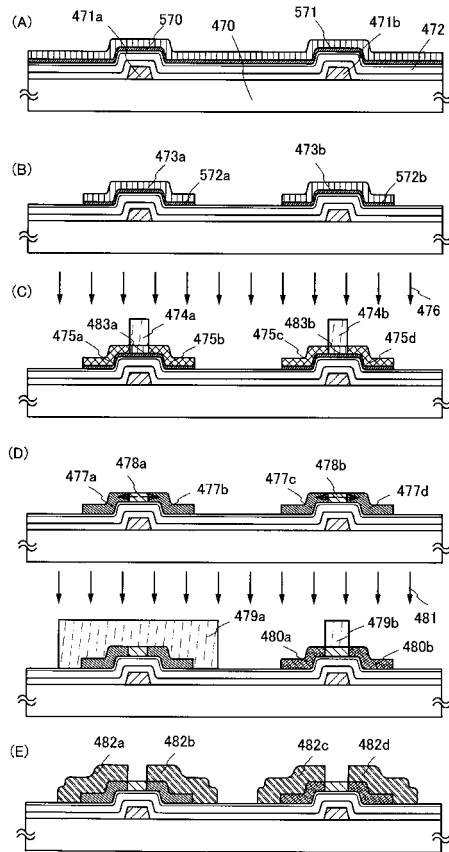
【図 15】



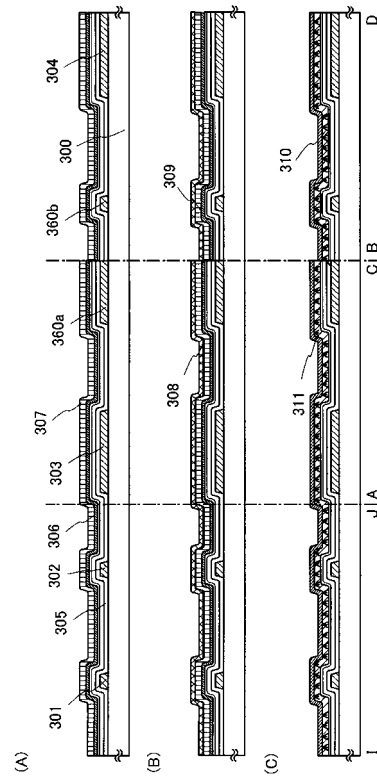
【図 16】



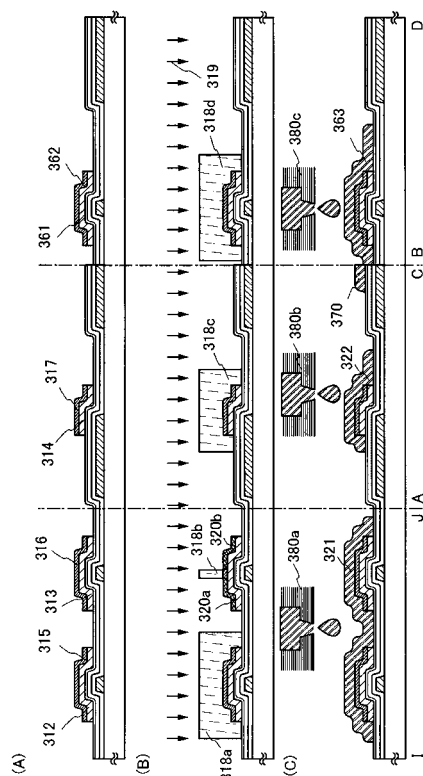
【 図 1 7 】



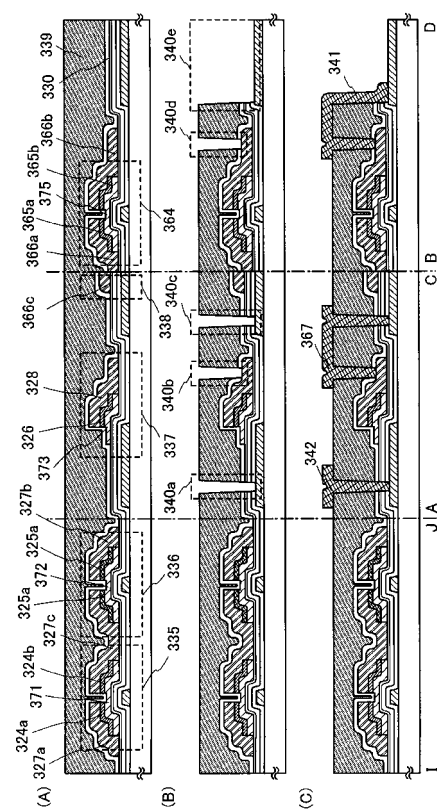
【 図 1 8 】



【 図 1 9 】

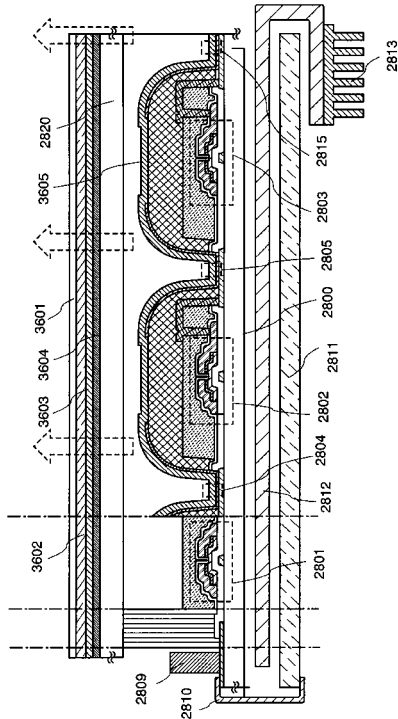


【 図 2 0 】

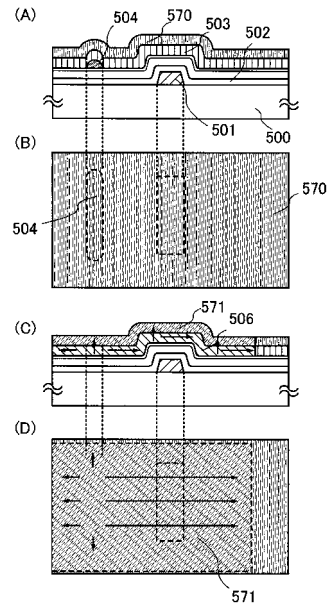




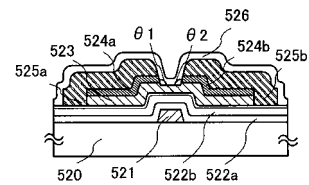
【図 25】



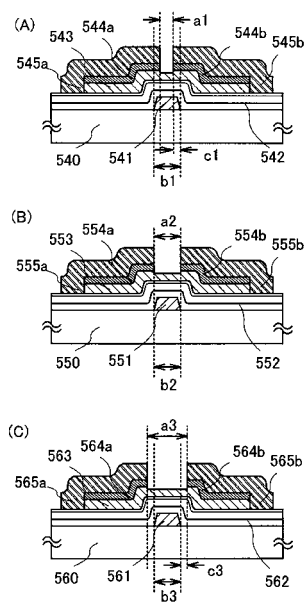
【図 26】



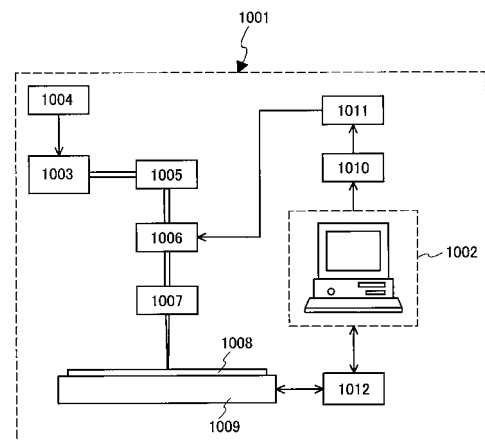
【図 27】



【図 28】

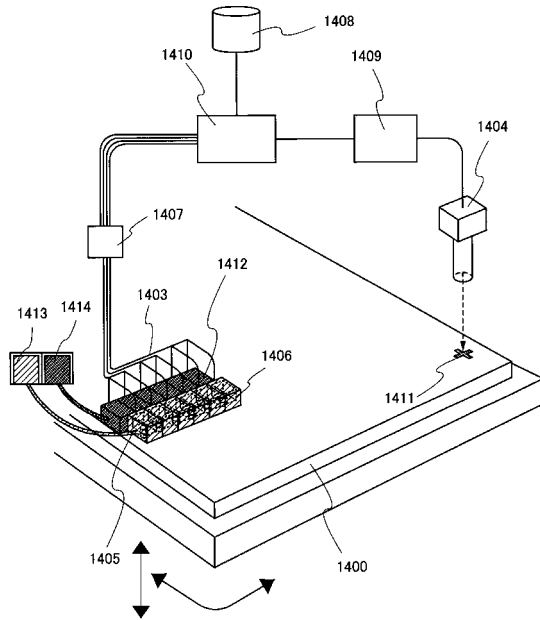


【図 29】

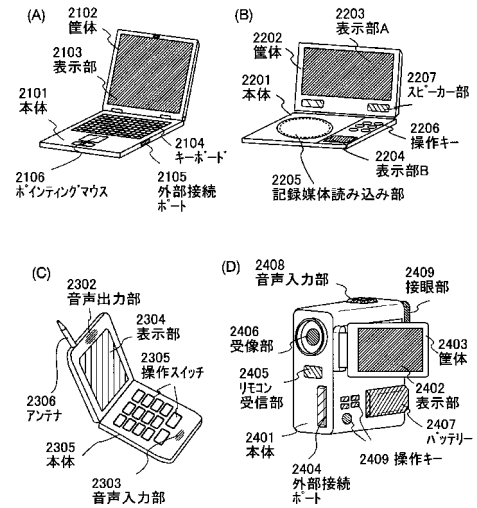


1001: レーザビーム直接描画装置  
 1002: パーソナルコンピュータ  
 1003: レーザ発振器  
 1004: 電源  
 1005: 光学系  
 1006: 音響光学変調器  
 1007: 光学系  
 1008: 基板  
 1009: 基板移動機構  
 1010: D/A変換部  
 1011: ドライバ  
 1012: ドライバ

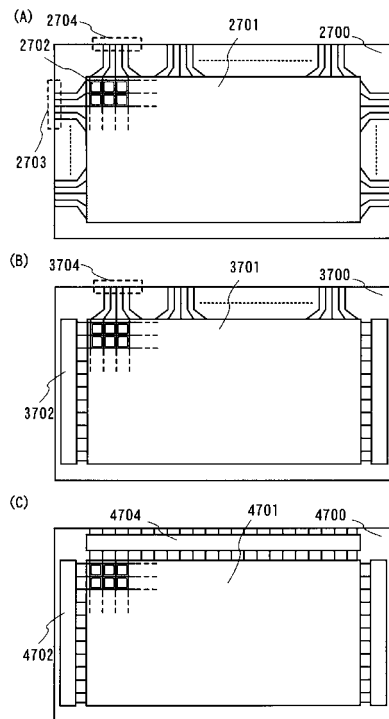
【図 30】



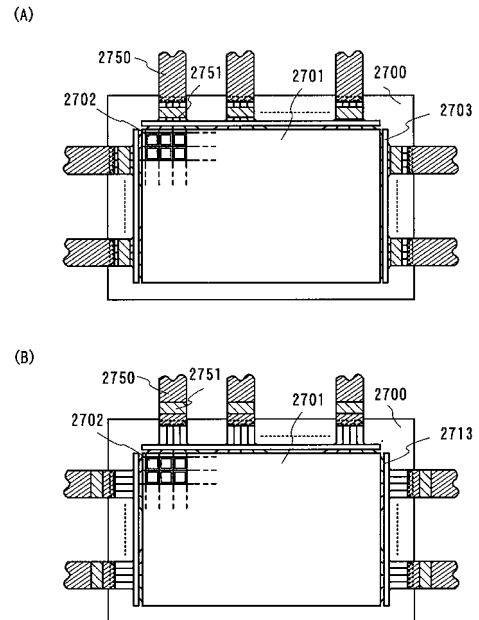
【図 31】



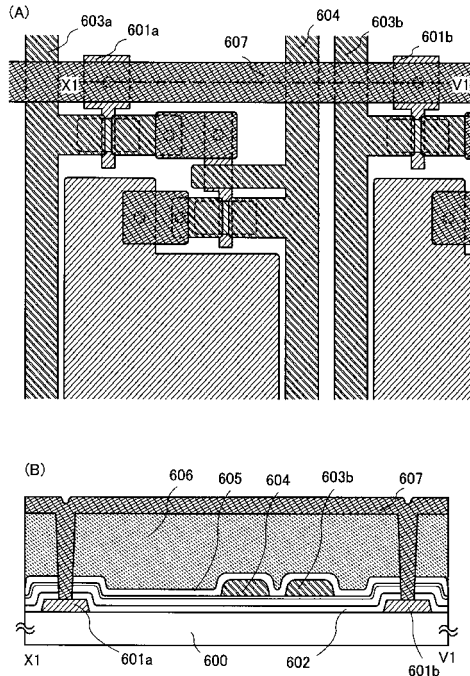
【図 32】



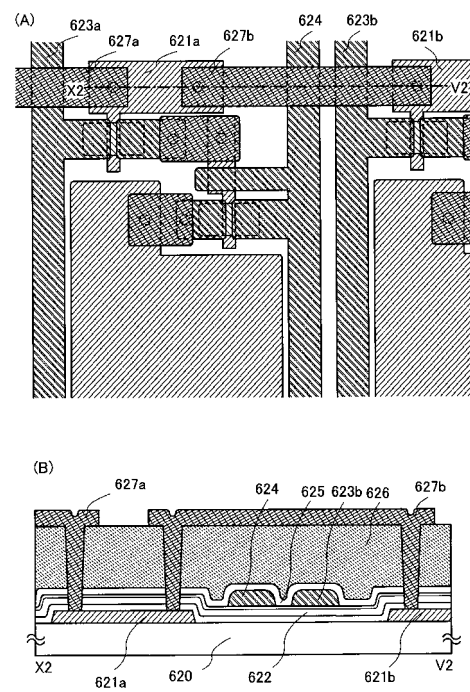
【図 33】



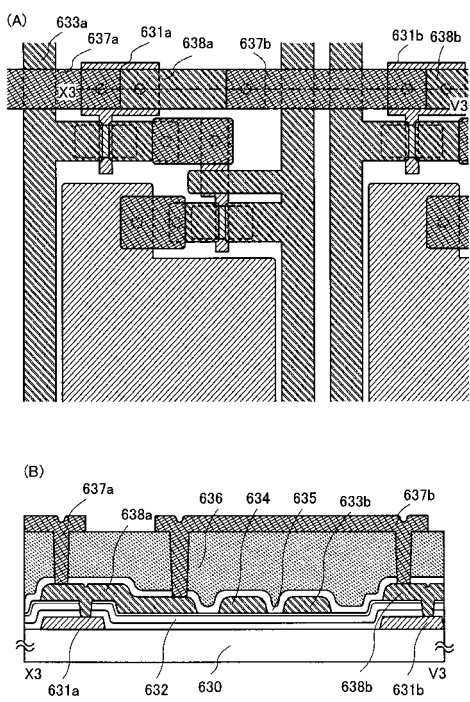
【図 34】



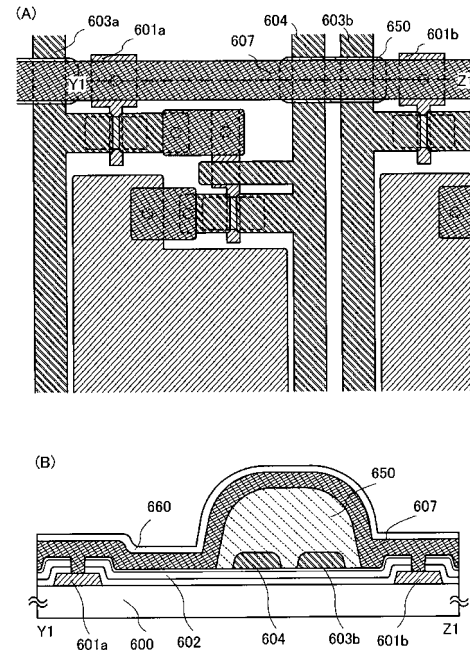
【図 35】



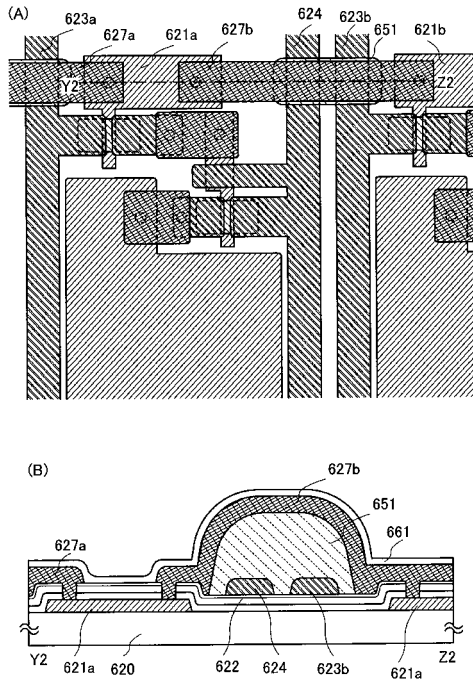
【図 36】



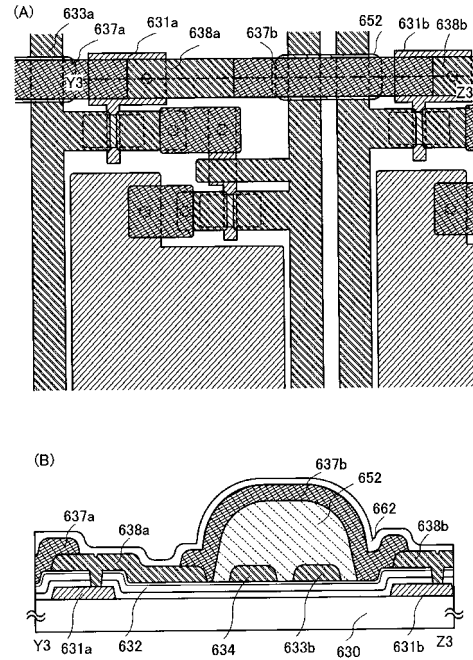
【図 37】



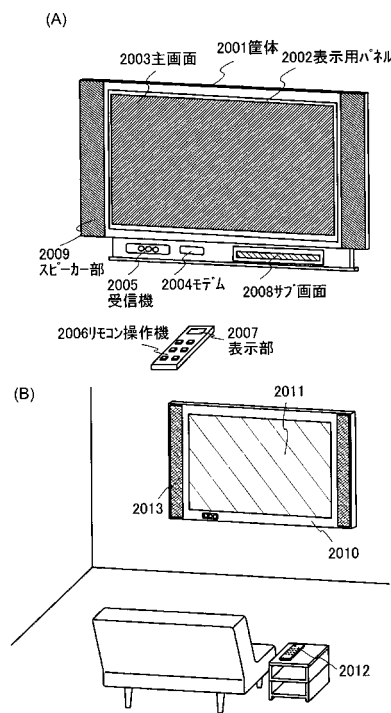
【図 38】



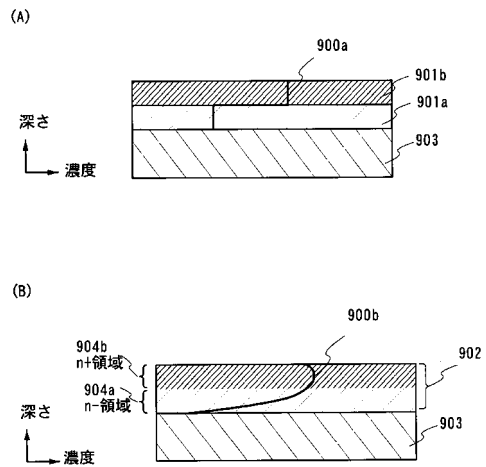
【図 39】



【図 40】

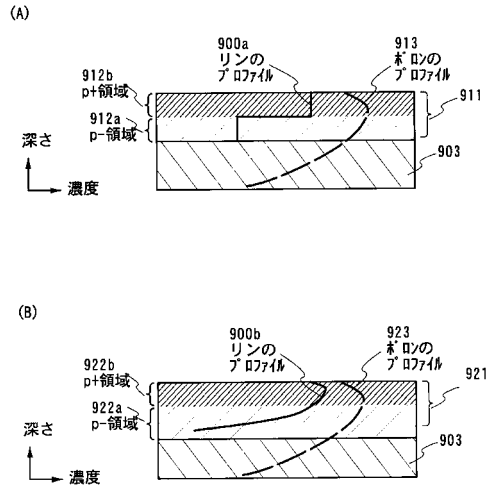


【図 41】

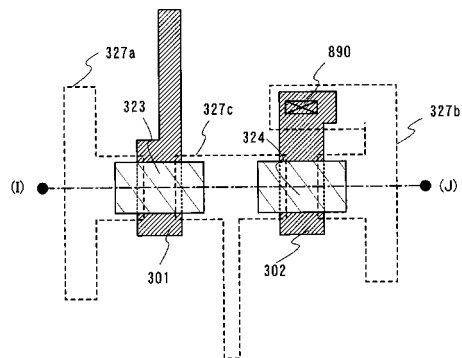




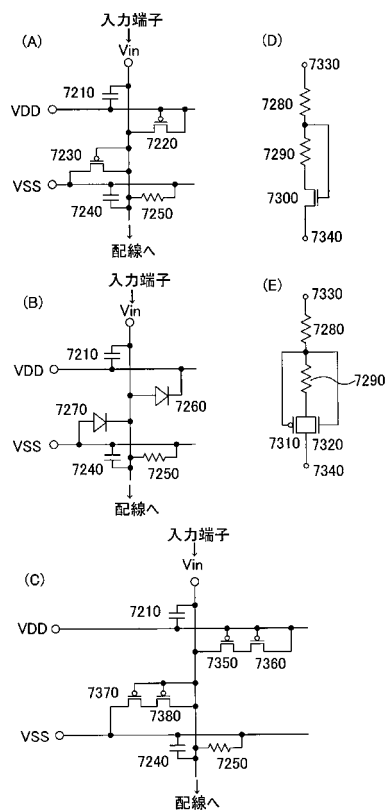
【図 4 2】



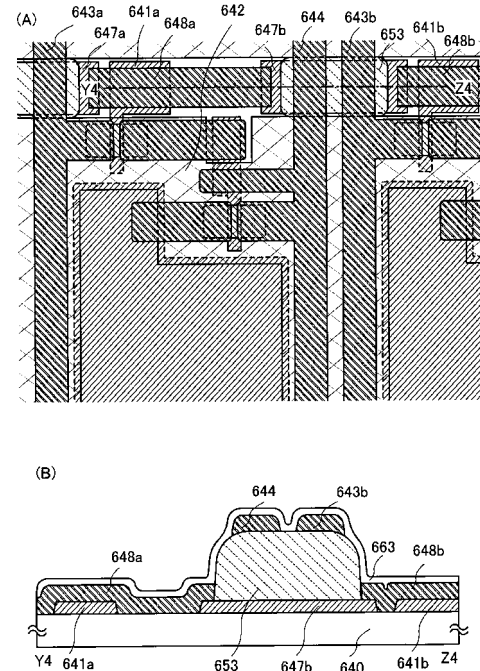
【図 4 3】



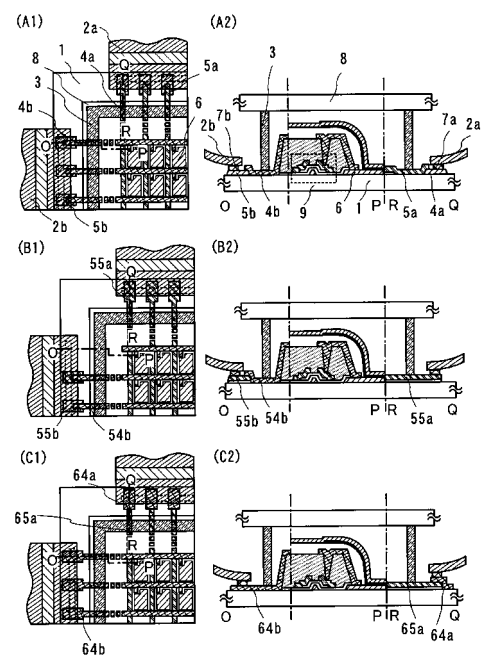
【図 4 5】



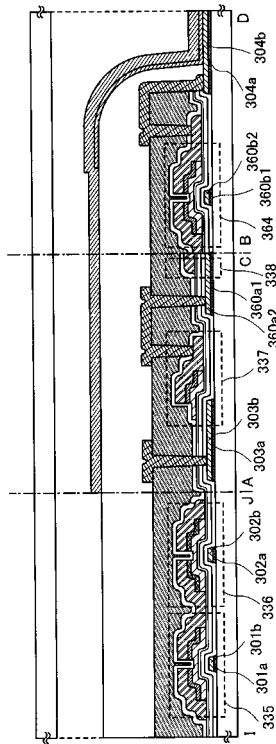
【図 4 4】



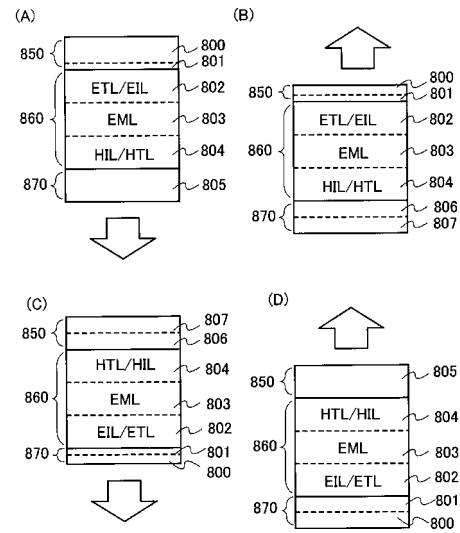
【図 4 6】



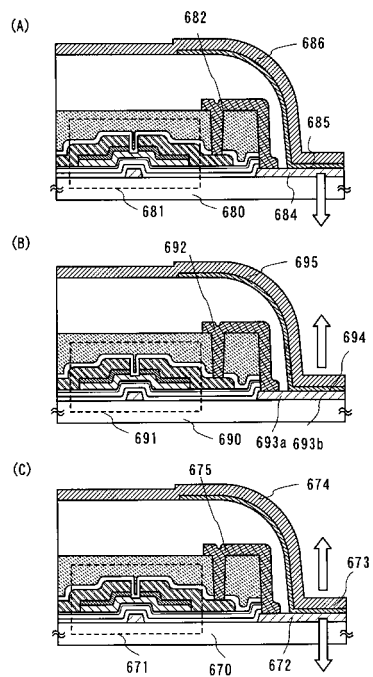
【 図 4 7 】



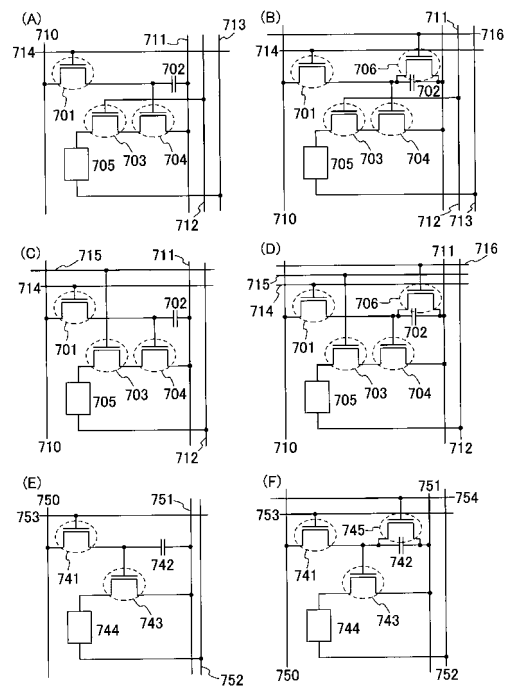
【圖 48】



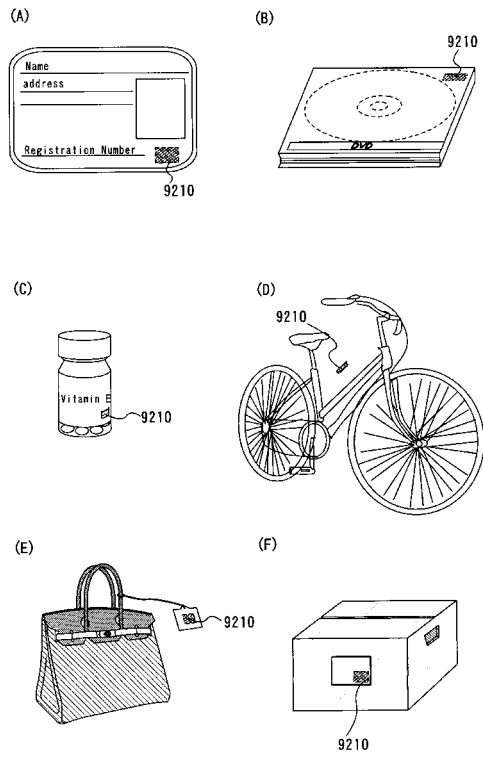
【 図 4 9 】



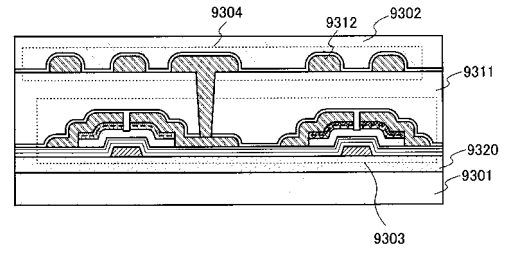
【 図 5 0 】



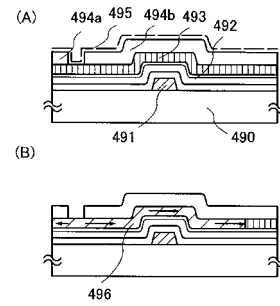
## 【図 5 1】



## 【図 5 2】



## 【図 5 3】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 5 B 33/10  
H 0 5 B 33/14 A

(56)参考文献 特開 2 0 0 2 - 1 2 4 6 8 3 ( J P , A )  
特開 2 0 0 4 - 2 4 1 7 7 0 ( J P , A )  
特開 2 0 0 2 - 0 1 6 0 6 8 ( J P , A )  
特開 2 0 0 2 - 3 2 4 8 0 8 ( J P , A )  
特開 2 0 0 0 - 3 5 3 6 6 6 ( J P , A )  
特開 2 0 0 3 - 3 1 8 1 9 3 ( J P , A )  
特開平 0 8 - 2 5 4 7 1 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 1 / 2 0  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 2 1 / 3 2 2