



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2011년06월09일

(11) 등록번호 10-1039803

(24) 등록일자 2011년06월01일

(51) Int. Cl.

H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)

(21) 출원번호 10-2009-0130678

(22) 출원일자 2009년12월24일

심사청구일자 2009년12월24일

(56) 선행기술조사문헌

KR1020060104794 A*

KR1020090054245 A*

KR1019990036815 A

KR100914684 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 이매동 122 금강아파트
103-1301

안호명

서울시 송파구 풍납동 277-5번지 202호

(74) 대리인

특허법인주원

전체 청구항 수 : 총 10 항

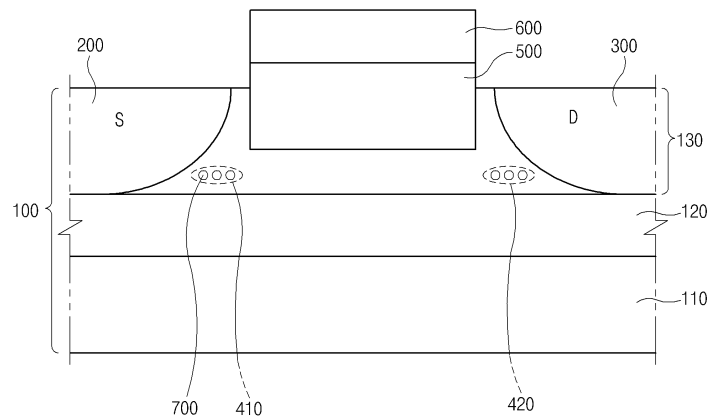
심사관 : 이우리

(54) 플로팅 바디 비휘발성 메모리 소자 및 그 제조 방법

(57) 요약

본 발명은 플로팅 바디 비휘발성 메모리 소자를 개시한다. 본 발명은 종래의 1T-DRAM 소자의 플로팅 바디에 전하(정공)를 포획하는 나노크리스탈을 주입하여 정공들을 포획함으로써, 전원이 제거되어도 프로그램된 전하를 유지할 수 있는 비휘발성 기능을 제공할 수 있다. 또한, 본 발명의 비휘발성 메모리 소자는, 종래의 1T-DRAM 소자의 제조 공정에 이온 주입공정만을 추가하여 제조가 가능하므로, 그 제조공정이 간단하고 저비용으로 제조가 가능하다. 또한, 본 발명은 소오스 영역 및 드레인 영역의 사이의 채널 영역에 홈부를 형성하고, 홈부로부터 게이트 절연막을 성장시킴으로써 채널 영역에 형성된 홈부가 게이트 절연막의 하부를 수용하도록 하고, 채널 영역에 수용된 게이트 절연막의 양 측면에 전하를 포획하는 나노크리스탈 입자들을 형성함으로써 국소적인 프로그램이 가능하고, 이에 따라서 멀티 비트 프로그램이 가능하다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

매립 절연막을 내부에 포함하는 반도체 기판;

상기 반도체 기판의 표면에 형성된 홈부로부터 성장되어 상기 반도체 기판의 표면보다 돌출되도록 형성된 게이트 절연막;

상기 게이트 절연막 상부에 형성된 게이트 전극층;

상기 게이트 절연막 양측에, 상기 반도체 기판의 표면 아래에 형성된 소오스 영역 및 드레인 영역; 및

상기 매립 절연막 및 상기 게이트 절연막 사이에 형성되고, 전하를 포획하는 전하 포획영역들을 내부에 포함하는 채널 영역;을 포함하고,

상기 채널 영역은

상기 소오스 영역과 상기 게이트 절연막의 하부 사이에 형성되어, 상기 소오스 영역 부근에서 발생된 정공을 포획하는 제 1 전하 포획 영역, 및

상기 드레인 영역과 상기 게이트 절연막의 하부 사이에 형성되어, 상기 드레인 영역 부근에서 발생된 정공을 포획하는 제 2 전하 포획 영역을 포함하는 것을 특징으로 하는 플로팅 바디 비휘발성 메모리 소자.

청구항 3

제 2 항에 있어서,

상기 제 1 전하 포획 영역 및 상기 제 2 전하 포획 영역은 Si, Ge, 및 Au 이온 중 어느 하나를 주입하여 형성된 나노크리스탈로 구성되는 것을 특징으로 하는 플로팅 바디 비휘발성 메모리 소자.

청구항 4

제 2 항에 있어서, 상기 반도체 기판은

단결정 실리콘 층으로 형성된 제 1 층;

상기 제 1 층 상부에, 상기 매립 절연막이 형성된 제 2 층; 및

상기 제 2 층 위에 단결정 실리콘으로 형성되고, 상기 홈부, 상기 채널 영역, 상기 소오스 영역 및 상기 드레인 영역이 형성된 제 3 층을 포함하는 것을 특징으로 하는 플로팅 바디 비휘발성 메모리 소자.

청구항 5

(a) 매립 절연막을 포함하는 반도체 기판위에 홈부를 형성하는 단계;

(b) 상기 홈부의 양측에 전하 포획 영역을 형성하는 단계;

(c) 상기 홈부로부터 게이트 절연막을 형성하고, 상기 게이트 절연막 위에 게이트 전극층을 형성하는 단계; 및

(d) 상기 게이트 절연막과 소오스 영역 사이 및 상기 게이트 절연막과 드레인 영역 사이에 상기 전하 포획 영역이 위치하도록 상기 소오스 영역 및 상기 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플로팅 바디 비휘발성 메모리 소자 제조 방법.

청구항 6

제 5 항에 있어서, 상기 (a) 단계는

불순물을 도핑하여 채널영역을 형성하는 단계; 및

상기 채널 영역의 중심에 상기 홈부를 형성하는 단계를 포함하는 것을 특징으로 하는 플로팅 바디 비휘발성 메

모리 소자 제조 방법.

청구항 7

제 5 항에 있어서, 상기 반도체 기판은

단결정 실리콘층으로 구현된 제 1 층;

상기 제 1 층의 상부에 형성된 매립 절연막인 제 2 층; 및

상기 매립 절연막의 상부에, 단결정 실리콘층으로 구현된 제 3 층을 포함하고, 상기 홈부는 상기 제 3 층에 형성된 것을 특징으로 하는 플로팅 바디 비휘발성 메모리 소자 제조 방법.

청구항 8

제 6 항에 있어서,

상기 (b) 단계는

(b1) 상기 채널 영역에 이온 주입 공정을 수행하는 단계; 및

(b2) 이온 주입 공정이 수행된 반도체 기판에 열처리를 수행하여 상기 전하 포획 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플로팅 바디 비휘발성 메모리 소자 제조 방법.

청구항 9

제 8 항에 있어서,

상기 (b1) 단계에서, 홈부를 통해서 주입된 이온들은 매립 절연막에 위치하고, 홈부 이외의 영역을 통해서 주입된 이온들은 상기 제 3 층의 하부에 위치하도록, Si, Ge, 및 Au 중 어느 하나에 대해서 이온 주입 공정을 수행하는 것을 특징으로 하는 플로팅 바디 비휘발성 메모리 소자 제조 방법.

청구항 10

제 9 항에 있어서, 상기 (b2) 단계에서

열처리를 수행하여 상기 제 3 층의 하부에 위치한 이온들을 나노크리스탈로 형성시켜, 나노크리스탈들로 구성된 전하 포획 영역을 형성하는 것을 특징으로 하는 플로팅 바디 비휘발성 메모리 소자 제조 방법.

청구항 11

매립 절연막을 내부에 포함하는 반도체 기판; 상기 반도체 기판의 표면에 형성된 홈부로부터 성장되어 상기 반도체 기판의 표면보다 돌출되도록 형성된 게이트 절연막; 상기 게이트 절연막 상부에 형성된 게이트 전극층; 상기 게이트 절연막 양측에, 상기 반도체 기판의 표면 아래에 형성된 소오스 영역 및 드레인 영역; 상기 매립 절연막 및 상기 게이트 절연막 사이에 형성된 채널 영역; 및 상기 채널 영역 중, 상기 소오스 영역 및 상기 게이트 절연막 사이에 형성된 제 1 전하 포획 영역 및 상기 드레인 영역 및 상기 게이트 절연막 사이에 형성된 제 2 전하 포획 영역을 포함하는 플로팅 바디 비휘발성 메모리 소자의 프로그램 방법으로서,

상기 소오스 영역을 접지하고, 상기 게이트 전극층에 제 1 프로그램 전압을 인가하며, 상기 드레인 영역에 제 2 프로그램 전압을 인가하여, 상기 드레인 영역 부근에서 발생된 정공을 상기 제 2 전하 포획 영역에 형성된 나노크리스탈에 포획시킴으로써 상기 제 2 전하 포획 영역에 전하를 프로그램하고,

상기 드레인 영역을 접지하고, 상기 게이트 전극층에 제 1 프로그램 전압을 인가하며, 상기 소오스 영역에 제 2 프로그램 전압을 인가하여, 상기 소오스 영역 부근에서 발생된 정공을 상기 제 1 전하 포획 영역에 형성된 나노크리스탈에 포획시킴으로써 상기 제 1 전하 포획 영역에 전하를 프로그램하는 것을 특징으로 하는 플로팅 바디 비휘발성 메모리 소자의 프로그램 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 비휘발성 메모리 소자 및 그 제조 방법에 관한 것으로서, 보다 구체적으로는 플로팅 바디 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 종래의 Dynamic random access memory(DRAM) 구조는 한 개의 트랜지스터와 한 개의 셀 커패시터로 구성된다. 최근 고집적을 요구하는 전자 제품들이 출시 되면서, DRAM 집적도의 증가가 요구되는 상황이다. 이를 만족시키기 위해서는 셀 소자의 크기는 줄어들어야 한다. 그러나 셀소자의 축소화는 매우 어려운 제작공정을 요구하고 있다. 이를 해결하기 위해서, 최근 플로팅 바디(floating body)를 갖는 MOS 소자를 DRAM 셀로 이용하는 연구들이 발표되었다. 이 소자의 동작은 플로팅 바디에 전하를 저장하거나 제거하면서, DRAM 메모리 동작과 같은 동작이 가능하다. 이는 한 개의 트랜지스터를 필요로 하기 때문에 기존의 DRAM 공정과 달리 간단한 공정으로 구현이 가능하며, 일반적으로 이와 같은 DRAM 셀을 단일 트랜지스터 플로팅 바디 DRAM 셀(1T-DRAM)이라 칭한다.

[0003] 도 1은 종래의 단일 트랜지스터 플로팅 바디 디램 셀(one transistor floating body DRAM cell)을 보여주는 단면도이다. 도 1을 참조하면, 종래의 단일 트랜지스터 플로팅 바디 디램 셀은 반도체기판(10) 상에 배치된 매립 산화막(buried oxide; BOX; 12)을 구비한다. 상기 매립 산화막(BOX; 12) 상에 플로팅 바디(13), 소스 영역(16) 및 드레인 영역(17)이 배치된다.

[0004] 상기 플로팅 바디(13) 상에 차례로 적층된 게이트유전막(14) 및 게이트전극(15)이 제공된다. 상기 소스 영역(16)은 접지(GND)에 연결되고, 상기 드레인 영역(17)은 비트라인(BL)에 연결되며, 상기 게이트전극(15)은 워드라인(WL)에 연결된다.

[0005] 도 1 에 도시된 바와 같이, 상기 플로팅 바디(13)는 상기 매립 산화막(BOX; 12), 상기 게이트유전막(14), 상기 소스 영역(16) 및 상기 드레인 영역(17)에 의하여 전기적으로 고립된다. 상기 단일 트랜지스터 플로팅 바디 디램 셀은 플로팅 바디 효과(floating body effect)를 이용하여 데이터를 저장하고 판독한다.

[0006] 상기 단일 트랜지스터 플로팅 바디 디램 셀에 프로그램 동작(즉, 데이터 "1"을 프로그램)을 설명하기로 한다. 프로그램을 수행하기 위해서 소스 영역(16)을 접지시키고, 게이트전극(15)에 문턱전압 이상의 워드라인 프로그램 전압을 인가하며, 드레인 영역(17)에 비트라인 프로그램 전압을 인가한다.

[0007] 데이터 프로그램 동작은 드레인 영역(17) 근처의 상기 플로팅 바디(13)에서 정공들(holes)을 발생시키고, 정공들(holes)은 플로팅 바디(13) 내에 축적(accumulation)된다. 플로팅 바디(13)내에 축적된 상기 정공들(holes)에 의해서 플로팅 바디의 전위가 상승되어 트랜지스터의 문턱전압은 낮아지게 된다.

[0008] 이에 반해, 프로그램된 데이터를 소거하는 동작("0"을 프로그램하는 동작)은 드레인 영역(17)에 상기 프로그램 전압과 극성이 반대인 비트라인 프로그램 소거 전압을 인가하여, 축적된 정공들을 소거시키고, 이 경우에는 플로팅 바디의 전위가 하강하게 되고, 이로인해 상기 트랜지스터의 문턱 전압이 높아지게 된다.

[0009] 단일 트랜지스터 플로팅 바디 디램 셀에 읽기동작, 즉 상기 데이터를 판독하는 경우를 설명하기로 한다. 상기 소스 영역(16)을 접지시킨다. 상기 게이트전극(15)에 상기 워드라인 프로그램 전압보다 낮은 워드라인 읽기 전압을 인가한다. 상기 드레인 영역(17)에 비트라인 읽기 전압을 인가한다. 이때, 상기 소스 영역(16) 및 상기 드레인 영역(17)간에 흐르는 전류의 양은 상기 정공들(holes)의 유무에 따라 다르게 나타난다. 즉, 상기 소스 영역(16) 및 상기 드레인 영역(17)간에 흐르는 전류의 양을 감지하여 상기 단일 트랜지스터 플로팅 바디 디램 셀에 저장된 데이터를 판독한다.

[0010] 즉, 상기 정공들(holes)의 축적량에 따라 상기 문턱전압이 달라진다. 즉, 상기 소스 영역(16) 및 상기 드레인 영역(17)간에 흐르는 전류의 양은 상기 정공들(holes)의 축적량에 따라 다르게 나타난다.

[0011] 그런데, 플로팅 바디 디램 셀은 일반적인 디램 셀에 비해 데이터 보유 시간(Data retention time)이 매우 짧다, 즉, 디램 셀 내의 플로팅 바디에 축적된 홀이 드레인 영역으로의 누설 전류에 의해 매우 빠르게 소멸되어 데이터를 잃어버리게 된다. 따라서, 상기 플로팅 바디에 축적된 홀이 소멸되기 이 전에 리프레쉬를 수행하여야 하므로, 통상적인 디램 셀에 비해 리프레쉬 주기가 매우 짧다. 상기과 같이, 리프레쉬 주기가 짧은 경우 리프레쉬 동작을 제어하는 것이 용이하지 않으므로 셀에 저장된 데이터가 뒤바뀌게 되는 등의 동작 불량(functionfail)이 발생되기 쉽다.

[0012] 또한, 플로팅 바디 디램 셀은 휘발성 메모리 소자이므로 전원이 제거되면 프로그램된 데이터도 함께 제거된다.

발명의 내용

해결 하고자하는 과제

[0013] 본 발명이 해결하고자 하는 과제는 종래의 플로팅 바디 디램 셀을 제조하는 공정에 간단한 공정을 더 추가하여 플로팅 바디를 이용한 비휘발성 메모리 소자 및 이의 제조 방법을 제공하는 것이다.

[0014] 특히, 본 발명이 해결하고자 하는 과제는 하나의 플로팅 바디 셀에 멀티 비트 프로그램이 가능한 비휘발성 메모리 소자 및 이의 제조 방법을 제공하는 것이다.

과제 해결수단

[0015] 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자는 매립 절연막을 내부에 포함하는 반도체 기관; 상기 반도체 기관의 표면에 형성된 홈부로부터 성장되어 상기 반도체 기관의 표면보다 돌출되도록 형성된 게이트 절연막; 상기 게이트 절연막 상부에 형성된 게이트 전극층; 상기 게이트 절연막 양측에, 상기 반도체 기관의 표면 아래에 형성된 소오스 영역 및 드레인 영역; 및 상기 매립 절연막 및 상기 게이트 절연막 사이에 형성되고, 전하를 포획하는 전하 포획영역들을 내부에 포함하는 채널 영역을 포함하되, 상기 채널 영역은 상기 소오스 영역과 상기 게이트 절연막의 하부 사이에 형성되어, 상기 소오스 영역 부근에서 발생된 정공을 포획하는 제 1 전하 포획 영역; 및 상기 드레인 영역과 상기 게이트 절연막의 하부 사이에 형성되어, 상기 드레인 영역 부근에서 발생된 정공을 포획하는 제 2 전하 포획 영역을 포함할 수 있다.

[0016] 삭제

[0017] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 상기 제 1 전하 포획 영역 및 상기 제 2 전하 포획 영역은 Si, Ge, 및 Au 이온 중 어느 하나를 주입하여 형성된 나노크리스탈로 구성될 수 있다.

[0018] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 상기 반도체 기관은, 단결정 실리콘 층으로 형성된 제 1 층; 상기 제 1 층 상부에, 상기 매립 절연막이 형성된 제 2 층; 및 상기 제 2 층 위에 단결정 실리콘으로 형성되고, 상기 홈부, 상기 채널 영역, 상기 소오스 영역 및 상기 드레인 영역이 형성된 제 3 층을 포함할 수 있다.

[0019] 한편, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법은, (a) 매립 절연막을 포함하는 반도체 기관위에 홈부를 형성하는 단계; (b) 상기 홈부의 양측에 전하 포획 영역을 형성하는 단계; (c) 상기 홈부로부터 게이트 절연막을 형성하고, 상기 게이트 절연막 위에 게이트 전극층을 형성하는 단계; 및 (d) 상기 게이트 절연막과 소오스 영역 사이 및 상기 게이트 절연막과 드레인 영역 사이에 상기 전하 포획 영역이 위치하도록 상기 소오스 영역 및 상기 드레인 영역을 형성하는 단계를 포함할 수 있다.

[0020] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법의 상기 (a) 단계는, 상기 불순물을 도핑하여 채널영역을 형성하는 단계; 및 상기 채널 영역의 중심에 상기 홈부를 형성하는 단계를 포함할 수 있다.

[0021] 또한, 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법에서 이용되는 상기 반도체 기관은, 단결정 실리콘층으로 구현된 제 1 층; 상기 제 1 층의 상부에 형성된 매립 절연막인 제 2 층; 및 상기 매립 절연막의 상부에, 단결정 실리콘층으로 구현된 제 3 층을 포함하고, 상기 홈부는 상기 제 3 층에 형성될 수 있다.

[0022] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법의 상기 (b) 단계는, (b1) 상기 채널 영역에 이온 주입 공정을 수행하는 단계; 및 (b2) 이온 주입 공정이 수행된 반도체 기관에 열처리를 수행하여 상기 전하 포획 영역을 형성하는 단계를 포함할 수 있다.

[0023] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법의 상기 (b1) 단계에서, 홈부를 통해서 주입된 이온들은 매립 절연막에 위치하고, 홈부 이외의 영역을 통해서 주입된 이온들은 상기 제 3 층의 하부에 위치하도록, Si, Ge, 및 Au 중 어느 하나에 대해서 이온 주입 공정을 수행할 수 있다.

[0024] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법의 상기 (b2) 단계는, 열처리를 수

행하여 상기 제 3 층의 하부에 위치한 이온들을 나노크리스탈로 형성시켜, 나노크리스탈들로 구성된 전하 포획 영역을 형성할 수 있다.

- [0025] 한편, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 프로그램 방법은, 매립 절연막을 내부에 포함하는 반도체 기판; 상기 반도체 기판의 표면에 형성된 홈부로부터 성장되어 상기 반도체 기판의 표면보다 돌출되도록 형성된 게이트 절연막; 상기 게이트 절연막 상부에 형성된 게이트 전극층; 상기 게이트 절연막 양측에, 상기 반도체 기판의 표면 아래에 형성된 소오스 영역 및 드레인 영역; 상기 매립 절연막 및 상기 게이트 절연막 사이에 형성된 채널 영역; 및 상기 채널 영역 중, 상기 소오스 영역 및 상기 게이트 절연막 사이에 형성된 제 1 전하 포획 영역 및 상기 드레인 영역 및 상기 게이트 절연막 사이에 형성된 제 2 전하 포획 영역을 포함하는 플로팅 바디 비휘발성 메모리 소자의 프로그램 방법으로서, 상기 소오스 영역을 접지하고, 상기 게이트 전극층에 제 1 프로그램 전압을 인가하며, 상기 드레인 영역에 제 2 프로그램 전압을 인가하여, 상기 드레인 영역 부근에서 발생된 정공을 상기 제 2 전하 포획 영역에 형성된 나노크리스탈에 포획시킴으로써 상기 제 2 전하 포획 영역에 전하를 프로그램하고, 상기 드레인 영역을 접지하고, 상기 게이트 전극층에 제 1 프로그램 전압을 인가하며, 상기 소오스 영역에 제 2 프로그램 전압을 인가하여, 상기 소오스 영역 부근에서 발생된 정공을 상기 제 1 전하 포획 영역에 형성된 나노크리스탈에 포획시킴으로써 상기 제 1 전하 포획 영역에 전하를 프로그램할 수 있다.

효 과

- [0026] 본 발명은 종래의 1T-DRAM 소자의 플로팅 바디에 전하(정공)를 포획하는 나노크리스탈을 주입하여 정공들을 포획함으로써, 전원이 제거되어도 프로그램된 전하를 유지할 수 있는 비휘발성 기능을 제공할 수 있다.
- [0027] 또한, 본 발명의 비휘발성 메모리 소자는, 종래의 1T-DRAM 소자의 제조 공정에 이온 주입공정만을 추가하여 제조가 가능하므로, 그 제조공정이 간단하고 저비용으로 제조가 가능하다.
- [0028] 또한, 본 발명은 소오스 영역 및 드레인 영역의 사이의 채널 영역에 홈부를 형성하고, 홈부로부터 게이트 절연막을 성장시킴으로써 채널 영역에 형성된 홈부가 게이트 절연막의 하부를 수용하도록 하고, 채널 영역에 수용된 게이트 절연막의 양 측면에 전하를 포획하는 나노크리스탈 입자들을 형성함으로써 국소적인 프로그램이 가능하고, 이에 따라서 멀티 비트 프로그램이 가능하다.

발명의 실시를 위한 구체적인 내용

- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [0030] 도 2는 본 발명의 바람직한 실시예에 따른 플로팅 바디 비휘발성 메모리 소자의 구조를 도시하는 도면이다. 도 2를 참조하면, 본 발명의 플로팅 바디 비휘발성 메모리 소자는 매립 절연막(120)이 포함된 반도체 기판(100)위에 게이트 절연막(500) 및 게이트 전극층(600)이 형성되고, 게이트 절연막(500) 및 게이트 전극층(600)의 양 옆에, 반도체 기판(100)의 표면으로부터 소정 깊이로 소오스 영역(200) 및 드레인 영역(300)이 형성된다. 여기서, 반도체 기판(100)은 하부 단결정 실리콘층(110), 매립 절연막(120) 및 상부 단결정 실리콘층(130)이 순차적으로 형성된 반도체 기판(100)인 SOI 기판인 것이 바람직하고, 소오스 및 드레인 영역(200,300)은 상부 단결정 실리콘층(130)에 형성되는 것이 바람직하다. 이하에서는 반도체 기판(100)으로 SOI 기판이 이용된 예를 예시적으로 설명한다.
- [0031] 이 때, 상부 단결정 실리콘층(130) 표면에는 홈부(135)가 형성되고, 게이트 절연막(500)은 상부 단결정 실리콘층(130)에 형성된 홈부(135)로부터 충전되어 상부 단결정 실리콘층(130)의 상면보다 돌출되도록 형성된다. 상부 단결정 실리콘층(130)의 채널 영역(400) 중에서 소오스 영역(200)과 게이트 절연막(500)의 하부 사이 영역 및 드레인 영역(300)과 게이트 절연막(500)의 하부 사이의 영역에는 전하(정공)를 포획하는 나노크리스탈(700)이 형성되어 있다.
- [0032] 본 발명의 바람직한 실시예에서는 일반적인 플로팅 바디 디램과 동일한 방식으로 프로그램을 수행하고, 프로그램된 상태에서 채널 영역(400)에 축적된 전하(정공)가 나노크리스탈(700)에 포획되어 전원 공급이 단절된 상태에서도 유지되므로 비휘발성 메모리 소자로서 동작한다. 본 발명에 따른 프로그램 동작은 도 4a 내지 도 5를 참조하여 후술한다.
- [0033] 도 3a 내지 도 3e는 본 발명의 바람직한 실시예에 따른 플로팅 바디 비휘발성 메모리 소자의 제조 공정을 도시하는 도면이다. 도 3a 내지 도 3e를 참조하여 본 발명의 바람직한 실시예에 따른 플로팅 바디 비휘발성 메모리

소자의 제조 공정을 설명한다.

- [0034] 본 발명의 바람직한 실시예에 따른 플로팅 바디 비휘발성 메모리 소자를 제조하기 위해서, 먼저, 도 3a에 도시된 바와 같이, 매립 절연막(120)이 포함된 반도체 기판(100)을 마련한다. 본 발명에서는 하부 단결정 실리콘층(110), 매립 절연막(120), 및 상부 단결정 실리콘층(130)이 순차적으로 형성된 반도체 기판(100)을 마련하고, 매립 절연막(120)상에 위치하는 상부 단결정 실리콘층(130)을 패터닝하여 액티브 영역 및 소자 분리 영역을 구분하고(미도시 됨), 채널 도핑을 위한 마스크로 이용되는 포토 레지스트(PR1)를 채널 영역(400)이 노출되도록 상부 단결정 실리콘층(130)위에 형성하고, 포토 레지스트(PR1)를 이온 주입 마스크로 이용하여 상부 단결정 실리콘층(130)내에 제 2 도전형 불순물을 주입하여 채널 영역(400)을 형성한다. 본 발명의 바람직한 실시예에서 제 2 도전형은 P형이 된다.
- [0035] 그 후, 도 3b에 도시된 바와 같이, 포토 레지스트(PR1)를 제거하고, 식각 마스크 패턴(810)을 상부 단결정 실리콘층(130) 위에 형성하고, 상부 단결정 실리콘층(130)의 일부를 식각하여 채널 영역(400)의 중심에 게이트 절연막(500)이 형성될 홈부(135)를 형성한 후, 식각 마스크(810)를 제거한다.
- [0036] 상부 단결정 실리콘층(130)에 홈부(135)가 형성된 후, 도 3c에 도시된 바와 같이, 상부 단결정 실리콘층(130)에 하드 마스크 패턴(820)을 형성하고, 하드 마스크막 패턴(820)이 형성된 기판의 상부에서 기판으로 Si, Ge, Au 등의 이온 implantation을 수행한다.
- [0037] 도 3c에 도시된 바와 같이, 홈부(135)의 상부에서 주입된 이온들(900a)은 하드 마스크막 및 상부 단결정 실리콘층(130)을 통과하여 매립 절연막(120)에 주입되고, 홈부(135) 이외의 영역의 상부에서 주입된 이온들(900b)은 하드 마스크막 패턴을 통과하여 상부 단결정 실리콘층(130)의 하부에 위치하도록 이온 implantation이 수행한다.
- [0038] 그 후, 약 500 °C 내지 1000 °C 내지의 온도에서 어닐링을 수행하면, 도 3d에 도시된 바와 같이, 상부 단결정 실리콘층(130)에 위치한 이온들(900b)이 활성화되어 전하를 포획할 수 있는 나노크리스탈(700)이 형성된다. 그러나, 매립 절연막(120)에 주입된 이온들(900a)의 상태는 변함이 없다. 이는 실리콘 기판과 산화막인 매립 절연막의 열전도 차이에 기인하는 것으로서, 열처리 과정에서 같은 온도가 인가되어도, 열전달이 잘되는 반도체층에 위치한 이온들은 나노크리스탈로 형성되지만, 열전달이 잘 안되는 매립 절연막에 위치한 이온들은 열전달이 충분하지 않아 나노크리스탈로 형성되지 못한다.
- [0039] 나노크리스탈(700)이 형성된 후, 도 3e에 도시된 바와 같이, 하드 마스크막 패턴(820)을 제거하고 기판위에 순차적으로 게이트 절연막(500) 및 게이트 전극층(600)을 증착하여 형성하고, 홈부(135)의 상부에 홈부(135)의 너비에 대응되는 식각 마스크 패턴(830)을 형성하고, 식각 마스크 패턴(830)이 형성된 영역 이외의 영역을 상부 단결정 실리콘층(130)이 드러날때까지 식각하고, 게이트 전극층(600) 위에 형성된 식각 마스크 패턴(830)을 제거한다.
- [0040] 마지막으로, 게이트 전극층(600) 및 게이트 절연층(500)의 양 옆의 상부 단결정 실리콘층(130)에 제 1 도전형 불순물을 이온 주입하여 소오스 영역(200) 및 드레인 영역(300)을 형성함으로써, 도 2에 도시된 바와 같은 본 발명의 바람직한 실시예에 따른 플로팅 바디 비휘발성 메모리 소자를 완성한다. 본 발명의 바람직한 실시예에서 제 1 도전형은 n형인 것이 바람직하다.
- [0041] 도 4a 및 도 4b는 본 발명의 바람직한 실시예에 따른 플로팅 바디 비휘발성 메모리 소자에 프로그램을 수행하는 과정을 설명하는 도면이다. 먼저, 도 4a를 참조하여 소오스 영역(200)과 게이트 절연막(500)의 하부 사이 영역(제 1 전하 포획 영역(410))에 형성된 나노크리스탈(700)에 전하를 프로그램하는 방식을 살펴본다.
- [0042] 제 1 전하 포획 영역(410)에 프로그램하기 위해서는, 드레인 영역(300)을 접지한 상태에서, 게이트 전극층(600)에 제 1 프로그램 전압(+Vp1, 약 1~10 V)을 인가하고, 소오스 영역(200)에 제 2 프로그램 전압(+Vp2, 약 1~10 V)를 인가한다.
- [0043] 게이트 전극층(600) 및 소오스 영역(200)에 프로그램 전압이 인가되면, 소오스 영역(200) 부근에서 충격 이온화가 발생되어 소오스 영역(200) 근처의 채널 영역(400)내에서 전자-정공쌍(electron-hole pair)이 발생한다. 이 때, 전자는 소오스 영역(200)을 통해서 소거되고, 정공들은 제 1 전하 포획 영역(410)에 형성된 나노크리스탈(700)에 포획되어 채널 영역(400)내에서 축적된다. 이 때, 홈부(135)에 형성된 게이트 절연막(500)의 하부는 소오스 영역(200) 근처에서 생성된 정공들이 드레인 영역(300)으로 진행하여 제 2 전하 포획 영역(420)에 형성된 나노크리스탈(게이트 절연막(500)의 하부와 드레인 영역(300) 사이에 형성된 나노크리스탈(700))에 포획되는 것을 차단함으로써 2비트 프로그램이 가능하다. 축적된 정공들은 채널 영역(400)의 전위를 상승시키고, 메모리 소

자의 문턱 전압은 낮아지게 된다.

- [0044] 도 4b를 참조하여, 드레인 영역(300)과 게이트 절연막(500)의 하부 사이 영역(제 2 전하 포획 영역(420))에 형성된 나노크리스탈(700)에 전하를 프로그램하는 방식을 설명한다.
- [0045] 제 2 전하 포획 영역(420)에 프로그램하기 위해서는, 소오스 영역(200)을 접지한 상태에서, 게이트 전극층(600)에 제 1 프로그램 전압(+Vp1, 약 1~10 V)을 인가하고, 드레인 영역(300)에 제 2 프로그램 전압(+Vp2, 약 1~10 V)을 인가한다.
- [0046] 게이트 전극층(600) 및 드레인 영역(300)에 프로그램 전압이 인가되면, 드레인 영역(300) 부근에서 충격 이온화가 발생되어 드레인 영역(300) 근처의 채널 영역(400)내에서 전자-정공쌍(electron-hole pair)이 발생한다. 이 때, 전자는 드레인 영역(300)을 통해서 소거되고, 정공들은 나노크리스탈(700)에 포획되어 채널 영역(400)내에서 축적된다. 이 때, 홈부(135)에 형성된 게이트 절연막(500)은 드레인 영역(300) 근처에서 생성된 정공들이 소오스 영역(200)으로 진행하여 제 1 전하 포획 영역(410)에 형성된 나노크리스탈(게이트 절연막(500)의 하부와 소오스 영역(200) 사이에 형성된 나노크리스탈(700))에 포획되는 것을 차단함으로써 2비트 프로그램이 가능하다. 축적된 정공들은 채널 영역(400)의 전위를 상승시키고, 메모리 소자의 문턱 전압은 낮아지게 된다.
- [0047] 도 5는 본 발명의 바람직한 실시예에 따라서 프로그램된 전하를 소거하는 과정을 설명하는 도면이다. 도 5를 참조하여, 제 2 전하 포획 영역(420)에 프로그램된 전하를 소거하는 과정을 예시적으로 설명하면, 먼저, 플로팅 바디 비휘발성 메모리 소자의 소오스 영역(200)을 접지시키고, 게이트 전극(112)에 양(positive)의 제 1 소거 전압(+Ve1)을 인가하며, 드레인 영역(300)에 음(negative)의 제 2 소거 전압(-Ve2)을 인가한다. 그러면, 제 2 전하 포획 영역(420)의 나노크리스탈(700)에 포획된 정공들은 드레인 영역(300)을 통해서 소거되고, 정공들이 소거되면 상기 채널 영역(400)의 전위가 상대적으로 낮아지게 되어 문턱전압이 높아지게 된다.
- [0048] 한편, 제 1 전하 포획 영역(410)에 프로그램된 전하를 소거하는 과정은, 도 5에 도시된 방식과 유사하게, 드레인 영역(300)을 접지시키고, 게이트 전극(112)에 양(positive)의 제 1 소거 전압(+Ve1)을 인가하며, 소오스 영역(200)에 음(negative)의 제 2 소거 전압(-Ve2)을 인가한다. 그러면, 제 1 전하 포획 영역(410)의 나노크리스탈(700)에 포획된 정공들은 소오스 영역(200)을 통해서 소거되고, 정공들이 소거되면 상기 채널 영역(400)의 전위가 상대적으로 낮아지게 되어 문턱전압이 높아지게 된다.
- [0049] 도 6은 본 발명의 바람직한 실시예에 따라서 프로그램된 데이터를 판독하는 과정을 설명하는 도면이다. 상술한 바와 같이, 본 발명은 멀티 비트(2 비트) 프로그램이 가능하므로, 프로그램 여부 및 어느 비트 영역에 프로그램 되었는지를 판독하기 위해서는, 각 비트의 순방향 판독 및 역방향 판독을 수행해야 한다. 먼저, 제 2 전하 포획 영역(420)에 전하가 프로그램된 경우를 예시적으로 설명한다.
- [0050] 제 2 전하 포획 영역(420)의 프로그램 여부를 판독하기 위해서, 소오스 영역(200)을 접지시키고, 게이트 전극층(600)에 제 1 프로그램 전압보다 낮은 양의 제 1 판독 전압을 인가하며, 드레인 영역(300)에 상기 제 2 프로그램 전압보다 제 2 판독 전압을 인가함으로써 순방향 판독 전압을 인가한다. 이렇게 순방향 판독 전압을 인가하면, 채널 영역(400)을 통해 전류가 흐를 수 있게 되고, 드레인 전류를 측정하여 제 2 전하 포획 영역(420)의 프로그램 여부를 판별할 수 있다.
- [0051] 드레인 전류는 상기 채널 영역(400)에 존재하는 축적된 정공들의 양에 따라 다르게 나타난다. 예를 들면, 상기 채널 영역(400) 내에 나노크리스탈(700)에 포획된 정공들이 존재하지 않는 경우(즉, 프로그램되지 않은 경우)에는 아주 미세한 전류가 흐르고, 제 2 전하 포획 영역(420)에 정공이 나노크리스탈(700)에 포획되어 프로그램된 경우에는 큰 드레인 전류가 흐른다.
- [0052] 한편, 드레인 영역(300)을 접지시키고, 게이트 전극층(600)에 제 1 프로그램 전압보다 낮은 양의 제 1 판독 전압을 인가하며, 소오스 영역(200)에 상기 제 2 프로그램 전압보다 제 2 판독 전압을 인가함으로써 역방향 판독 전압을 인가한다.
- [0053] 이렇게 역방향 판독전압 인가시에는, 제 2 전하 포획 영역(420)에 프로그램되지 않았을 때의 전류보다는 크고, 순방향 판독전압 인가시의 전류보다는 작은 드레인 전류가 흐르게 된다.
- [0054] 이렇게 드레인 전류의 크기를 측정하여 비휘발성 플로팅 바디 메모리 소자의 프로그램 상태를 확인할 수 있다.
- [0055] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고

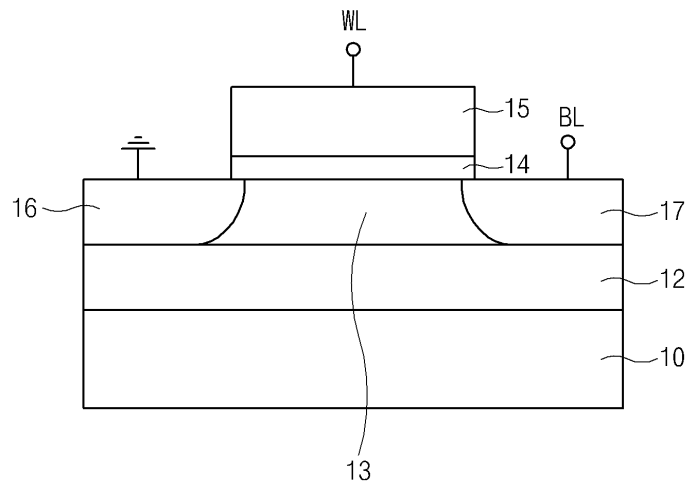
려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

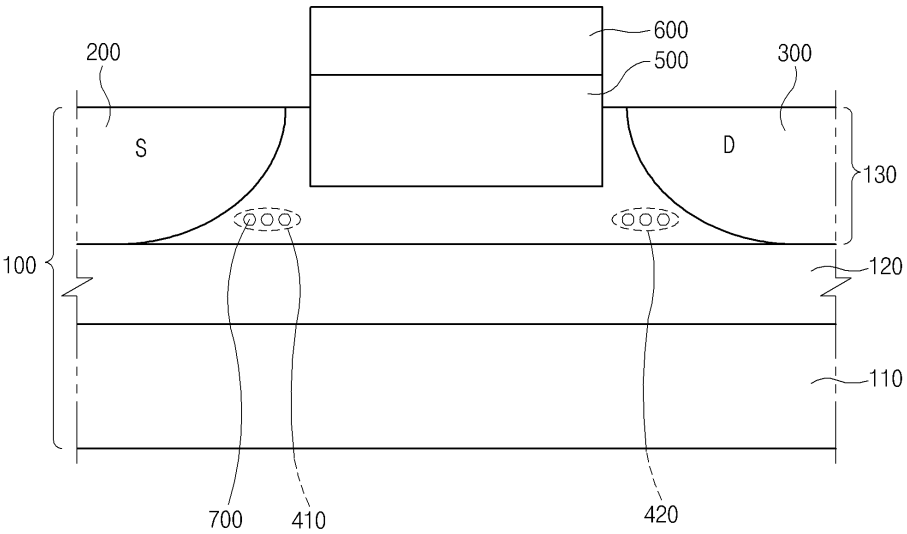
- [0056] 도 1은 종래의 단일 트랜지스터 플로팅 바디 디램 셀(one transistor floating body DRAM cell)을 보여주는 단면도이다.
- [0057] 도 2는 본 발명의 바람직한 실시예에 따른 플로팅 바디 비휘발성 메모리 소자의 구조를 도시하는 도면이다.
- [0058] 도 3a 내지 도 3e는 본 발명의 바람직한 실시예에 따른 플로팅 바디 비휘발성 메모리 소자의 제조 공정을 도시하는 도면이다.
- [0059] 도 4a 및 도 4b는 본 발명의 바람직한 실시예에 따른 플로팅 바디 비휘발성 메모리 소자에 프로그램을 수행하는 과정을 설명하는 도면이다.
- [0060] 도 5 는 본 발명의 바람직한 실시예에 따라서 프로그램된 전하를 소거하는 과정을 설명하는 도면이다.
- [0061] 도 6은 본 발명의 바람직한 실시예에 따라서 프로그램된 데이터를 판독하는 과정을 설명하는 도면이다.

도면

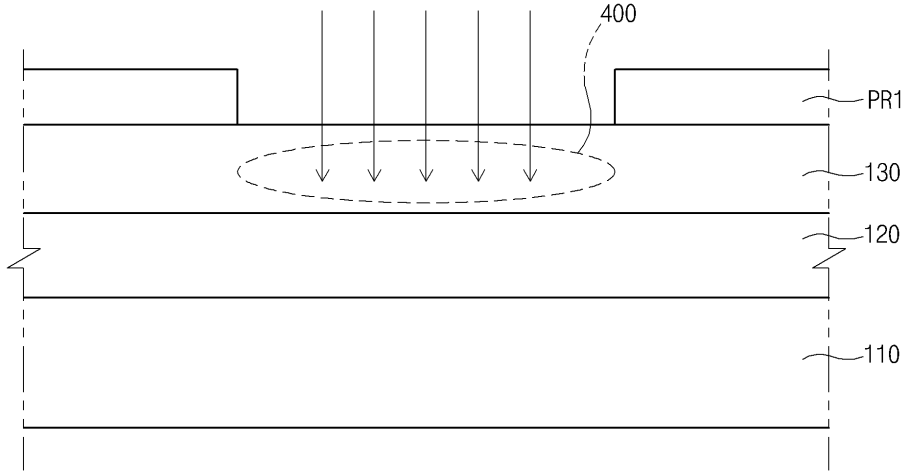
도면1



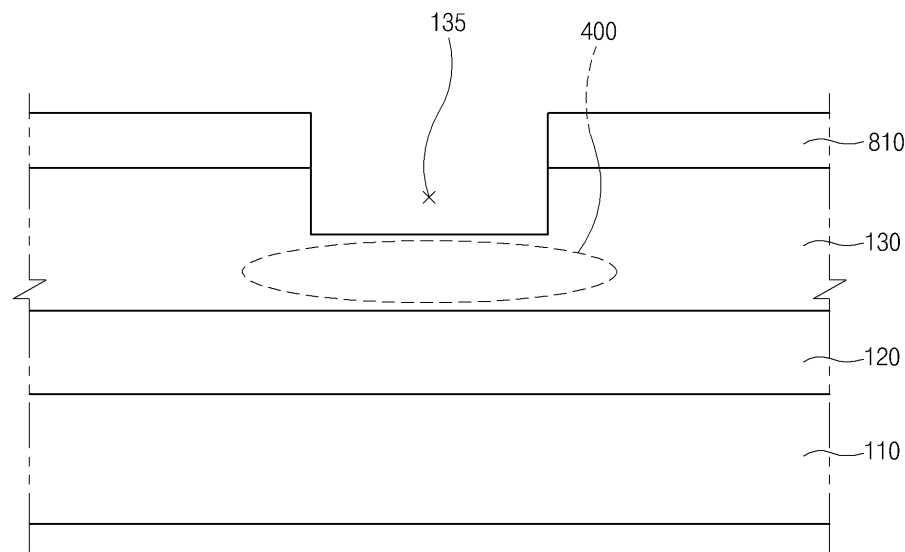
도면2



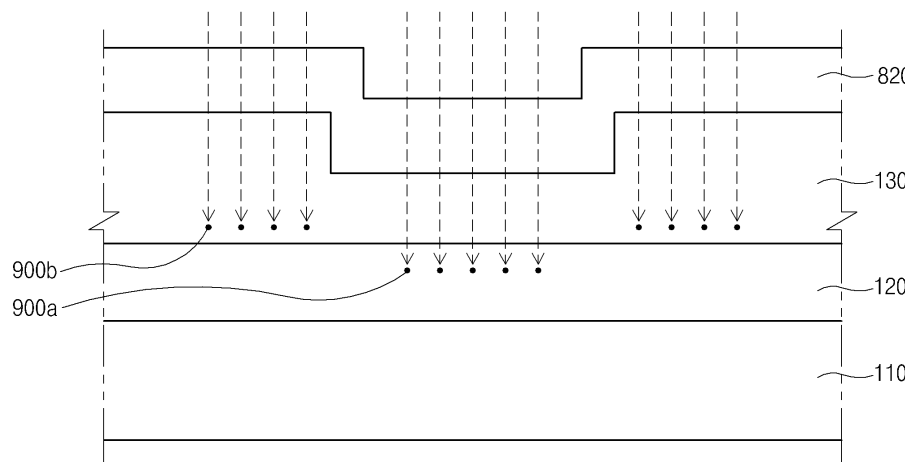
도면3a



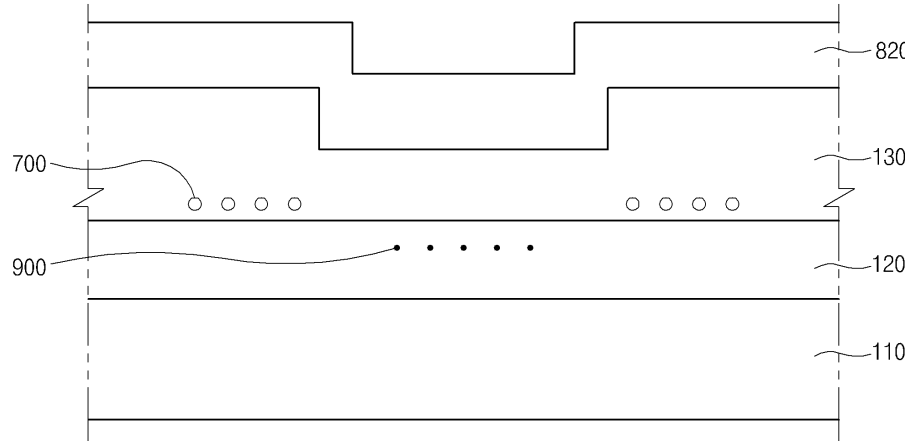
도면3b



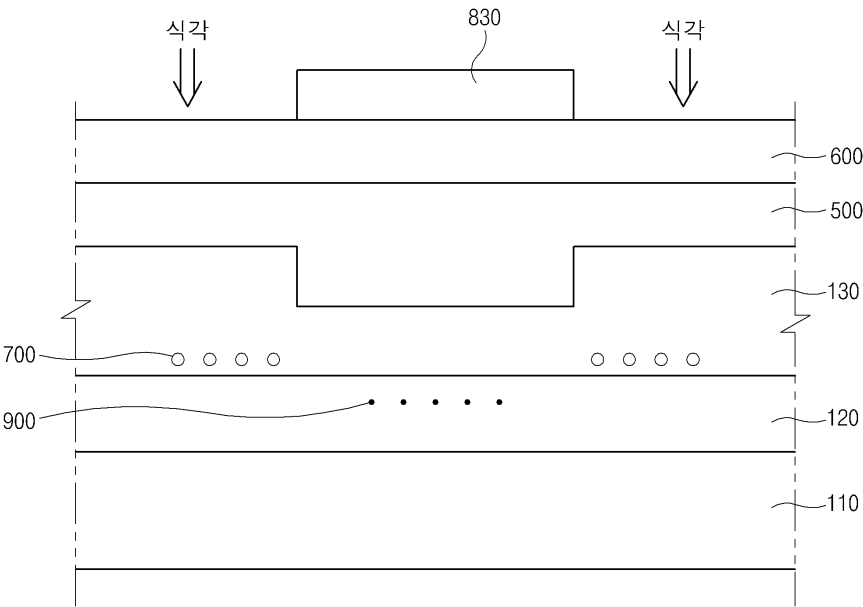
도면3c



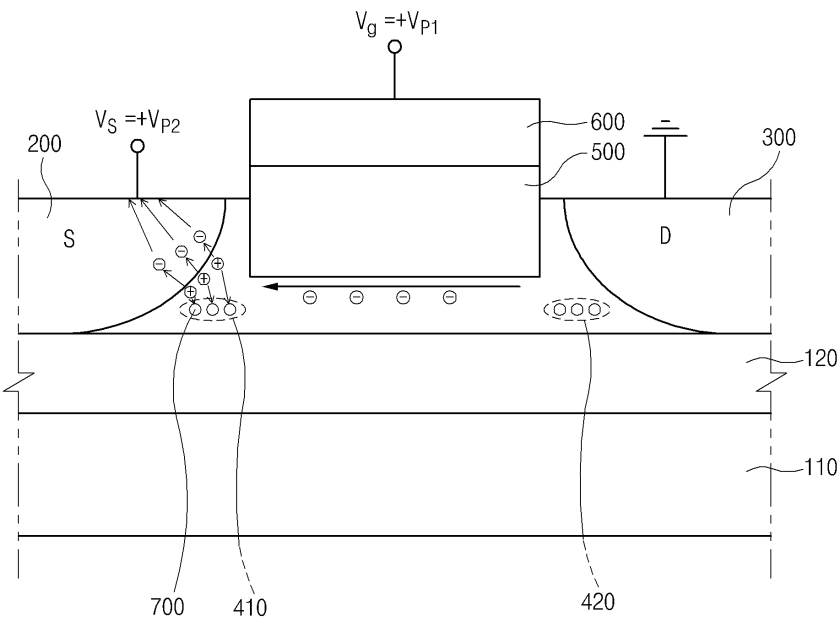
도면3d



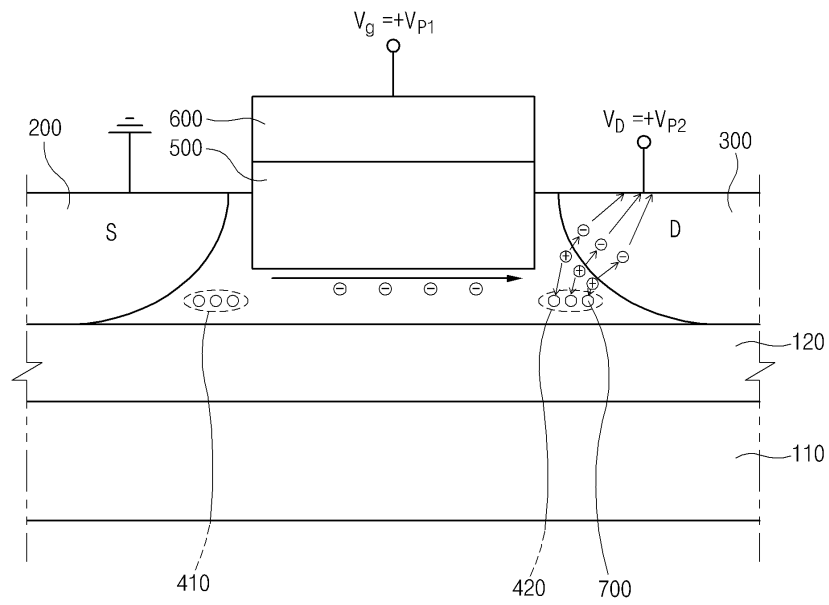
도면3e



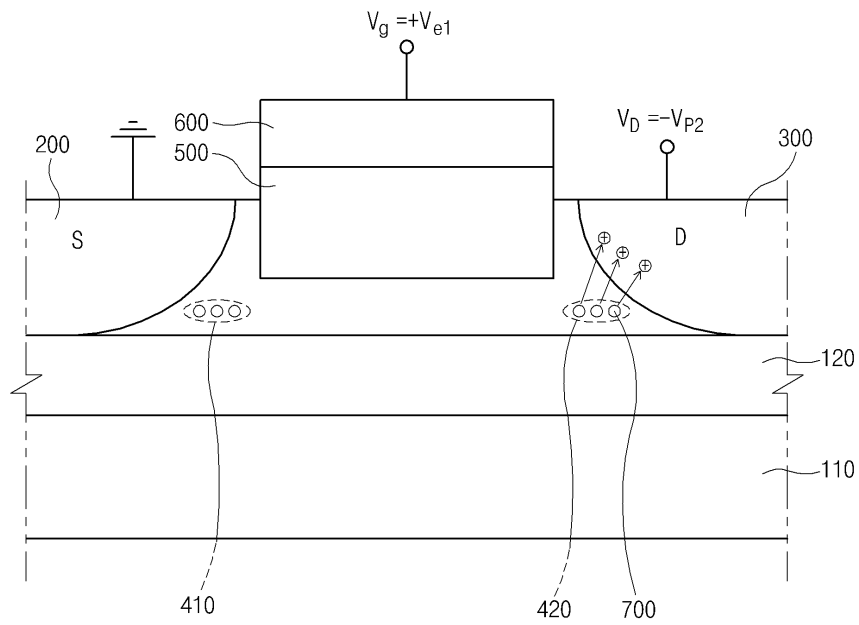
도면4a



도면4b



도면5



도면6

