

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年2月9日(09.02.2023)



(10) 国際公開番号

WO 2023/013199 A1

(51) 国際特許分類:

H04B 1/40 (2015.01) *H04B 1/00* (2006.01)
H03H 7/38 (2006.01)

(21) 国際出願番号: PCT/JP2022/019911

(22) 国際出願日: 2022年5月11日(11.05.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2021-130114 2021年8月6日(06.08.2021) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 Kyoto (JP).

(72) 発明者: 花岡 邦俊(HANAOKA, Kunitoshi).

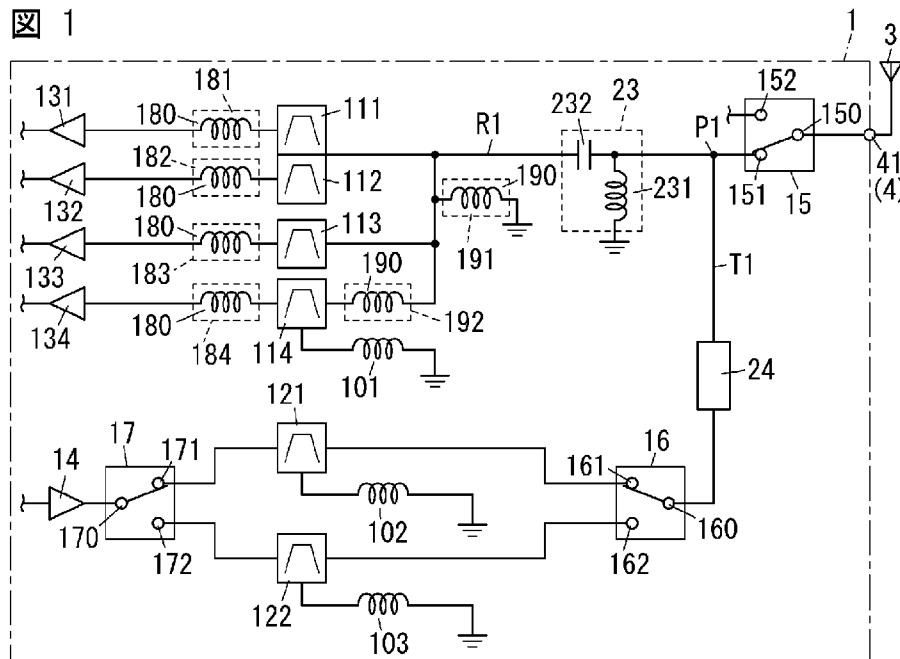
(74) 代理人: 特許業務法人 北斗特許事務所
(HOKUTO PATENT ATTORNEYS OFFICE);
〒5300001 大阪府大阪市北区梅田一丁目 1 2
- 1 7 梅田スクエアビル Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: HIGH FREQUENCY CIRCUIT, AND COMMUNICATION DEVICE

(54) 発明の名称: 高周波回路及び通信装置

図 1



(57) Abstract: The present invention reduces a deterioration in reception sensitivity due to bundling losses. A high frequency circuit (1) comprises an antenna terminal (41), a transmission filter (121), a plurality of reception filters (111 to 114), a first switch (15), and a second switch (16). In the first switch (15), a first terminal can be connected to a second terminal or a third terminal. In the second switch (16), a fourth terminal can be connected to a fifth terminal. Each of the plurality of reception filters (111 to 114) is connected to either the second terminal or the third terminal of the first switch (15). The first terminal of the first switch (15) is connected to the antenna terminal (41). The fourth terminal of the second



SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

switch (16) is connected to the second terminal of the first switch (15). The fifth terminal of the second switch (16) is connected to the transmission filter (121).

(57) 要約: 束ねロスによる受信感度の劣化を低減する。高周波回路(1)は、アンテナ端子(41)と、送信フィルタ(121)と、複数の受信フィルタ(111~114)と、第1スイッチ(15)と、第2スイッチ(16)と、を備える。第1スイッチ(15)では、第1端子が第2端子又は第3端子に接続可能である。第2スイッチ(16)では、第4端子が第5端子に接続可能である。複数の受信フィルタ(111~114)の各々は、第1スイッチ(15)の第2端子又は第3端子に接続されている。第1スイッチ(15)の第1端子は、アンテナ端子(41)に接続されている。第2スイッチ(16)の第4端子は、第1スイッチ(15)の第2端子に接続されている。第2スイッチ(16)の第5端子は、送信フィルタ(121)に接続されている。

明 細 書

発明の名称： 高周波回路及び通信装置

技術分野

[0001] 本発明は、一般に高周波回路及び通信装置に関し、より詳細には、複数のフィルタを備える高周波回路、及び高周波回路を備える通信装置に関する。

背景技術

[0002] 特許文献1には、スイッチと、デュプレクサと、を備えるマルチプレクサが記載されている。スイッチは、共通端子と、選択端子と、を有する。デュプレクサは、送信フィルタと、受信フィルタと、を含む。スイッチの共通端子にはアンテナ端子が接続され、スイッチの選択端子にはデュプレクサ（送信フィルタ、受信フィルタ）が接続されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2019／235276号

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載のマルチプレクサでは、第1フィルタ（受信フィルタ）と第2フィルタ（送信フィルタ）とが1つに束ねられ、束ねロスにより受信感度が劣化する場合がある。

[0005] 本発明の目的は、束ねロスによる受信感度の劣化を低減することが可能な高周波回路及び通信装置を提供することにある。

課題を解決するための手段

[0006] 本発明の一態様に係る高周波回路は、アンテナ端子と、送信フィルタと、複数の受信フィルタと、第1スイッチと、第2スイッチと、を備える。前記第1スイッチは、第1端子、第2端子及び第3端子を有する。前記第2スイッチは、第4端子及び第5端子を有する。前記第1スイッチでは、前記第1端子が前記第2端子又は前記第3端子に接続可能である。前記第2スイッチ

では、前記第4端子が前記第5端子に接続可能である。前記複数の受信フィルタの各々は、前記第1スイッチの前記第2端子又は前記第3端子に接続されている。前記第1スイッチの前記第1端子は、前記アンテナ端子に接続されている。前記第2スイッチの前記第4端子は、前記第1スイッチの前記第2端子に接続されている。前記第2スイッチの前記第5端子は、前記送信フィルタに接続されている。

[0007] 本発明の一態様に係る通信装置は、前記高周波回路と、信号処理回路と、を備える。前記信号処理回路は、前記高周波回路に接続されている。

発明の効果

[0008] 本発明の一態様に係る高周波回路及び通信装置によれば、束ねロスによる受信感度の劣化を低減することが可能となる。

図面の簡単な説明

[0009] [図1]図1は、実施形態1に係る高周波回路の概略図である。

[図2]図2は、実施形態1に係る通信装置の概略図である。

[図3]図3A及び図3Bは、同上の高周波回路に用いられる整合回路の具体例を示す回路図である。

[図4]図4は、実施形態2に係る高周波回路の概略図である。

[図5]図5A及び図5Bは、同上の高周波回路に用いられる整合回路の具体例を示す回路図である。

[図6]図6は、実施形態2の変形例に係る高周波回路の概略図である。

[図7]図7は、実施形態3に係る高周波回路の概略図である。

[図8]図8は、実施形態4に係る高周波回路の概略図である。

[図9]図9は、実施形態5に係る高周波回路の概略図である。

[図10]図10A～図10Cは、同上の高周波回路に用いられる位相回路の具体例を示す回路図である。

[図11]図11は、実施形態6に係る高周波回路の概略図である。

発明を実施するための形態

[0010] 以下、実施形態1～6に係る高周波回路及び通信装置について、図面を参

照して説明する。

[0011] (実施形態 1)

(1) 高周波回路

まず、実施形態 1 に係る高周波回路 1 の構成について、図面を参照して説明する。

[0012] 高周波回路 1 は、図 2 に示すように、例えば、通信装置 10 に用いられる。通信装置 10 は、例えば、スマートフォンのような携帯電話である。なお、通信装置 10 は、携帯電話であることに限定されず、例えば、スマートウォッチのようなウェアラブル端末等であってもよい。高周波回路 1 は、例えば、4 G (第 4 世代移動通信) 規格、5 G (第 5 世代移動通信) 規格等に対応可能な回路である。4 G 規格は、例えば、3 G P P (登録商標、Third Generation Partnership Project) L T E (登録商標、Long Term Evolution) 規格である。5 G 規格は、例えば、5 G N R (New Radio) である。高周波回路 1 は、例えば、キャリアアグリゲーション (Carrier Aggregation) 及びデュアルコネクティビティ (Dual Connectivity) に対応可能な回路である。

[0013] ここで、キャリアアグリゲーション及びデュアルコネクティビティとは、複数の周波数帯域の電波を同時に使用する通信に用いられる技術をいう。以下、キャリアアグリゲーション又はデュアルコネクティビティによる信号の通信を同時通信ともいう。同時通信可能とは、キャリアアグリゲーション又はデュアルコネクティビティによる信号の送信及び受信が可能であることを意味する。

[0014] 通信装置 10 は、複数の通信バンドの通信を行う。より詳細には、通信装置 10 は、複数の通信バンドの各々の送信信号を送信し、かつ、複数の通信バンドの各々の受信信号を受信する。具体的には、高周波回路 1 は、第 1 通信バンドの受信信号、第 2 通信バンドの受信信号、第 3 通信バンドの受信信号及び第 4 通信バンドの受信信号を受信する。また、高周波回路 1 は、第 1 通信バンドの送信信号、第 2 通信バンドの送信信号及び第 5 通信バンドの送

信信号を送信する。

[0015] 複数の通信バンドの送信信号及び受信信号の一部は、例えば、FDD (Frequency Division Duplex) の信号である。なお、複数の通信バンドの送信信号及び受信信号は、FDDの信号に限定されず、例えば、TDD (Time Division Duplex) の信号であってもよい。FDDは、無線通信における送信と受信とに異なる周波数帯域を割り当てて、送信及び受信を行う無線通信技術である。TDDは、無線通信における送信と受信とに同一の周波数帯域を割り当てて、送信と受信とを時間ごとに切り替えて行う無線通信技術である。

[0016] (2) 高周波回路の回路構成

次に、実施形態1に係る高周波回路1の回路構成について、図1を参照して説明する。

[0017] 実施形態1に係る高周波回路1は、図1に示すように、複数（図示例では4つ）の受信フィルタ111～114と、複数（図示例では2つ）の送信フィルタ121、122と、複数（図示例では4つ）のローノイズアンプ131～134と、パワーアンプ14と、を備える。また、実施形態1に係る高周波回路1は、第1スイッチ15と、第2スイッチ16と、第3スイッチ17と、を更に備える。また、実施形態1に係る高周波回路1は、複数（図示例では4つ）の入力整合回路181～184と、複数（図示例では4つ）の整合回路23、24、191、192と、を更に備える。また、実施形態1に係る高周波回路1は、外部接続端子4を更に備える。

[0018] (2. 1) 受信フィルタ

複数の受信フィルタ111～114は、互いに異なる通信バンドの受信信号を通過させるフィルタである。より詳細には、受信フィルタ111は、第3通信バンドの受信信号を通過させるフィルタである。受信フィルタ112は、第1通信バンドの受信信号を通過させるフィルタである。受信フィルタ113は、第2通信バンドの受信信号を通過させるフィルタである。受信フィルタ114は、第4通信バンドの受信信号を通過させるフィルタである。実施形態1に係る高周波回路1では、受信フィルタ111と受信フィルタ1

12とが1チップ化されている。「受信フィルタ111と受信フィルタ112とが1チップ化されている」とは、受信フィルタ111を構成する回路と受信フィルタ112を構成する回路とが共通（1つ）の基板上に形成されていることをいう。

[0019] 第1通信バンドは、例えば、3GPP LTE規格のBand 1であり、第1通信バンドの受信帯域は、2110MHz〜2170MHzである。第2通信バンドは、例えば、3GPP LTE規格のBand 3であり、第2通信バンドの受信帯域は、1805MHz〜1880MHzである。第3通信バンドは、例えば、3GPP LTE規格のBand 40であり、第3通信バンドの受信帯域は、2300MHz〜2400MHzである。第4通信バンドは、例えば、3GPP LTE規格のBand 32であり、第4通信バンドの受信帯域は、1452MHz〜1496MHzである。

[0020] 受信フィルタ111は、後述のローノイズアンプ131と第1スイッチ15との間に設けられている。受信フィルタ112は、後述のローノイズアンプ132と第1スイッチ15との間に設けられている。受信フィルタ113は、後述のローノイズアンプ133と第1スイッチ15との間に設けられている。受信フィルタ114は、後述のローノイズアンプ134と第1スイッチ15との間に設けられている。受信フィルタ111〜114の各々は、後述のアンテナ端子41から入力された高周波信号のうち、対応する通信バンドの受信帯域の受信信号を通過させる。

[0021] 実施形態1に係る高周波回路1では、図1に示すように、受信フィルタ114を構成する並列腕共振子とグラウンドとの間にインダクタ101が接続されている。これにより、受信フィルタ114の減衰極が調整される。

[0022] （2. 2）送信フィルタ

複数の送信フィルタ121、122は、互いに異なる通信バンドの送信信号を通過させるフィルタである。より詳細には、送信フィルタ121は、第2通信バンドの送信信号及び第5通信バンドの送信信号を通過させるフィルタである。送信フィルタ122は、第1通信バンドの送信信号を通過させる

フィルタである。

[0023] 第1通信バンドは、上述したように、3GPP LTE規格のBand 1であり、第1通信バンドの送信帯域は、1920MHz－1980MHzである。第2通信バンドは、上述したように、3GPP LTE規格のBand 3であり、第2通信バンドの送信帯域は、1710MHz－1785MHzである。第5通信バンドは、例えば、3GPP LTE規格のBand 6であり、第5通信バンドの送信帯域は、1710MHz－1780MHzである。実施形態1に係る高周波回路1では、第5通信バンドの送信帯域は、第2通信バンドの送信帯域に含まれている。

[0024] 複数の送信フィルタ121，122の各々は、パワーアンプ14と第2スイッチ16との間に設けられている。複数の送信フィルタ121，122の各々は、パワーアンプ14で増幅された高周波信号のうち、対応する通信バンドの送信帯域の送信信号を通過させる。

[0025] 実施形態1に係る高周波回路1では、図1に示すように、送信フィルタ121を構成する並列腕共振子とグラウンドとの間にインダクタ102が接続されている。また、送信フィルタ122を構成する並列腕共振子とグラウンドとの間にインダクタ103が接続されている。これにより、複数の送信フィルタ121，122の各々の減衰極が調整される。

[0026] (2.3) ローノイズアンプ

複数のローノイズアンプ131～134の各々は、受信信号を低雑音で増幅する増幅器である。ローノイズアンプ131は、第1信号出力端子（図示せず）と受信フィルタ111との間に設けられている。ローノイズアンプ132は、第2信号出力端子（図示せず）と受信フィルタ112との間に設けられている。ローノイズアンプ133は、第3信号出力端子（図示せず）と受信フィルタ113との間に設けられている。ローノイズアンプ134は、第4信号出力端子（図示せず）と受信フィルタ114との間に設けられている。第1～第4信号出力端子の各々は、高周波回路1からの受信信号を外部回路（例えば、信号処理回路2）へ出力するための端子である。

[0027] 複数のローノイズアンプ 131～134 の各々は、入力端子（図示せず）及び出力端子（図示せず）を有する。ローノイズアンプ 131 の入力端子は、後述の入力整合回路 181 に接続されている。ローノイズアンプ 131 の出力端子は、第 1 信号出力端子を介して外部回路（例えば、信号処理回路 2）に接続される。ローノイズアンプ 132 の入力端子は、後述の入力整合回路 182 に接続されている。ローノイズアンプ 132 の出力端子は、第 2 信号出力端子を介して外部回路（例えば、信号処理回路 2）に接続される。ローノイズアンプ 133 の入力端子は、後述の入力整合回路 183 に接続されている。ローノイズアンプ 133 の出力端子は、第 3 信号出力端子を介して外部回路（例えば、信号処理回路 2）に接続される。ローノイズアンプ 134 の入力端子は、後述の入力整合回路 184 に接続されている。ローノイズアンプ 134 の出力端子は、第 4 信号出力端子を介して外部回路（例えば、信号処理回路 2）に接続される。

[0028] （2. 4）パワーアンプ

パワーアンプ 14 は、送信信号を増幅する増幅器である。パワーアンプ 14 は、信号入力端子（図示せず）と複数の送信フィルタ 121, 122 との間に設けられている。信号入力端子は、外部回路（例えば、信号処理回路 2）からの送信信号を高周波回路 1 に入力するための端子である。パワーアンプ 14 は、入力端子（図示せず）及び出力端子（図示せず）を有する。パワーアンプ 14 の入力端子は、信号入力端子を介して外部回路（例えば、信号処理回路 2）に接続される。パワーアンプ 14 の出力端子は、第 3 スイッチ 17 の共通端子 170 に接続されており、第 3 スイッチ 17 を介して複数の送信フィルタ 121, 122 に接続可能である。パワーアンプ 14 は、例えば、コントローラ（図示せず）によって制御される。

[0029] （2. 5）入力整合回路

入力整合回路 181 は、ローノイズアンプ 131 と受信フィルタ 111 との間に設けられている。入力整合回路 181 は、ローノイズアンプ 131 と受信フィルタ 111 とのインピーダンス整合をとるための回路である。

- [0030] 入力整合回路181は、インダクタ180を含む。入力整合回路181のインダクタ180は、ローノイズアンプ131の入力側に設けられている。なお、入力整合回路181は、1つのインダクタ180を含む構成であることに限定されず、例えば、複数のインダクタを含む構成であってもよいし、複数のインダクタ及び複数のキャパシタを含む構成であってもよい。
- [0031] 入力整合回路182は、ローノイズアンプ132と受信フィルタ112との間に設けられている。入力整合回路182は、ローノイズアンプ132と受信フィルタ112とのインピーダンス整合をとるための回路である。
- [0032] 入力整合回路182は、インダクタ180を含む。入力整合回路182のインダクタ180は、ローノイズアンプ132の入力側に設けられている。なお、入力整合回路182は、1つのインダクタ180を含む構成であることに限定されず、例えば、複数のインダクタを含む構成であってもよいし、複数のインダクタ及び複数のキャパシタを含む構成であってもよい。
- [0033] 入力整合回路183は、ローノイズアンプ133と受信フィルタ113との間に設けられている。入力整合回路183は、ローノイズアンプ133と受信フィルタ113とのインピーダンス整合をとるための回路である。
- [0034] 入力整合回路183は、インダクタ180を含む。入力整合回路183のインダクタ180は、ローノイズアンプ133の入力側に設けられている。なお、入力整合回路183は、1つのインダクタ180を含む構成であることに限定されず、例えば、複数のインダクタを含む構成であってもよいし、複数のインダクタ及び複数のキャパシタを含む構成であってもよい。
- [0035] 入力整合回路184は、ローノイズアンプ134と受信フィルタ114との間に設けられている。入力整合回路184は、ローノイズアンプ134と受信フィルタ114とのインピーダンス整合をとるための回路である。
- [0036] 入力整合回路184は、インダクタ180を含む。入力整合回路184のインダクタ180は、ローノイズアンプ134の入力側に設けられている。なお、入力整合回路184は、1つのインダクタ180を含む構成であることに限定されず、例えば、複数のインダクタを含む構成であってもよいし、

複数のインダクタ及び複数のキャパシタを含む構成であってもよい。

[0037] (2. 6) 整合回路

整合回路 191 は、複数の受信フィルタ 111～114 と第 1 スイッチ 15 との間に設けられている。整合回路 191 は、複数の受信フィルタ 111～114 と第 1 スイッチ 15 とのインピーダンス整合をとるための回路である。

[0038] 整合回路 191 は、インダクタ 190 を含む。整合回路 191 のインダクタ 190 は、複数の受信フィルタ 111～114 の入力端子（図示せず）とグラウンドとの間に設けられている。なお、整合回路 191 は、1 つのインダクタ 190 を含む構成であることに限定されず、例えば、複数のインダクタを含む構成であってもよいし、複数のインダクタ及び複数のキャパシタを含む構成であってもよい。

[0039] 整合回路 192 は、受信フィルタ 114 と第 1 スイッチ 15 との間に設けられている。整合回路 192 は、受信フィルタ 114 と第 1 スイッチ 15 とのインピーダンス整合をとるための回路である。

[0040] 整合回路 192 は、インダクタ 190 を含む。整合回路 192 のインダクタ 190 は、受信フィルタ 114 の入力端子（図示せず）と整合回路 23 との間に設けられている。なお、整合回路 192 は、1 つのインダクタ 190 を含む構成であることに限定されず、例えば、複数のインダクタを含む構成であってもよいし、複数のインダクタ及び複数のキャパシタを含む構成であってもよい。

[0041] 整合回路 23 は、複数の受信フィルタ 111～114 と第 1 スイッチ 15 との間に設けられている。整合回路 23 は、複数の受信フィルタ 111～114 と第 1 スイッチ 15 とのインピーダンス整合をとるための回路である。

[0042] 整合回路 23 は、インダクタ 231 と、キャパシタ 232 と、を含む。整合回路 23 のインダクタ 231 は、信号経路 R1 とグラウンドとの間に設けられている。整合回路 23 のキャパシタ 232 は、複数の受信フィルタ 111～114 の入力端子（図示せず）と第 1 スイッチ 15 の選択端子 151 との

間に設けられている。信号経路 R 1 は、複数の受信フィルタ 1 1 1 ~ 1 1 4 の入力端子と第 1 スイッチ 1 5 の選択端子 1 5 1 とを結ぶ信号経路である。

[0043] 整合回路 2 4 は、図 1 に示すように、第 1 スイッチ 1 5 の選択端子 1 5 1 と第 2 スイッチ 1 6 の共通端子 1 6 0 との間に設けられている。整合回路 2 4 は、アンテナ 3 を介して受信する受信信号の受信帯域の周波数帯における信号経路 T 1 のインピーダンスを非常に大きくするための回路である。これにより、実施形態 1 に係る高周波回路 1 では、上記受信信号の受信帯域の周波数帯において、信号経路 R 1 上の接続点 P 1 から見て信号経路 T 1 がオープンとなる。信号経路 T 1 は、信号経路 R 1 上の接続点 P 1 から分岐させた信号経路であって、接続点 P 1 と第 2 スイッチ 1 6 の共通端子 1 6 0 とを結ぶ信号経路である。

[0044] 整合回路 2 4 は、図 3 A に示すように、インダクタ 2 4 1 を含む。整合回路 2 4 のインダクタ 2 4 1 は、信号経路 R 1 上の接続点 P 1 と第 2 スイッチ 1 6 の共通端子 1 6 0 との間に設けられている。

[0045] (2. 7) 第 1 スイッチ

第 1 スイッチ 1 5 は、複数の受信フィルタ 1 1 1 ~ 1 1 4 及び複数の送信フィルタ 1 2 1, 1 2 2 を含む複数のフィルタの中からアンテナ端子 4 1 に接続されるフィルタを切り替える。つまり、第 1 スイッチ 1 5 は、アンテナ端子 4 1 に接続させる経路を切り替えるためのスイッチである。第 1 スイッチ 1 5 は、共通端子 1 5 0 と、複数（図示例では 2 つ）の選択端子 1 5 1, 1 5 2 と、を有する。共通端子 1 5 0 は、アンテナ端子 4 1 に接続されている。

[0046] 選択端子 1 5 1 は、複数の受信フィルタ 1 1 1 ~ 1 1 4 に接続されている。また、選択端子 1 5 1 は、後述の第 2 スイッチ 1 6 を介して複数の送信フィルタ 1 2 1, 1 2 2 に接続されている。選択端子 1 5 2 は、複数のフィルタのうち、複数の受信フィルタ 1 1 1 ~ 1 1 4 及び複数の送信フィルタ 1 2 1, 1 2 2 を除いた残りのフィルタに接続されている。実施形態 1 に係る高周波回路 1 では、共通端子 1 5 0 が第 1 端子であり、選択端子 1 5 1 が第 2

端子及び第3端子である。すなわち、第1スイッチ15は、第1端子（共通端子150）、第2端子及び第3端子（選択端子151）を有する。そして、第1スイッチ15では、第1端子が第2端子と第3端子との少なくとも一方に接続可能である。また、第1スイッチ15では、第3端子は、第2端子と兼用されている。

[0047] 第1スイッチ15は、共通端子150と複数の選択端子151、152との接続状態を切り替える。第1スイッチ15は、例えば、信号処理回路2（図2参照）によって制御される。第1スイッチ15は、信号処理回路2のRF信号処理回路21（図2参照）からの制御信号に従って、共通端子150と複数の選択端子151、152の少なくとも一方とを電氣的に接続させる。

[0048] （2.8）第2スイッチ

第2スイッチ16は、複数の送信フィルタ121、122の中からアンテナ端子41に接続される送信フィルタを切り替える。つまり、第2スイッチ16は、アンテナ端子41に接続させる経路を切り替えるためのスイッチである。第2スイッチ16は、共通端子160と、複数（図示例では2つ）の選択端子161、162と、を有する。共通端子160は、第1スイッチ15の選択端子151に接続されている。より詳細には、共通端子160は、信号経路R1上の接続点P1において信号経路R1に接続されている。これにより、実施形態1に係る高周波回路1では、複数の受信フィルタ111～114と複数の送信フィルタ121、122とが、第1スイッチ15の選択端子151において1つに束ねられている。すなわち、複数の受信フィルタ111～114の各々は、第1スイッチ15の選択端子151（第2端子）に接続されており、第2スイッチ16の共通端子160（第4端子）は、第1スイッチ15の選択端子151に接続されており、第2スイッチ16の選択端子161（第5端子）は、送信フィルタ121に接続されている。そして、第2スイッチ16では、共通端子160が選択端子161に接続可能である。

[0049] 選択端子 161 は、送信フィルタ 121 に接続されている。選択端子 162 は、送信フィルタ 122 に接続されている。実施形態 1 に係る高周波回路 1 では、共通端子 160 が第 4 端子であり、選択端子 161 が第 5 端子である。すなわち、第 2 スイッチ 16 は、第 4 端子（共通端子 160）及び第 5 端子（選択端子 161）を有する。そして、第 2 スイッチ 16 では、第 4 端子が第 5 端子に接続可能である。また、実施形態 1 に係る高周波回路 1 では、送信フィルタ 121 が、第 2 スイッチ 16 の第 5 端子に接続されている送信フィルタである。

[0050] 第 2 スイッチ 16 は、共通端子 160 と複数の選択端子 161, 162 との接続状態を切り替える。第 2 スイッチ 16 は、例えば、信号処理回路 2（図 2 参照）によって制御される。第 2 スイッチ 16 は、信号処理回路 2 の RF 信号処理回路 21（図 2 参照）からの制御信号に従って、共通端子 160 と複数の選択端子 161, 162 の少なくとも一方とを電氣的に接続させる。

[0051] （2. 9）第 3 スイッチ

第 3 スイッチ 17 は、複数の送信フィルタ 121, 122の中からパワーアンプ 14 に接続される送信フィルタを切り替える。つまり、第 3 スイッチ 17 は、パワーアンプ 14 に接続させる経路を切り替えるためのスイッチである。第 3 スイッチ 17 は、共通端子 170 と、複数（図示例では 2 つ）の選択端子 171, 172 と、を有する。共通端子 170 は、パワーアンプ 14 の出力端子に接続されている。選択端子 171 は、送信フィルタ 121 に接続されている。選択端子 172 は、送信フィルタ 122 に接続されている。

[0052] 第 3 スイッチ 17 は、共通端子 170 と複数の選択端子 171, 172 との接続状態を切り替える。第 3 スイッチ 17 は、例えば、信号処理回路 2（図 2 参照）によって制御される。第 3 スイッチ 17 は、信号処理回路 2 の RF 信号処理回路 21（図 2 参照）からの制御信号に従って、共通端子 170 と複数の選択端子 171, 172 の少なくとも一方とを電氣的に接続させる。

。

[0053] (2. 10) 外部接続端子

複数の外部接続端子4は、外部回路（例えば、信号処理回路2）と電氣的に接続するための端子である。複数の外部接続端子4は、アンテナ端子41と、信号入力端子（図示せず）と、第1～第4信号出力端子（図示せず）と、複数の制御端子（図示せず）と、複数のグランド端子（図示せず）と、を含む。

[0054] アンテナ端子41には、アンテナ3が接続されている。高周波回路1内において、アンテナ端子41は、第1スイッチ15に接続されている。また、アンテナ端子41は、第1スイッチ15を介して、複数の受信フィルタ111～114に接続されている。さらに、アンテナ端子41は、第1スイッチ15及び第2スイッチ16を介して、複数の送信フィルタ121, 122に接続されている。

[0055] 信号入力端子は、外部回路（例えば、信号処理回路2）からの送信信号を高周波回路1に入力するための端子である。高周波回路1内において、信号入力端子はパワーアンプ14に接続されている。

[0056] 第1～第4信号出力端子は、高周波回路1からの受信信号を外部回路（例えば、信号処理回路2）へ出力するための端子である。高周波回路1内において、第1信号出力端子はローノイズアンプ131に接続され、第2信号出力端子はローノイズアンプ132に接続され、第3信号出力端子はローノイズアンプ133に接続され、第4信号出力端子はローノイズアンプ134に接続されている。

[0057] 複数の制御端子は、外部回路（例えば、信号処理回路2）からの制御信号を高周波回路1に入力するための端子である。高周波回路1内において、複数の制御端子は、コントローラ（図示せず）に接続されている。

[0058] 複数のグランド端子は、通信装置10が備える外部基板（図示せず）のグランド電極と電氣的に接続されてグランド電位が与えられる端子である。高周波回路1内において、複数のグランド端子は、後述の実装基板（図示せず

）のグラウンド層（図示せず）に接続されている。

[0059] （３）高周波回路の構造

次に、実施形態１に係る高周波回路１の構造について、図面を参照して説明する。

[0060] 高周波回路１は、実装基板（図示せず）と、複数の電子部品（図示せず）と、備える。高周波回路１は、複数の電子部品として、複数の受信フィルタ１１１～１１４と、複数の送信フィルタ１２１，１２２と、複数のローノイズアンプ１３１～１３４と、パワーアンプ１４と、第１スイッチ１５と、第２スイッチ１６と、第３スイッチ１７と、を備える。また、高周波回路１は、複数の電子部品として、複数の入力整合回路１８１～１８４と、複数の整合回路２３，２４，１９１，１９２と、を更に備える。また、高周波回路１は、複数の電子部品として、複数のインダクタ１０１～１０３を更に備える。

[0061] 高周波回路１は、外部基板（図示せず）に電氣的に接続可能である。外部基板は、例えば、携帯電話及び通信機器等の通信装置１０のマザー基板に相当する。なお、高周波回路１が外部基板に電氣的に接続可能であるとは、高周波回路１が外部基板上に直接的に実装される場合だけでなく、高周波回路１が外部基板上に間接的に実装される場合も含む。また、高周波回路１が外部基板上に間接的に実装される場合とは、高周波回路１が、外部基板上に実装された他の高周波回路上に実装される場合等である。

[0062] （３．１）実装基板

実装基板は、第１主面及び第２主面を有する。第１主面及び第２主面は、実装基板の厚さ方向において互いに対向する。第２主面は、高周波回路１が外部基板に設けられたときに、外部基板における実装基板側の主面と対向する。実装基板は、例えば、第１主面に複数の電子部品が実装された片面実装基板である。なお、実装基板は片面実装基板に限らず、第１主面及び第２主面に複数の電子部品が実装された両面実装基板であってもよい。

[0063] 実装基板は、複数の誘電体層が積層された多層基板である。実装基板は、

複数の導電層と、複数のビア導体（貫通電極を含む）と、を有する。複数の導電層は、グランド電位のグランド層を含む。複数のビア導体は、実装基板の第1主面に実装されている素子（上述の電子部品を含む）と実装基板の導電層との電氣的接続に用いられる。また、複数のビア導体は、実装基板の導電層と外部接続端子4との電氣的接続に用いられる。

[0064] 実装基板の第1主面には、複数の電子部品が配置されている。実装基板の第2主面には、複数の外部接続端子4が配置されている。

[0065] (3. 2) 電子部品

複数の電子部品は、実装基板の第1主面に配置されている。より詳細には、複数の電子部品は、実装基板の第1主面に実装されている。なお、複数の電子部品の各々において、電子部品の一部が実装基板の第1主面に実装されており、電子部品の残りが実装基板に内装されていてもよい。要するに、複数の電子部品の各々は、実装基板において第2主面よりも第1主面側に配置されており、かつ、第1主面に実装されている部分を少なくとも有する。

[0066] (3. 3) 外部接続端子

複数の外部接続端子4は、実装基板（図示せず）と外部基板（図示せず）とを電氣的に接続するための端子である。

[0067] 複数の外部接続端子4は、実装基板の第2主面に配置されている。複数の外部接続端子4は、実装基板の第2主面上に設けられた柱状（例えば、円柱状）の電極である。複数の外部接続端子4の材料は、例えば、金属（例えば、銅、銅合金等）である。

[0068] (4) 通信装置

通信装置10は、図2に示すように、高周波回路1と、信号処理回路2と、アンテナ3と、を備える。また、通信装置10は、高周波回路1が実装された外部基板（図示せず）を更に備える。外部基板は、例えば、プリント配線板である。外部基板は、グランド電位が与えられるグランド電極を有する。

[0069] (4. 1) アンテナ

アンテナ 3 は、図 1 及び図 2 に示すように、高周波回路 1 のアンテナ端子 4 1 に接続されている。アンテナ 3 は、高周波回路 1 から出力された送信信号を電波にて放射する送信機能と、受信信号を電波として外部から受信して高周波回路 1 へ出力する受信機能と、を有する。

[0070] (4. 2) 信号処理回路

信号処理回路 2 は、図 2 に示すように、R F 信号処理回路 2 1 と、ベースバンド信号処理回路 2 2 と、を含む。信号処理回路 2 は、高周波回路 1 を通る信号を処理する。より詳細には、信号処理回路 2 は、送信信号及び受信信号を処理する。

[0071] R F 信号処理回路 2 1 は、例えば、R F I C (Radio Frequency Integrated Circuit) である。R F 信号処理回路 2 1 は、高周波信号に対する信号処理を行う。

[0072] R F 信号処理回路 2 1 は、ベースバンド信号処理回路 2 2 から出力された送信信号に対してアップコンバート等の信号処理を行い、信号処理が行われた送信信号を高周波回路 1 に出力する。また、R F 信号処理回路 2 1 は、高周波回路 1 から出力された受信信号に対してダウンコンバート等の信号処理を行い、信号処理が行われた受信信号をベースバンド信号処理回路 2 2 に出力する。

[0073] ベースバンド信号処理回路 2 2 は、例えば、B B I C (Baseband Integrated Circuit) である。ベースバンド信号処理回路 2 2 は、信号処理回路 2 の外部からの送信信号に対する所定の信号処理を行う。ベースバンド信号処理回路 2 2 で処理された受信信号は、例えば、画像表示のための画像信号として使用され、又は、通話のための音声信号として使用される。

[0074] また、R F 信号処理回路 2 1 は、高周波信号（送信信号、受信信号）の送受に基づいて、高周波回路 1 が有する第 1 スイッチ 1 5、第 2 スイッチ 1 6 及び第 3 スイッチ 1 7 の各々の接続を制御する制御部としての機能も有する。具体的には、R F 信号処理回路 2 1 は、制御信号（図示せず）によって、高周波回路 1 の第 1 スイッチ 1 5、第 2 スイッチ 1 6 及び第 3 スイッチ 1 7

の各々の接続を切り替える。なお、制御部は、RF信号処理回路21の外部に設けられていてもよく、例えば、高周波回路1又はベースバンド信号処理回路22に設けられていてもよい。

[0075] (5) 高周波回路の動作

次に、実施形態1に係る高周波回路1の動作について、図1を参照して説明する。

[0076] まず、比較例として、信号経路R1上の接続点P1と第2スイッチ16の共通端子160との間に整合回路24が設けられていない場合を想定する。この場合、アンテナ3を介して受信する受信信号の一部が信号経路T1側に漏れてしまい、その結果、束ねロスによる受信感度が劣化するという問題がある。

[0077] これに対して、実施形態1に係る高周波回路1では、図1に示すように、信号経路R1上の接続点P1と第2スイッチ16の共通端子160との間に整合回路24が設けられている。これにより、接続点P1において、信号経路T1を含む送信回路側のインピーダンスの受信帯域をオープンに近い状態（つまり、インピーダンスが非常に大きい状態）となるようにすることが可能となる。その結果、上記受信信号が信号経路T1側に漏れにくくなるため、束ねロスによる受信感度の劣化を低減することが可能となる。ここで、「束ねロス」とは、送信フィルタと受信フィルタとを束ねたときに生じる受信信号のロスのことをいう。特に、実施形態1に係る高周波回路1では、「束ねロス」とは、送信フィルタを受信フィルタに束ねたときに生じる受信信号のロスのことをいう。

[0078] (6) 効果

実施形態1に係る高周波回路1において、第1スイッチ15では、共通端子150（第1端子）が選択端子151（第2端子）に接続可能であり、第2スイッチ16では、共通端子160（第4端子）が選択端子161（第5端子）に接続可能である。また、複数の受信フィルタ111～114の各々は、第1スイッチ15の選択端子151に接続されており、第1スイッチ1

5の共通端子150は、アンテナ端子41に接続されている。さらに、第2スイッチ16の共通端子160は、第1スイッチ15の選択端子151に接続されており、第2スイッチ16の選択端子161は、送信フィルタ121に接続されている。これにより、束ねロスによる受信感度の劣化を低減することが可能となる。

[0079] より詳細には、実施形態1に係る高周波回路1は、第1スイッチ15の選択端子151と第2スイッチ16の共通端子160との間に接続されている整合回路24を備える。これにより、接続点P1において、信号経路T1を含む送信回路側のインピーダンスの受信帯域をオープンに近い状態（つまり、インピーダンスが非常に大きい状態）となるようにすることが可能となる。その結果、上記受信信号が信号経路T1側に漏れにくくなるため、束ねロスによる受信感度の劣化を低減することが可能となる。

[0080] 特に、実施形態1に係る高周波回路1では、複数の受信フィルタ111～114のすべてが前段の第1スイッチ15（の選択端子151）に接続されており、後段の第2スイッチ16に受信フィルタは接続されていない。また、実施形態1に係る高周波回路1では、複数の送信フィルタ121，122が後段の第2スイッチ16（の選択端子161，162）に接続されている。これにより、複数の受信フィルタ111～114のすべてについて、束ねロスによる受信感度の劣化を低減することが可能となる。

[0081] また、実施形態1に係る高周波回路1では、図1に示すように、複数の送信フィルタ121，122は、第2スイッチ16を介して第1スイッチ15の選択端子151に接続されている。これにより、複数の送信フィルタ121，122の各々が第1スイッチ15に直接接続されている場合に比べて、第1スイッチ15のオフ容量を低減することが可能となり、その結果、第1スイッチ15における束ねロスを低減することが可能となる。また、複数の送信フィルタ121，122の各々が第1スイッチ15に直接接続されている場合に比べて、複数の送信フィルタ121，122間の相互変調歪（IMD：Intermodulation Distortion）を低減することが可能となる。

[0082] (7) 変形例

以下、実施形態1の変形例を列挙する。

[0083] 実施形態1では、第1スイッチ15の選択端子151と第2スイッチ16の共通端子160との間に整合回路24が設けられているが、整合回路24は省略されてもよい。この場合、第2スイッチ16の共通端子160を選択端子161、162のいずれにも接続しないようにすることで、接続点P1において、信号経路T1を含む送信回路側のインピーダンスの受信帯域をオープンに近い状態（つまり、インピーダンスが非常に大きい状態）となるようにすることが可能となる。その結果、上記受信信号が信号経路T1側に漏れにくくなるため、束ねロスによる受信感度の劣化を低減することが可能となる。

[0084] 実施形態1では、図3Aに示すように、整合回路24がインダクタ241を含んでいるが、整合回路24は、図3Bに示すように、キャパシタ242を含んでいてもよい。さらに、整合回路24は、インダクタ241とキャパシタ242との両方を含んでいてもよい。要するに、整合回路24は、インダクタ241とキャパシタ242との少なくとも一方を含んでいればよい。

[0085] (実施形態2)

実施形態2に係る高周波回路1Aについて、図4～図5Bを参照して説明する。実施形態2に係る高周波回路1Aに関し、実施形態1に係る高周波回路1（図1参照）と同様の構成については、同一の符号を付して説明を省略する。

[0086] 実施形態2に係る高周波回路1Aでは、図4に示すように、第2スイッチ16が選択端子163を更に有している点で、実施形態1に係る高周波回路1（図1参照）と相違する。また、実施形態2に係る高周波回路1Aは、整合回路24の代わりに、第2スイッチ16の選択端子163とグランドとの間に接続されている整合回路25を備えている点で、実施形態1に係る高周波回路1と相違する。

[0087] 実施形態2に係る高周波回路1Aでは、第2スイッチ16は、図4に示す

ように、共通端子160と、複数（図示例では3つ）の選択端子161～163と、を有する。共通端子160は、第1スイッチ15の選択端子151に接続されている。選択端子161は、送信フィルタ121に接続されている。選択端子162は、送信フィルタ122に接続されている。選択端子163は、整合回路25に接続されている。実施形態2に係る高周波回路1Aでは、共通端子160が第4端子であり、選択端子161が第5端子であり、選択端子163が第6端子である。すなわち、第2スイッチ16は、第6端子を更に有する。そして、第2スイッチ16では、第4端子（共通端子160）が第5端子（選択端子161）と第6端子（選択端子163）との少なくとも一方に接続可能である。

[0088] 整合回路25は、図4に示すように、第2スイッチ16の選択端子163とグランドとの間に設けられている。すなわち、実施形態2に係る高周波回路1Aは、第2スイッチ16の第6端子（選択端子163）とグランドとの間に接続されている整合回路25を更に備える。整合回路25は、図5Aに示すように、インダクタ251を含む。整合回路25のインダクタ251は、第2スイッチ16の選択端子163とグランドとの間に接続されている。

[0089] 実施形態2に係る高周波回路1Aでは、例えば、受信信号を受信し、かつ送信信号を送信しない場合に、第2スイッチ16の共通端子160（第4端子）が選択端子163（第6端子）に接続される。これにより、接続点P1において、信号経路T1を含む送信回路側のインピーダンスの受信帯域をオープンに近い状態（つまり、インピーダンスが非常に大きい状態）となるようにすることが可能となる。その結果、上記受信信号が信号経路T1側に漏れにくくなるため、束ねロスによる受信感度の劣化を低減することが可能となる。

[0090] 実施形態2では、図5Aに示すように、整合回路25がインダクタ251を含んでいるが、整合回路25は、図5Bに示すように、キャパシタ252を含んでいてもよい。さらに、整合回路25は、インダクタ251とキャパシタ252との両方を含んでいてもよい。要するに、整合回路25は、イン

ダクタ 251 とキャパシタ 252 との少なくとも一方を含んでいればよい。

[0091] また、実施形態 2 では、図 4 に示すように、第 2 スイッチ 16 の選択端子 163 とグラウンドとの間に整合回路 25 が設けられているが、整合回路 25 は省略されてもよい。この場合、第 2 スイッチ 16 の選択端子 163 は、図 6 に示すように、高周波回路 1B のいずれの回路にも接続されていない端子であることが好ましい。これにより、接続点 P1 において、信号経路 T1 を含む送信回路側のインピーダンスの受信帯域をオープンに近い状態（つまり、インピーダンスが非常に大きい状態）となるようにすることが可能となる。その結果、上記受信信号が信号経路 T1 側に漏れにくくなるため、束ねロスによる受信感度の劣化を低減することが可能となる。

[0092] （実施形態 3）

実施形態 3 に係る高周波回路 1C について、図 7 を参照して説明する。実施形態 3 に係る高周波回路 1C に関し、実施形態 2 に係る高周波回路 1A（図 4 参照）と同様の構成については、同一の符号を付して説明を省略する。

[0093] 実施形態 3 に係る高周波回路 1C では、図 7 に示すように、第 1 スイッチ 15 の選択端子 151、152 の両方に複数の受信フィルタ 111～114 の各々が接続されている点で、実施形態 2 に係る高周波回路 1A（図 4 参照）と相違する。

[0094] 実施形態 3 に係る高周波回路 1C では、図 7 に示すように、第 1 スイッチ 15 は、共通端子 150 と、複数（図示例では 2 つ）の選択端子 151、152 と、を有する。共通端子 150 は、アンテナ端子 41 に接続されている。選択端子 151 は、複数の受信フィルタ 111～114 に接続されている。また、選択端子 152 は、整合回路 23 を介して複数の受信フィルタ 111～114 に接続されている。すなわち、実施形態 3 に係る高周波回路 1C では、複数の受信フィルタ 111～114 の各々は、第 1 スイッチ 15 の選択端子 151、152 の両方に接続されている。

[0095] また、実施形態 3 に係る高周波回路 1C では、整合回路 23 は、複数の受信フィルタ 111～114 と第 1 スイッチ 15 の選択端子 152 との間に接

続されている。一方、整合回路 23 は、複数の受信フィルタ 111～114 と第 1 スイッチ 15 の選択端子 151 との間には接続されていない。すなわち、実施形態 3 に係る高周波回路 1C は、複数の受信フィルタ 111～114 と第 1 スイッチ 15 の選択端子 151 との間に接続されておらず、複数の受信フィルタ 111～114 と第 1 スイッチ 15 の選択端子 152 との間に接続されている整合回路 25 を更に備える。実施形態 3 に係る高周波回路 1C では、第 1 スイッチ 15 の選択端子 151 が第 2 端子であり、第 1 スイッチ 15 の選択端子 152 が第 3 端子である。

[0096] 実施形態 3 に係る高周波回路 1C では、第 1 スイッチ 15 の選択端子 151 と第 2 スイッチ 16 の共通端子 160 とを結ぶ信号経路 T1 は、複数の受信フィルタ 111～114 と第 1 スイッチ 15 の選択端子 151 とを結ぶ信号経路 R11 上の接続点 P1 で信号経路 R11 に接続されている。一方、信号経路 T1 は、複数の受信フィルタ 111～114 と第 1 スイッチ 15 の選択端子 152 とを結ぶ信号経路 R12 には接続されていない。

[0097] 実施形態 3 に係る高周波回路 1C では、受信信号を受信し、かつ送信信号を送信する場合、第 1 スイッチ 15 の共通端子 150 が選択端子 151 に接続され、信号経路 R11 が選択される。また、高周波回路 1C では、受信信号を受信し、かつ送信信号を送信しない場合、第 1 スイッチ 15 の共通端子 150 が選択端子 152 に接続され、信号経路 R12 が選択される。このように、実施形態 3 に係る高周波回路 1C では、受信信号の受信のみを行う場合と、受信信号の受信及び送信信号の送信の両方を行う場合とで、信号経路を切り替えている。

[0098] ここで、受信信号を受信し、かつ送信信号を送信しない場合、第 2 スイッチ 16 の共通端子 160 は選択端子 163 に接続されることが好ましい。この場合、信号経路 T1 に対して整合回路 25 が接続されるため、接続点 P1 において、信号経路 T1 を含む送信回路側のインピーダンスの受信帯域をオープンに近い状態（つまり、インピーダンスが非常に大きい状態）となるようにすることが可能となる。その結果、上記受信信号が信号経路 T1 側に漏

れにくくなるため、束ねロスによる受信感度の劣化を低減することが可能となる。

[0099] (実施形態4)

実施形態4に係る高周波回路1Dについて、図8を参照して説明する。実施形態4に係る高周波回路1Dに関し、実施形態3に係る高周波回路1C（図7参照）と同様の構成については、同一の符号を付して説明を省略する。

[0100] 実施形態4に係る高周波回路1Dでは、送信フィルタ123を更に備えている点で、実施形態3に係る高周波回路1C（図7参照）と相違する。また、実施形態4に係る高周波回路1Dでは、第1スイッチ15が選択端子153を更に有している点で、実施形態3に係る高周波回路1Cと相違する。

[0101] 実施形態4に係る高周波回路1Dでは、第1スイッチ15は、図8に示すように、共通端子150と、複数（図示例では3つ）の選択端子151～153と、を有する。共通端子150は、アンテナ端子41に接続されている。選択端子151は、複数の受信フィルタ111～114に接続されている。選択端子152は、整合回路23を介して、複数の受信フィルタ111～114に接続されている。選択端子153は、第2スイッチ16を介さずに、送信フィルタ123に直接接続されている。

[0102] 実施形態4に係る高周波回路1Dでは、共通端子150が第1端子であり、選択端子151が第2端子であり、選択端子152が第3選択端子であり、選択端子153がバイパス端子である。すなわち、第1スイッチ15は、第2スイッチ16を介さずに送信フィルタ123が接続される選択端子153（バイパス端子）を更に有する。そして、第1スイッチ15では、第1端子（共通端子150）が第2端子（選択端子151）と第3端子（選択端子152）とバイパス端子（選択端子153）との少なくとも1つに接続可能である。

[0103] また、実施形態4に係る高周波回路1Dでは、送信フィルタ121が第1送信フィルタであり、送信フィルタ123が第2送信フィルタである。すなわち、実施形態4に係る高周波回路1Dは、送信フィルタとしての第1送信

フィルタ（送信フィルタ１２１）とは異なる第２送信フィルタ（送信フィルタ１２３）を更に備える。

[0104] 送信フィルタ１２３は、送信フィルタ１２１、１２２とは異なる通信バンドの送信信号を通過させるフィルタである。より詳細には、送信フィルタ１２３は、第６通信バンドの送信信号を通過させるフィルタである。第６通信バンドは、例えば、３ＧＰＰ ＬＴＥ規格のＢａｎｄ ４１であり、第６通信バンドの送信帯域は、２４９６ＭＨｚ－２６９０ＭＨｚである。送信フィルタ１２３は、パワーアンプ１４２と第１スイッチ１５との間に設けられている。送信フィルタ１２３は、パワーアンプ１４２で増幅された高周波信号を通過させる。

[0105] 実施形態４に係る高周波回路１Ｄでは、図８に示すように、送信フィルタ１２３を構成する複数の並列腕共振子（図示せず）のうち、第１並列腕共振子（図示せず）とグラウンドとの間にインダクタ１０４が接続され、第２並列腕共振子（図示せず）とグラウンドとの間にインダクタ１０５が接続されている。これにより、送信フィルタ１２３の減衰極が調整される。

[0106] また、実施形態４に係る高周波回路１Ｄでは、図８に示すように、送信フィルタ１２３と第１スイッチ１５の選択端子１５３との間に整合回路２６が設けられている。整合回路２６は、送信フィルタ１２３と第１スイッチ１５とのインピーダンス整合をとるための回路である。整合回路２６は、図８に示すように、インダクタ２６０を含む。なお、整合回路２６は、１つのインダクタ２６０を含む構成であることに限定されず、例えば、複数のインダクタを含む構成であってもよいし、複数のインダクタ及び複数のキャパシタを含む構成であってもよい。

[0107] 実施形態４に係る高周波回路１Ｄでは、送信フィルタ１２３は、第２スイッチ１６を介さずに第１スイッチ１５の選択端子１５３に接続されている。そのため、すべての送信フィルタ１２１～１２３が第２スイッチ１６を介して第１スイッチ１５に接続されている場合に比べて、ロスを低減することが可能となる。

[0108] (実施形態5)

実施形態5に係る高周波回路1Eについて、図9～図10Cを参照して説明する。実施形態5に係る高周波回路1Eに関し、実施形態4に係る高周波回路1D(図8参照)と同様の構成については、同一の符号を付して説明を省略する。

[0109] 実施形態5に係る高周波回路1Eは、複数の受信フィルタ115～117を更に備えている点で、実施形態4に係る高周波回路1D(図8参照)と相違する。また、実施形態5に係る高周波回路1Eは、複数の送信フィルタ124, 125を更に備えている点で、実施形態4に係る高周波回路1Dと相違する。また、実施形態5に係る高周波回路1Eは、複数(図示例では2つ)の位相回路(第1位相回路281及び第2位相回路282)を更に備えている点で、実施形態4に係る高周波回路1Dと相違する。また、実施形態5に係る高周波回路1Eでは、第1スイッチ15が、第2端子としての選択端子151A, 151Bと、第3端子としての選択端子152A, 152Bと、を有している点で、実施形態4に係る高周波回路1Dと相違する。また、実施形態5に係る高周波回路1Eは、2つの第2スイッチ16A, 16Bを備えている点で、実施形態4に係る高周波回路1Dと相違する。

[0110] 実施形態5に係る高周波回路1Eは、図9に示すように、複数(図示例では7つ)の受信フィルタ111～117と、複数(図示例では5つ)の送信フィルタ121～125と、複数(図示例では7つ)のローノイズアンプ131～137と、複数(図示例では2つ)のパワーアンプ141, 142と、を備える。また、実施形態5に係る高周波回路1Eは、第1スイッチ15と、複数(図示例では2つ)の第2スイッチ16A, 16Bと、第3スイッチ17と、複数(図示例では7つ)の入力整合回路181～187と、複数(図示例では8つ)の整合回路23, 26, 27, 191～193, 253, 254と、複数(図示例では2つ)の位相回路(第1位相回路281及び第2位相回路282)と、を更に備える。また、実施形態5に係る高周波回路1Eは、複数(図示例では9つ)のインダクタ101～109を更に備え

る。また、実施形態5に係る高周波回路1Eは、外部接続端子4を更に備える。

[0111] 第1スイッチ15は、図9に示すように、共通端子150と、複数（図示例では5つ）の選択端子151A、151B、152A、152B、153と、を有する。共通端子150は、アンテナ端子41に接続されている。選択端子151Aは、複数の受信フィルタ111～114に接続されている。選択端子152Aは、整合回路23を介して複数の受信フィルタ111～114に接続されている。選択端子151Bは、複数の受信フィルタ115～117に接続されている。選択端子152Bは、整合回路27を介して複数の受信フィルタ115～117に接続されている。選択端子153は、送信フィルタ123に接続されている。

[0112] 実施形態5に係る高周波回路1Eでは、選択端子151Aが第1特定端子であり、選択端子151Bが第2特定端子であり、選択端子152Aが第3特定端子であり、選択端子152Bが第4特定端子である。また、実施形態5に係る高周波回路1Eでは、選択端子153がバイパス端子である。すなわち、第1スイッチ15は、第2端子としての第1特定端子（選択端子151A）及び第2特定端子（選択端子151B）と、第3端子としての第3特定端子（選択端子152A）及び第4特定端子（選択端子152B）と、を有する。

[0113] また、実施形態5に係る高周波回路1Eでは、複数の受信フィルタ111～114が複数の第1受信フィルタであり、複数の受信フィルタ115～117が複数の第2受信フィルタである。すなわち、実施形態5に係る高周波回路1Eは、複数の受信フィルタとしての複数の第1受信フィルタ（受信フィルタ111～114）とは異なる複数の第2受信フィルタ（受信フィルタ115～117）を更に備える。

[0114] 複数の受信フィルタ115～117は、複数の受信フィルタ111～114とは異なる通信バンドの受信信号を通過させるフィルタである。より詳細には、受信フィルタ115は、第7通信バンドの受信信号を通過させるフィ

ルタである。受信フィルタ 116 は、第 5 通信バンドの受信信号を通過させるフィルタである。受信フィルタ 117 は、第 8 通信バンドの受信信号を通過させるフィルタである。

[0115] 第 5 通信バンドは、上述したように、3 G P P L T E 規格の B a n d 6 6 であり、第 5 通信バンドの受信帯域は、2 1 1 0 M H z − 2 2 0 0 M H z である。第 7 通信バンドは、例えば、3 G P P L T E 規格の B a n d 2 5 であり、第 7 通信バンドの受信帯域は、1 9 3 0 M H z − 1 9 9 5 M H z である。第 8 通信バンドは、例えば、3 G P P L T E 規格の B a n d 3 0 であり、第 8 通信バンドの受信帯域は、2 3 5 0 M H z − 2 3 6 0 M H z である。

[0116] 受信フィルタ 115 は、ローノイズアンプ 135 と第 1 スイッチ 15 との間に設けられている。受信フィルタ 116 は、ローノイズアンプ 136 と第 1 スイッチ 15 との間に設けられている。受信フィルタ 117 は、ローノイズアンプ 137 と第 1 スイッチ 15 との間に設けられている。複数の受信フィルタ 115 ~ 117 の各々は、アンテナ端子 41 から入力された高周波信号のうち、対応する通信バンドの受信帯域の受信信号を通過させる。

[0117] 実施形態 5 に係る高周波回路 1 E では、図 9 に示すように、受信フィルタ 115 を構成する複数の並列腕共振子のうち、第 1 並列腕共振子とグラウンドとの間にインダクタ 106 が接続され、第 2 並列腕共振子とグラウンドとの間にインダクタ 107 が接続されている。これにより、受信フィルタ 115 の減衰極が調整される。

[0118] 複数の送信フィルタ 124, 125 は、複数の送信フィルタ 121 ~ 123 とは異なる通信バンドの送信信号を通過させるフィルタである。より詳細には、送信フィルタ 124 は、第 7 通信バンドの送信信号を通過させるフィルタである。送信フィルタ 125 は、第 5 通信バンドの送信信号を通過させるフィルタである。

[0119] 第 5 通信バンドは、上述したように、3 G P P L T E 規格の B a n d 6 6 であり、第 5 通信バンドの送信帯域は、1 7 1 0 M H z − 1 7 8 0 M H z

である。第7通信バンドは、上述したように、3GPP LTE規格のBand 25であり、第7通信バンドの送信帯域は、1850MHz－1915MHzである。

[0120] 送信フィルタ121は、第2スイッチ16Aの選択端子161と第3スイッチ17の選択端子171との間に設けられている。送信フィルタ122は、第2スイッチ16Aの選択端子162と第3スイッチ17の選択端子172との間に設けられている。送信フィルタ124は、第2スイッチ16Bの選択端子161と第3スイッチ17の選択端子173との間に設けられている。送信フィルタ125は、第2スイッチ16Bの選択端子162と第3スイッチ17の選択端子172との間に設けられている。また、第2スイッチ16Aの選択端子163には整合回路253が接続され、第2スイッチ16Bの選択端子163には整合回路254が接続されている。整合回路253、254の各々は、上述の整合回路25と同様であるため、ここでは説明を省略する。

[0121] 実施形態5に係る高周波回路1Eでは、図9に示すように、送信フィルタ124を構成する並列腕共振子とグラウンドとの間にインダクタ108が接続されている。また、送信フィルタ125を構成する並列腕共振子とグラウンドとの間にインダクタ109が接続されている。これにより、複数の送信フィルタ124、125の各々の減衰極が調整される。

[0122] また、実施形態5に係る高周波回路1Eでは、第1スイッチ15の選択端子151Aと第2スイッチ16Aの共通端子160との間に第1位相回路281が設けられている。また、実施形態5に係る高周波回路1Eでは、第1スイッチ15の選択端子151Bと第2スイッチ16Bの共通端子160との間に第2位相回路282が設けられている。

[0123] 第1位相回路281及び第2位相回路282の各々は、図10Aに示すように、キャパシタ283を含む。第1位相回路281のキャパシタ283は、第1スイッチ15の選択端子151Aと第2スイッチ16Aの共通端子160との間に接続されている。第2位相回路282のキャパシタ283は、

第1スイッチ15の選択端子151Bと第2スイッチ16Bの共通端子160との間に接続されている。

[0124] 実施形態5に係る高周波回路1Eでは、第1位相回路281が設けられているため、第2スイッチ16Aの共通端子160が選択端子163に接続されていない場合であっても、接続点P1において、信号経路T1を含む送信回路側のインピーダンスの受信帯域をオープンに近い状態（つまり、インピーダンスが非常に大きい状態）となるようにすることが可能となる。その結果、上記受信信号が信号経路T11側に漏れにくくなっているため、束ねロスによる受信感度の劣化を低減することが可能となる。信号経路T11は、第1スイッチ15の選択端子151Aと第2スイッチ16Aの共通端子160とを結ぶ信号経路である。

[0125] また、実施形態5に係る高周波回路1Eでは、第2位相回路282が設けられているため、第2スイッチ16Bの共通端子160が選択端子163に接続されていない場合であっても、アンテナ3を介して受信する受信信号の受信帯域の周波数帯における信号経路T12のインピーダンスを非常に大きくすることが可能となる。その結果、上記受信信号が信号経路T12側に漏れにくくなっているため、束ねロスによる受信感度の劣化を低減することが可能となる。信号経路T12は、第1スイッチ15の選択端子151Bと第2スイッチ16Bの共通端子160とを結ぶ信号経路である。

[0126] 実施形態5では、図10Aに示すように、第1位相回路281及び第2位相回路282の各々がキャパシタ283を含んでいるが、第1位相回路281及び第2位相回路282の各々は、図10Bに示すように、複数のキャパシタ284～286を含んでもよい。図10Bでは、第1位相回路281及び第2位相回路282において、キャパシタ284、285は、互いに直列に接続されると共に、第1スイッチ15の選択端子151Aと第2スイッチ16Aの共通端子160との間に接続されている。また、第1位相回路281及び第2位相回路282において、キャパシタ286は、キャパシタ284、285の接続点とグラウンドとの間に接続されている。

[0127] さらに、第1位相回路281及び第2位相回路282の各々は、図10Cに示すように、複数のキャパシタ287～289を含んでもよい。図10Cでは、第1位相回路281及び第2位相回路282において、キャパシタ287は、第1スイッチ15の選択端子151Aと第2スイッチ16Aの共通端子160との間に接続されている。また、第1位相回路281及び第2位相回路282において、キャパシタ288はキャパシタ287の一端とグラウンドとの間に接続され、キャパシタ289はキャパシタ287の他端とグラウンドとの間に接続されている。また、第1位相回路281及び第2位相回路282の各々は、例えば、インダクタを含んでもよいし、キャパシタとインダクタとの両方を含んでもよい。

[0128] (実施形態6)

実施形態6に係る高周波回路1Fについて、図11を参照して説明する。実施形態6に係る高周波回路1Fに関し、実施形態5に係る高周波回路1E（図9参照）と同様の構成については、同一の符号を付して説明を省略する。

[0129] 実施形態6に係る高周波回路1Fは、実施形態5で説明した2つの第2スイッチ16A、16Bが1つの第2スイッチ16で構成されている点で、実施形態5に係る高周波回路1E（図9参照）と相違する。

[0130] 実施形態6に係る高周波回路1Fでは、図11に示すように、第2スイッチ16は、複数（図示例では2つ）の共通端子160A、160Bと、複数（図示例では4つ）の選択端子161～164と、を有する。第2スイッチ16の共通端子160Bは、第1位相回路281を介して第1スイッチ15の選択端子151Aに接続されており、第2スイッチ16の共通端子160Aは、第2位相回路282を介して第1スイッチ15の選択端子151Bに接続されている。

[0131] 実施形態6に係る高周波回路1Fでは、第1スイッチ15の選択端子151Aが第1特定端子であり、第1スイッチ15の選択端子151Bが第2特定端子であり、第2スイッチ16の共通端子160Bが第5特定端子であり

、第2スイッチ16の共通端子160Aが第6特定端子である。すなわち、第2スイッチ16の第5特定端子（共通端子160B）は、第1スイッチ15の第1特定端子（選択端子151A）に接続されている。また、第2スイッチ16の第6特定端子（共通端子160A）は、第1スイッチ15の第2特定端子（選択端子151B）に接続されている。

[0132] 実施形態6に係る高周波回路1Fでは、送信フィルタ121は、上述したように、第2通信バンドの送信信号及び第5通信バンドの送信信号を通過させるフィルタである。したがって、第2スイッチ16では、共通端子160A、160Bの両方を選択端子161に接続することによって、第2通信バンドの送信信号及び第5通信バンドの送信信号を異なる信号経路で別々に送信することが可能となる。この場合、例えば、第1位相回路281によって、第5通信バンドの周波数帯における信号経路T11のインピーダンスを非常に大きくすることで、第2通信バンドの送信信号のみを通過させることが可能となる。また、例えば、第2位相回路282によって、第2通信バンドの周波数帯における信号経路T12のインピーダンスを非常に大きくすることで、第5通信バンドの送信信号のみを通過させることが可能となる。これにより、2つの通信バンドの送信信号を通過させる送信フィルタを別々に設ける場合に比べて、高周波回路1Fの小型化を図ることが可能となる。

[0133] 本明細書において、「第1フィルタと第2フィルタとを1つに束ねる」とは、第1フィルタと第2フィルタとを直接的に接続する場合と、第1フィルタと第2フィルタとを同じスイッチに接続する場合と、を含む。第1フィルタは、例えば、受信フィルタである。第2フィルタは、例えば、受信フィルタ又は送信フィルタである。

[0134] 本明細書において、「受信信号の束ねロス」は、第1信号経路と第2信号経路とが直接的に接続されている場合における第1信号経路から第2信号経路側に漏れる受信信号のロスと、第1信号経路と第2信号経路とが同じスイッチに接続されている場合における第1信号経路から第2信号経路側に漏れる受信信号のロス及びスイッチのオフ容量の合計と、を含む。第1信号経路

は、上記受信信号の受信経路である。第2信号経路は、上記受信信号が漏れる送信経路又は受信経路である。

[0135] 本明細書において、「要素は、基板の第1主面に配置されている」は、要素が基板の第1主面上に直接実装されている場合だけでなく、基板で隔された第1主面側の空間及び第2主面側の空間のうち、第1主面側の空間に要素が配置されている場合を含む。つまり、「要素は、基板の第1主面に配置されている」は、要素が基板の第1主面上に、他の回路素子又は電極等を介して実装されている場合を含む。

[0136] 本明細書において、「要素は、基板の第2主面に配置されている」は、要素が基板の第2主面上に直接実装されている場合だけでなく、基板で隔された第1主面側の空間及び第2主面側の空間のうち、第2主面側の空間に要素が配置されている場合を含む。つまり、「要素は、基板の第2主面に配置されている」は、要素が基板の第2主面上に、他の回路素子又は電極等を介して実装されている場合を含む。

[0137] 本明細書において、「A及びBがCに同時接続可能である」とは、A及びBがCに対して同時に接続される場合があることをいう。例えば、Aは第2スイッチ16の共通端子160Aであり、Bは第2スイッチ16の共通端子160Bであり、Cは第2スイッチ16の選択端子161であるが、これらに限定されない。

[0138] (態様)

本明細書には、以下の態様が開示されている。

[0139] 第1の態様に係る高周波回路(1; 1A~1F)は、アンテナ端子(41)と、送信フィルタ(121)と、複数の受信フィルタ(111~114)と、第1スイッチ(15)と、第2スイッチ(16; 16A, 16B)と、を備える。第1スイッチ(15)は、第1端子(150)、第2端子(151)及び第3端子(152)を有する。第2スイッチ(16; 16A, 16B)は、第4端子(160; 160A, 160B)及び第5端子(161)を有する。第1スイッチ(15)では、第1端子(150)が第2端子(1

5 1) 又は第3端子 (1 5 2) に接続可能である。第2スイッチ (1 6 ; 1 6 A, 1 6 B) では、第4端子 (1 6 0 ; 1 6 0 A, 1 6 0 B) が第5端子 (1 6 1) に接続可能である。複数の受信フィルタ (1 1 1 ~ 1 1 4) の各々は、第1スイッチ (1 5) の第2端子 (1 5 1) 又は第3端子 (1 5 2) に接続されている。第1スイッチ (1 5) の第1端子 (1 5 0) は、アンテナ端子 (4 1) に接続されている。第2スイッチ (1 6 ; 1 6 A, 1 6 B) の第4端子 (1 6 0 ; 1 6 0 A, 1 6 0 B) は、第1スイッチ (1 5) の第2端子 (1 5 1) に接続されている。第2スイッチ (1 6 ; 1 6 A, 1 6 B) の第5端子 (1 6 1) は、送信フィルタ (1 2 1) に接続されている。

[0140] この態様によれば、束ねロスによる受信感度の劣化を低減することが可能となる。

[0141] 第2の態様に係る高周波回路 (1) は、第1の態様において、整合回路 (2 4) を更に備える。整合回路 (2 4) は、第1スイッチ (1 5) の第2端子 (1 5 1) と第2スイッチ (1 6) の第4端子 (1 6 0) との間に接続されている。

[0142] この態様によれば、束ねロスによる受信感度の劣化を低減することが可能となる。

[0143] 第3の態様に係る高周波回路 (1 A ; 1 C ~ 1 F) では、第1の態様において、第2スイッチ (1 6 ; 1 6 A ; 1 6 B) は、第6端子 (1 6 3) を更に有する。第2スイッチ (1 6 ; 1 6 A, 1 6 B) では、第4端子 (1 6 0 ; 1 6 0 A, 1 6 0 B) が第5端子 (1 6 1) と第6端子 (1 6 3) との少なくとも一方に接続可能である。高周波回路 (1 A ; 1 C ~ 1 F) は、整合回路 (2 5 ; 2 5 1, 2 5 2) を更に備える。整合回路 (2 5 ; 2 5 1, 2 5 2) は、第2スイッチ (1 6 ; 1 6 A, 1 6 B) の第6端子 (1 6 3) とグラウンドとの間に接続されている。

[0144] この態様によれば、束ねロスによる受信感度の劣化を低減することが可能となる。

[0145] 第4の態様に係る高周波回路 (1 A) では、第3の態様において、整合回

路（２５）は、インダクタ（２５１）とキャパシタ（２５２）との少なくとも一方を含む。

[0146] この態様によれば、束ねロスによる受信感度の劣化を低減することが可能となる。

[0147] 第５の態様に係る高周波回路（１Ｂ）では、第１の態様において、第２スイッチ（１６）は、第６端子（１６３）を更に有する。第２スイッチ（１６）では、第４端子（１６０）が第５端子（１６１）と第６端子（１６３）との少なくとも一方に接続可能である。第２スイッチ（１６）の第６端子（１６３）は、第４端子（１６０）が第６端子（１６３）に接続されていない状態において、いずれの回路にも接続されていない端子である。

[0148] この態様によれば、束ねロスによる受信感度の劣化を低減することが可能となる。

[0149] 第６の態様に係る高周波回路（１Ａ～１Ｆ）では、第３～第５の態様のいずれか１つにおいて、第２スイッチ（１６；１６Ａ，１６Ｂ）では、受信信号を受信し、かつ送信信号を送信しない場合に、第４端子（１６０）が第６端子（１６３）に接続される。

[0150] この態様によれば、束ねロスによる受信感度の劣化を低減することが可能となる。

[0151] 第７の態様に係る高周波回路（１Ｄ～１Ｆ）は、第１～第６の態様のいずれか１つにおいて、第２送信フィルタ（１２３）を更に備える。第２送信フィルタ（１２３）は、送信フィルタ（１２１）としての第１送信フィルタ（１２１）とは異なる。第１スイッチ（１５）は、バイパス端子（１５３）を更に有する。バイパス端子（１５３）は、第２スイッチ（１６；１６Ａ，１６Ｂ）を介さずに第２送信フィルタ（１２３）が接続される。第１スイッチ（１５）では、第１端子（１５０）が第２端子（１５１）と第３端子（１５２）とバイパス端子（１５３）との少なくとも１つに接続可能である。

[0152] この態様によれば、ロスを低減することが可能となる。

[0153] 第８の態様に係る高周波回路（１；１Ａ；１Ｂ）では、第１～第７の態様

のいずれか1つにおいて、第1スイッチ（15）では、第3端子（152）は、第2端子（151）と兼用されている。複数の受信フィルタ（111～114）は、第2端子（151）に接続されている。

[0154] この態様によれば、第1スイッチ（15）のオフ容量を低減することが可能となる。

[0155] 第9の態様に係る高周波回路（1C～1F）では、第1の態様において、複数の受信フィルタ（111～114）の各々は、第1スイッチ（15）の第2端子（151）及び第3端子（152）の両方に接続されている。高周波回路（1C～1F）は、整合回路（23，27）を更に備える。整合回路（23，27）は、複数の受信フィルタ（111～114）と第1スイッチ（15）の第2端子（151）との間に接続されておらず、かつ複数の受信フィルタ（111～114）と第1スイッチ（15）の第3端子（152）との間に接続されている。

[0156] この態様によれば、受信信号の受信のみを行う場合と受信信号の受信及び送信信号の送信の両方を行う場合とで、信号経路を分けることが可能となる。

[0157] 第10の態様に係る高周波回路（1F）は、第9の態様において、複数の第2受信フィルタ（115～117）を更に備える。複数の第2受信フィルタ（115～117）は、複数の受信フィルタ（111～114）としての複数の第1受信フィルタ（111～114）とは異なる。第1スイッチ（15）は、第2端子としての第1特定端子（151A）及び第2特定端子（151B）と、第3端子としての第3特定端子（152A）及び第4特定端子（152B）と、を有する。第2スイッチ（16）は、第4端子としての第5特定端子（160B）及び第6特定端子（160A）を有する。複数の第1受信フィルタ（111～114）の各々は、第1スイッチ（15）の第1特定端子（151A）又は第3特定端子（152A）に接続されている。複数の第2受信フィルタ（115～117）の各々は、第1スイッチ（15）の第2特定端子（151B）又は第4特定端子（152B）に接続されてい

る。第2スイッチ（16）の第5特定端子（160B）は、第1スイッチ（15）の第1特定端子（151A）に接続されている。第2スイッチ（16）の第6特定端子（160A）は、第1スイッチ（15）の第2特定端子（151B）に接続されている。

[0158] この態様によれば、束ねロスによる受信感度の劣化を低減することが可能となる。

[0159] 第11の態様に係る高周波回路（1E, 1F）は、第10の態様において、第1位相回路（281）と、第2位相回路（282）と、の少なくとも一方を更に備える。第1位相回路（281）は、第1スイッチ（15）の第1特定端子（151A）と第2スイッチ（16）の第5特定端子（160B）との間に接続されている。第2位相回路（282）は、第1スイッチ（15）の第2特定端子（151B）と第2スイッチ（16）の第6特定端子（160A）との間に接続されている。

[0160] この態様によれば、束ねロスによる受信感度の劣化を低減することが可能となる。

[0161] 第12の態様に係る高周波回路（1F）では、第10又は第11の態様において、第2スイッチ（16）では、第5特定端子（160A）と第6特定端子（160B）とは、第5端子（161）に同時接続可能である。

[0162] この態様によれば、複数の送信信号の同時送信が可能となる。

[0163] 第13の態様に係る通信装置（10）は、第1～第12の態様のいずれか1つの高周波回路（1；1A～1F）と、信号処理回路（2）と、を備える。信号処理回路（2）は、高周波回路（1；1A～1F）に接続されている。

[0164] この態様によれば、束ねロスによる受信感度の劣化を低減することが可能となる。

符号の説明

[0165] 1, 1A～1F 高周波回路
101～109 インダクタ

- 1 1 1 ～ 1 1 4 受信フィルタ（第 1 受信フィルタ）
- 1 1 5 ～ 1 1 7 受信フィルタ（第 2 受信フィルタ）
- 1 2 1 送信フィルタ（第 1 送信フィルタ）
- 1 2 2 送信フィルタ
- 1 2 3 送信フィルタ（第 2 送信フィルタ）
- 1 3 1 ～ 1 3 7 ローノイズアンプ
- 1 4, 1 4 1, 1 4 2 パワーアンプ
- 1 5 第 1 スイッチ
- 1 5 0 共通端子（第 1 端子）
- 1 5 1 選択端子（第 2 端子）
- 1 5 1 A 選択端子（第 2 端子、第 1 特定端子）
- 1 5 1 B 選択端子（第 2 端子、第 2 特定端子）
- 1 5 2 選択端子（第 3 端子）
- 1 5 2 A 選択端子（第 3 端子、第 3 特定端子）
- 1 5 2 B 選択端子（第 3 端子、第 4 特定端子）
- 1 5 3 選択端子（バイパス端子）
- 1 6, 1 6 A, 1 6 B 第 2 スイッチ
- 1 6 0 共通端子（第 4 端子）
- 1 6 0 A 共通端子（第 4 端子、第 6 特定端子）
- 1 6 0 B 共通端子（第 4 端子、第 5 特定端子）
- 1 6 1 選択端子（第 5 端子）
- 1 6 2 選択端子
- 1 6 3 選択端子（第 6 端子）
- 1 6 4 選択端子
- 1 7 第 3 スイッチ
- 1 7 0 共通端子
- 1 7 1 ～ 1 7 4 選択端子
- 1 8 0 インダクタ

1 8 1 ~ 1 8 4 入力整合回路
1 9 0 インダクタ
1 9 1 ~ 1 9 3 整合回路
2 3 整合回路
2 3 1 インダクタ
2 3 2 キャパシタ
2 4 整合回路
2 4 1 インダクタ
2 4 2 キャパシタ
2 5, 2 5 3, 2 5 4 整合回路
2 5 1 インダクタ
2 5 2 キャパシタ
2 6 整合回路
2 6 0 インダクタ
2 7 整合回路
2 7 1 インダクタ
2 7 2 キャパシタ
2 8 1 第 1 位相回路
2 8 2 第 2 位相回路
2 8 3 ~ 2 8 9 キャパシタ
2 信号処理回路
2 1 R F 信号処理回路
2 2 ベースバンド信号処理回路
3 アンテナ
4 外部接続端子
4 1 アンテナ端子
1 0 通信装置
P 1, P 1 1, P 1 2 接続点

R 1, R 1 1, R 1 2 信号経路

T 1, T 1 1, T 1 2 信号経路

請求の範囲

[請求項1]

アンテナ端子と、
送信フィルタと、
複数の受信フィルタと、
第1端子、第2端子及び第3端子を有する第1スイッチと、
第4端子及び第5端子を有する第2スイッチと、を備え、
前記第1スイッチでは、前記第1端子が前記第2端子又は前記第3端子に接続可能であり、
前記第2スイッチでは、前記第4端子が前記第5端子に接続可能であり、
前記複数の受信フィルタの各々は、前記第1スイッチの前記第2端子又は前記第3端子に接続されており、
前記第1スイッチの前記第1端子は、前記アンテナ端子に接続されており、
前記第2スイッチの前記第4端子は、前記第1スイッチの前記第2端子に接続されており、
前記第2スイッチの前記第5端子は、前記送信フィルタに接続されている、
高周波回路。

[請求項2]

前記第1スイッチの前記第2端子と前記第2スイッチの前記第4端子との間に接続されている整合回路を更に備える、
請求項1に記載の高周波回路。

[請求項3]

前記第2スイッチは、第6端子を更に有し、
前記第2スイッチでは、前記第4端子が前記第5端子と前記第6端子との少なくとも一方に接続可能であり、
前記第2スイッチの前記第6端子とグラウンドとの間に接続されている整合回路を更に備える、
請求項1に記載の高周波回路。

- [請求項4] 前記整合回路は、インダクタとキャパシタとの少なくとも一方を含む、
請求項3に記載の高周波回路。
- [請求項5] 前記第2スイッチは、第6端子を更に有し、
前記第2スイッチでは、前記第4端子が前記第5端子と前記第6端子との少なくとも一方に接続可能であり、
前記第2スイッチの前記第6端子は、前記第4端子が前記第6端子に接続されていない状態において、いずれの回路にも接続されていない端子である、
請求項1に記載の高周波回路。
- [請求項6] 前記第2スイッチでは、受信信号を受信し、かつ送信信号を送信しない場合に、前記第4端子が前記第6端子に接続される、
請求項3～5のいずれか1項に記載の高周波回路。
- [請求項7] 前記送信フィルタとしての第1送信フィルタとは異なる第2送信フィルタを更に備え、
前記第1スイッチは、前記第2スイッチを介さずに前記第2送信フィルタが接続されるバイパス端子を更に有し、
前記第1スイッチでは、前記第1端子が前記第2端子と前記第3端子と前記バイパス端子との少なくとも1つに接続可能である、
請求項1～6のいずれか1項に記載の高周波回路。
- [請求項8] 前記第1スイッチでは、前記第3端子は、前記第2端子と兼用され、
前記複数の受信フィルタは、前記第1スイッチの前記第2端子に接続されている、
請求項1～7のいずれか1項に記載の高周波回路。
- [請求項9] 前記複数の受信フィルタの各々は、前記第1スイッチの前記第2端子及び前記第3端子の両方に接続されており、
前記複数の受信フィルタと前記第1スイッチの前記第2端子との間

に接続されておらず、かつ前記複数の受信フィルタと前記第 1 スイッチの前記第 3 端子との間に接続されている整合回路を更に備える、

請求項 1 に記載の高周波回路。

[請求項10]

前記複数の受信フィルタとしての複数の第 1 受信フィルタとは異なる複数の第 2 受信フィルタを更に備え、

前記第 1 スイッチは、

前記第 2 端子としての第 1 特定端子及び第 2 特定端子と、

前記第 3 端子としての第 3 特定端子及び第 4 特定端子と、を有し、

、

前記第 2 スイッチは、

前記第 4 端子としての第 5 特定端子及び第 6 特定端子を有し、

前記複数の第 1 受信フィルタの各々は、前記第 1 スイッチの前記第 1 特定端子又は前記第 3 特定端子に接続されており、

前記複数の第 2 受信フィルタの各々は、前記第 1 スイッチの前記第 2 特定端子又は前記第 4 特定端子に接続されており、

前記第 2 スイッチの前記第 5 特定端子は、前記第 1 スイッチの前記第 1 特定端子に接続されており、

前記第 2 スイッチの前記第 6 特定端子は、前記第 1 スイッチの前記第 2 特定端子に接続されている、

請求項 9 に記載の高周波回路。

[請求項11]

前記第 1 スイッチの前記第 1 特定端子と前記第 2 スイッチの前記第 5 特定端子との間に接続されている第 1 位相回路と、前記第 1 スイッチの前記第 2 特定端子と前記第 2 スイッチの前記第 6 特定端子との間に接続されている第 2 位相回路と、の少なくとも一方を更に備える、

請求項 10 に記載の高周波回路。

[請求項12]

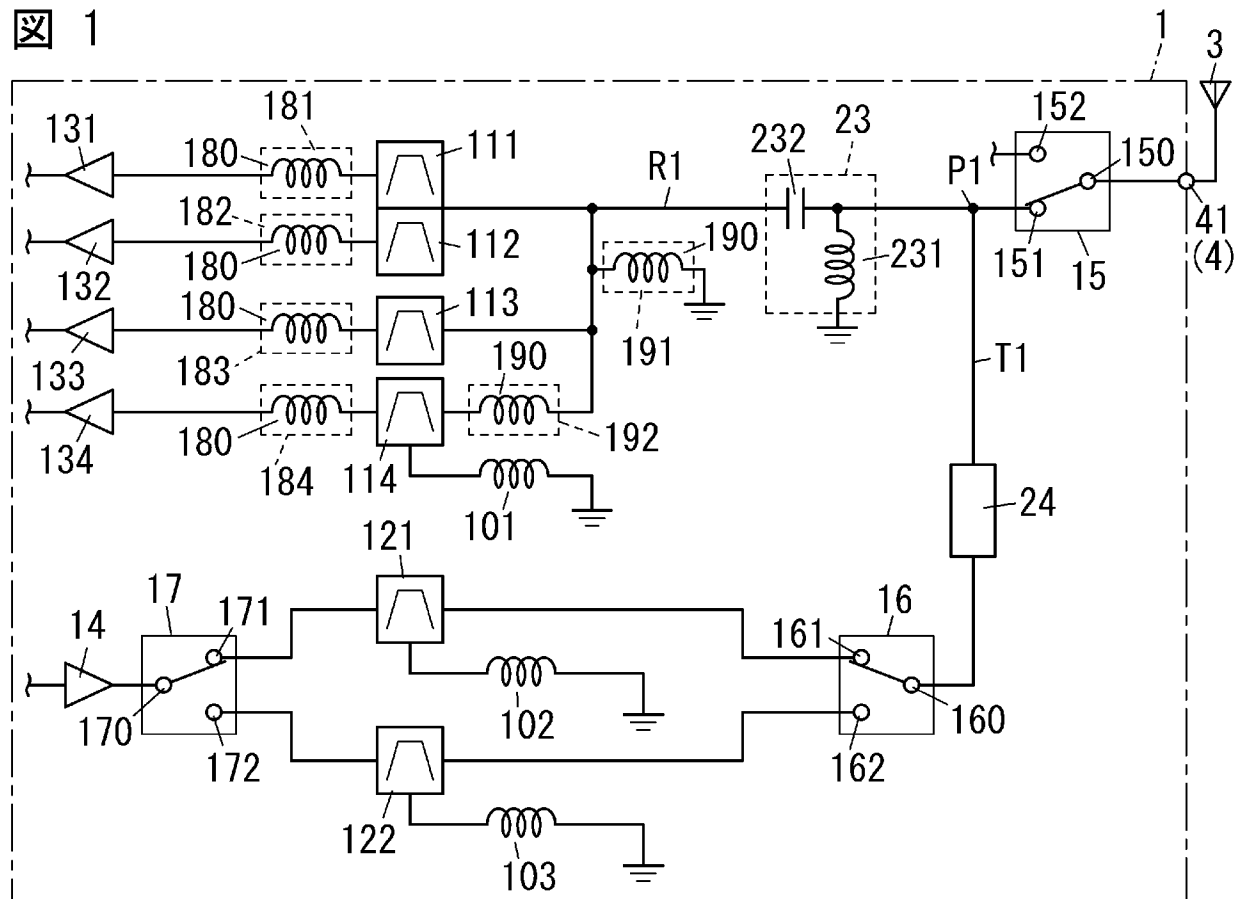
前記第 2 スイッチでは、前記第 5 特定端子と前記第 6 特定端子とは、前記第 5 端子に同時接続可能である、

請求項 10 又は 11 に記載の高周波回路。

[請求項13] 請求項1～12のいずれか1項に記載の高周波回路と、
前記高周波回路に接続されている信号処理回路と、を備える、
通信装置。

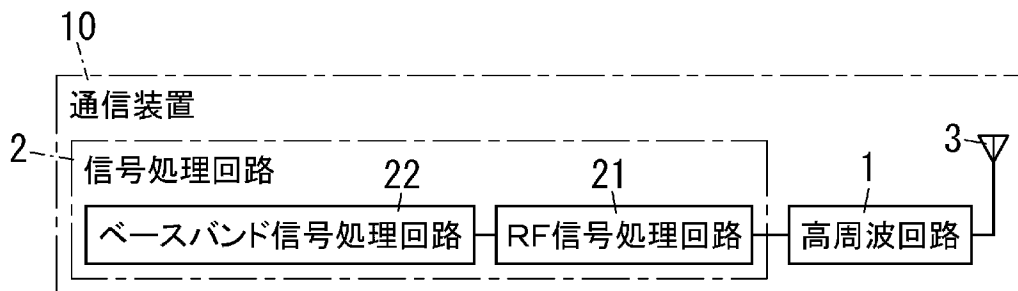
[図1]

図 1



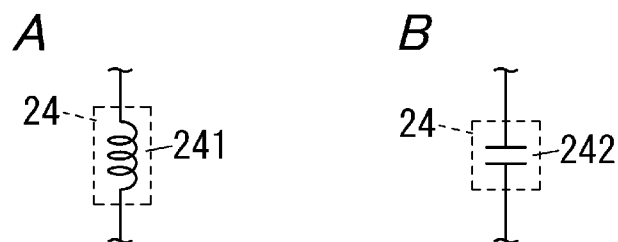
[図2]

図 2



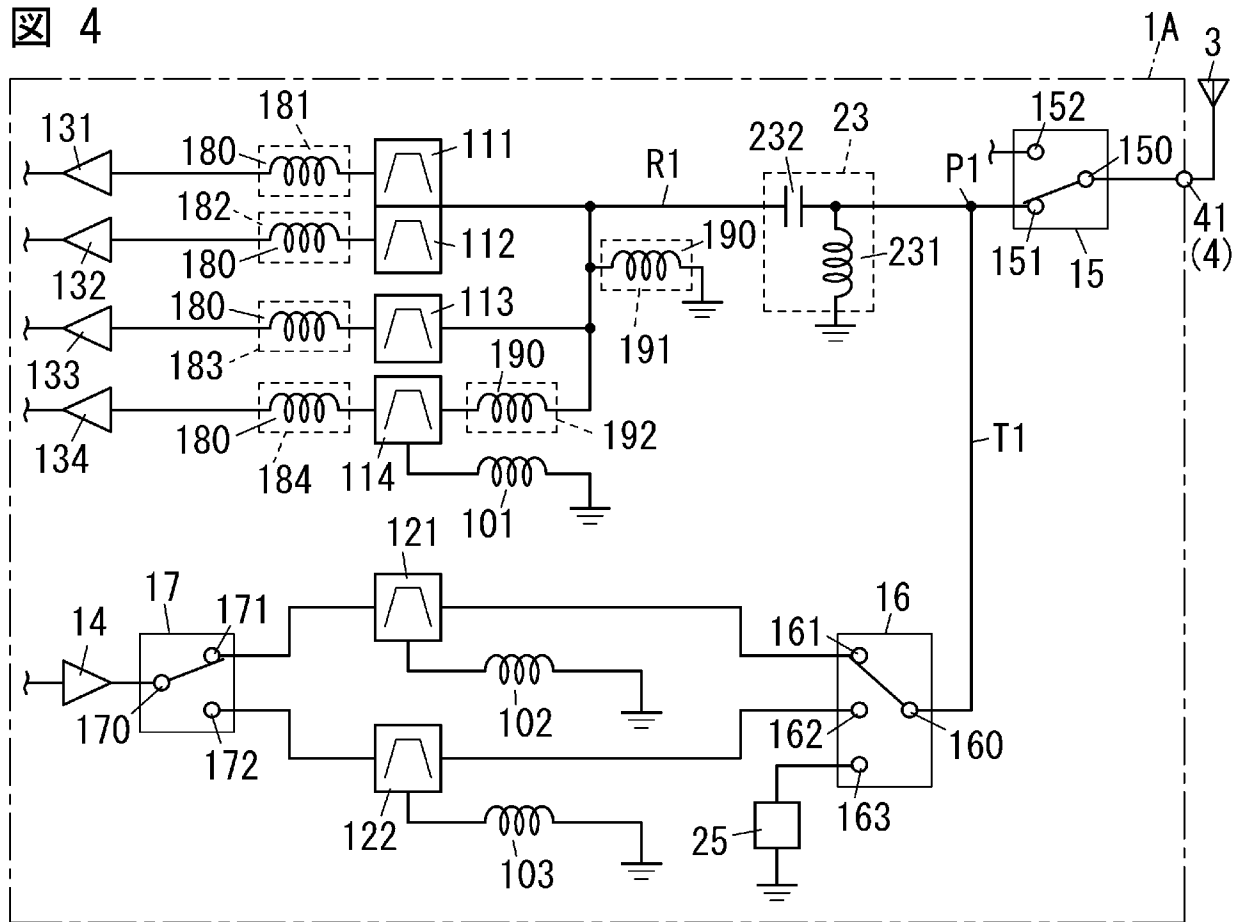
[図3]

図 3



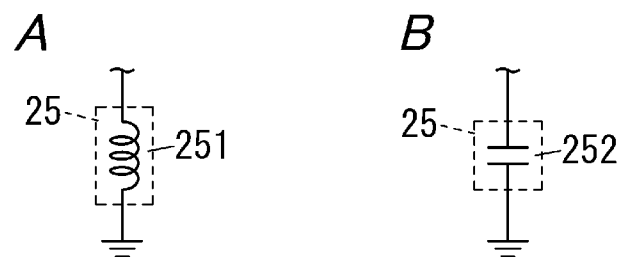
[図4]

図 4



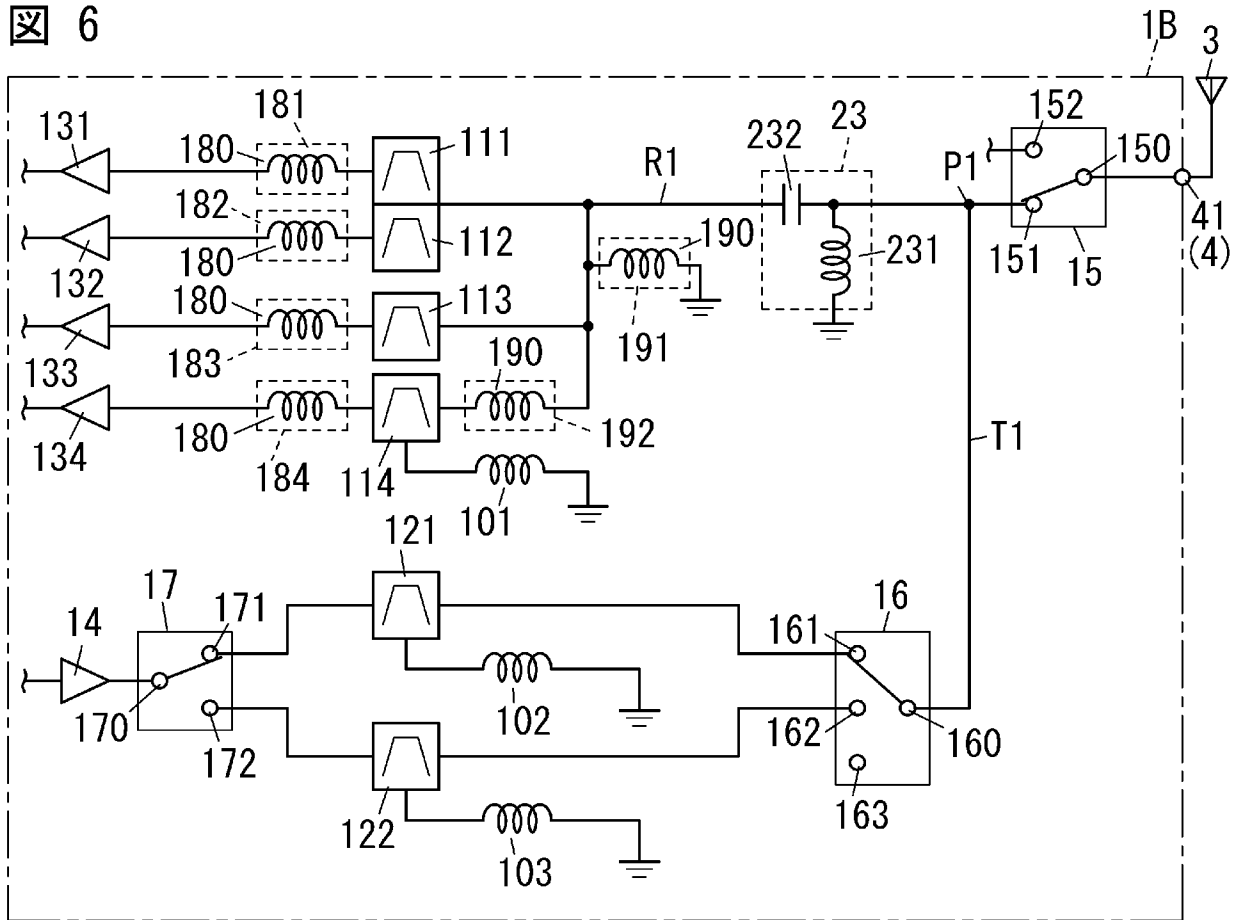
[図5]

図 5



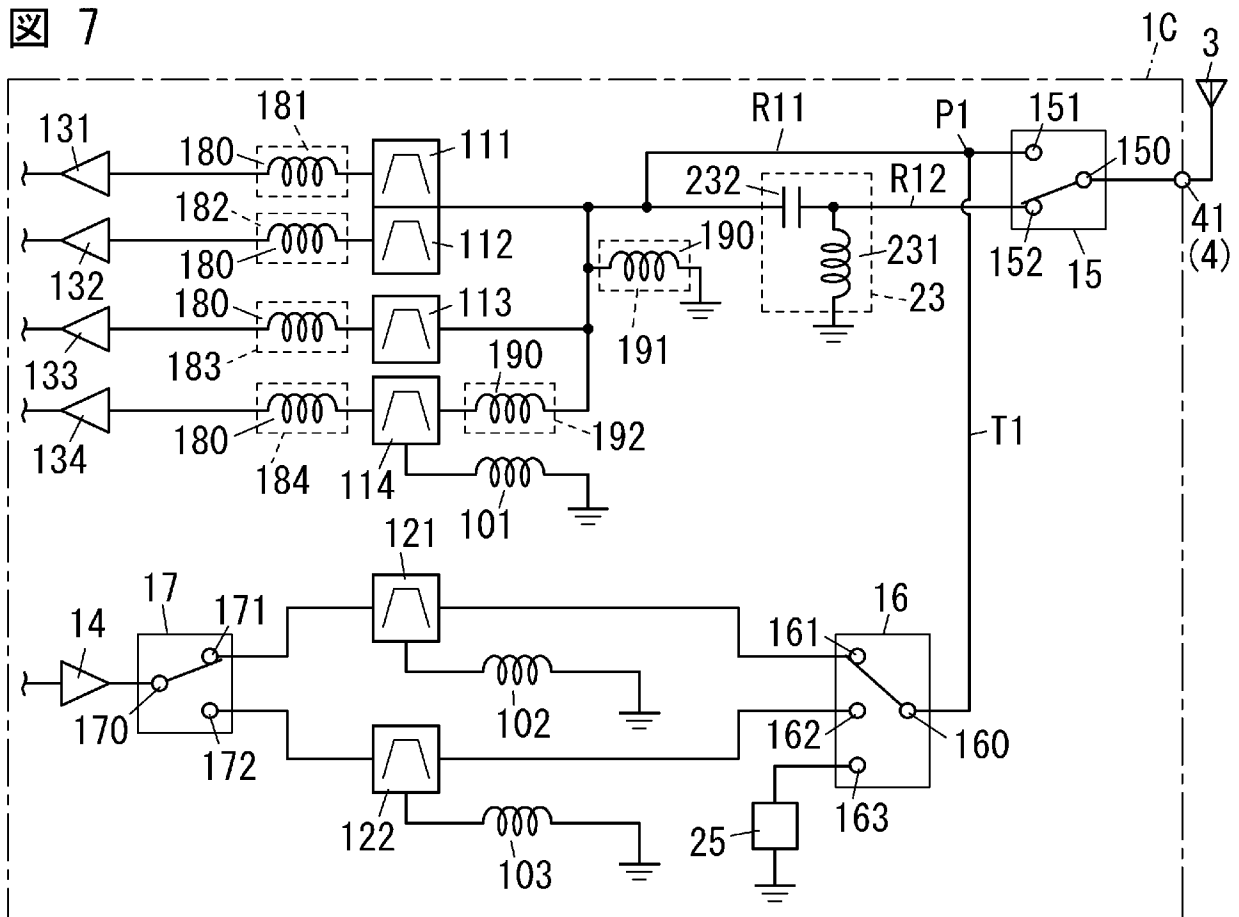
[図6]

図 6



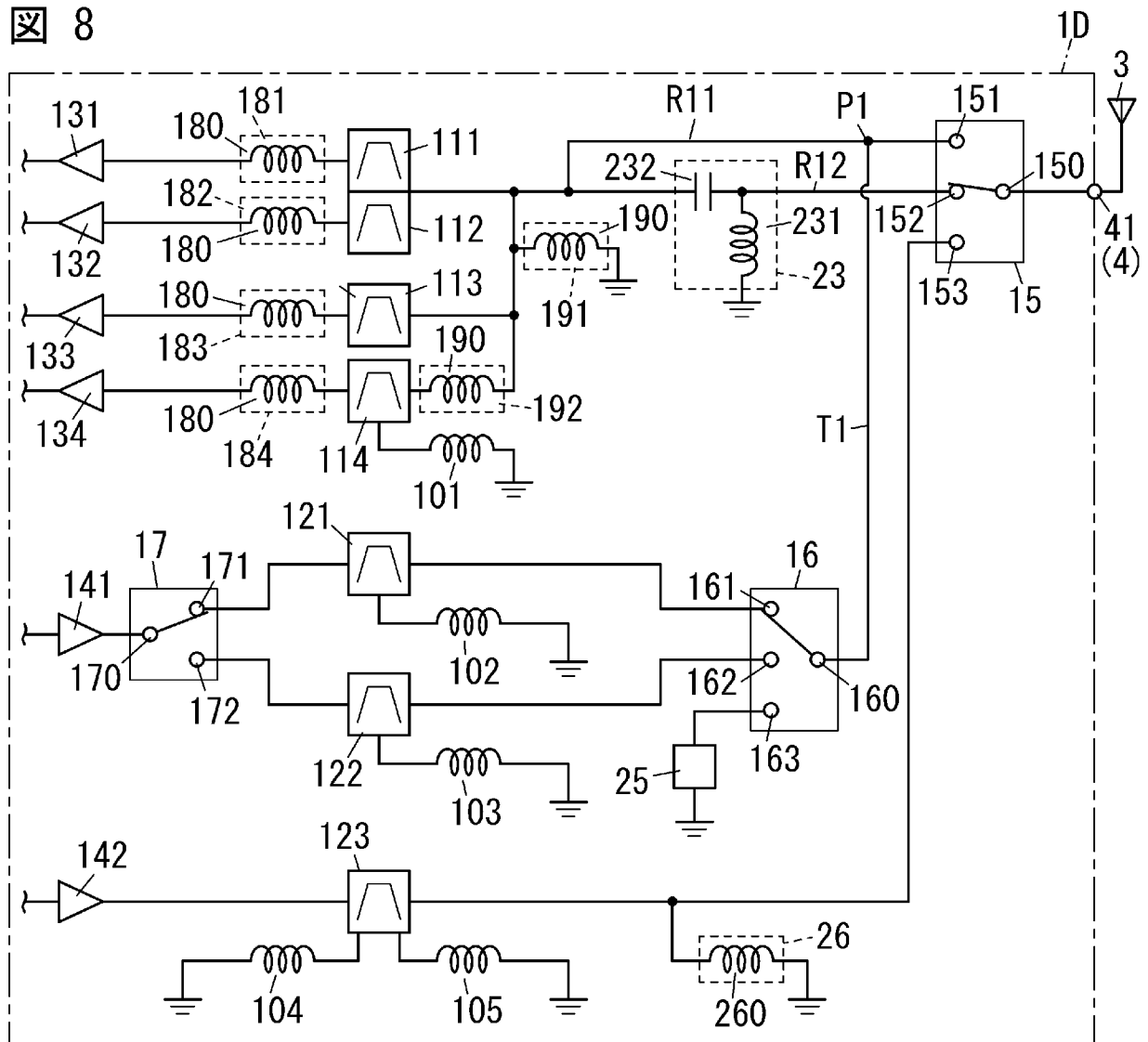
[図7]

図 7



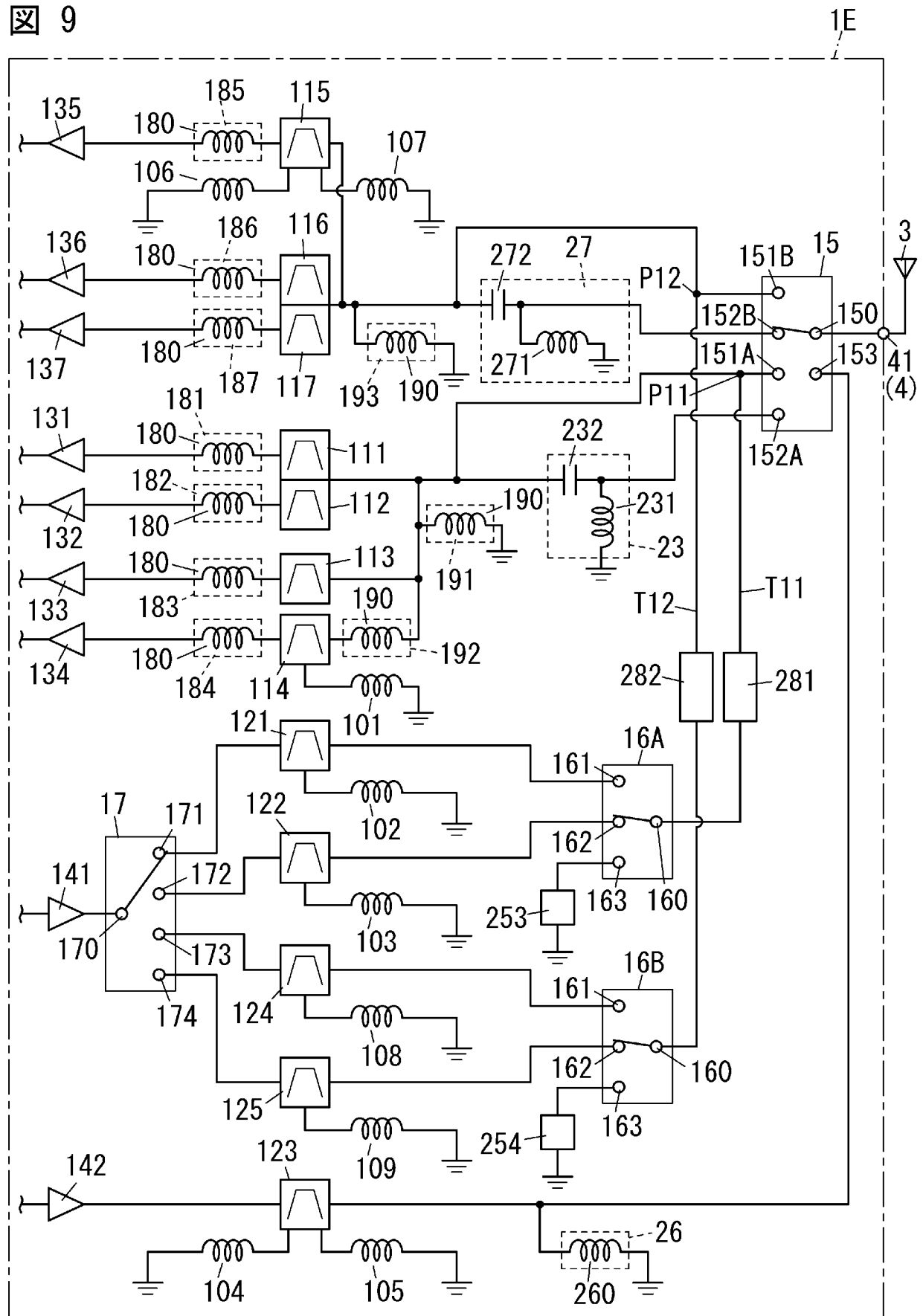
[図8]

図 8



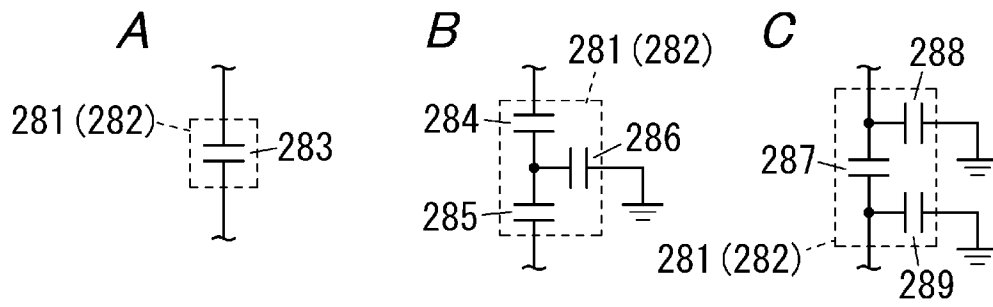
[図9]

図 9



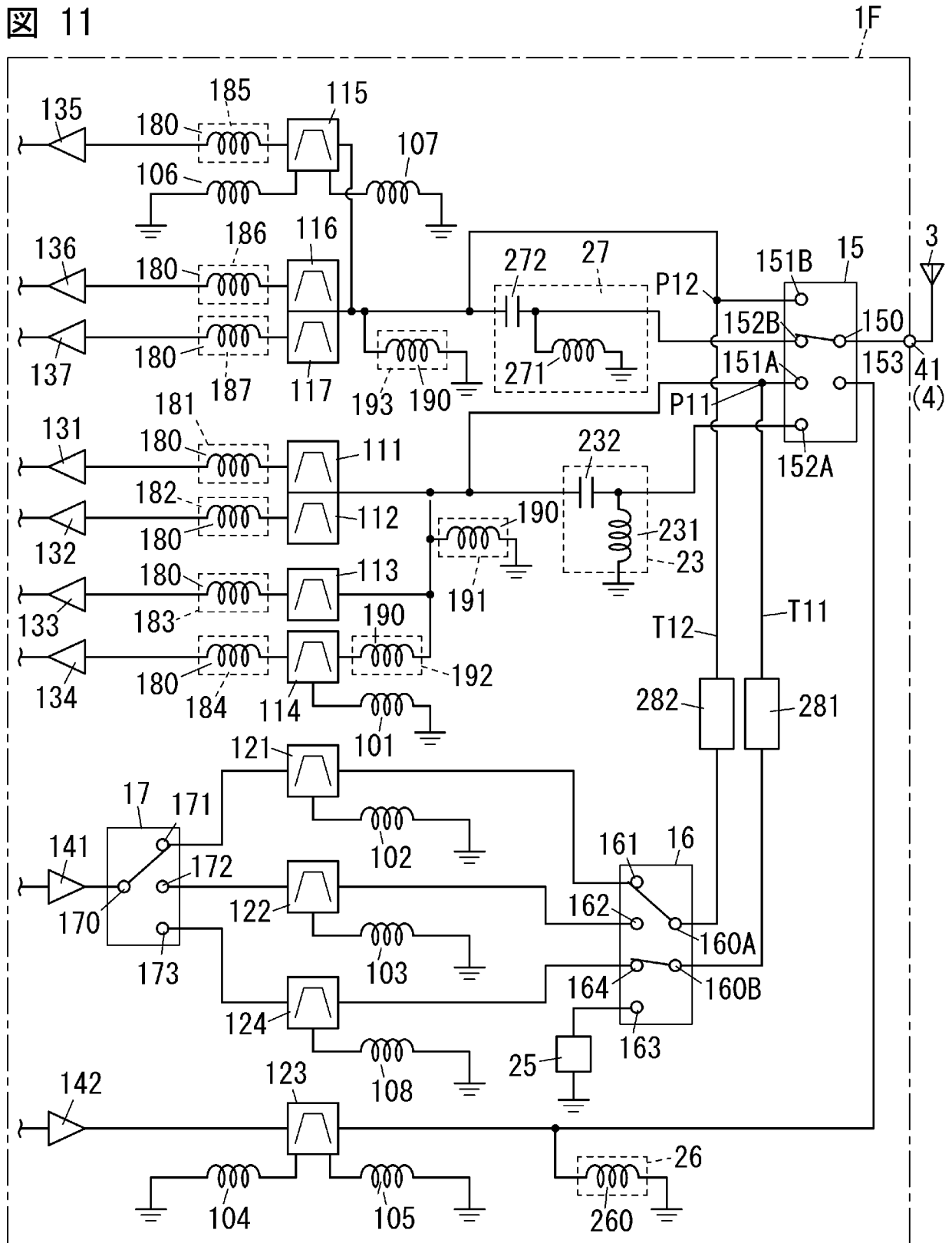
[図10]

図 10



[図11]

図 11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019911

A. CLASSIFICATION OF SUBJECT MATTER**H04B 1/40**(2015.01)i; **H03H 7/38**(2006.01)i; **H04B 1/00**(2006.01)i

FI: H04B1/40; H04B1/00 253; H03H7/38 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B1/40; H03H7/38; H04B1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017/0104509 A1 (QORVO US, INC.) 13 April 2017 (2017-04-13)	1-13
A	US 2020/0343930 A1 (QORVO US, INC.) 29 October 2020 (2020-10-29)	1-13
A	WO 2020/183985 A1 (MURATA MANUFACTURING CO) 17 September 2020 (2020-09-17)	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 July 2022

Date of mailing of the international search report

02 August 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/019911

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2017/0104509	A1	13 April 2017	(Family: none)	
US	2020/0343930	A1	29 October 2020	(Family: none)	
WO	2020/183985	A1	17 September 2020	US 2021/0384925	A1
				CN 113557671	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H04B 1/40(2015.01)i; H03H 7/38(2006.01)i; H04B 1/00(2006.01)i FI: H04B1/40; H04B1/00 253; H03H7/38 Z										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H04B1/40; H03H7/38; H04B1/00										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2022年									
日本国実用新案登録公報	1996 - 2022年									
日本国登録実用新案公報	1994 - 2022年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	US 2017/0104509 A1 (QORVO US, INC.) 13.04.2017 (2017 - 04 - 13)	1-13								
A	US 2020/0343930 A1 (QORVO US, INC.) 29.10.2020 (2020 - 10 - 29)	1-13								
A	WO 2020/183985 A1 (株式会社村田製作所) 17.09.2020 (2020 - 09 - 17)	1-13								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 20.07.2022	国際調査報告の発送日 02.08.2022									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 後澤 瑞征 5K 4540 電話番号 03-3581-1101 内線 3556									

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/019911

引用文献			公表日	パテントファミリー文献	公表日
US	2017/0104509	A1	13.04.2017	(ファミリーなし)	
US	2020/0343930	A1	29.10.2020	(ファミリーなし)	
WO	2020/183985	A1	17.09.2020	US 2021/0384925 A1	
				CN 113557671 A	