



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201841120 A

(43) 公開日：中華民國 107 (2018) 年 11 月 16 日

(21) 申請案號：106146196 (22) 申請日：中華民國 106 (2017) 年 12 月 28 日

(51) Int. Cl. : *G06F17/15 (2006.01)* *H03M13/11 (2006.01)*
H03M13/15 (2006.01) *H03M13/19 (2006.01)*

(30) 優先權：2017/01/09 美國 62/444,261
 2017/09/14 美國 15/704,204

(71) 申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)
 美國

(72) 發明人：薩爾基斯 蓋比 SARKIS, GABI (CA)；桑卡爾 哈利 SANKAR, HARI (US)；隆奇 文生 LONCKE, VINCENT (US)；索瑞亞嘉 約瑟夫畢那米拉 SORIAGA, JOSEPH BINAMIRA (US)；楊揚 YANG, YANG (CN)

(74) 代理人：李世章

申請實體審查：無 申請專利範圍項數：19 項 圖式數：16 共 102 頁

(54) 名稱

低潛時位元反轉極化碼

LOW LATENCY BIT-REVERSED POLAR CODES

(57) 摘要

在本案內容的一個態樣中，提供了一種方法、電腦可讀取媒體和裝置。該裝置可以決定與 m 個連續元素相關聯的索引。在一個態樣中，該 m 個連續元素之每一者元素可以與不同的索引相關聯。另外，該裝置可以對與該 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉。在一個態樣中，該 m 個連續元素之每一者元素可以包括不同的二元序列。此外，該裝置可以至少部分地基於與該 m 個元素之每一者元素相關聯的經位元反轉的二元序列，來決定該索引的位元反轉順序。另外，該裝置可以至少部分地基於該索引的該位元反轉順序，來將該 m 個連續元素之每一者元素並列地寫入不同的記憶體組。

In an aspect of the disclosure, a method, a computer-readable medium, and an apparatus are provided. The apparatus may determine indices associated with m consecutive elements. In an aspect, each of the m consecutive elements may be associated with a different index. In addition, the apparatus may bit reverse a binary sequence associated with each of the m consecutive elements. In an aspect, each of the m consecutive elements may include a different binary sequence. Further, the apparatus may determine a bit-reversed order of the indices based at least in part on the bit-reversed binary sequence associated with each of the m elements. In addition, the apparatus may write each of the m consecutive elements to a different memory bank in parallel based at least in part on the bit-reversed order of the indices.

指定代表圖：

500 ↘

符號簡單說明：

500 . . . 圖

502 . . . 資訊向量 u

504 . . . 步驟

506 . . . 步驟

508 . . . 通道

510 . . . 步驟

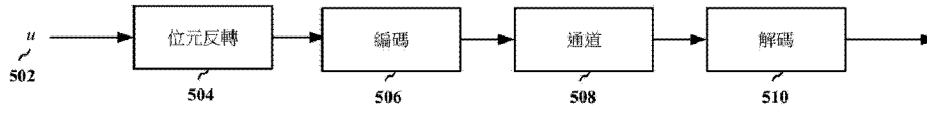


圖5A

【發明說明書】

【中文發明名稱】低潛時位元反轉極化碼

【英文發明名稱】LOW LATENCY BIT-REVERSED POLAR CODES

【技術領域】

【0001】 本專利申請案主張於2017年1月9日提出申請的標題為「LOW LATENCY BIT-REVERSED POLAR CODES」的美國臨時申請案第62/444,261號、以及於2017年9月14日提出申請的標題為「LOW LATENCY BIT-REVERSED POLAR CODES」的美國專利申請案第15/704,204號的權益，以引用方式將上述申請案的揭示內容全部明確地併入本文。

【0002】 本案內容大體而言係關於通訊系統，並且更特定言之係關於在極化編碼器及/或極化解碼器處執行半並列及/或並列位元反轉。

【先前技術】

【0003】 無線通訊系統被廣泛地部署以提供諸如電話、視訊、資料、訊息傳遞以及廣播的多種電信服務。典型的無線通訊系統可以採用能夠藉由共享可用的系統資源來支援與多個使用者進行通訊的多工存取技術。此種多工存取技術的實例包括分碼多工存取（CDMA）系統、分時多工存取（TDMA）系統、分頻多工存取（FDMA）系統、正交分頻多工存取（OFDMA）系統、單載波分頻多工存取（SC-FDMA）系統以及分時同步分碼多工存取（TD-SCDMA）系統。

【0004】 已經在多種電信標準中採用該等多工存取技術以提供共用的協定，該協定使得不同的無線設備能夠在地方、國家、區域、以及甚至全球位準上進行通訊。一種示例性電信標準是長期進化（LTE）。LTE是對由第三代合作夥伴計劃（3GPP）發佈的通用行動電信系統（UMTS）行動服務標準的增強的集合。LTE被設計為經由在下行鏈路上使用OFDMA，在上行鏈路上使用SC-FDMA以及使用多輸入多輸出（MIMO）天線技術來提高頻譜效率、降低成本以及改進服務，來支援行動寬頻存取。然而，隨著對行動寬頻存取的需求的持續增長，存在對LTE技術進行進一步改進的需求。該等改進亦可適用於其他多工存取技術以及採用該等技術的電信標準。

【0005】 可以在各種通訊系統（例如，毫米波（mmW）通訊系統）中使用訊息編碼，使得接收到的訊息中的錯誤可以被接收器設備的解碼器校正及/或偵測到。線性區塊碼是可以被mmW通訊系統用來對區塊中的資料進行編碼的一種類型的糾錯碼。一類線性區塊碼是極化碼。

【0006】 通常，極化解碼是使用串列相消解碼演算法來執行的。串列相消解碼演算法可以執行對由發射器設備編碼的原始資訊的軟估計。通常，由於串列相消解碼演算法固有的資料依賴性，並列化可能不用於實施該演算法。結果，極化編碼器及/或極化解碼器可能遭遇低編碼/解碼傳輸量和高潛時。需要提供更低潛時的極化編碼及/或極化解碼技術。

【發明內容】

【0007】 以下內容介紹了對一或多個態樣的簡要概括，以便提供對此種態樣的基本的理解。該概括不是對全部預期態樣的詳盡概述，並且不意欲於識別全部態樣的關鍵或重要元素，亦不意欲於圖示任何或全部態樣的範圍。其唯一的目的是以簡化的形式介紹一或多個態樣的一些概念，作為隨後介紹的更詳細的描述的序言。

【0008】 可以在各種通訊系統（例如，毫米波（mmW）通訊系統）中使用資料編碼，使得接收到的訊息中的錯誤可以被接收器設備的解碼器校正及/或偵測到。線性區塊碼是可以被mmW通訊系統用來對區塊中的資料進行編碼的一種類型的糾錯碼。一類線性區塊碼是極化碼。

【0009】 通常，極化解碼是使用串列相消解碼演算法來執行的。串列相消解碼演算法可以執行對由發射器設備編碼的原始資訊的軟估計。通常，由於串列相消解碼演算法固有的資料依賴性，並列化可能不用於實施該演算法。結果，極化編碼器及/或極化解碼器可能遭遇低編碼/解碼傳輸量和高潛時。需要提供更低潛時的極化編碼/極化解碼技術。

【0010】 本案內容提供了一種解決方案：藉由在發射器設備的極化編碼器及/或接收器設備的極化解碼器處實現半並列位元反轉技術，使得可以降低與一般的極化編碼及/或極化解碼技術的串列相消解碼演算法相關聯的潛時。

【0011】 在本案內容的一個態樣中，提供了一種方法、電腦可讀取媒體和裝置。該裝置可以決定與 m 個連續元素相關聯的索引。在一個態樣中，該 m 個連續元素之每一者元素可以與不同的索引相關聯。另外，該裝置可以對與該 m 個連續元素之每一者元素相關聯的不同的二元序列進行位元反轉。此外，該裝置可以至少部分地基於與該 m 個元素之每一者元素相關聯的經位元反轉的二元序列，來決定該索引的位元反轉順序。另外，該裝置可以至少部分地基於該索引的該位元反轉順序，來將該 m 個連續元素之每一者元素並列地寫入不同的記憶體組。

【0012】 該裝置可以決定與 m 個連續元素相關聯的索引。在一個態樣中，該 m 個連續元素之每一者元素可以與不同的索引相關聯。在另一個態樣中，該 m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位元。在另外的態樣中，該裝置可以決定置換矩陣。此外，該裝置可以對該 k 個資訊位元進行置換。另外，該裝置可以藉由向該 k 個資訊位元應用反轉擴展矩陣以在位元反轉預定位置中包括額外位元，來形成向量。在一個態樣中，該向量可以包括 N 個位元。另外地，該裝置可以應用非反轉編碼矩陣以獲得用於傳輸的信號。

【0013】 為實現前述目的和相關目的，一或多個態樣包括下文中充分描述的特徵以及在申請專利範圍中特別指出的特徵。下文的描述和附圖詳細闡述了一或多個態樣的一些說明性的特徵。但是，該等特徵僅僅是可以使用各態

樣的原理的各種方式中的一些方式的指示性特徵，並且本描述意欲於包括全部此種態樣和其均等物。

【圖式簡單說明】

【0014】 圖1是圖示無線通訊系統和存取網路的實例的圖。

【0015】 圖2A、2B、2C和2D分別是圖示DL訊框結構、DL訊框結構內的DL通道、UL訊框結構、以及UL訊框結構內的UL通道的LTE實例的圖。

【0016】 圖3是圖示存取網路中的進化型節點B(eNB)和使用裝備(UE)的實例的圖。

【0017】 圖4A和4B根據本案內容的某些態樣，圖示用於執行信號的極化編碼的第一實例的資料流。

【0018】 圖4C根據本案內容的某些態樣，圖示用於執行信號的極化編碼的第二實例的資料流。

【0019】 圖4D是根據本案內容的某些態樣的用於執行信號的極化解碼的資料流。

【0020】 圖5A是根據本案內容的一個態樣的位元反轉技術的圖。

【0021】 圖5B是根據本案內容的一個態樣的位元反轉技術的圖。

【0022】 圖5C是根據本案內容的一個態樣的位元反轉技術的圖。

【0023】 圖6A是根據本案內容的一個態樣的位元反轉技術的圖。

【0024】 圖6B是根據本案內容的一個態樣的位元反轉技術的圖。

【0025】 圖6C是根據本案內容的一個態樣的位元反轉技術的圖。

【0026】 圖7是圖示在決定 m 個連續元素的索引的位元反轉順序之後，使用最高有效 $\log_2(m)$ 位元來選擇記憶體組的圖。

【0027】 圖8是無線通訊的方法的流程圖。

【0028】 圖9是圖示在示例性裝置中的不同構件/元件間的資料流的概念性資料流圖。

【0029】 圖10是圖示採用處理系統的裝置的硬體實現方式的實例的圖。

【0030】 圖11是無線通訊的方法的流程圖。

【0031】 圖12是圖示在示例性裝置中的不同構件/元件間的資料流的概念性資料流圖。

【0032】 圖13是圖示採用處理系統的裝置的硬體實現方式的實例的圖。

【0033】 圖14是無線通訊的方法的流程圖。

【0034】 圖15是圖示在示例性裝置中的不同構件/元件間的資料流的概念性資料流圖。

【0035】 圖16是圖示採用處理系統的裝置的硬體實現方式的實例的圖。

【實施方式】

【0036】 以下結合附圖闡述的具體實施方式意欲於作為對各種配置的描述，而不意欲於代表可以實施本文描述的概念的唯一的配置。出於提供對各種概念的透徹理解的目的，具體實施方式包括具體細節。然而，對於本領域技藝人士將顯而易見的是，在沒有該等具體細節的情況下，亦可以實施該等概念。在一些實例中，眾所周知的結構和元件以方塊圖形式示出，以便避免模糊此種概念。

【0037】 現在將參考各種裝置和方法來提供電信系統的若干態樣。該等裝置和方法將經由各種方塊、元件、電路、過程、演算法等（共同地被稱為「元素」），在以下具體實施方式中進行描述，以及在附圖中進行示出。該等元素可以使用電子硬體、電腦軟體或其任意組合來實施。至於此種元素是實施為硬體還是軟體，取決於特定的應用以及施加在整體系統上的設計約束。

【0038】 舉例而言，元素或者元素的任何部分或者元素的任意組合可以被實施成包括一或多個處理器的「處理系統」。處理器的實例包括被配置為執行遍及本案內容所描述的各種功能的微處理器、微控制器、圖形處理單元（GPU s）、中央處理單元（CPU s）、應用處理器、數位訊號處理器（DSP s）、精簡指令集計算（RISC）處理器、片上系統（SoC）、基頻處理器、現場可程式閘陣列（FPGA s）、可程式邏輯設備（PLD s）、狀態機、閘控邏輯、個別硬體電路以及其他適當的硬體。處理系統中的一或多個處理器可以執行軟體。無論是被稱為軟體、韌

體、中介軟體、微代碼、硬體描述語言或其他術語，軟體應該被廣義地解釋為意謂指令、指令集、代碼、代碼區段、程式碼、程式、副程式、軟體元件、應用、軟體應用、套裝軟體、常式、子常式、物件、可執行檔、執行的執行緒、程序、功能等。

【0039】 因此，在一或多個示例性實施例中，所描述的功能可以在硬體、軟體或其任意組合中實施。若在軟體中實施，則該等功能可以作為一或多個指令或代碼儲存在或編碼在電腦可讀取媒體上。電腦可讀取媒體包括電腦儲存媒體。儲存媒體可以是可由電腦存取的任何可用的媒體。舉例而言（但並非限制），此種電腦可讀取媒體可以包括隨機存取記憶體（RAM）、唯讀記憶體（ROM）、電子可抹除可程式設計ROM（EEPROM）、光碟儲存器、磁碟儲存器、其他磁性儲存設備、上述類型的電腦可讀取媒體的組合，或者可以用於以指令或資料結構的形式儲存可由電腦來存取的電腦可執行代碼的任何其他的媒體。

【0040】 圖1是圖示無線通訊系統和存取網路100的實例的圖。無線通訊系統（亦被稱為無線廣域網路（WWAN））包括基地台102、UE 104和進化封包核心（EPC）160。基地台102可以包括巨集細胞服務區（高功率蜂巢基地台）及/或小型細胞服務區（低功率蜂巢基地台）。巨集細胞服務區包括eNB。小型細胞服務區包括毫微微細胞服務區、微微細胞服務區和微細胞服務區。

【0041】 基地台102(共同地被稱為進化型通用行動電信系統(UMTS)陸地無線電存取網路(E-UTRAN))經由回載鏈路132(例如,S1介面)與EPC160對接。除了其他功能之外,基地台102亦可以執行以下功能中的一或多個功能:使用者資料的轉移、無線電通道加密和解密、完整性保護、標頭壓縮、行動性控制功能(例如,交遞、雙連接)、細胞服務區間干擾協調、連接建立和釋放、負載平衡、非存取層(NAS)訊息的分發、NAS節點選擇、同步、無線電存取網路(RAN)共享、多媒體廣播多播服務(MBMS)、用戶和裝備追蹤、RAN資訊管理(RIM)、傳呼、定位、以及警告訊息的遞送。基地台102可以經由回載鏈路134(例如,X2介面)來與彼此直接或間接地(例如,經由EPC160)進行通訊。回載鏈路134可以是有線的或無線的。

【0042】 基地台102可以與UE104無線地進行通訊。基地台102之每一者基地台102可以為相應的地理覆蓋區域110提供通訊覆蓋。可以存在重疊的地理覆蓋區域110。例如,小型細胞服務區102'可以具有與一或多個巨集基地台102的覆蓋區域110重疊的覆蓋區域110'。包括小型細胞服務區和巨集細胞服務區兩者的網路可以被稱為異質網路。異質網路亦可以包括家庭進化型節點B(eNBs)(HeNBs),其可以向被稱為封閉用戶群組(CSG)的受限制群組提供服務。基地台102和UE104之間的通訊鏈路120可以包括從UE104到基地台102的

上行鏈路 (UL) (亦被稱為反向鏈路) 傳輸及 / 或從基地台 102 到 UE 104 的下行鏈路 (DL) (亦被稱為前向鏈路) 傳輸。通訊鏈路 120 可以使用 MIMO 天線技術, 包括空間多工、波束成形及 / 或發射分集。通訊鏈路可以是通過一或多個載波的。基地台 102 / UE 104 可以每個載波使用載波聚合中分配的多至 Y MHz (例如, 5、10、15、20 MHz) 頻寬的頻譜, 以實現用於每個方向上的傳輸的多至總共 Yx MHz (x 個分量載波)。載波可以彼此相鄰或可以彼此不相鄰。載波的分配可以關於 DL 和 UL 是不對稱的 (例如, 與針對 UL 相比, 針對 DL 可以分配更多或更少的載波)。分量載波可以包括主分量載波和一或多個次分量載波。主分量載波可以被稱為主細胞服務區 (PCell) 以及次分量載波可以被稱為次細胞服務區 (SCell)。

【0043】 無線通訊系統進一步可以包括 Wi-Fi 存取點 (AP) 150, 其在 5 GHz 未授權頻譜中經由通訊鏈路 154 來與 Wi-Fi 站 (STAs) 152 相通訊。當在未授權頻譜中進行通訊時, STA 152 / AP 150 可以在進行通訊之前執行閒置通道評估 (CCA), 以便決定通道是否是可用的。

【0044】 小型細胞服務區 102' 可以在經授權及 / 或未授權頻譜中操作。當在未授權頻譜中操作時, 小型細胞服務區 102' 可以採用 LTE 並且使用與 Wi-Fi AP 150 所使用的 5 GHz 未授權頻譜相同的 5 GHz 未授權頻譜。採用

未授權頻譜中的LTE的小型細胞服務區102'可以提升覆蓋及/或增加存取網路的容量。未授權頻譜中的LTE可以被稱為LTE-未授權(LTE-U)、經授權輔助存取(LAA)或MuLTEfire。

【0045】 mmW基地台180可以在mmW頻率及/或近mmW頻率中操作，以與UE 182進行通訊。極高頻(EHF)是電磁頻譜中的RF的一部分。EHF具有30 GHz到300 GHz的範圍並且具有1毫米和10毫米之間的波長。該頻帶中的無線電波可以被稱為毫米波。近mmW可以向下擴展到3 GHz的頻率，具有100毫米的波長。超高頻(SHF)頻帶在3 GHz和30 GHz之間擴展，亦被稱為釐米波。使用mmW/近mmW射頻頻帶的通訊具有極高的路徑損耗和短範圍。mmW基地台180可以與UE 182利用波束成形184來補償極高的路徑損耗和短範圍。

【0046】 EPC 160可以包括行動性管理實體(MME) 162、其他MME 164、服務閘道166、多媒體廣播多播服務(MBMS)閘道168、廣播多播服務中心(BM-SC) 170、以及封包資料網路(PDN)閘道172。MME 162可以與歸屬用戶伺服器(HSS) 174相通訊。MME 162是處理在UE 104和EPC 160之間的訊號傳遞的控制節點。通常，MME 162提供承載和連接管理。所有的使用者網際網路協定(IP)封包經由服務閘道166來轉移，該服務閘道116本身連接到PDN閘道172。PDN閘道172提供UE IP位址分配以及其他功能。PDN閘道172和

B M - S C 170 連接到 **IP 服務 176**。 **IP 服務 176** 可以包括國際網路、網內網路、**IP 多媒體子系統 (IMS)**、**PS 資料串流服務 (PSS)**，及/或其他 **IP 服務**。 **B M - S C 170** 可以提供針對 **MBMS 使用者服務供應和遞送** 的功能。 **B M - S C 170** 可以充當用於內容提供者 **MBMS 傳輸** 的入口點，可以用於在公用陸地行動網路 (**PLMN**) 內授權和啟動 **MBMS 承載服務**，並且可以用於排程 **MBMS 傳輸**。 **MBMS 閘道 168** 可以用於向屬於廣播特定服務的多播廣播單頻網路 (**MBSFN**) 區域的基地台 **102** 分發 **MBMS 訊務**，並且可以負責通信期管理 (開始/停止) 和收集與 **eMBMS** 相關的計費資訊。

【0047】 基地台亦可以被稱為節點 **B**、進化型節點 **B (eNB)**、存取點、基地台收發機、無線電基地台、無線電收發機、收發機功能單元、基本服務集 (**BSS**)、擴展服務集 (**ESS**) 或某種其他適當的術語。基地台 **102** 為 **UE 104** 提供到 **EPC 160** 的存取點。 **UE 104** 的實例包括蜂巢式電話、智慧型電話、通信期啟動協定 (**SIP**) 電話、膝上型電腦、個人數位助理 (**PDA**)、衛星無線電、全球定位系統、多媒體設備、視訊設備、數位音訊播放機 (例如，**MP3 播放機**)、照相機、遊戲機、平板電腦、智慧設備、可穿戴設備或任意其他具有類似功能的設備。 **UE 104** 亦可以被稱為站、行動站、用戶站、行動單元、用戶單元、無線單元、遠端單元、行動設備、無線設備、無線通訊設備、遠端設備、行動用戶站、存取終端、行

動終端、無線終端、遠端終端機、手持設備、使用者代理、行動服務客戶端、客戶端，或某種其他適當的術語。

【0048】 再次參照圖1，在某些態樣中，UE 104及/或mmW基地台180可以被配置為在極化編碼器及/或極化解碼器處執行半並列位元反轉(198)。

【0049】 圖2A是圖示LTE中的DL訊框結構的實例的圖200。圖2B是圖示LTE中的DL訊框結構內的通道的實例的圖230。圖2C是圖示LTE中的UL訊框結構的實例的圖250。圖2D是圖示LTE中的UL訊框結構內的通道的實例的圖280。其他無線通訊技術可以具有不同的訊框結構及/或不同的通道。在LTE中，訊框(10ms)可以被劃分成10個相等大小的子訊框。每個子訊框可以包括兩個連續的時槽。可以使用資源網格來代表兩個時槽，每個時槽包括一或多個時間併發的資源區塊(RBs)(亦被稱為實體RB(PRBs))。資源網格被劃分成多個資源元素(REs)。在LTE中，針對一般循環字首，RB包含在頻域中的12個連續的次載波和在時域中的7個連續的符號(對於DL，OFDM符號；對於UL，SC-FDMA符號)，總共為84個RE。針對擴展循環字首，RB包含在頻域中的12個連續的次載波和在時域中的6個連續的符號，總共為72個RE。每個RE攜帶的位元的數量取決於調制方案。

【0050】 如圖2A所示，RE中的一些RE攜帶用於UE處的通道估計的DL參考(引導頻)信號(DL-RS)。DL-RS

可以包括特定於細胞服務區的參考信號 (CRS) (有時亦被稱為共用RS)、特定於UE的參考信號 (UE-RS) 和通道狀態資訊參考信號 (CSI-RS)。圖 2A 圖示用於天線埠 0、1、2 和 3 的 CRS (分別被指示為 R_0 、 R_1 、 R_2 和 R_3)、用於天線埠 5 的 UE-RS (被指示為 R_5) 以及用於天線埠 15 的 CSI-RS (被指示為 R)。圖 2B 圖示訊框的 DL 子訊框內的各種通道的實例。實體控制格式指示符通道 (PCFICH) 在時槽 0 的符號 0 內，並且攜帶指示實體下行鏈路控制通道 (PDCCH) 佔用 1 個、2 個還是 3 個符號 (圖 2B 圖示佔用 3 個符號的 PDCCH) 的控制格式指示符 (CFI)。PDCCH 在一或多個控制通道元素 (CCEs) 內攜帶下行鏈路控制資訊 (DCI)，每個 CCE 包括九個 RE 群組 (REGs)，每個 REG 在一個 OFDM 符號中包括四個連續的 RE。UE 可以被配置有亦攜帶 DCI 的特定於 UE 的增強型 PDCCH (ePDCCH)。ePDCCH 可以具有 2、4 或 8 個 RB 對 (圖 2B 圖示兩個 RB 對，每個子集包括一個 RB 對)。實體混合自動重傳請求 (ARQ) (HARQ) 指示符通道 (PHICH) 亦在時槽 0 的符號 0 內，並且攜帶基於實體上行鏈路共享通道 (PUSCH) 來指示 HARQ 確認 (ACK) / 否定 ACK (NACK) 回饋的 HARQ 指示符 (HI)。主同步通道 (PSSCH) 在訊框的子訊框 0 和 5 內的時槽 0 的符號 6 內，並且攜帶被 UE 用來決定子訊框時序和實體層身份的主要同步信號 (PSS)。次同步通道 (SSCH) 在訊框的子訊框 0 和 5 內的時槽 0 的符號 5 內，並

且攜帶被 UE 用來決定實體層細胞服務區身份群組號的次同步信號 (SSS)。基於實體層身份和實體層細胞服務區身份群組號，UE 可以決定實體層細胞服務區識別符 (PCI)。基於 PCI，UE 可以決定上述 DL-RS 的位置。實體廣播通道 (PBCH) 在訊框的子訊框 0 的時槽 1 的符號 0、1、2、3 內，並且攜帶主資訊區塊 (MIB)。MIB 提供 DL 系統頻寬中的 RB 的數量、PHICH 配置和系統訊框號 (SFN)。實體下行鏈路共享通道 (PDSCH) 攜帶使用者資料、不是經由 PBCH 發送的廣播系統資訊 (諸如系統資訊區塊 (SIBs)) 以及傳呼訊息。

【0051】 如圖 2C 所示，RE 中的一些 RE 攜帶用於 eNB 處的通道估計的解調參考信號 (DM-RS)。另外，UE 可以在子訊框的最後一個符號中發送探測參考信號 (SRS)。SRS 可以具有梳狀結構，並且 UE 可以在梳齒中的一個梳齒上發送 SRS。SRS 可以被 eNB 用於通道品質估計，以實現 UL 上的頻率依賴的排程。圖 2D 圖示訊框的 UL 子訊框內的各種通道的實例。實體隨機存取通道 (PRACH) 可以基於 PRACH 配置而在訊框內的一或多個子訊框內。PRACH 可以包括子訊框內的六個連續的 RB 對。PRACH 允許 UE 執行初始系統存取和達成 UL 同步。實體上行鏈路控制通道 (PUCCH) 可以位於 UL 系統頻寬的邊緣上。PUCCH 攜帶上行鏈路控制資訊 (UCI)，諸如排程請求、通道品質指示符 (CQI)、預編碼矩陣指示符 (PMI)、秩指示符 (RI) 和 HARQ ACK/NACK

回饋。PUSCH攜帶資料，並且可以額外地用於攜帶緩衝器狀態報告（BSR）、功率餘量報告（PHR）及/或UCI。

【0052】圖3是eNB 310在存取網路中與UE 350進行通訊的方塊圖。在DL中，可以將來自EPC 160的IP封包提供給控制器/處理器375。控制器/處理器375實施層3和層2功能。層3包括無線電資源控制（RRC）層，以及層2包括封包資料收斂協定（PDCP）層、無線電鏈路控制（RLC）層和媒體存取控制（MAC）層。控制器/處理器375提供與系統資訊（例如，MIB、SIB）的廣播、RRC連接控制（例如，RRC連接傳呼、RRC連接建立、RRC連接修改、以及RRC連接釋放）、無線電存取技術（RAT）間行動性、以及用於UE量測報告的量測配置相關聯的RRC層功能；與標頭壓縮/解壓、安全性（加密、解密、完整性保護、完整性驗證）、以及交遞支援功能相關聯PDCP層功能；與較上層封包資料單元（PDUs）的轉移、經由ARQ的糾錯、RLC服務資料單元（SDUs）的級聯、分段和重組、RLC資料PDU的重新分段、以及RLC資料PDU的重新排序相關聯的RLC層功能；及與邏輯通道和傳送通道之間的映射、MAC SDU到傳送區塊（TB）上的多工、MAC SDU從TB的解多工、排程資訊報告、經由HARQ的糾錯、優先順序處置、以及邏輯通道優先化相關聯的MAC層功能。

【0053】發送(TX)處理器316和接收(RX)處理器370實施與各種信號處理功能相關聯的層1功能。層1(其包括實體(PHY)層)可以包括傳送通道上的錯誤偵測、傳送通道的前向糾錯(FEC)編碼/解碼,交錯、速率匹配、映射到實體通道上、實體通道的調制/解調、以及MIMO天線處理。TX處理器316基於各種調制方案(例如,二元移相鍵控(BPSK)、正交移相鍵控(QPSK)、M相-移相鍵控(M-PSK)、M-正交振幅調制(M-QAM))來映射到信號群集。經編碼和調制的符號隨後可以被分離成並列的串流。每個串流隨後可以被映射到OFDM次載波,與時域及/或頻域中的參考信號(例如,引導頻)多工,並且隨後使用快速傅裡葉逆變換(IFFT)將串流結合到一起以產生攜帶時域OFDM符號串流的實體通道。OFDM串流被空間預編碼以產生多個空間串流。來自通道估計器374的通道估計可以用於決定編碼和調制方案,以及用於空間處理。可以根據由UE350發送的參考信號及/或通道狀況回饋推導通道估計。可以隨後經由單獨的發射器318TX將每一個空間串流提供給不同的天線320。每個發射器318TX可以利用相應的用於傳輸的空間串流來對RF載波進行調制。

【0054】在UE350處,每個接收器354RX經由其各自的天線352接收信號。每個接收器354RX恢復出在RF載波上調制的資訊,並且將該資訊提供給接收(RX)處理器356。TX處理器368和RX處理器356實施與各種信

號處理功能相關聯的層1功能。RX處理器356可以執行對資訊的空間處理以恢復出去往UE 350的任何空間串流。若多個空間串流是去往UE 350的，則可以經由RX處理器356將其合併成單個OFDM符號串流。RX處理器356隨後使用快速傅裡葉變換（FFT）將該OFDM符號串流從時域轉換到頻域。頻域信號包括針對該OFDM信號的每一個次載波的單獨的OFDM符號串流。藉由決定由eNB 310發送的最可能的信號群集點來對每個次載波上的符號和參考信號進行恢復和解調。該等軟決策可以基於由通道估計器358計算的通道估計。該等軟決策隨後被解碼和解交錯以恢復出由eNB 310在實體通道上最初發送的資料和控制信號。隨後將該資料和控制信號提供給控制器/處理器359，控制器/處理器359實施層3和層2功能。

【0055】 控制器/處理器359可以與儲存程式碼和資料的記憶體360相關聯。記憶體360可以被稱為電腦可讀取媒體。在UL中，控制器/處理器359提供在傳送通道和邏輯通道之間的解多工、封包重組、解密、標頭解壓、以及控制信號處理以恢復出來自EPC 160的IP封包。控制器/處理器359亦負責使用ACK及/或NACK協定來進行錯誤偵測以支援HARQ操作。

【0056】 與結合eNB 310進行的DL傳輸所描述的功能類似，控制器/處理器359提供與系統資訊（例如，MIB、SIB）獲取、RRC連接、以及量測報告相關聯的RRC

層功能；與標頭壓縮/解壓、以及安全性（加密、解密、完整性保護、完整性驗證）相關聯 P D C P 層功能；與較上層 P D U 的轉移、經由 A R Q 的糾錯、R L C S D U 的級聯、分段和重組、R L C 資料 P D U 的重新分段、以及 R L C 資料 P D U 的重新排序相關聯的 R L C 層功能；及與邏輯通道和傳送通道之間的映射、M A C S D U 到 T B 上的多工、M A C S D U 從 T B 的解多工、排程資訊報告、經由 H A R Q 的糾錯、優先順序處置、以及邏輯通道優先化相關聯的 M A C 層功能。

【0057】 T X 處理器 368 可以使用由通道估計器 358 根據由 e N B 310 發送的參考信號或回饋來推導出的通道估計來選擇適當的編碼和調制方案，並且來促進空間處理。可以經由單獨的發射器 354 T X 將由 T X 處理器 368 產生的空間串流提供給不同的天線 352。每個發射器 354 T X 可以利用相應的用於傳輸的空間串流來對 R F 載波進行調制。

【0058】 以與結合 U E 350 處的接收器功能所描述的方式相類似的方式來在 e N B 310 處處理 U L 傳輸。每個接收器 318 R X 經由其各自的天線 320 接收信號。每個接收器 318 R X 恢復出在 R F 載波上調制的資訊並且將該資訊提供給 R X 處理器 370。

【0059】 控制器/處理器 375 可以與儲存程式碼和資料的記憶體 376 相關聯。記憶體 376 可以被稱為電腦可讀取媒體。在 U L 中，控制器/處理器 375 提供在傳送通道和邏

輯通道之間的解多工、封包重組、解密、標頭解壓、控制信號處理以恢復出來自UE 350的IP封包。可以將來自控制器/處理器375的IP封包提供給EPC 160。控制器/處理器375亦負責使用ACK及/或NACK協定來進行錯誤偵測以支援HARQ操作。

【0060】 可以在各種通訊系統（例如，毫米波（mmW）通訊系統）中使用資料編碼，使得接收到的訊息中的錯誤可以被接收器設備的解碼器校正及/或偵測到。線性區塊碼是可以用於對區塊中的資料進行編碼的一種類型的糾錯碼。

【0061】 一類線性區塊碼是極化碼。極化碼可以採用足以針對對稱二元輸入離散無記憶體通道的通道容量來發送的速率產生資料，並且可以基於被稱為「通道極化」的概率現象來建構。通常，通道極化指的是此種觀察：隨著代碼長度 N 對於極化碼變得很大時，與資訊向量 u 中的個體位元相關聯的「通道」可以漸進地接近純雜訊通道或純無雜訊通道。在極限的情況下，變成無雜訊的通道的部分可以等於通道的容量。可以藉由以下操作來建構極化碼：識別資訊向量 u 中的、與接近無雜訊狀況的通道相關聯的位元的索引，以及使用所識別的索引（或者所識別的索引的某個子集）來發送資訊（例如，音調及/或通道），同時將剩餘索引設置為編碼器和解碼器兩者皆已知的預定值。

【0062】對於線性區塊碼，編碼字元可以與使用線性變換發送的訊息（例如，音調及/或信號）相關。由於編碼字元可能比訊息更長，因此表示線性變換的矩陣可能是長方形。為了簡化對接收到的編碼字元的分析，可以向解碼器處的輸入訊息填充是常數的額外位元（例如，「凍結位元」），以便使矩陣成為正方形。

【0063】通常，極化解碼是使用串列相消解碼演算法來執行的。串列相消解碼演算法可以執行對原始資訊向量 u 的軟估計。通常，由於串列相消解碼演算法固有的資料依賴性，極化可能不用於實施該演算法。結果，極化解碼器可能遭遇低解碼傳輸量和高潛時。需要提供更低潛時的極化編碼/極化解碼技術。

【0064】本案內容提供了一種解決方案：藉由在發射器設備的極化編碼器及/或接收器設備的極化解碼器處實現半並列位元反轉技術，使得可以降低與一般的極化編碼及/或極化解碼技術的串列相消解碼演算法相關聯的潛時。

發射器處的位元反轉 - 第一實例

【0065】圖4A和4B根據本案內容的某些態樣，圖示用於執行從發射器設備404向接收器設備406發送的信號的極化編碼的第一實例的資料流400。發射器設備404可以與例如基地台102、180、eNB 310、UE 104、182、350、發射器設備1250、裝置902/902'、1502/1502'相對應。接收器設備406可以與例如基地台102、180、eNB 310、UE 104、182、350、接收器設備950、

1550、裝置1202/1202'相對應。在一個配置中，發射器設備404可以是基地台，以及接收器設備406可以是UE。在某些其他配置中，發射器設備404可以是UE，以及接收器設備406可以是基地台。在圖4A和4B中，用虛線來指示可選的操作。

【0066】 在一個態樣中，發射器設備404可以包括極化編碼器（例如，見圖5A-5C）以及接收器設備406可以包括極化解碼器（例如，見圖5A-5C）。在一個態樣中，發射器設備404的極化編碼器及/或接收器設備406的極化解碼器可以執行半並列及/或並列位元反轉技術，使得可以降低與一般的極化編碼及/或極化解碼的串列位元反轉相關聯的潛時。

【0067】 在某些配置中，本案內容的 (N, k) 極化碼可以將資訊位元 u_A （例如， k 個位元）編碼到長度為 N 的編碼字元向量 x 中。例如，發射器設備404可以藉由將資訊位元 u_A 與擴展矩陣 E 相乘以形成資訊向量 u ，來獲得編碼字元向量 x 。可以將資訊向量 u 與產生矩陣 $F \otimes I_{2^k} \otimes I_{2^N}$ 相乘以獲得編碼字元向量 x 。可以在通訊通道上將編碼字元向量 x 發送給接收器設備406。接收器設備406處的解碼器可以接收向量 y ，向量 y 表示具有在通訊通道上的傳輸期間拾起的雜訊的編碼字元向量 x 。解碼器可以對向量 y 進行處理，以產生對原始資訊向量 u 的估計 \hat{u}_A 。

【0068】 可以使用對具有 m 個元素的序列進行置換的位元反轉置換矩陣來實施極化編碼器及/或極化解碼器處

的位元反轉，其中 $m = 2^k$ 。可以將位元反轉定義成：對具有從 0 到 $m - 1$ 的元素的序列中的 m 個連續元素進行索引，隨後將 m 個連續元素之每一者元素的二元序列反轉。換句話說，最高有效 $\log_2(m)$ 位元（例如，最左位元）可以變成最低有效 $\log_2(m)$ 位元（例如，最右位元），反之亦然，在位元反轉之後，最低有效 $\log_2(m)$ 位元可以變成最高有效 $\log_2(m)$ 位元。 m 個連續元素之每一者元素可以被映射到經由在位元反轉之後記錄的 m 個連續元素的索引提供的新位置。位元反轉可以增加基 2 FFT 演算法的計算效率，其中就地操作的演算法的遞迴階段暗示接收器設備 406 的解碼器處的輸入或輸出的位元反轉。

【0069】 發射器設備 404 可以將 m 個連續元素轉換成編碼字元向量 x_{408} （例如，信號及 / 或音調），編碼字元向量 x_{408} 被極化編碼並且被發送給接收器設備 406。發射器設備 404 可以決定 401 與 m 個連續元素相關聯的索引。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引（例如，0 到 $m - 1$ ）相關聯，並且 m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位元。

【0070】 發射器設備 404 可以藉由向（ m 個連續元素之每一者元素的） k 個資訊位元應用擴展矩陣 E 以在預定位置處包括額外位元，來形成 403 資訊向量 u 。例如，額外位元可以是 j 個凍結位元（例如，在每個元素中的預定位置處插入的 0）。在一個態樣中，資訊向量 u 可以包括 N

個位元（例如，（ k 個資訊位元）+（ j 個凍結位元）=資訊向量 u 的 N 個位元）。

【0071】 另外，發射器設備 404 可以對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉 405。例如，發射器設備 404 可以藉由向資訊向量 u 應用位元反轉置換矩陣 B ，來對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉 405。在一個態樣中，與 m 個連續元素之每一者元素相關聯的二元序列可以具有不同的 $\log_2(m)$ 最低有效位元。

【0072】 在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。假設 $m=4$ ，則資訊向量 u 可以包括四元素序列 u_0 、 u_1 、 u_2 、 u_3 。舉例而言，第一元素 u_0 可以具有原始二元序列 00，第二元素 u_1 可以具有原始二元序列 01，第三元素 u_2 可以具有原始二元序列 10，以及第四元素 u_3 可以具有原始二元序列 11。亦即，與資訊向量 u 中的索引 0（例如， u_0 ）相關聯的二元序列可以是 00，與資訊向量 u 中的索引 1（例如， u_1 ）相關聯的二元序列可以是 01，與資訊向量 u 中的索引 2（例如， u_2 ）相關聯的二元序列可以是 10，以及與資訊向量 u 中的索引 3（例如， u_3 ）相關聯的二元序列可以是 11。

【0073】 在位元反轉之後，第一元素 u_0 可以仍然具有二元序列 00，第二元素 u_1 可以具有經位元反轉的二元序列 10，第三元素 u_2 可以具有非經位元反轉的二元序列 01，以及第四元素 u_3 可以仍然具有二元序列 11。在對二元

序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的最高有效 $\log_2(m)$ 位元。至少部分地基於與 m 個元素之每一者元素相關聯的經位元反轉的二元序列，發射器設備404可以決定407 m 個連續元素的索引的位元反轉順序。例如，上文描述的四元素序列的索引的位元反轉順序可以是 u_0 、 u_2 、 u_1 、 u_3 。

【0074】 參照圖4B，發射器設備404可以使用最高有效 $\log_2(m)$ 位元來選擇409不同的記憶體（例如，記憶體組），以寫入 m 個連續元素之每一者元素。舉例而言（但並非限制），記憶體組可以包括RAM、ROM、EEPROM、光碟儲存器、磁碟儲存器、其他磁性儲存設備、上述類型的記憶體組的組合，或者可以用於儲存 m 個連續元素的任何其他媒體。下文參照圖7描述了在決定407索引的位元反轉順序之後，與使用最高有效 $\log_2(m)$ 位元的記憶體組選擇技術相關聯的額外細節。

【0075】 在一個態樣中，發射器設備404可以至少部分地基於索引的位元反轉順序，將 m 個連續元素之每一者元素並列地（例如，同時地）寫入411不同的記憶體組。

【0076】 為了獲得用於傳輸的編碼字元向量 x 408（例如， $x = u_A E B F$ ），發射器設備404可以向資訊向量 u 應用413非反轉編碼矩陣 $F \otimes^{1 \circ \log_2} N$ 。在一個態樣中， $F = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ 。在一個配置中，發射器設備404可以在向資訊向量 u 應用位元反轉置換矩陣 B 之前，應用413非反轉編碼矩陣 $F \otimes^{1 \circ \log_2} N$ ，如下文關於圖5A論述的。在另一個配置

中，發射器設備 404 可以在向資訊向量 u 應用位元反轉置換矩陣 B 之後，應用 413 非反轉編碼矩陣 $F \otimes^{1 \circ s} 2^N$ ，如下文關於圖 5B 論述的。

【0077】 在圖 6A 中可見上文參照圖 4A 和 4B 描述的對位元反轉技術的說明。

發射器處的位元反轉 - 第二實例

【0078】 圖 4C 根據本案內容的某些態樣，圖示用於執行從發射器設備 404 向接收器設備 406 發送的信號的極化編碼的第二實例的資料流 410。發射器設備 404 可以與例如基地台 102、180、eNB 310、UE 104、182、350、發射器設備 1250、裝置 902/902'、1502/1502' 相對應。接收器設備 406 可以與例如基地台 102、180、eNB 310、UE 104、182、350、接收器設備 950、1550、裝置 1202/1202' 相對應。在一個配置中，發射器設備 404 可以是基地台，以及接收器設備 406 可以是 UE。在某些其他配置中，發射器設備 404 可以是 UE，以及接收器設備 406 可以是基地台。

【0079】 參照圖 4C，發射器設備 404 可以決定 415 與 m 個連續元素相關聯的索引。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引相關聯。在另一個態樣中， m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位元。

【0080】 發射器設備 404 可以決定 417 置換矩陣 π ，並且使用置換矩陣 π 來對 k 個資訊進行置換 419。

【0081】在向 k 個資訊位元應用置換矩陣 π 之後，發射器設備 404 可以藉由向 k 個資訊位元應用反轉擴展矩陣 \tilde{E} 以在位元反轉預定位置處包括額外位元，來形成 421 資訊向量 u 。在一個態樣中，資訊向量 u 可以包括 N 個位元。反轉擴展矩陣 \tilde{E} 可以在位元反轉位置處插入凍結位元，而不對資訊位元位置進行位元反轉。 E^T 是擴展矩陣 E （例如，上文參照圖 4A 和 4B 論述的）的轉置，並且可以移除凍結位元而僅保持資訊位元。 $\tilde{E}\tilde{E}^T$ 是 $k \times k$ 階單位矩陣，並且 $\pi \tilde{E} = E B$ ，因此 $\pi = E B \tilde{E}^T$ ，這是由於 $\tilde{E}\tilde{E}^T = I$ 。因此，發射器設備 404 能夠對 k 個位元而不是 N 個位元進行置換，這可以使用更小的電路並且實現並列實現方式以降低潛時。

【0082】發射器設備 404 可以應用 423 非反轉編碼矩陣 $F \otimes^{1 \circ s} 2^N$ ，以獲得用於傳輸給接收器設備 406 的編碼字元向量 x 408（例如， $x = u_A \pi \tilde{E} F$ ）。在一個態樣中，可以在應用反轉擴展矩陣 \tilde{E} 之後應用非反轉編碼矩陣 $F \otimes^{1 \circ s} 2^N$ 。在另一個態樣中，可以與反轉擴展矩陣 \tilde{E} 同時地應用非反轉編碼矩陣 $F \otimes^{1 \circ s} 2^N$ 。

【0083】在圖 6B 中可見上文參照圖 4C 描述的對位元反轉技術的說明。

接收器處的位元反轉

【0084】圖 4D 根據本案內容的某些態樣，圖示用於執行在接收器設備 406 處從發射器設備 404 接收的信號的極化解碼的資料流 420。發射器設備 404 可以與例如基地台 102、180、eNB 310、UE 104、182、350、發射

器設備 1250、裝置 902/902'、1502/1502' 相對應。接收器設備 406 可以與例如基地台 102、180、eNB 310、UE 104、182、350、接收器設備 950、1550、裝置 1202/1202' 相對應。在一個配置中，發射器設備 404 可以是基地台，以及接收器設備 406 可以是 UE。在某些其他配置中，發射器設備 404 可以是 UE，以及接收器設備 406 可以是基地台。在圖 4D 中，用虛線來指示可選的操作。

【0085】 參照圖 4D，接收器設備 406 可以從發射器設備 404 接收編碼字元向量 x_{408} 。在一個態樣中，編碼字元向量 x_{408} 可以至少部分地包括 m 個連續元素。

【0086】 接收器設備 406 可以決定 425 與編碼字元向量 x_{408} 相關聯的一或多個對數概度比 (LLRs) y 。在一個態樣中， m 個連續元素可以包括一或多個 LLR。LLR 可以是由接收器設備 406 處的解調器決定的，該接收器設備 406 決定 m 個連續元素之每一者元素中的位元更可能是 0 還是 1，以及有多大的可能。LLR 可以用於在極化解碼器處進行處理（例如，作為 m 個連續元素的估計）。

【0087】 接收器設備 406 可以決定 427 與 m 個連續元素相關聯的索引。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引（例如，0 到 $m-1$ ）相關聯，並且 m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位元。

【0088】 另外，接收器設備406可以對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉429。例如，接收器設備406可以藉由應用位元反轉置換矩陣 B ，來對與 m 個連續元素（例如，LLR）之每一者元素相關聯的二元序列進行位元反轉429。在一個態樣中，與 m 個連續元素之每一者元素相關聯的二元序列可以具有不同的 $\log_2(m)$ 最低有效位元。

【0089】 在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。假設 $m=4$ ，則 m 個連續元素可以包括四元素序列 u_0 、 u_1 、 u_2 、 u_3 。例如，第一元素 u_0 可以具有原始二元序列00，第二元素 u_1 可以具有原始二元序列01，第三元素 u_2 可以具有原始二元序列10，以及第四元素 u_3 可以具有原始二元序列11。亦即，與 m 個連續元素中的索引0（例如， u_0 ）相關聯的二元序列可以是00，與 m 個連續元素中的索引1（例如， u_1 ）相關聯的二元序列可以是01，與 m 個連續元素中的索引2（例如， u_2 ）相關聯的二元序列可以是10，以及與 m 個連續元素中的索引3（例如， u_3 ）相關聯的二元序列可以是11。

【0090】 在位元反轉之後，第一元素 u_0 可以仍然具有二元序列00，第二元素 u_1 可以具有經位元反轉的二元序列10，第三元素 u_2 可以具有非經位元反轉的二元序列01，以及第四元素 u_3 可以仍然具有二元序列11。在對二元序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的最高有效 $\log_2(m)$ 位元。至少部分地基於與 m

個元素之每一者元素相關聯的經位元反轉的二元序列，接收器設備 406 可以決定 $431 - m$ 個連續元素的索引的位元反轉順序。上文描述的四元素序列的索引的位元反轉順序可以是 u_0 、 u_2 、 u_1 、 u_3 。

【0091】 在決定 $431 - m$ 個連續元素的索引的位元反轉順序之後，接收器設備 406 可以使用最高有效 $\log_2(m)$ 位元來選擇 433 不同的記憶體組，以寫入 m 個連續元素之每一者元素。在圖 7 中可見在決定 431 索引的位元反轉順序之後，對使用最高有效 $\log_2(m)$ 位元的記憶體組選擇技術的說明。

【0092】 在一個態樣中，接收器設備 406 可以至少部分地基於索引的位元反轉順序，將 m 個連續元素之每一者元素並列地寫入 435 不同的記憶體組。在一個態樣中，每個記憶體組可以與單個 LLR 一樣窄。

【0093】 接收器設備 406 處的極化解碼器可以對經位元反轉的 m 個連續元素進行處理，以產生對原始資訊向量 u 的估計 \hat{u}_A 。上文關於圖 4A、4B 和 4C 論述了對資訊向量 u 的描述。

【0094】 在圖 6C 中可見上文關於圖 4D 描述的對位元反轉技術的說明。

【0095】 圖 5A 是圖示資訊向量 u 502 在編碼 506（例如，使用矩陣 $F \otimes^{1 \times \log_2 N}$ ）之前可以被位元反轉 504（例如，使用矩陣 B ）並且經由通道 508 被發送給接收器設備處的極化解碼器 510 的圖 500。

【0096】圖5B是圖示資訊向量 u 502 在編碼 506 (例如, 使用矩陣 $F \otimes^{1 \circ s} 2^N$) 之前可以被位元反轉 504 (例如, 使用矩陣 B) 並且經由通道 508 被發送給接收器設備處的極化解碼器 510 的圖 505。

【0097】圖5C是圖示資訊向量 u 502 可以被編碼 506 (例如, 使用矩陣 $F \otimes^{1 \circ s} 2^N$) 並且經由通道 508 被發送給接收器設備的圖 515, 其中接收器設備在極化解碼器 510 處進行解碼 510 之前對編碼字元向量 x 進行位元反轉 504 (例如, 使用矩陣 B)。

【0098】圖6A是根據本案內容的某些態樣, 圖示發射器設備使用的位元反轉技術 600 的圖。發射器設備可以與例如基地台 102、180、eNB 310、UE 104、182、350、發射器設備 404、1250、裝置 902/902'、1502/1502' 相對應。位元反轉技術 600 可以與例如上文參照圖 4A 和 4B 描述的技术相對應。

【0099】參照圖 6A, (N, k) 極化碼可以用於將資訊位元 u_A 602 (例如, k 個位元) 編碼到編碼字元向量 x 610 中。例如, 可以將資訊位元 u_A 602 與擴展矩陣 E 604 相乘, 以獲得資訊向量 u 622。可以在將資訊向量 u 622 與產生矩陣 $F \otimes^{1 \circ s} 2^N$ 608 相乘之前向其應用置換矩陣 B 606, 以形成編碼字元向量 x 610 (例如, $x = u_A E B F$)。可以由發射器設備將編碼字元向量 x 610 發送給接收器設備 (例如, 基地台 102、180、eNB 310、UE 104

、 182、350、接收器設備 406、950、1550、裝置 1202/1202')。

【0100】圖 6B 是根據本案內容的某些態樣，圖示發射器設備使用的位元反轉技術 605 的圖。發射器設備可以與例如基地台 102、180、eNB 310、UE 104、182、350、發射器設備 404、1250、裝置 902/902'、1502/1502' 相對應。位元反轉技術 605 可以與例如上文參照圖 4C 描述的技术相對應。

【0101】參照圖 6B，發射器設備可以決定 415 與 m 個連續元素 u_A 602 相關聯的索引。在一個態樣中， m 個連續元素 u_A 602 之每一者元素可以與不同的索引相關聯。在另一個態樣中， m 個連續元素 u_A 602 之每一者元素可以至少部分地包括 k 個資訊位元。

【0102】發射器設備可以使用置換矩陣 π 612 來對元素 u_A 602 的 k 個資訊位元進行置換。在向 k 個資訊位元應用置換矩陣 π 612 之後，發射器設備可以藉由向 k 個資訊位元應用反轉擴展矩陣 \tilde{E} 614 以在位元反轉預定位置處包括額外位元，來形成資訊向量 u 622。在一個態樣中，資訊向量 u 622 可以包括 N 個位元。反轉擴展矩陣 \tilde{E} 可以在位元反轉位置處插入凍結位元，而不對資訊位元位置進行位元反轉。

【0103】發射器設備可以應用非反轉編碼矩陣 $F \otimes^{1 \circ g} 2^N$ 608，以獲得編碼字元向量 x 610（例如， $x = u_A \pi \tilde{E} F$ ）。在一個態樣中，可以在應用反轉擴展矩陣

$\bar{E}614$ 之後應用非反轉編碼矩陣 $F^{\otimes \log_2 N} 608$ 。在另一個態樣中，可以與反轉擴展矩陣 $\bar{E}614$ 同時地應用非反轉編碼矩陣 $F^{\otimes \log_2 N} 608$ 。可以由發射器設備將編碼字元向量 $x 610$ 發送給接收器設備（例如，基地台 102、180、eNB 310、UE 104、182、350、接收器設備 406、950、1550、裝置 1202/1202'）。

【0104】圖 6C 是根據本案內容的某些態樣，圖示接收器設備使用的位元反轉技術 615 的圖。接收器設備可以與例如基地台 102、180、eNB 310、UE 104、182、350、接收器設備 406、950、1550、裝置 1202/1202' 相對應。圖 6C 中示出的位元反轉技術 615 可以與例如上文關於圖 4D 描述的技術相對應。

【0105】接收器設備可以在通訊通道上將編碼字元向量 x （例如，見圖 6A 和 6B 中示出的編碼字元向量 $x 610$ ）作為向量 $y 616$ 來接收。接收器設備處的解碼器可以接收向量 $y 616$ ，向量 $y 616$ 表示具有從通訊通道拾起的雜訊的編碼字元向量 x 。解碼器 618 可以對向量 $y 616$ 進行處理，以產生對原始資訊向量 $u 622$ 的估計 $\hat{u}_A 622$ 。

【0106】圖 7 是根據本案內容的某些態樣，圖示用於在決定 m 個連續元素的索引的位元反轉順序之後，使用最高有效 $\log_2(m)$ 位元來進行記憶體組選擇的技術的圖 700。發射器設備（例如，基地台 102、180、eNB 310、UE 104、182、350、發射器設備 404、1250、裝置

902/902'、1502/1502') 可以使用記憶體組選擇技術。

【0107】 在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。假設 $m=4$ ，則資訊向量 u 可以包括四元素序列 u_0 702、 u_1 704、 u_2 706、 u_3 708。舉例而言，第一元素 u_0 702 可以具有原始二元序列 00，第二元素 u_1 704 可以具有原始二元序列 01，第三元素 u_2 706 可以具有原始二元序列 10，以及第四元素 u_3 708 可以具有原始二元序列 11。亦即，與資訊向量 u 中的索引 0（例如， u_0 702）相關聯的二元序列可以是 00，與資訊向量 u 中的索引 1（例如， u_1 704）相關聯的二元序列可以是 01，與資訊向量 u 中的索引 2（例如， u_2 706）相關聯的二元序列可以是 10，以及與資訊向量 u 中的索引 3（例如， u_3 708）相關聯的二元序列可以是 11。

【0108】 在位元反轉之後，第一元素 u_0 702 可以仍然具有二元序列 00，第二元素 u_1 704 可以具有經位元反轉的二元序列 10，第三元素 u_2 706 可以具有非經位元反轉的二元序列 01，以及第四元素 u_3 708 可以仍然具有二元序列 11。在對二元序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的最高有效 $\log_2(m)$ 位元。四元素序列的索引的位元反轉順序可以是 u_0 702、 u_2 706、 u_1 704、 u_3 708。因此，可以將第一元素 u_0 702 寫入到記憶體 0 710 中，可以將第三元素 u_2 706 寫入到記憶體 1 712 中，可以將第二元素 u_1 704 寫入到記憶體 2

714 中，以及可以將第四元素 u_3 708 寫入到記憶體 3716 中。

【0109】 圖8是用於無線通訊的方法的流程圖800。可以使用與接收器設備（例如，基地台102、180、eNB310、UE104、182、350、接收器設備406、950、1550、裝置1202/1202'）進行通訊的發射器設備（例如，基地台102、180、eNB310、UE104、182、350、發射器設備404、1250、裝置902/902'、1502/1502'）來執行方法800。在一個配置中，發射器設備可以是基地台，以及接收器設備可以是UE。在一個配置中，發射器設備可以是UE，以及接收器設備可以是基地台。在圖8中，用虛線來指示可選的操作。

【0110】 在802處，發射器設備可以決定與 m 個連續元素相關聯的索引。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引相關聯。在另一個態樣中， m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位元。例如，參照圖4A和4B，發射器設備404可以決定401與 m 個連續元素相關聯的索引。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引（例如，0到 $m-1$ ）相關聯，並且 m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位元。

【0111】 在804處，發射器設備可以藉由向 k 個資訊位元應用擴展矩陣以在預定位置處包括額外位元，來形成向量。在一個態樣中，向量可以包括 N 個位元。例如，參照

圖 4 A 和 4 B ，發射器設備 4 0 4 可以藉由向 k 個資訊位元應用擴展矩陣 E 以在預定位置處包括額外位元，來形成 4 0 3 資訊向量 u 。例如，額外位元可以是 j 個凍結位元（例如，在每個元素中的預定位置處插入的 0 ）。在一個態樣中，資訊向量 u 可以包括 N 個位元（例如，（ k 個資訊位元）+（ j 個凍結位元）= 資訊向量 u 的 N 個位元）。

【0 1 1 2】 在 8 0 6 處，發射器設備可以對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉。在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。在另一個態樣中，與 m 個連續元素之每一者元素相關聯的每個二元序列可以具有不同的 $\log_2(m)$ 最低有效位元。在另外的態樣中，在對二元序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的 $\log_2(m)$ 最高有效位元。例如，參照圖 4 A 和 4 B ，發射器設備 4 0 4 可以對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉 4 0 5 。在一個態樣中，與 m 個連續元素之每一者元素相關聯的二元序列可以具有不同的 $\log_2(m)$ 最低有效位元。在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。假設 $m = 4$ ，則資訊向量 u 可以包括四元素序列 u_0 、 u_1 、 u_2 、 u_3 。舉例而言，第一元素 u_0 可以具有原始二元序列 0 0 ，第二元素 u_1 可以具有原始二元序列 0 1 ，第三元素 u_2 可以具有原始二元序列 1 0 ，以及第四元素 u_3 可以具有原始二元序列 1 1 。亦即，與資訊向量 u 中的索引 0 相關聯的二元序列可以是 0 0 ，與資訊向量

u 中的索引 1 相關聯的二元序列可以是 01，與資訊向量 u 中的索引 2 相關聯的二元序列可以是 10，以及與資訊向量 u 中的索引 3 相關聯的二元序列可以是 11。在位元反轉之後，第一元素 u_0 可以仍然具有二元序列 00，第二元素 u_1 可以具有經位元反轉的二元序列 10，第三元素 u_2 可以具有非經位元反轉的二元序列 01，以及第四元素 u_3 可以仍然具有二元序列 11。在對二元序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的最高有效 $\log_2(m)$ 位元。

【0113】 在 808 處，發射器設備可以藉由向向量應用位元反轉置換矩陣，來對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉。例如，參照圖 4A 和 4B，發射器設備 404 可以藉由向資訊向量 u 應用位元反轉置換矩陣 B ，來對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉 405。

【0114】 在 810 處，發射器設備可以至少部分地基於與 m 個元素之每一者元素相關聯的經位元反轉的二元序列，來決定索引的位元反轉順序。例如，參照圖 4A 和 4B，至少部分地基於與 m 個元素之每一者元素相關聯的經位元反轉的二元序列，發射器設備 404 可以決定 407 m 個連續元素的索引的位元反轉順序。仍然假設 $m = 4$ ，則四元素序列的索引的位元反轉順序可以是 u_0 、 u_2 、 u_1 、 u_3 。

【0115】 在 812 處，發射器設備可以在向向量應用位元反轉置換矩陣之後，應用非反轉編碼矩陣，以獲得用於傳

輸的信號。例如，參照圖 4 A 和 4 B，為了獲得用於傳輸的編碼字元向量 x 408（例如， $x = u_A E B F$ ），發射器設備 404 可以向資訊向量 u 應用 413 非反轉編碼矩陣 $F^{\otimes \log_2 N}$ 。在一個態樣中， $F = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ 。在一個配置中，發射器設備 404 可以在向資訊向量 u 應用位元反轉置換矩陣 B 之前，應用 413 非反轉編碼矩陣 $F^{\otimes \log_2 N}$ ，如上文關於圖 5 A 論述的。在另一個配置中，發射器設備 404 可以在向資訊向量 u 應用位元反轉置換矩陣 B 之後，應用 413 非反轉編碼矩陣 $F^{\otimes \log_2 N}$ ，如上文關於圖 5 B 論述的。

【0116】 在 814 處，在決定了索引的位元反轉順序之後，發射器設備可以基於與 m 個連續元素之每一者元素相關聯的最高有效 $\log_2(m)$ 位元，來選擇用於 m 個連續元素之每一者元素的不同的記憶體組。例如，參照圖 4 A 和 4 B，在決定 407 m 個連續元素的索引的位元反轉順序之後，發射器設備 404 可以使用最高有效 $\log_2(m)$ 位元來選擇 409 不同的記憶體組，以寫入 m 個連續元素之每一者元素。上文參照圖 7 描述了在決定 407 索引的位元反轉順序之後，使用最高有效 $\log_2(m)$ 位元的記憶體組選擇技術的額外細節。

【0117】 在 816 處，發射器設備可以至少部分地基於索引的位元反轉順序，將 m 個連續元素之每一者元素並列地（例如，同時地）寫入不同的記憶體組。例如，參照圖 4 A 和 4 B，發射器設備 404 可以至少部分地基於索引的位

元反轉順序，將 m 個連續元素之每一者元素並列地寫入 411 不同的記憶體組。

【0118】 在 818 處，發射器設備可以將包括至少 m 個連續元素的信號發送給接收器設備。例如，參照圖 4A 和 4B，發射器設備 404 可以將資訊的 m 個連續位元（例如，連續元素）轉換成編碼字元向量 x 408（例如，信號及 / 或音調），編碼字元向量 x 408 被極化編碼並且被發送給接收器設備 406。

【0119】 圖 9 是圖示在示例性裝置 902 中的不同構件 / 元件間的資料流的概念性資料流圖 900。該裝置可以是與接收器設備 950（例如，基地台 102、180、eNB 310、UE 104、182、350、接收器設備 406、1550、裝置 1202/1202'）進行通訊的發射器設備（例如，基地台 102、180、eNB 310、UE 104、182、350、發射器設備 404、1250、裝置 902/902'、1502/1502'）。在一個配置中，裝置 902 可以是基地台，以及接收器設備 950 可以是 UE。在一個配置中，裝置 902 可以是 UE，以及接收器設備 950 可以是基地台。

【0120】 該裝置可以包括接收元件 904，其可以被配置為從接收器設備 950 接收上行鏈路（UL）傳輸。該裝置亦可以包括決定元件 906，其可以被配置為決定與 m 個連續元素相關聯的索引。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引相關聯。在另一個態樣中， m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位

元。決定元件 906 可以被配置為向向量元件 908 發送與 k 個資訊位元相關聯的信號。向量元件 908 可以被配置為藉由向 k 個資訊位元應用擴展矩陣以在預定位置處包括額外位元，來形成向量。在一個態樣中，向量可以包括 N 個位元。向量元件 908 可以被配置為向位元反轉元件 910 發送與資訊向量 u 相關聯的信號。位元反轉元件 910 可以被配置為對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉。在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。在另一個態樣中，與 m 個連續元素之每一者元素相關聯的每個二元序列可以具有不同的 $\log_2(m)$ 最低有效位元。在另外的態樣中，在對二元序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的 $\log_2(m)$ 最高有效位元 (MSB)。例如，位元反轉元件 910 可以被配置為藉由向向量應用位元反轉置換矩陣，來對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉。位元反轉元件 910 可以被配置為向決定元件 906 發送與 m 個連續元素之每一者元素的經位元反轉的二元序列相關聯的信號。決定元件 906 可以被配置為至少部分地基於與 m 個元素之每一者元素相關聯的經位元反轉的二元序列，來決定索引的位元反轉順序。決定元件 906 可以被配置為向編碼用元件 916 發送與經位元反轉的資訊向量 u 相關聯的信號。編碼用元件 916 可以被配置為在向向量應用位元反轉置換矩陣之後，應用非反轉編碼矩陣，以獲得用於傳輸的信號 (例如，編碼字元

x)。編碼用元件916可以被配置為向傳輸元件918發送與編碼字元x相關聯的信號。傳輸元件918可以被配置為在下行鏈路(DL)傳輸中向接收器設備950發送編碼字元x。另外，決定元件906可以被配置為向選擇元件912發送與MSB相關聯的信號。選擇元件912可以被配置為在決定了索引的位元反轉順序之後，基於與m個連續元素之每一者元素相關聯的最高有效 $\log_2(m)$ 位元，來選擇用於m個連續元素之每一者元素的不同的記憶體組。選擇元件912可以被配置為向寫入元件914發送與所選擇的記憶體組相關聯的信號。寫入元件914可以被配置為至少部分地基於索引的位元反轉順序，將m個連續元素之每一者元素並列地寫入不同的記憶體組。

【0121】 裝置可以包括執行上述圖8的流程圖中的演算法的方塊之每一者方塊的另外的元件。照此，可以由元件執行上述圖8的流程圖之每一者方塊，並且裝置可以包括彼等元件中的一或多個元件。元件可以是特定地被配置為執行所述過程/演算法的、由被配置為執行所述過程/演算法的處理器實施的、儲存在電腦可讀取媒體內用於由處理器來實施的，或其某種組合的一或多個硬體元件。

【0122】 圖10是圖示採用處理系統1014的裝置902'的硬體實現方式的實例的圖1000。可以利用匯流排架構(通常由匯流排1024代表)來實施處理系統1014。匯流排1024可以包括任何數量的互聯的匯流排和橋接器，這取決於處理系統1014的特定應用和整體設計約束。匯流

排 1024 將包括一或多個處理器及 / 或硬體元件 (由處理器 1004 代表) 、 元件 904 、 906 、 908 、 910 、 912 、 914 、 916 、 918 以及電腦可讀取媒體 / 記憶體 1006 的各種電路連結到一起。匯流排 1024 亦可以將諸如時序源、周邊設備、電壓調節器以及功率管理電路的各種其他電路進行連結，其是本領域公知的電路，因此將不做進一步地描述。

【0123】 處理系統 1014 可以耦合到收發機 1010。收發機 1010 耦合到一或多個天線 1020。收發機 1010 提供用於經由傳輸媒體與各種其他裝置進行通訊的構件。收發機 1010 從一或多個天線 1020 接收信號，從所接收的信號中提取資訊、以及向處理系統 1014 (特定地為接收元件 904) 提供所提取的資訊。另外，收發機 1010 從處理系統 1014 (特定地為傳輸元件 918) 接收資訊，並且基於所接收到的資訊來產生要被應用到一或多個天線 1020 的信號。處理系統 1014 包括耦合到電腦可讀取媒體 / 記憶體 1006 的處理器 1004。處理器 1004 負責一般的處理，包括儲存在電腦可讀取媒體 / 記憶體 1006 上的軟體的執行。當處理器 1004 執行軟體時，該軟體使得處理系統 1014 執行上文所描述的針對任何特定裝置的各種功能。電腦可讀取媒體 / 記憶體 1006 亦可以用於儲存執行軟體時由處理器 1004 所操縱的資料。處理系統 1014 進一步包括元件 904、906、908、910、912、914、916、918 中的至少一個。元件可以是在處理器 1004 中執行的、常駐 / 儲存在電腦可

讀取媒體 / 記憶體 1006 中的軟體元件、耦合到處理器 1004 的一或多個硬體元件，或其某種組合。處理系統 1014 可以是 eNB 310 的元件，並且可以包括 TX 處理器 316、RX 處理器 370 以及控制器 / 處理器 375 中的至少一個及 / 或記憶體 376。

【0124】 在一個配置中，用於無線通訊的裝置 902/902' 可以包括：用於決定與 m 個連續元素相關聯的索引的構件。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引相關聯。在另一個態樣中， m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位元。在另一個配置中，用於無線通訊的裝置 902/902' 可以包括：用於藉由向 k 個資訊位元應用擴展矩陣以在預定位置處包括額外位元，來形成向量的構件。在一個態樣中，向量可以包括 N 個位元。在另外的配置中，用於無線通訊的裝置 902/902' 可以包括：用於對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉的構件。在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。在另一個態樣中，與 m 個連續元素之每一者元素相關聯的每個二元序列可以具有不同的 $\log_2(m)$ 最低有效位元。例如，用於對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉的構件可以被配置為向向量應用位元反轉置換矩陣。在一個配置中，用於無線通訊的裝置 902/902' 可以包括：用於至少部分地基於與 m 個元素之每一者元素相關聯的經位元反轉的二元序列，來決定索引

的位元反轉順序的構件。在一個態樣中，在對二元序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的 $\log_2(m)$ 最高有效位元。在一個配置中，用於無線通訊的裝置902/902'可以包括：用於在決定了索引的位元反轉順序之後，基於與 m 個連續元素之每一者元素相關聯的最高有效 $\log_2(m)$ 位元，來選擇用於 m 個連續元素之每一者元素的不同的記憶體組的構件。在另外的配置中，用於無線通訊的裝置902/902'可以包括：用於至少部分地基於索引的位元反轉順序，將 m 個連續元素之每一者元素並列地寫入不同的記憶體組的構件。在另一個配置中，用於無線通訊的裝置902/902'可以包括：用於在向向量應用位元反轉置換矩陣之後，應用非反轉編碼矩陣，以獲得用於傳輸的信號的構件。上述構件可以是被配置為執行由上述構件所記載的功能的裝置902的上述元件及/或裝置902'的處理系統1014中的一或多個。如上文所描述的，處理系統1014可以包括TX處理器316、RX處理器370、以及控制器/處理器375。照此，在一個配置中，上述構件可以是被配置為執行由上述構件所記載的功能的TX處理器316、RX處理器370、以及控制器/處理器375。

【0125】 圖11是用於無線通訊的方法的流程圖1100。可以使用與發射器設備（例如，基地台102、180、eNB 310、UE 104、182、350、發射器設備404、1250、裝置902/902'、1502/1502'）進行通訊的接收器設備（例如，基地台102、180、eNB 310、UE 104、

182、350、接收器設備406、950、1550、裝置1202/1202')來執行方法1100。在一個配置中，接收器設備可以是基地台，以及發射器設備可以是UE。在一個配置中，接收器設備可以是UE，以及發射器設備可以是基地台。在圖11中，用虛線來指示可選的操作。

【0126】在1102處，接收器可以從發射器接收信號，信號可以至少部分地包括 m 個連續元素。例如，參照圖4C，接收器設備406可以從發射器設備404接收編碼字元向量 x 408。在一個態樣中，編碼字元向量 x 408可以至少部分地包括 m 個連續元素。

【0127】在1104處，接收器設備可以決定與信號相關聯的一或多個LLR。在一個態樣中， m 個連續元素可以包括一或多個LLR。例如，參照圖4C，接收器設備406可以決定425與編碼字元向量 x 408相關聯的一或多個對數概度比(LLRs) y 。在一個態樣中， m 個連續元素可以包括一或多個LLR。LLR可以是由接收器設備406處的解調器決定的，該接收器設備406決定 m 個連續元素之每一者元素中的位元更可能是0還是1，以及有多大的可能是0或1。

【0128】在1106處，接收器設備可以決定與 m 個連續元素相關聯的索引。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引相關聯。例如，參照圖4C，接收器設備406可以決定427與 m 個連續元素相關聯的索引。在一個態樣中， m 個連續元素之每一者元素可以與不同

的索引（例如，0到 $m-1$ ）相關聯，並且 m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位元。

【0129】 在1108處，接收器設備可以對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉。在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。在另一個態樣中，與 m 個連續元素之每一者元素相關聯的每個二元序列可以具有不同的 $\log_2(m)$ 最低有效位元。在另一個態樣中，在對二元序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的 $\log_2(m)$ 最高有效位元。例如，參照圖4C，接收器設備406可以對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉429。在一個態樣中，與 m 個連續元素之每一者元素相關聯的二元序列可以具有不同的 $\log_2(m)$ 最低有效位元。在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。假設 $m=4$ ，則 m 個連續元素可以包括四元素序列 u_0 、 u_1 、 u_2 、 u_3 。舉例而言，第一元素 u_0 可以具有原始二元序列00，第二元素 u_1 可以具有原始二元序列01，第三元素 u_2 可以具有原始二元序列10，以及第四元素 u_3 可以具有原始二元序列11。亦即，與 m 個連續元素中的索引0相關聯的二元序列可以是00，與 m 個連續元素中的索引1相關聯的二元序列可以是01，與 m 個連續元素中的索引2相關聯的二元序列可以是10，以及與 m 個連續元素中的索引3相關聯的二元序列可以是11。在位元反轉之後，第一元素 u_0 可以仍然具有二元序列00，第

二元素 u_1 可以具有經位元反轉的二元序列 10，第三元素 u_2 可以具有非經位元反轉的二元序列 01，以及第四元素 u_3 可以仍然具有二元序列 11。

【0130】 在 1110 處，接收器設備可以藉由向一或多個 LLR 應用位元反轉置換矩陣，來對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉。例如，參照圖 4C，接收器設備 406 可以藉由應用位元反轉置換矩陣 B ，來對與 m 個連續元素（例如，LLR）之每一者元素相關聯的二元序列進行位元反轉 429。

【0131】 在 1112 處，接收器設備可以至少部分地基於與 m 個元素之每一者元素相關聯的經位元反轉的二元序列，來決定索引的位元反轉順序。例如，參照圖 4C，在對二元序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的最高有效 $\log_2(m)$ 位元。至少部分地基於與 m 個元素之每一者元素相關聯的經位元反轉的二元序列，接收器設備 406 可以決定 431 m 個連續元素的索引的位元反轉順序。仍然假設 $m = 4$ ，則四元素序列的索引的位元反轉順序可以是 u_0 、 u_2 、 u_1 、 u_3 。

【0132】 在 1114 處，接收器設備可以對一或多個 LLR 進行解碼，以獲得資訊位元。例如，參照圖 4C，接收器設備 406 處的極化解碼器可以對經位元反轉的 m 個連續元素進行處理，以產生對原始資訊向量 u 的估計 \hat{u}_A 。

【0133】 在 1116 處，在決定了索引的位元反轉順序之後，接收器設備可以基於與 m 個連續元素之每一者元素相

關聯的最高有效 $\log_2(m)$ 位元，來選擇用於 m 個連續元素之每一者元素之不同的記憶體組。例如，參照圖 4C，在決定 431 m 個連續元素的索引的位元反轉順序之後，接收器設備 406 可以使用最高有效 $\log_2(m)$ 位元來選擇 433 不同的記憶體組，以寫入 m 個連續元素之每一者元素。

【0134】 在 1118 處，接收器設備可以至少部分地基於索引的位元反轉順序，將 m 個連續元素之每一者元素並列地寫入不同的記憶體組。例如，參照圖 4C，接收器設備 406 可以至少部分地基於索引的位元反轉順序，將 m 個連續元素之每一者元素並列地寫入 435 不同的記憶體組。在一個態樣中，每個記憶體組可以與單個 LLR 一樣窄。

【0135】 圖 12 是圖示在示例性裝置 1202 中的不同構件/元件間的資料流的概念性資料流圖 1200。該裝置可以是與發射器設備 1250 (例如，基地台 102、180、eNB 310、UE 104、182、350、發射器設備 404、裝置 902/902'、1502/1502') 進行通訊的接收器設備 (例如，基地台 102、180、eNB 310、UE 104、182、350、接收器設備 406、950、1550、裝置 1202/1202')。在一個配置中，裝置可以是基地台，以及發射器設備可以是 UE。在一個配置中，裝置可以是 UE，以及發射器設備可以是基地台。

【0136】 該裝置可以包括接收元件 1204，其可以被配置為從發射器設備 1250 接收編碼字元 x 。接收元件 1204

可以被配置為向決定元件 1206 發送與編碼字元 x 相關聯的信號。決定元件 1206 可以被配置為決定與信號相關聯的一或多個 LLR。在一個態樣中， m 個連續元素可以包括一或多個 LLR。另外，決定元件 1206 可以被配置為決定與 m 個連續元素相關聯的索引。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引相關聯。決定元件 1206 可以被配置為向位元反轉元件 1208 發送與一或多個 LLR 相關聯的信號。位元反轉元件 1208 可以被配置為對與 m 個連續元素（例如，LLR）之每一者元素相關聯的二元序列進行位元反轉。例如，位元反轉元件 1208 可以被配置為藉由向一或多個 LLR 應用位元反轉置換矩陣，來對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉。在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。在一個態樣中，與 m 個連續元素之每一者元素相關聯的每個二元序列可以具有不同的 $\log_2(m)$ 最低有效位元。在另一個態樣中，在對二元序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的 $\log_2(m)$ 最高有效位元。位元反轉元件 1208 可以被配置為向決定元件 1206 發送與經位元反轉的 LLR 相關聯的信號。決定元件 1206 可以被配置為至少部分地基於與 m 個元素之每一者元素相關聯的經位元反轉的二元序列，來決定索引的位元反轉順序。決定元件 1206 可以被配置為向解碼用元件 1214 發送與與 m 個連續元素（例如，LLR）的經位元反轉的索引相關聯的信號。解碼

用元件 1214 可以被配置為對一或多個 LLR 進行解碼，以獲得資訊位元。另外，決定元件 1206 可以被配置為向選擇元件 1210 發送與在位元反轉之後的 MSB 相關聯的信號。選擇元件 1210 可以被配置為在決定了索引的位元反轉順序之後，基於與 m 個連續元素之每一者元素相關聯的最高有效 $\log_2(m)$ 位元，來選擇用於 m 個連續元素之每一者元素的不同的記憶體組。選擇元件 1210 可以被配置為向寫入元件 1212 發送與所選擇的記憶體組相關聯的信號。寫入元件 1212 可以被配置為至少部分地基於索引的位元反轉順序，將 m 個連續元素之每一者元素並列地寫入不同的記憶體組。裝置亦可以包括傳輸元件 1216，其可以被配置為向發射器設備 1250 發送傳輸。

【0137】 裝置可以包括執行上述圖 11 的流程圖中的演算法的方塊之每一者方塊的另外的元件。照此，可以由元件執行上述圖 11 的流程圖之每一者方塊，並且裝置可以包括彼等元件中的一或多個元件。元件可以是特定地被配置為執行所述過程/演算法的、由被配置為執行所述過程/演算法的處理器實施的、儲存在電腦可讀取媒體內用於由處理器來實施的，或其某種組合的一或多個硬體元件。

【0138】 圖 13 是圖示採用處理系統 1314 的裝置 1202' 的硬體實現方式的實例的圖 1300。可以利用匯流排架構（通常由匯流排 1324 代表）來實施處理系統 1314。匯流排 1324 可以包括任何數量的互聯的匯流排和橋接器，這取決於處理系統 1314 的特定應用和整體設計約束

。匯流排 1324 將包括一或多個處理器及 / 或硬體元件（由處理器 1304 代表）、元件 1204、1206、1208、1210、1212、1214、1216 以及電腦可讀取媒體 / 記憶體 1306 的各種電路連結到一起。匯流排 1324 亦可以將諸如時序源、周邊設備、電壓調節器以及功率管理電路的各種其他電路進行連結，其是本領域公知的電路，因此將不做進一步地描述。

【0139】 處理系統 1314 可以耦合到收發機 1310。收發機 1310 耦合到一或多個天線 1320。收發機 1310 提供用於經由傳輸媒體與各種其他裝置進行通訊的構件。收發機 1310 從一或多個天線 1320 接收信號，從所接收的信號中提取資訊、以及向處理系統 1314（特定地為接收元件 1204）提供所提取的資訊。另外，收發機 1310 從處理系統 1314（特定地為傳輸元件 1216）接收資訊，並且基於所接收到的資訊來產生要被應用到一或多個天線 1320 的信號。處理系統 1314 包括耦合到電腦可讀取媒體 / 記憶體 1306 的處理器 1304。處理器 1304 負責一般的處理，包括儲存在電腦可讀取媒體 / 記憶體 1306 上的軟體的執行。當處理器 1304 執行軟體時，該軟體使得處理系統 1314 執行上文所描述的針對任何特定裝置的各種功能。電腦可讀取媒體 / 記憶體 1306 亦可以用於儲存執行軟體時由處理器 1304 所操縱的資料。處理系統 1314 進一步包括元件 1204、1206、1208、1210、1212、1214、1216 中的至少一個。元件可以是在處理器 1304 中執行的、常駐 /

儲存在電腦可讀取媒體/記憶體 1306 中的軟體元件、耦合到處理器 1304 的一或多個硬體元件，或其某種組合。處理系統 1314 可以是 UE 350 的元件，並且可以包括 TX 處理器 368、RX 處理器 356 以及控制器/處理器 359 中的至少一個及/或記憶體 360。

【0140】 在一個配置中，用於無線通訊的裝置 1202/1202' 可以包括：用於從發射器接收信號的構件。在一個態樣中，信號可以至少部分地包括 m 個連續元素。在另一個配置中，用於無線通訊的裝置 1202/1202' 可以包括：用於決定與信號相關聯的一或多個 LLR 的構件。在一個態樣中， m 個連續元素可以包括一或多個 LLR。在另外的配置中，用於無線通訊的裝置 1202/1202' 可以包括：用於決定與 m 個連續元素相關聯的索引的構件。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引相關聯。在一個配置中，用於無線通訊的裝置 1202/1202' 可以包括：用於對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉的構件。在一個態樣中， m 個連續元素之每一者元素可以包括不同的二元序列。在另一個態樣中，與 m 個連續元素之每一者元素相關聯的每個二元序列可以具有不同的 $\log_2(m)$ 最低有效位元。在另外的態樣中，在對二元序列進行位元反轉之後， m 個連續元素之每一者元素可以具有不同的 $\log_2(m)$ 最高有效位元。例如，用於對與 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉的構件可以被配置為向一

或多個LLR應用位元反轉置換矩陣。在另一個配置中，用於無線通訊的裝置1202/1202'可以包括：用於至少部分地基於與m個元素之每一者元素相關聯的經位元反轉的二元序列，來決定索引的位元反轉順序的構件。在另外的配置中，用於無線通訊的裝置1202/1202'可以包括：用於在決定了索引的位元反轉順序之後，基於與m個連續元素之每一者元素相關聯的最高有效 $\log_2(m)$ 位元，來選擇用於m個連續元素之每一者元素的不同記憶體組的構件。在一個配置中，用於無線通訊的裝置1202/1202'可以包括：用於至少部分地基於索引的位元反轉順序，將m個連續元素之每一者元素並列地寫入不同的記憶體組的構件。在另一個配置中，用於無線通訊的裝置1202/1202'可以包括：用於對一或多個LLR進行解碼，以獲得資訊位元的構件。上述構件可以是被配置為執行由上述構件所記載的功能的裝置1202的上述元件及/或裝置1202'的處理系統1314中的一或多個。如上文所描述的，處理系統1314可以包括TX處理器368、RX處理器356、以及控制器/處理器359。照此，在一個配置中，上述構件可以是被配置為執行由上述構件所記載的功能的TX處理器368、RX處理器356、以及控制器/處理器359。

【0141】 圖14是用於無線通訊的方法的流程圖1400。可以使用與接收器設備（例如，基地台102、180、eNB 310、UE 104、182、350、接收器設備406、950、

1550、裝置1202/1202') 進行通訊的發射器設備 (例如，基地台102、180、eNB 310、UE 104、182、350、發射器設備404、1250、裝置902/902'、1502/1502') 來執行方法1400。在一個配置中，發射器設備可以是基地台，以及接收器設備可以是UE。在一個配置中，發射器設備可以是UE，以及接收器設備可以是基地台。在圖14中，用虛線來指示可選的操作。

【0142】 在1402處，發射器設備可以決定與m個連續元素相關聯的索引。在一個態樣中，m個連續元素之每一者元素可以與不同的索引相關聯。在另一個態樣中，m個連續元素之每一者元素可以至少部分地包括k個資訊位元。例如，參照圖4D，發射器設備404可以決定415與m個連續元素相關聯的索引。在一個態樣中，m個連續元素之每一者元素可以與不同的索引相關聯。在另一個態樣中，m個連續元素之每一者元素可以至少部分地包括k個資訊位元。

【0143】 在1404處，發射器設備可以決定置換矩陣。例如，參照圖4D，發射器設備404可以決定417置換矩陣 π 。

【0144】 在1406處，發射器設備可以對k個資訊位元進行置換。例如，參照圖4D，發射器設備404可以使用置換矩陣 π 來對k個資訊進行置換419。

【0145】 在1408處，發射器設備可以藉由向k個資訊位元應用反轉擴展矩陣以在位元反轉預定位置處包括額

外位元，來形成向量。在一個態樣中，向量可以包括 N 個位元。例如，參照圖 4 D，在向 k 個資訊位元應用置換矩陣 π 之後，發射器設備 404 可以藉由向 k 個資訊位元應用反轉擴展矩陣 \tilde{E} 以在位元反轉預定位置處包括額外位元，來形成 421 資訊向量 u 。在一個態樣中，資訊向量 u 可以包括 N 個位元。反轉擴展矩陣 \tilde{E} 可以在位元反轉位置處插入凍結位元，而不對資訊位元位置進行位元反轉。 E^T 是擴展矩陣 E （例如，上文參照圖 4 A 和 4 B 論述的）的轉置，並且可以移除凍結位元而僅保持資訊位元。 $\tilde{E}\tilde{E}^T$ 是 $k \times k$ 階單位矩陣，並且 $\pi \tilde{E} = E B$ ，因此 $\pi = E B \tilde{E}^T$ ，這是由於 $\tilde{E}\tilde{E}^T = I$ 。因此，發射器設備 404 能夠對 k 個位元而不是 N 個位元進行置換，這可以使用更小的電路並且實現高度並列的實現方式以降低潛時。

【0146】 在 1410 處，發射器設備可以應用非反轉編碼矩陣，以獲得用於傳輸的信號。例如，參照圖 4 D，發射器設備 404 可以應用 423 非反轉編碼矩陣 $F \otimes^{1 \circ s} 2^N$ ，以獲得用於傳輸給接收器設備 406 的編碼字元向量 x 408（例如， $x = u_A \pi \tilde{E} F$ ）。在一個態樣中，可以在應用反轉擴展矩陣 \tilde{E} 之後應用非反轉編碼矩陣 $F \otimes^{1 \circ s} 2^N$ 。在另一個態樣中，可以與反轉擴展矩陣 \tilde{E} 同時地應用非反轉編碼矩陣 $F \otimes^{1 \circ s} 2^N$ 。

【0147】 圖 15 是圖示在示例性裝置 1502 中的不同構件 / 元件間的資料流的概念性資料流圖 1500。該裝置可以是與接收器設備 1550（例如，基地台 102、180、eNB 310

、UE 104、182、350、接收器設備406、950、裝置1202/1202') 進行通訊的發射器設備 (例如，基地台102、180、eNB 310、UE 104、182、350、發射器設備404、1250、裝置902/902'、1502/1502') 。在一個配置中，裝置可以是基地台，以及接收器設備可以是UE。在一個配置中，裝置可以是UE，以及接收器設備可以是基地台。在圖14中，用虛線來指示可選的操作。

【0148】 該裝置可以包括接收元件1504，其可以被配置為從接收器設備1550接收傳輸。另外，裝置可以包括決定元件1506，其可以被配置為決定與 m 個連續元素相關聯的索引。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引相關聯。在另一個態樣中， m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位元。另外，決定元件1506可以被配置為決定置換矩陣。決定元件1506可以被配置為向置換元件1508發送與 k 個資訊位元相關聯的信號。置換元件1508可以被配置為使用置換矩陣來對 k 個資訊位元進行置換。置換元件1508可以被配置為向向量元件1510發送與所置換的 k 個資訊位元相關聯的信號。向量元件1510可以被配置為藉由向 k 個資訊位元應用反轉擴展矩陣以在位元反轉預定位置處包括額外位元，來形成向量。在一個態樣中，向量可以包括 N 個位元。向量元件1510可以被配置為向編碼用元件1512發送與向量相關聯的信號。編碼用元件1512可以被配置為在置換矩陣之後應用非反轉編碼矩陣，以獲得用於傳輸

的信號（例如，編碼字元向量 x ）。另外，編碼用元件 1512 可以被配置為向傳輸元件 1514 發送與編碼字元向量 x 相關聯的信號。傳輸元件可以被配置為向接收器設備 1550 發送與編碼字元向量 x 相關聯的信號。

【0149】 裝置可以包括執行上述圖 14 的流程圖中的演算法的方塊之每一者方塊的另外的元件。照此，可以由元件執行上述圖 14 的流程圖之每一者方塊，並且裝置可以包括彼等元件中的一或多個元件。元件可以是特定地被配置為執行所述過程 / 演算法的、由被配置為執行所述過程 / 演算法的處理器實施的、儲存在電腦可讀取媒體內用於由處理器來實施的，或其某種組合的一或多個硬體元件。

【0150】 圖 16 是圖示採用處理系統 1614 的裝置 1502' 的硬體實現方式的實例的圖 1600。可以利用匯流排架構（通常由匯流排 1624 代表）來實施處理系統 1614。匯流排 1624 可以包括任何數量的互聯的匯流排和橋接器，這取決於處理系統 1614 的特定應用和整體設計約束。匯流排 1624 將包括一或多個處理器及 / 或硬體元件（由處理器 1604 代表）、元件 1504、1506、1508、1510、1512、1514 以及電腦可讀取媒體 / 記憶體 1606 的各種電路連結到一起。匯流排 1624 亦可以將諸如時序源、周邊設備、電壓調節器以及功率管理電路的各種其他電路進行連結，其是本領域公知的電路，因此將不做進一步地描述。

【0151】 處理系統1614可以耦合到收發機1610。收發機1610耦合到一或多個天線1620。收發機1610提供用於經由傳輸媒體與各種其他裝置進行通訊的構件。收發機1610從一或多個天線1620接收信號，從所接收的信號中提取資訊、以及向處理系統1614（特定地為接收元件1504）提供所提取的資訊。另外，收發機1610從處理系統1614（特定地為傳輸元件1514）接收資訊，並且基於所接收到的資訊來產生要被應用到一或多個天線1620的信號。處理系統1614包括耦合到電腦可讀取媒體/記憶體1606的處理器1604。處理器1604負責一般的處理，包括儲存在電腦可讀取媒體/記憶體1606上的軟體的執行。當處理器1604執行軟體時，該軟體使得處理系統1614執行上文所描述的針對任何特定裝置的各種功能。電腦可讀取媒體/記憶體1606亦可以用於儲存執行軟體時由處理器1604所操縱的資料。處理系統1614進一步包括元件1504、1506、1508、1510、1512、1514中的至少一個。元件可以是在處理器1604中執行的、常駐/儲存在電腦可讀取媒體/記憶體1606中的軟體元件、耦合到處理器1604的一或多個硬體元件，或其某種組合。處理系統1614可以是eNB 310的元件，並且可以包括TX處理器316、RX處理器370以及控制器/處理器375中的至少一個及/或記憶體376。

【0152】 在一個配置中，用於無線通訊的裝置1502/1502'可以包括：用於決定與m個連續元素相關聯

的索引的構件。在一個態樣中， m 個連續元素之每一者元素可以與不同的索引相關聯。在另一個態樣中， m 個連續元素之每一者元素可以至少部分地包括 k 個資訊位元。在另一個配置中，用於無線通訊的裝置1502/1502'可以包括：用於決定置換矩陣的構件。在另外的配置中，用於無線通訊的裝置1502/1502'可以包括：用於對 k 個資訊位元進行置換的構件。在一個配置中，用於無線通訊的裝置1502/1502'可以包括：用於藉由向 k 個資訊位元應用反轉擴展矩陣以在位元反轉預定位置處包括額外位元，來形成向量的構件。在一個態樣中，向量可以包括 N 個位元。在另一個配置中，用於無線通訊的裝置1502/1502'可以包括：用於在向向量應用置換矩陣之後應用非反轉編碼矩陣，以獲得用於傳輸的信號的構件。上述構件可以是被配置為執行由上述構件所記載的功能的裝置1502的上述元件及/或裝置1502'的處理系統1614中的一或多個。如上文所描述的，處理系統1614可以包括TX處理器316、RX處理器370、以及控制器/處理器375。照此，在一個配置中，上述構件可以是被配置為執行由上述構件所記載的功能的TX處理器316、RX處理器370、以及控制器/處理器375。

【0153】 應當理解的是，所揭示的過程/流程圖中方塊的特定次序或層次僅是對示例性方法的說明。應當理解的是，基於設計偏好可以重新排列過程/流程圖中方塊的特定次序或層次。此外，可以合併或省略一些方塊。所附的

方法請求項以取樣次序提供了各個方塊的元素，但是並不意謂受限於所提供的特定次序或層次。

【0154】 提供上文的描述以使得本領域的任何技藝人士能夠實施本文描述的各個態樣。對該等態樣的各種修改對於本領域技藝人士而言將是顯而易見的，以及本文所定義的一般原則可以應用到其他態樣。因此，本申請專利範圍不意欲受限於本文所示出的態樣，而是符合與申請專利範圍所表達的內容相一致的全部範圍，其中除非明確地聲明如此，否則提及單數形式的元素不意欲意謂「一個和僅僅一個」，而是「一或多個」。本文使用的詞語「示例性」意謂「作為示例、實例或說明」。本文中描述為「示例性」的任何態樣不必被解釋為優選於其他態樣或者比其他態樣有優勢。除非以其他方式明確地聲明，否則術語「一些」代表一或多個。諸如「A、B或C中的至少一個」、「A、B，或C中的一或多個」、「A、B和C中的至少一個」、「A、B和C中的一或多個」、以及「A、B、C或其任意組合」的組合包括A、B及/或C的任意組合，並且可以包括A的倍數、B的倍數或C的倍數。具體地，諸如「A、B或C中的至少一個」、「A、B，或C中的一或多個」、「A、B和C中的至少一個」、「A、B和C中的一或多個」、以及「A、B、C或其任意組合」的組合可以是僅A、僅B、僅C、A和B、A和C、B和C，或A和B和C，其中任何此種組合可以包含A、B或C中的一或多個成員或數個成員。遍及本案內容描述的各個態樣的元素的、對於本領域

的一般技藝人士而言已知或者稍後將知的全部結構的和功能的均等物以引用方式明確地併入本文中，以及意欲由申請專利範圍來包含。此外，本文中所揭示的內容中沒有內容是想要奉獻給公眾的，不管此種揭示內容是否明確記載在申請專利範圍中。詞語「模組」、「機制」、「元素」、「設備」等等可能不是詞語「手段」的替代。因而，沒有請求項元素要被解釋為手段功能，除非元素是明確地使用用語「用於... ..的手段」來記載的。

【符號說明】

【 0 1 5 5 】

1 0 0 無線通訊系統和存取網路

1 0 2 基地台

1 0 2' 小型細胞服務區

1 0 4 U E

1 1 0 地理覆蓋區域

1 2 0 通訊鏈路

1 3 2 回載鏈路

1 3 4 回載鏈路

1 5 0 W i - F i 存取點 (A P)

1 5 2 W i - F i 站 (S T A)

1 5 4 通訊鏈路

1 6 0 進化封包核心 (E P C)

1 6 2 行動性管理實體 (M M E)

1 6 4 其他 M M E

- 1 6 6 服務閘道
- 1 6 8 多媒體廣播多播服務 (M B M S) 閘道
- 1 7 0 廣播多播服務中心 (B M - S C)
- 1 7 2 封包資料網路 (P D N) 閘道
- 1 7 4 歸屬用戶伺服器 (H S S)
- 1 7 6 I P 服務
- 1 8 0 m m W 基地台
- 1 8 4 波束成形
- 1 9 8 操作
- 2 0 0 D L 訊框結構
- 2 3 0 通道
- 2 5 0 U L 訊框結構
- 2 8 0 通道
- 3 1 0 e N B
- 3 1 6 發送 (T X) 處理器
- 3 1 8 T X 發射器
- 3 1 8 R X 接收器
- 3 2 0 天線
- 3 5 0 U E
- 3 5 2 天線
- 3 5 4 T X 發射器
- 3 5 4 R X 接收器
- 3 5 6 接收 (R X) 處理器
- 3 5 8 通道估計器

- 3 5 9 控制器 / 處理器
- 3 6 0 記憶體
- 3 6 8 T X 處理器
- 3 7 0 接收 (R X) 處理器
- 3 7 4 通道估計器
- 3 7 5 控制器 / 處理器
- 3 7 6 記憶體
- 4 0 0 資料流
- 4 0 1 步驟
- 4 0 3 步驟
- 4 0 4 發射器設備
- 4 0 5 步驟
- 4 0 6 接收器設備
- 4 0 7 步驟
- 4 0 8 編碼字元向量 x
- 4 0 9 步驟
- 4 1 0 資料流
- 4 1 1 步驟
- 4 1 3 步驟
- 4 1 5 步驟
- 4 1 7 步驟
- 4 1 9 步驟
- 4 2 0 資料流
- 4 2 1 步驟

4 2 3 步驟

4 2 5 步驟

4 2 7 步驟

4 2 9 步驟

4 3 1 步驟

4 3 3 步驟

4 3 5 步驟

5 0 0 圖

5 0 2 資訊向量 u

5 0 4 步驟

5 0 5 圖

5 0 6 步驟

5 0 8 通道

5 1 0 步驟

5 1 5 圖

6 0 0 位元反轉技術

6 0 2 資訊位元 u_A

6 0 4 擴展矩陣 E

6 0 5 位元反轉技術

6 0 6 置換矩陣 B

6 0 8 非反轉編碼矩陣 $F \otimes^{\log_2 N}$

6 1 0 編碼字元向量 x

6 1 2 置換矩陣 π

6 1 4 反轉擴展矩陣 \tilde{E}

- 6 1 5 位元反轉技術
- 6 1 6 向量 y
- 6 1 8 解碼器
- 6 2 2 資訊向量 u
- 7 0 0 技術
- 7 0 2 第一元素 u_0
- 7 0 4 第二元素 u_1
- 7 0 6 第三元素 u_2
- 7 0 8 第四元素 u_3
- 7 1 0 記憶體 0
- 7 1 2 記憶體 1
- 7 1 4 記憶體 2
- 7 1 6 記憶體 3
- 8 0 0 流程圖
- 8 0 2 步驟
- 8 0 4 步驟
- 8 0 6 步驟
- 8 0 8 步驟
- 8 1 0 步驟
- 8 1 2 步驟
- 8 1 4 步驟
- 8 1 6 步驟
- 8 1 8 步驟
- 9 0 0 資料流圖

9 0 2 裝 置

9 0 2' 裝 置

9 0 4 元 件

9 0 6 元 件

9 0 8 元 件

9 1 0 元 件

9 1 2 元 件

9 1 4 元 件

9 1 6 元 件

9 1 8 元 件

9 5 0 接 收 器 設 備

1 0 0 0 硬 體 實 現 方 式

1 0 0 4 處 理 器

1 0 0 6 電 腦 可 讀 取 媒 體 / 記 憶 體

1 0 1 0 收 發 機

1 0 1 4 處 理 系 統

1 0 2 0 天 線

1 0 2 4 匯 流 排

1 1 0 0 流 程 圖

1 1 0 2 步 驟

1 1 0 4 步 驟

1 1 0 6 步 驟

1 1 0 8 步 驟

1 1 1 0 步 驟

- 1 1 1 2 步 驟
- 1 1 1 4 步 驟
- 1 1 1 6 步 驟
- 1 1 1 8 步 驟
- 1 2 0 0 資 料 流 圖
- 1 2 0 2 裝 置
- 1 2 0 2' 裝 置
- 1 2 0 4 接 收 元 件
- 1 2 0 6 決 定 元 件
- 1 2 0 8 位 元 反 轉 元 件
- 1 2 1 0 選 擇 元 件
- 1 2 1 2 寫 入 元 件
- 1 2 1 4 解 碼 用 元 件
- 1 2 1 6 傳 輸 元 件
- 1 2 5 0 發 射 器 設 備
- 1 3 0 0 硬 體 實 現 方 式
- 1 3 0 4 處 理 器
- 1 3 0 6 電 腦 可 讀 取 媒 體 / 記 憶 體
- 1 3 1 0 收 發 機
- 1 3 2 0 天 線
- 1 3 2 4 匯 流 排
- 1 4 0 0 流 程 圖
- 1 4 0 2 步 驟
- 1 4 0 4 步 驟

- 1 4 0 6 步 驟
- 1 4 0 8 步 驟
- 1 4 1 0 步 驟
- 1 5 0 0 資 料 流 圖
- 1 5 0 2 裝 置
- 1 5 0 2' 裝 置
- 1 5 0 4 接 收 元 件
- 1 5 0 6 決 定 元 件
- 1 5 0 8 置 換 元 件
- 1 5 1 0 向 量 元 件
- 1 5 1 2 編 碼 用 元 件
- 1 5 1 4 傳 輸 元 件
- 1 5 5 0 接 收 器 設 備
- 1 6 0 0 硬 體 實 現 方 式
- 1 6 0 4 處 理 器
- 1 6 0 6 電 腦 可 讀 取 媒 體 / 記 憶 體
- 1 6 1 0 收 發 機
- 1 6 1 4 處 理 系 統
- 1 6 2 0 天 線
- 1 6 2 4 匯 流 排

【生物材料寄存】

【 0 1 5 6 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 1 5 7 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註
記)
無



201841120

【發明摘要】**【中文發明名稱】** 低潛時位元反轉極化碼**【英文發明名稱】** LOW LATENCY BIT-REVERSED POLAR CODES**【中文】**

在本案內容的一個態樣中，提供了一種方法、電腦可讀取媒體和裝置。該裝置可以決定與 m 個連續元素相關聯的索引。在一個態樣中，該 m 個連續元素之每一者元素可以與不同的索引相關聯。另外，該裝置可以對與該 m 個連續元素之每一者元素相關聯的二元序列進行位元反轉。在一個態樣中，該 m 個連續元素之每一者元素可以包括不同的二元序列。此外，該裝置可以至少部分地基於與該 m 個元素之每一者元素相關聯的經位元反轉的二元序列，來決定該索引的位元反轉順序。另外，該裝置可以至少部分地基於該索引的該位元反轉順序，來將該 m 個連續元素之每一者元素並列地寫入不同的記憶體組。

【英文】

In an aspect of the disclosure, a method, a computer-readable medium, and an apparatus are provided. The apparatus may determine indices associated with m consecutive elements. In an aspect, each of the m consecutive elements may be associated with a different index. In addition, the apparatus may bit reverse a binary sequence associated with each of the m consecutive elements. In an aspect, each of the m consecutive elements may include a different binary sequence. Further, the apparatus may determine a bit-reversed order of the indices based at least in part on the bit-reversed binary sequence associated with each of the m elements. In addition, the

apparatus may write each of the m consecutive elements to a different memory bank in parallel based at least in part on the bit-reversed order of the indices.

【指定代表圖】第 (5A) 圖。

【代表圖之符號簡單說明】

5 0 0 圖

5 0 2 資 訊 向 量 u

5 0 4 步 驟

5 0 6 步 驟

5 0 8 通 道

5 1 0 步 驟

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種一發射器設備的無線通訊的方法，包括以下步驟：

決定與 m 個連續元素相關聯的索引，該 m 個連續元素之每一者元素與一不同的索引相關聯；

對與該 m 個連續元素之每一者元素相關聯的一二元序列進行位元反轉，該 m 個連續元素之每一者元素包括一不同的二元序列；

至少部分地基於與該 m 個連續元素之每一者元素相關聯的該經位元反轉的二元序列，來決定該索引的一位元反轉順序；

至少部分地基於該索引的該位元反轉順序，將該 m 個連續元素之每一者元素並列地寫入一不同的記憶體組；及

向一接收器設備發送包括至少該 m 個連續元素的一信號。

【第2項】 如請求項 1 所述之方法，進一步包括以下步驟：

在決定了該索引的該位元反轉順序之後，基於與該 m 個連續元素之每一者元素相關聯的一最高有效 $\log_2(m)$ 位元，來選擇用於該 m 個連續元素之每一者元素的該不同的記憶體組，

其中與該 m 個連續元素之每一者元素相關聯的每個二元序列具有不同的 $\log_2(m)$ 最低有效位元，以及

其中在對該二元序列進行位元反轉之後，該 m 個連續元素之每一者元素具有不同的 $\log_2(m)$ 最高有效位元。

【第3項】如請求項 1 所述之方法，其中該 m 個連續元素之每一者元素至少部分地包括 k 個資訊位元，該方法進一步包括以下步驟：

藉由向該 k 個資訊位元應用一擴展矩陣以在預定位置處包括額外位元，來形成一向量，該向量包括 N 個位元。

【第4項】如請求項 3 所述之方法，其中該對與該 m 個連續元素之每一者元素相關聯的該二元序列進行位元反轉之步驟包括以下步驟：

向該向量應用一位元反轉置換矩陣。

【第5項】如請求項 4 所述之方法，進一步包括以下步驟：

向該向量應用一非反轉編碼矩陣，以獲得該信號；
或者

向該向量應用該位元反轉置換矩陣，以獲得該信號。

【第6項】 一種一接收器設備的無線通訊的方法，包括以下步驟：

從一發射器設備接收一信號，該信號至少部分地包括 m 個連續元素；

決定與該 m 個連續元素之每一者元素相關聯的索引，該 m 個連續元素之每一者元素與一不同的索引相關聯；

對與該 m 個連續元素之每一者元素相關聯的一二元序列進行位元反轉，該 m 個連續元素之每一者元素包括一不同的二元序列；

至少部分地基於與該 m 個連續元素之每一者元素相關聯的該經位元反轉的二元序列，來決定該索引的一位元反轉順序；及

至少部分地基於該索引的該位元反轉順序，將該 m 個連續元素之每一者元素並列地寫入一不同的記憶體組。

【第7項】 如請求項 6 所述之方法，進一步包括以下步驟：

在決定了該索引的該位元反轉順序之後，基於與該 m 個連續元素之每一者元素相關聯的一最高有效 $\log_2(m)$ 位元，來選擇用於該 m 個連續元素之每一者元素的該不同的記憶體組，

其中與該 m 個連續元素之每一者元素相關聯的每個二元序列具有不同的 $\log_2(m)$ 最低有效位元，以及

其中在對該二元序列進行位元反轉之後，該 m 個連續元素之每一者元素具有不同的 $\log_2(m)$ 最高有效位元。

【第 8 項】 如請求項 6 所述之方法，進一步包括以下步驟：

決定與該信號相關聯的一或多個對數概度比 (LLRs)，該 m 個連續元素包括該一或多個 LLR。

【第 9 項】 如請求項 8 所述之方法，其中該對與該 m 個連續元素之每一者元素或者與該一或多個 LLR 之每一者 LLR 相關聯的該二元序列進行位元反轉之步驟包括以下步驟：

向該一或多個 LLR 應用一位元反轉置換矩陣。

【第 10 項】 一種用於一發射器設備的無線通訊的裝置，包括：

用於決定與 m 個連續元素相關聯的索引的構件，該 m 個連續元素之每一者元素與一不同的索引相關聯；

用於對與該 m 個連續元素之每一者元素相關聯的一二元序列進行位元反轉的構件，該 m 個連續元素之每一者元素包括一不同的二元序列；

用於至少部分地基於與該 m 個連續元素之每一者元素相關聯的該經位元反轉的二元序列，來決定該索引的一位元反轉順序的構件；

用於至少部分地基於該索引的該位元反轉順序，將該 m 個連續元素之每一者元素並列地寫入一不同的記憶體組的構件；及

用於向一接收器設備發送包括至少該 m 個連續元素的一信號的構件。

【第 11 項】 如請求項 10 所述之裝置，進一步包括：

用於在決定了該索引的該位元反轉順序之後，基於與該 m 個連續元素之每一者元素相關聯的一最高有效 $\log_2(m)$ 位元，來選擇用於該 m 個連續元素之每一者元素的該不同的記憶體組的構件，

其中與該 m 個連續元素之每一者元素相關聯的每個二元序列具有不同的 $\log_2(m)$ 最低有效位元，以及

其中在對該二元序列進行位元反轉之後，該 m 個連續元素之每一者元素具有不同的 $\log_2(m)$ 最高有效位元。

【第 12 項】 如請求項 10 所述之裝置，其中該 m 個連續元素之每一者元素至少部分地包括 k 個資訊位元，該裝置進一步包括：

用於藉由向該 k 個資訊位元應用一擴展矩陣以在預定位置處包括額外位元，來形成一向量的構件，該向量包括 N 個位元。

【第13項】 如請求項 12 所述之裝置，其中該用於對與該 m 個連續元素之每一者元素相關聯的該二元序列進行位元反轉的構件被配置為：

向該向量應用一位元反轉置換矩陣。

【第14項】 如請求項 13 所述之裝置，進一步包括：

用於向該向量應用一非反轉編碼矩陣，以獲得用於傳輸的一信號的構件；或者

用於向該向量應用該位元反轉置換矩陣，以獲得用於傳輸的一信號的構件。

【第15項】 一種用於一發射器設備的無線通訊的裝置，包括：

至少一個記憶體組；

至少一個處理器，該至少一個處理器耦合到該至少一個記憶體組並且被配置為進行以下操作：

決定與 m 個連續元素相關聯的索引，該 m 個連續元素之每一者元素與一不同的索引相關聯；

對與該 m 個連續元素之每一者元素相關聯的一二元序列進行位元反轉，該 m 個連續元素之每一者元素包括一不同的二元序列；

至少部分地基於與該 m 個連續元素之每一者元素相關聯的經位元反轉的二元序列，來決定該索引的一位元反轉順序；

至少部分地基於該索引的該位元反轉順序，將該 m 個連續元素之每一者元素並列地寫入一不同的記憶體組；及

向一接收器設備發送包括至少該 m 個連續元素的一信號。

【第 16 項】 如請求項 15 所述之裝置，其中該至少一個處理器進一步被配置為：

在決定了該索引的該位元反轉順序之後，基於與該 m 個連續元素之每一者元素相關聯的一最高有效 $\log_2(m)$ 位元，來選擇用於該 m 個連續元素之每一者元素的該不同的記憶體組，

其中與該 m 個連續元素之每一者元素相關聯的每個二元序列具有不同的 $\log_2(m)$ 最低有效位元，以及

其中在對該二元序列進行位元反轉之後，該 m 個連續元素之每一者元素具有不同的 $\log_2(m)$ 最高有效位元。

【第 17 項】 如請求項 15 所述之裝置，其中該 m 個連續元素之每一者元素至少部分地包括 k 個資訊位元，

該至少一個處理器進一步被配置為：

藉由向該 k 個資訊位元應用一擴展矩陣以在預定位置處包括額外位元，來形成一向量，該向量包括 N 個位元。

【第 18 項】 如請求項 17 所述之裝置，其中該至少一個處理器被配置為藉由以下操作來對與該 m 個連續元素之每一者元素相關聯的該二元序列進行位元反轉：

向該向量應用一位元反轉置換矩陣。

【第 19 項】 如請求項 18 所述之裝置，其中該至少一個處理器進一步被配置為：

向該向量應用一非反轉編碼矩陣，以獲得用於傳輸的一信號；或者

向該向量應用該位元反轉置換矩陣，以獲得用於傳輸的一信號。

