

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月4日(04.06.2020)



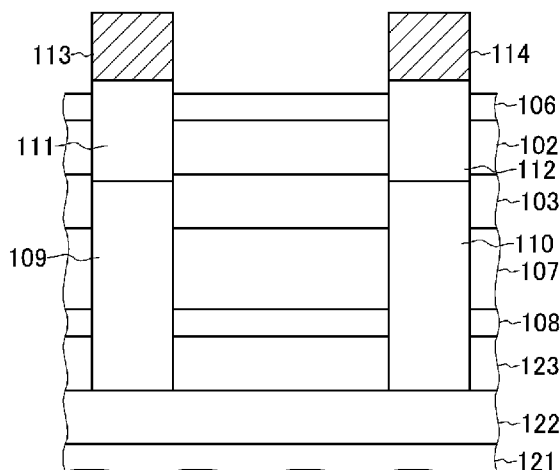
(10) 国際公開番号

WO 2020/110773 A1

- (51) 国際特許分類:
H01L 21/20 (2006.01) H01L 21/338 (2006.01)
H01L 21/28 (2006.01) H01L 29/812 (2006.01)
H01L 29/417 (2006.01) H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2019/044863
- (22) 国際出願日: 2019年11月15日(15.11.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-223140 2018年11月29日(29.11.2018) JP
- (71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 星 拓也(HOSHI, Takuya); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 吉屋 佑樹(YOSHIYA, Yuki); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 杉山 弘樹(SUGIYAMA, Hiroki); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 松崎 秀昭(MATSUZAKI, Hideaki); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).
- (74) 代理人: 山川 茂樹, 外(YAMAKAWA, Shigeki et al.); 〒1006104 東京都千代田区永田町2丁目11番1号 山王パークタワー4階 山川国際特許事務所内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: TRANSISTOR MANUFACTURING METHOD

(54) 発明の名称: トランジスタの作製方法



(57) Abstract: In the present invention, a first regrowth layer (109) and a second regrowth layer (110) comprising high-resistance GaAs are regrown on the surface of an etching stop layer (122) exposed at the bottom of a first groove (153) and a second groove (154), and n-type InGaAs is regrown on the first regrowth layer (109) and the second regrowth layer (110), thereby forming, in the first groove (153) and the second groove (154), a source region (111) and a drain region (112) that contact a channel layer (102).

(57) 要約: 第1溝(153)および第2溝(154)の底部に露出したエッチング停止層(122)の表面に、高抵抗なGaAsからなる第1再成長層(109)、第2再成長層(110)を再成長させ、n型のInGaAsを第1再成長層(109)、第2再成長層(110)の上に再成長させることで、チャネル層(102)に接触するソース領域(111)、ドレイン領域(112)を、第1溝(153)および第2溝(154)に形成する。

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： トランジスタの作製方法

技術分野

[0001] 本発明は、トランジスタの作製方法に関し、より具体的には、窒化物半導体とGaAsやInPなどの半導体とから構成したトランジスタの作製方法に関する。

背景技術

[0002] 窒化ガリウム（GaN）、窒化アルミニウム（AlN）またはこれらの混晶材料であるAlGaNやInAlGaNなどの窒化物半導体は、GaAsやSiなどの半導体材料と比較して、バンドギャップが大きく、高い絶縁破壊電界強度を有する。このような特徴から、トランジスタなどの電子デバイスを窒化物半導体から構成すると、高い耐圧特性を実現することができる。また、窒化物半導体は、六方晶の結晶構造を有しており、c軸方向に分極を有する。この分極の効果によって、例えば、AlGaNとGaNとのヘテロ接合を形成することで、自発的に、 10^{13} cm^{-3} 程度の高密度のシートキャリア（2次元電子ガス）が形成される。このシートキャリアにより、よく知られた高電子移動度トランジスタ（HEMT）が実現できる。

[0003] ここで、GaN系の窒化物半導体を用いたHEMTについて図3を参照して説明する。このHEMTは、まず、基板301の上、エピタキシャル成長によって形成されたバッファ層302、チャンネル層303、バリア層304が順次に積層されている。基板301は、サファイア、Si、SiC、および単結晶GaNから構成できる。また、チャンネル層303は、GaNから構成され、バリア層304は、AlGaNから構成されている。

[0004] バリア層304とチャンネル層303とは、分極の大きさが異なり、この結果、バリア層304とチャンネル層303との界面のチャンネル層303の側に、シートキャリアが形成される。この半導体積層構造に対して、よく知られた半導体製造プロセスにより、バリア層304の上に、ゲート電極311を

形成し、ゲート電極 311 を挟んでソース電極 312, ドレイン電極 313 を形成する。ゲート電極 311 は、いわゆるショットキー接続とし、ソース電極 312, ドレイン電極 313 は、チャネル層 303 にオーミック接続させる。

[0005] なお、上述した HEMT は、基板 301 の上に +c 軸方向に窒化物半導体を結晶成長することで各層を形成しており、この場合、チャネル層 303 の上にバリア層 304 を配置することで、バリア層 304 とチャネル層 303 との界面のチャネル層 303 の側に、シートキャリアが形成される。これに対し、-c 軸方向に窒化物半導体を結晶成長する場合、バリア層の上にチャネル層を配置することで、これらの界面のチャネル層の側に、シートキャリアが形成される。ここで、基板からみて、バリア層の上にもチャネル層が配置される場合、チャネル層の上に直接ゲート電極を形成すると、ゲートリークの増大などが引き起こされ所望の特性を引き出すことができない。このため、この場合は、チャネル層の上に、例えば、チャネル層のバンドギャップより大きいバンドギャップを有する窒化物半導体層を形成し、この窒化物半導体層の上に、ショットキー接続するゲート電極を形成する。例えば、チャネル層を GaN から構成した場合、窒化物半導体層は、AlGaN から構成する。

[0006] 上述した GaN 系の窒化物半導体を用いた HEMT (GaN 系 HEMT) は、数 GHz 以上の高周波かつ数百 W の高出力が要求される無線通信用途において、既に実現・実用化されている。今後、さらなる無線通信容量の拡大に向けて、数十から数百 GHz 程度まで高周波特性を向上させた GaN 系 HEMT が必要となる。GaN 系 HEMT の高周波特性向上のためには、ソース・ドレイン領域のコンタクト抵抗の低減が重要である。

[0007] ところで、GaN は、ワイドギャップ材料であるため、高い絶縁破壊電界強度を有するが、GaN の層の上にオーミック電極を形成した際のコンタクト抵抗の低減が困難である。これは、GaN 自体の抵抗が高く、また、高濃度にドーピングしたとしてもコンタクト抵抗の低減化に制限があることに原

因がある。また、上述したGa N系HEMTでは、Ga Nよりもさらにバンドギャップが大きく抵抗の高いAl Ga Nなどの層を介し、各電極とのコンタクトを形成する必要があるため、さらにコンタクト抵抗が高くなってしまふ。

[0008] 上述したGa N系HEMTにおける、ソース電極、ドレイン電極とチャンネル層との間のコンタクト抵抗の低減手段の1つに、ソース電極・ドレイン電極と接続するためのソース・ドレイン領域の再成長が挙げられる。Ga N系HEMTは、Al Ga Nなどの層を介してGa Nからなるチャンネル層にオーミックコンタクトを形成するため、Al Ga Nの高い抵抗によってコンタクト抵抗が制限されてしまふ。これを回避するために、例えばソース・ドレイン領域に高濃度ドーピングされたGa Nを再成長によって形成することで、コンタクト抵抗を低減する技術がある（非特許文献1）。

[0009] この技術により、上述したコンタクト抵抗は、 $0.026\Omega\cdot\text{mm}$ まで低減される。このコンタクト抵抗の値は、最大発振周波数 $f_{\text{max}} > 1\text{THz}$ の特性を有するInAsチャンネルHEMTのコンタクト抵抗 $40\text{m}\Omega\cdot\text{mm}$ に匹敵する（非特許文献2）。しかし、コンタクト抵抗の値は小さくできるが、Ga N系HEMTの性能は、 $f_{\text{max}} = 518\text{GHz}$ と制限されている。

[0010] さらにコンタクト抵抗の低減化をして、Ga N系HEMTを広帯域化する手段として、GaAsやInP、InGaAs、InAsといったGa N系材料よりも、高濃度ドーピングにより低抵抗化しやすい材料を再成長する技術が考えられる。例えば、非特許文献3においては、Ga N上にGaAsを成長させる試みが報告されている。GaAsは、Siをドーピングしてn型化することができる。実際、非特許文献3においては、 $10^{19}\sim 10^{20}\text{cm}^{-3}$ まで高濃度ドーピングしたp型GaAs層を、Ga N層の上に成長することに成功している。しかし、GaAsとGa Nとは結晶構造が異なり、また2つの層の界面における面方向の格子不整合が極めて大きいため、このような構造の異なる材料に対するヘテロ成長は難しく、結晶品質の低下や平坦性の悪化などの問題が発生する。

先行技術文献

非特許文献

[0011] 非特許文献1: K. Shinohara et al., "Self-Aligned-Gate GaN-HEMTs with Heavily-Doped n-GaN Ohmic Contacts to 2DEG", IEEE International Electron Devices Meeting, 13384135, 2012.

非特許文献2: X. Mei et al., "First Demonstration of Amplification at 1 THz Using 25-nm InP High Electron Mobility Transistor Process", IEEE Electron Device Letters, vol. 36, no. 4, pp. 327-329, 2015.

非特許文献3: G. T. Dang et al., "p-Ohmic contact resistance for GaAs(C)/GaN(Mg)", Solid-State Electronics, vol. 44, pp. 105-109, 2000.

発明の概要

発明が解決しようとする課題

[0012] GaN系HEMTのさらなる高周波動作帯域の拡大に向けては、ソース・ドレイン電極のオーミックコンタクト抵抗の低減が必須である。しかし、前述したように、GaNはワイドギャップ材料であるため、コンタクト抵抗の低減化には制限がある。コンタクト抵抗を低減するためには、例えば、GaAsなど、高濃度ドーパが可能な半導体材料を、ソース・ドレイン領域に再成長することが考えられるが、異種材料への成長であるため、大きな格子不整合・結晶構造の違いに起因して、高品質な結晶が得られにくいなどの問題がある。

[0013] 上述したように、従来では、GaN系HEMTなどの窒化物半導体を用いたトランジスタのソース・ドレイン電極のコンタクト抵抗低減に制限があり、GaN系HEMTのさらなる高周波動作帯域の拡大を阻害しているという問題があった。

[0014] 本発明は、以上のような問題点を解消するためになされたものであり、窒化物半導体を用いたトランジスタのソース・ドレイン電極のコンタクト抵抗がより低減できるようにすることを目的とする。

課題を解決するための手段

- [0015] 本発明に係るトランジスタの作製方法は、第1基板の上に、窒化物半導体からなるバリア層およびチャネル層を、 c 軸方向に結晶成長する第1工程と、窒素を含まない半導体からなる第2基板を用意する第2工程と、第1基板のバリア層およびチャネル層の側に第2基板を貼り合わせる第3工程と、第1基板を除去し、第2基板の上に、バリア層およびチャネル層が形成された状態とする第4工程と、第1基板を除去した後で、バリア層およびチャネル層に、ゲート電極を形成する領域を挟んで、バリア層およびチャネル層を貫通する第1溝および第2溝を形成する第5工程と、第1溝の底面および第2溝の底面の側より、不純物を導入した窒素を含まない半導体を再成長させることで、チャネル層に接触するソース領域、ドレイン領域を、第1溝および第2溝に形成する第6工程と、ソース領域の上にオーミック接続するソース電極を形成し、ドレイン領域の上にオーミック接続するドレイン電極を形成する第7工程と、ソース電極とドレイン電極との間のバリア層およびチャネル層の上に、ゲート電極を形成する第8工程とを備える。
- [0016] 上記トランジスタの作製方法の一構成例において、第1工程は、バリア層の上に第1接合層を形成し、第2工程は、第2基板の上に第2接合層を形成し、第3工程では、第1接合層と第2接合層とを向かい合わせた状態で第1基板と第2基板とを貼り合わせる。
- [0017] 上記トランジスタの作製方法の一構成例において、第4工程では、バリア層の一部とともに第1基板を除去する。
- [0018] 上記トランジスタの作製方法の一構成例において、第1工程は、第1基板の上に犠牲層を介してバリア層およびチャネル層を形成し、第4工程では、犠牲層の一部とともに第1基板を除去する。
- [0019] 上記トランジスタの作製方法の一構成例において、第1工程では、 $+c$ 軸方向に結晶成長することで、チャネル層およびバリア層を、これらの順に第1基板の上に成長し、加えて、チャネル層の第1基板の側に、チャネル層のバンドギャップより大きいバンドギャップを有する材料から構成されたゲー

ト分離層を、チャネル層に接して形成し、第8工程では、ゲート分離層の上にゲート電極を形成する。

[0020] 上記トランジスタの作製方法の一構成例において、第1工程では、 c 軸方向に結晶成長することで、バリア層およびチャネル層を、これらの順に第1基板の上に成長し、第8工程では、バリア層の上にゲート電極を形成する。

[0021] 上記トランジスタの作製方法の一構成例において、第1基板は、サファイア、Si、SiC、GaN、AlNのいずれかから構成され、第2基板は、GaAs、InP、Siのいずれかから構成されている。

[0022] 上記トランジスタの作製方法の一構成例において、チャネル層は、GaN、InGaN、InN、AlGaNのいずれかまたはこれらの積層構造から構成され、バリア層は、AlGaN、InAlN、InAlGaN、AlN、GaNのいずれかまたはこれらの積層構造によって構成されている。

発明の効果

[0023] 以上説明したように、本発明では、窒化物半導体からなるバリア層およびチャネル層を、 c 軸方向に結晶成長した第1基板に、窒素を含まない半導体からなる第2基板を貼り合わせ、第1基板を除去してから、バリア層およびチャネル層を貫通する第1溝および第2溝を形成し、チャネル層に接触するソース領域、ドレイン領域を、第1溝および第2溝に形成した。この結果、本発明によれば、窒化物半導体を用いたトランジスタのソース・ドレイン電極のコンタクト抵抗がより低減できるという優れた効果が得られる。

図面の簡単な説明

[0024] [図1A]図1Aは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図1B]図1Bは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図1C]図1Cは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図1D]図1 Dは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図1E]図1 Eは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図1F]図1 Fは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図1G]図1 Gは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図1H]図1 Hは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図1I]図1 Iは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図1J]図1 Jは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図1K]図1 Kは、本発明の実施の形態1におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図2A]図2 Aは、本発明の実施の形態2におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図2B]図2 Bは、本発明の実施の形態2におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図2C]図2 Cは、本発明の実施の形態2におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図2D]図2 Dは、本発明の実施の形態2におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図2E]図2 Eは、本発明の実施の形態2におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図2F]図2 Fは、本発明の実施の形態2におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図2G]図2 Gは、本発明の実施の形態2におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図2H]図2 Hは、本発明の実施の形態2におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図2I]図2 Iは、本発明の実施の形態2におけるトランジスタの作製方法を説明するための途中工程におけるトランジスタの断面を示す断面図である。

[図3]図3は、高電子移動度トランジスタの構成を示す断面図である。

発明を実施するための形態

[0025] 以下、本発明の実施の形態に係るトランジスタの作製方法について説明する。

[0026] [実施の形態1]

はじめに、本発明の実施の形態1におけるトランジスタの作製方法について、図1 A～図1 Kを参照して説明する。

[0027] まず、図1 Aに示すように、第1基板101の上に窒化物半導体からなるチャネル層102、バリア層103を形成する（第1工程）。実施の形態1では、+c軸方向に結晶成長することで、チャネル層102およびバリア層103を、これらの順に第1基板101の上に成長する。また、実施の形態1では、第1基板101の上に、核形成層104、犠牲層105、ゲート分離層106を形成してからチャネル層102、バリア層103を形成し、バリア層103の上に、第1主接合層107、第1副接合層108を形成する。実施の形態1においては、ゲート分離層106を、チャネル層102の第1基板101の側に形成する。

[0028] なお、核形成層104、犠牲層105、ゲート分離層106、第1主接合層107、第1副接合層108も、+c軸方向に結晶成長することで形成する。+c軸方向に結晶成長しているので、チャネル層102の上にバリア層103を形成することで、チャネル層102とバリア層103とのヘテロ接合に、自発的に、 10^{13} cm^{-3} 程度の高密度のシートキャリアが形成される。

[0029] 第1基板101は、例えば、 Al_2O_3 （サファイア）から構成し、例えば、

主表面の面方位を（０００１）とする。なお、第１基板１０１は、ＳｉＣや単結晶のＳｉなどから構成することもでき、ＧａＮ、ＡｌＮなどの窒化物半導体の成長に用いることができる材料から構成することもできる。後述するように、第１基板１０１は除去するため、例えば、ドライエッチングによる基板除去が実施可能なＳｉ、またはレーザリフトオフなどの公知の剥離技術が適用できるＡｌ₂Ｏ₃がよりよいが、これらに限るものではない。

[0030] 核形成層１０４は、例えば、ＧａＮから構成する。核形成層１０４は、よく知られているように、Ａｌ₂Ｏ₃やＳｉ、ＳｉＣなどの異種基板の上に、ＧａＮなどの窒化物半導体を結晶成長するために、成長初期の核形成を支援し高品質かつ平坦な結晶を得るための層である。核形成層１０４は、低温緩衝層や低温バッファなど様々な呼称が存在する。また、核形成層１０４を調整することにより、核形成層１０４の表面をⅢ族極性面とする。核形成層１０４の表面をⅢ族極性面とすることで、この上に、窒化物半導体が＋ｃ軸方向に結晶成長するようになる。なお、核形成層１０４は、ＧａＮに限らず、ＡｌＮ、ＡｌＯＮなどの他の窒化物から構成することも可能である。ただし、第１基板１０１をＧａＮから構成する場合、核形成層１０４は必要ない場合もある。

[0031] 犠牲層１０５は、例えば、ＧａＮから構成する。犠牲層１０５は、後述する第１基板１０１の除去のため、また、第１基板１０１を除去した後に、半導体積層構造の表面平坦化に用いる。このため、犠牲層１０５の厚さは、第１基板１０１の除去の工程に適合させて、適宜に設定し、例えば、１００ｎｍ以上とする。なお、犠牲層１０５は、核形成層１０４とともに、犠牲層１０５より上に結晶成長する層のバッファ層としても機能する。

[0032] ゲート分離層１０６は、例えば、ＡｌＧａＮなどの、チャネル層１０２のバンドギャップより大きいバンドギャップを有する材料から構成する。ゲート分離層１０６は、典型的には、Ａｌ組成を０．１０程度に設定したＡｌＧａＮから構成する。また、ゲート分離層１０６は、厚さ２０ｎｍ程度に形成する。なお、ゲート分離層１０６は、後述する第１基板１０１の除去をした

後の工程において、選択エッチングによって犠牲層 105 を除去するための、エッチング停止層としても用いる。

[0033] チャネル層 102 は、例えば、Ga N から構成する。また、バリア層 103 は、Al Ga N から構成する。チャネル層 102 の厚さおよびバリア層 103 の厚さは、所望とする HEMT のシート抵抗および移動度、またエピタキシャル成長する層構造全体の臨界膜厚などを考慮して決定する。バリア層 103 は、チャネル層 102 に接して形成してもよく、また、チャネル層 102 との間に、例えば Al N などから構成したスペーサ層を配置してもよい。また、Al Ga N から構成するバリア層 103 は、例えば、Al 組成が、チャネル層 102 の側よりチャネル層 102 より離れる方向に、徐々に変化する構成とすることも可能である。

[0034] 第 1 主接合層 107 は、Ga N から構成し、第 1 副接合層 108 は、C をドーピングして高抵抗化した Ga N から構成する。このように、複数の層から接合層を構成することで、後述する接合工程における結晶欠陥の、チャネル層 102、バリア層 103 への導入を抑制することが可能となる。

[0035] 上述した各層は、よく知られた有機金属気相成長法により形成することができる。また、上述した各層は、分子線エピタキシ（ガスソース、RF プラズマソース、レーザなどの分類があるがいずれでもよい）、ハイドライド気相成長法、スパッタ法、その他 CVD (Chemical Vapor Deposition) 法などによって形成することも可能である。

[0036] 次に、図 1 B に示すように、窒素を含まない半導体からなる第 2 基板 121 を用意する（第 2 工程）。第 2 基板 121 は、後述する再成長工程によって、ソース領域およびドレイン領域を形成する際に、不純物がより高濃度にドーピング可能で低抵抗化しやすい材料を再成長可能な材料から構成する。不純物がより高濃度にドーピング可能で低抵抗化しやすい材料は、例えば、Ga As、In P などの窒素を含まない III-V 族化合物半導体である。また、第 2 基板 121 は、Si から構成することもできる。実施の形態 1 では、第 2 基板 121 を、高抵抗な Ga As から構成する。

- [0037] なお、実施の形態1では、第2基板121の上に、エピタキシャル成長により、 InGaAsP からなるエッチング停止層122形成し、高抵抗な GaAs からなる第2接合層123を形成する。
- [0038] 次に、図1Cに示すように、第1基板101のバリア層103およびチャネル層102の側に、第2基板121を貼り合わせる（第3工程）。実施の形態1では、第1基板101の第1副接合層108に、第2基板121の第2接合層123を接合させ、第1基板101と第2基板121とを貼り合わせる。この貼り合わせは、例えば、表面活性化接合法、高温熱処理による融着、原子拡散接合法などの、よく知られたウェハ接合技術により実施する。なお、後述するソース領域・ドレイン領域を再成長では、結晶成長温度が比較的高くなる場合もあるため、この温度に耐えうる接合状態が得られる接合技術を用いる。
- [0039] 次に、第1基板101を除去し、図1Dに示すように、第2基板121の上に、バリア層103、チャネル層102が、これらの順に形成された状態とする（第4工程）。実施の形態1では、第2基板121の上に、エッチング停止層122、第2接合層123、第1副接合層108、第1主接合層107、バリア層103、チャネル層102、ゲート分離層106、犠牲層105、核形成層104が、これらの順に形成された状態となる。
- [0040] 例えば、公知のレーザリフトオフ法により第1基板101を核形成層104より剥離することで、第1基板101を除去する。また、バックグラインドおよびドライエッチングによって、第1基板101を削り取ることも可能である。なお、第1基板101の除去は、バリア層103、チャネル層102に、トランジスタの特性劣化が引き起こされる損傷が導入されるなどの影響がない方法によって実施する。
- [0041] 次に、犠牲層105を薄層化する。後述するようにゲート分離層106の表面を露出するために、犠牲層105を除去することになる。犠牲層105の除去では、例えば、犠牲層105をエッチング停止層としたエッチング処理を用いる。このエッチング処理における、ゲート分離層106と犠牲層1

05との間で取り得るエッチング選択比の大きさに合わせ、犠牲層105を薄層化しておく。また、上記エッチング処理による犠牲層105の除去では、犠牲層105の表面の平坦性が、ゲート分離層106の表面に転写される場合がある。このため、犠牲層105は、薄層化するとともに、表面を平坦化しておく。

[0042] 例えば、よく知られた化学機械研磨（CMP）により、犠牲層105を研削研磨することで、犠牲層105の表面を平坦化するとともに薄層化する。このCMPによって削る犠牲層105の厚さは、前工程の第1基板101の除去の状態、第1基板101を除去し後の犠牲層105の状態に依存する。例えば、第1基板101の除去により、犠牲層105の表面粗さが数nmとなっている場合、犠牲層105の面方向全域で平坦性が損なわれた部分を除去するために、CMPにより厚さ数百nm程度の研削研磨を実施する。犠牲層105を厚さ1000nm以上に形成しておけば、上述したCMPによって薄層化しても、犠牲層105がすべて失われることはない。上述した平坦化および薄層化工程により図1Eに示すように、ゲート分離層106の上には、薄層化された犠牲層105aが残る。

[0043] 次に、薄層化した犠牲層105aを除去し、図1Fに示すように、ゲート分離層106の表面を露出させる。犠牲層105aは、GaNから構成され、ゲート分離層106はAlGaNから構成されているので、例えば、塩素ガス、窒素ガス、酸素ガスを用いたドライエッチング処理により、ゲート分離層106をエッチング停止層とした犠牲層105aの除去が可能である。

[0044] 次に、図1Gに示すように、ゲート分離層106の上に酸化シリコン層124を形成し、酸化シリコン層124の上に、開口151、開口152を備えるマスク層125を形成する。例えば、よく知られた堆積法により、酸化シリコンを堆積することで酸化シリコン層124を形成する。次に、酸化シリコン層124の上に、例えば、ポジ型のフォトリソ材料を塗布し、塗布層を形成する。形成した塗布層を、公知のリソグラフィー技術によりパターンニングすることで、開口151、開口152を備えるマスク層125を形

成する。開口 1 5 1, 開口 1 5 2 は、ソース領域、ドレイン領域とする箇所に形成する。

[0045] 次に、マスク層 1 2 5 をマスクとして酸化シリコン層 1 2 4 をドライエッチングすることで、マスク層 1 2 5 の開口 1 5 1, 開口 1 5 2 と同じ箇所の酸化シリコン層 1 2 4 に、開口を形成する。次に、マスク層 1 2 5 を除去した後、2つの開口を備える酸化シリコン層 1 2 4 をマスクとし、酸化シリコン層 1 2 4 より第2基板 1 2 1 の側（下側）の各層を、エッチング除去する。このエッチング処理により、図 1 H に示すように、バリア層 1 0 3 およびチャネル層 1 0 2 に、ゲート電極を形成するための領域を挟んで、バリア層 1 0 3 およびチャネル層 1 0 2 を貫通する第1溝 1 5 3 および第2溝 1 5 4 を形成する（第5工程）。

[0046] 例えば、 Cl_2 などの塩素系のガスを用いた、誘導結合型プラズマ（Inductive Coupled Plasma: ICP）による反応性イオンエッチング（Reactive Ion Etching: RIE）で、酸化シリコン層 1 2 4 より、ゲート分離層 1 0 6、チャネル層 1 0 2、バリア層 1 0 3、第1主接合層 1 0 7、第1副接合層 1 0 8、および第2接合層 1 2 3 の途中までエッチングする。エッチング時間を調整することで、厚さ方向に第2接合層 1 2 3 の途中までのエッチングを実施する。次に、クエン酸と過酸化水素系との混合液に、 pH 6.0~8.0 となるよう塩基性物質を加えたエッチング液を用いたウエットエッチングにより、 InGaAsP からなるエッチング停止層 1 2 2 に対し、選択的に GaAs からなる第2接合層 1 2 3 をエッチングする。このエッチングにより、第1溝 1 5 3 および第2溝 1 5 4 の底部に、エッチング停止層 1 2 2 の表面を露出させる。

[0047] 次に、図 1 I に示すように、第1溝 1 5 3 および第2溝 1 5 4 の底部に露出したエッチング停止層 1 2 2 の表面に、高抵抗な GaAs からなる第1再成長層 1 0 9、第2再成長層 1 1 0 を再成長させる。第1再成長層 1 0 9、第2再成長層 1 1 0 は、バリア層 1 0 3 の厚さ方向途中まで到達する高さ（厚さ）に形成する。例えば、酸化シリコン層 1 2 4 を選択成長マスクとして

用い、公知の有機金属気相成長法や分子線エピタキシ法により、高抵抗なGaAsを結晶成長させることで、第1再成長層109、第2再成長層110が形成できる。

[0048] GaAsからなる第1再成長層109、第2再成長層110は、InGaAsPからなるエッチング停止層122の上に、エピタキシャル成長して形成されている。エッチング停止層122は、GaAsからなる第2基板121の上にエピタキシャル成長して形成されているため、高い結晶品質が維持されている。このように、高い結晶品質が維持されているエッチング停止層122の上に、エピタキシャル成長して形成された第1再成長層109、第2再成長層110も、高い結晶品質が維持されている。

[0049] 次に、図1Jに示すように、チャンネル層102に接触するソース領域111、ドレイン領域112を、第1溝153および第2溝154に形成し（第6工程）、ソース領域111の上にオーミック接続するソース電極113を形成し、ドレイン領域112の上にオーミック接続するドレイン電極114を形成する（第7工程）。

[0050] 例えば、n型のInGaAsを第1再成長層109、第2再成長層110の上に再成長させることで、チャンネル層102に接触するソース領域111、ドレイン領域112を、第1溝153および第2溝154に形成する。n型のInGaAsは、不純物を導入した窒素を含まない半導体である。例えば、Siをドーパントとして $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度にドーピングされたn型のInGaAsを、酸化シリコン層124を選択成長マスクとして用い、公知の有機金属気相成長法や分子線エピタキシ法により結晶成長させることで、ソース領域111、ドレイン領域112を形成する。ソース領域111、ドレイン領域112は、上面がゲート分離層106より上方に配置されるように形成する。

[0051] 前述したように、第1再成長層109、第2再成長層110は、高い結晶品質が維持されており、この上にエピタキシャル成長したソース領域111、ドレイン領域112も高い結晶品質が維持されている。また、InGaA

sからなるソース領域111、ドレイン領域112は、窒化物半導体に比較して、より高い不純物濃度とすることが可能であり、窒化物半導体に比較して、より低抵抗とすることができる。

[0052] 次に、酸化シリコン層124を除去した後、公知の蒸着法やスパッタ法によって、オーミックコンタクトが形成可能な電極材料（金属）を堆積することで、ソース電極113およびドレイン電極114を形成する。オーミックコンタクトが形成可能な電極材料は、例えばTi/Pt/Auなどである。この電極材料は、例えばInGaAsに対しては、ノンアロイの状態であっても、極めて低いコンタクト抵抗を実現することができる。また、ノンアロイの状態では、AlGaNの層（ゲート分離層106）を介して、GaNの層（チャンネル層102）にオーミックコンタクトを形成することはない。上記電極材料を堆積して電極材料層を形成した後、電極材料層を公知のリソグラフィ技術およびエッチング技術によりパターニングすることで、ソース電極113およびドレイン電極114が形成できる。また、よく知られたリフトオフ法により、ソース電極113およびドレイン電極114を形成することも可能である。

[0053] 次に、図1Kに示すように、ソース電極113とドレイン電極114との間のバリア層103およびチャンネル層102の上に、ゲート電極115を形成する（第8工程）。実施の形態1では、ゲート分離層106の上にショットキー接続するゲート電極115を形成する。例えば、ゲート電極115は、Ni/Auなどのゲート金属材料から構成することができる。ゲート金属材料を堆積してゲート金属材料層を形成した後、ゲート金属材料を公知のリソグラフィ技術およびエッチング技術によりパターニングすることで、ゲート電極115が形成できる。実施の形態1では、チャンネル層102の上にチャンネル層102のバンドギャップより大きいバンドギャップを有する材料から構成されたゲート分離層106を形成し、ゲート分離層106の上にショットキー接続するゲート電極115を形成している。

[0054] 上述した実施の形態1によれば、窒化物半導体に比較して、より低抵抗と

しているソース領域111、ドレイン領域112を介し、ソース電極113とドレイン電極114とチャンネル層102との接触をとっているので、Ga N系HEMTのソース・ドレイン電極の接触抵抗が、従来の技術より低減できるようになる。この結果、本発明によれば、Ga N系HEMTの高周波特性をより拡大し、広帯域化することが可能となる。

[0055] [実施の形態2]

次に、本発明の実施の形態2におけるトランジスタの作製方法について、図2A～図2Iを参照して説明する。

[0056] まず、図2Aに示すように、第1基板201の上に窒化物半導体からなるバリア層202、チャンネル層203を形成する（第1工程）。実施の形態2では、 $-c$ 軸方向に結晶成長することで、バリア層202およびチャンネル層203を、これらの順に第1基板201の上に成長する。また、実施の形態2では、第1基板201の上に、核形成層204、犠牲層205を形成してからバリア層202、チャンネル層203を形成し、バリア層202の上に、第1主接合層207、第1副接合層208を形成する。なお、核形成層204、犠牲層205、第1主接合層207、第1副接合層208も、 $-c$ 軸方向に結晶成長することで形成する。 $-c$ 軸方向に結晶成長しているので、バリア層202の上にチャンネル層203を形成することで、バリア層202とチャンネル層203とのヘテロ接合に、自発的に、 10^{13} cm^{-3} 程度の高密度のシートキャリアが形成される。

[0057] 第1基板201は、例えば、 Al_2O_3 から構成し、例えば、主表面の面方位を (0001) とする。なお、第1基板201は、Ga Nなどの窒化物半導体の成長に用いることができる材料から構成する。後述するように、第1基板201は除去するため、例えば、ドライエッチングによる基板除去が実施可能なSi、またはレーザーリフトオフなどの公知の剥離技術が適用できる Al_2O_3 がよりよいが、これらに限るものではない。

[0058] 核形成層204は、例えば、Ga Nから構成する。核形成層204は、よく知られているように、 Al_2O_3 やSi、SiCなどの異種基板の上に、Ga

Nなどの窒化物半導体を結晶成長するために、成長初期の核形成を支援し高品質かつ平坦な結晶を得るための層である。核形成層204は、低温緩衝層や低温バッファなど様々な呼称が存在する。

[0059] ここで、 Al_2O_3 からなる第1基板201の表面を窒化処理し、窒化処理した第1基板201の表面に、よく知られた有機金属気相成長法によりGaNをエピタキシャル成長させれば、主表面をV族極性面とした核形成層204が形成できる。核形成層204の表面をV族極性面とすることで、この上に、窒化物半導体が-c軸方向に結晶成長するようになる。なお、核形成層204は、GaNに限らず、AlNなどの他の窒化物から構成することも可能である。ただし、第1基板201をGaNから構成する場合、核形成層204は必要ない。

[0060] 犠牲層205は、例えば、GaNから構成する。犠牲層205は、後述する第1基板201の除去のため、また、第1基板201を除去した後に、半導体積層構造の表面平坦化に用いる。このため、犠牲層205の厚さは、第1基板201の除去の工程に適合させて、適宜に設定し、例えば、100nm以上とする。なお、犠牲層205は、核形成層204とともに、犠牲層205より上に結晶成長する層のバッファ層としても機能する。

[0061] チャネル層203は、例えば、GaNから構成する。また、バリア層202は、AlGaNから構成する。チャネル層203の厚さおよびバリア層202の厚さは、所望とするHEMTのシート抵抗および移動度、またエピタキシャル成長する層構造全体の臨界膜厚などを考慮して決定する。バリア層202は、チャネル層203に接して形成してもよく、また、チャネル層203との間に、例えばAlNなどから構成したスペーサ層を配置することも可能である。また、AlGaNから構成するバリア層202は、例えば、Al組成が、チャネル層203の側よりチャネル層203より離れる方向に、徐々に変化する構成とすることも可能である。

[0062] 第1主接合層207は、GaNから構成し、第1副接合層208は、Cをドーピングして高抵抗化したGaNから構成する。このように、複数の層から接

合層を構成することで、後述する接合工程における結晶欠陥の、チャンネル層 203、バリア層 202 への導入を抑制することが可能となる。上述した各層は、よく知られた有機金属気相成長法、分子線エピタキシ法などによって形成することも可能である。

[0063] 次に、図 2 B に示すように、窒素を含まない半導体からなる第 2 基板 221 を用意する（第 2 工程）。第 2 基板 221 は、後述する再成長工程によって、ソース領域およびドレイン領域を形成する際に、不純物がより高濃度にドーピング可能で低抵抗化しやすい材料を再成長可能な材料から構成する。不純物がより高濃度にドーピング可能で低抵抗化しやすい材料は、例えば、GaAs やなどの窒素を含まない III-V 族化合物半導体である。実施の形態 2 でも、第 2 基板 221 を、高抵抗な GaAs から構成する。

[0064] なお、実施の形態 2 でも、第 2 基板 221 の上に、エピタキシャル成長により、InGaAsP からなるエッチング停止層 222 形成し、高抵抗な GaAs からなる第 2 接合層 223 を形成する。

[0065] 次に、図 2 C に示すように、第 1 基板 201 のバリア層 202 およびチャンネル層 203 の側に、第 2 基板 221 を貼り合わせる（第 3 工程）。実施の形態 2 でも、第 1 基板 201 の第 1 副接合層 208 に、第 2 基板 221 の第 2 接合層 223 を接合させ、第 1 基板 201 と第 2 基板 221 とを貼り合わせる。この貼り合わせは、前述した実施の形態 1 と同様である。

[0066] 次に、前述した実施の形態 1 と同様に、第 1 基板 201 を除去し、図 2 D に示すように、第 2 基板 221 の上に、チャンネル層 203、バリア層 202 が、これらの順に形成された状態とする（第 4 工程）。実施の形態 2 では、第 2 基板 221 の上に、エッチング停止層 222、第 2 接合層 223、第 1 副接合層 208、第 1 主接合層 207、チャンネル層 203、バリア層 202、犠牲層 205、核形成層 204 が、これらの順に形成された状態となる。実施の形態 2 では、第 2 基板 221 から見て、バリア層 202 がチャンネル層 203 の上に形成された状態となる。

[0067] 次に、犠牲層 205 を薄層化する。後述するようにバリア層 202 の表面

を露出するために、犠牲層 205 を除去することになる。犠牲層 205 の除去では、例えば、犠牲層 205 をエッチング停止層としたエッチング処理を用いる。このエッチング処理における、バリア層 202 と犠牲層 205 との間で取り得るエッチング選択比の大きさに合わせ、犠牲層 205 を薄層化しておく。また、上記エッチング処理による犠牲層 205 の除去では、犠牲層 205 の表面の平坦性が、バリア層 202 の表面に転写される場合がある。このため、犠牲層 205 は、薄層化するとともに、表面を平坦化しておく。

[0068] 例えば、CMP により、犠牲層 205 を研削研磨することで、犠牲層 205 の表面を平坦化するとともに薄層化する。この CMP によって削る犠牲層 205 の厚さは、前工程の第 1 基板 201 の除去の状態、第 1 基板 201 を除去し後の犠牲層 205 の状態に依存する。例えば、第 1 基板 201 の除去により、犠牲層 205 の表面粗さが数 nm となっている場合、犠牲層 205 の面方向全域で平坦性が損なわれた部分を除去するために、CMP により厚さ数百 nm 程度の研削研磨を実施する。犠牲層 205 を厚さ 1000 nm 以上に形成しておけば、上述した CMP によって薄層化しても、犠牲層 205 がすべて失われることはない。

[0069] 次に、薄層化した犠牲層 205 を除去し、図 2 E に示すように、バリア層 202 の表面を露出させる。犠牲層 205 は、Ga N から構成され、バリア層 202 は Al Ga N から構成されているので、例えば、塩素ガス、窒素ガス、酸素ガスを用いたドライエッチング処理により、バリア層 202 をエッチング停止層とした犠牲層 205 の除去が可能である。

[0070] 次に、図 2 F に示すように、バリア層 202 の上に、ソース領域、ドレイン領域とする箇所を開口を備える酸化シリコンマスク 224 を形成する。酸化シリコンマスク 224 は、図 1 G を用いて説明した酸化シリコン層 124 の形成と同様である。

[0071] 次に、酸化シリコンマスク 224 をマスクとし、酸化シリコンマスク 224 より第 2 基板 221 の側（下側）の各層を、エッチング除去する。このエッチング処理により、バリア層 202 およびチャンネル層 203 に、ゲート電

極を形成するための領域を挟んで、バリア層 202 およびチャネル層 203 を貫通する第 1 溝 251 および第 2 溝 252 を形成する（第 5 工程）。

[0072] 例えば、 Cl_2 などの塩素系のガスを用いた、誘導結合型プラズマ（Inductive Coupled Plasma：ICP）による反応性イオンエッチング（Reactive Ion Etching：RIE）で、酸化シリコンマスク 224 より、チャネル層 203、バリア層 202、第 1 主接合層 207、第 1 副接合層 208、および第 2 接合層 223 の途中までエッチングする。エッチング時間を調整することで、厚さ方向に第 2 接合層 223 の途中までのエッチングを実施する。次に、クエン酸と過酸化水素系との混合液に、 pH 6.0～8.0 となるよう塩基性物質を加えたエッチング液を用いたウエットエッチングにより、 InGaAsP からなるエッチング停止層 222 に対し、選択的に GaAs からなる第 2 接合層 223 をエッチングする。このエッチングにより、第 1 溝 251 および第 2 溝 252 の底部に、エッチング停止層 222 の表面を露出させる。

[0073] 次に、図 2 G に示すように、第 1 溝 251 および第 2 溝 252 の底部に露出したエッチング停止層 222 の表面に、高抵抗な GaAs からなる第 1 再成長層 209、第 2 再成長層 210 を再成長させる。第 1 再成長層 209、第 2 再成長層 210 は、チャネル層 203 の厚さ方向途中まで到達する高さ（厚さ）に形成する。第 1 再成長層 209、第 2 再成長層 210 は、第 1 主接合層 207 の厚さ方向の途中まで到達する厚さに形成することも可能である。第 1 再成長層 209、第 2 再成長層 210 の上の第 1 溝 251 および第 2 溝 252 の側面には、チャネル層 203 が露出している。例えば、酸化シリコンからなる酸化シリコンマスク 224 を選択成長マスクとして用い、公知の有機金属気相成長法や分子線エピタキシ法により、高抵抗な GaAs を結晶成長させることで、第 1 再成長層 209、第 2 再成長層 210 が形成できる。

[0074] GaAs からなる第 1 再成長層 209、第 2 再成長層 210 は、 InGaAsP からなるエッチング停止層 222 の上に、エピタキシャル成長して形

成されている。エッチング停止層 222 は、GaAs からなる第 2 基板 221 の上にエピタキシャル成長して形成されているため、高い結晶品質が維持されている。このように、高い結晶品質が維持されているエッチング停止層 222 の上に、エピタキシャル成長して形成された第 1 再成長層 209、第 2 再成長層 210 も、高い結晶品質が維持されている。

[0075] 次に、図 2H に示すように、チャンネル層 203 に接触するソース領域 211、ドレイン領域 212 を、第 1 溝 251 および第 2 溝 252 に形成し（第 6 工程）、ソース領域 211 の上にオーミック接続するソース電極 213 を形成し、ドレイン領域 212 の上にオーミック接続するドレイン電極 214 を形成する（第 7 工程）。

[0076] 例えば n 型の InGaAs を第 1 再成長層 209、第 2 再成長層 210 の上に再成長させることで、チャンネル層 203 に接触するソース領域 211、ドレイン領域 212 を、第 1 溝 251 および第 2 溝 252 に形成する。n 型の InGaAs は、不純物を導入した窒素を含まない半導体である。例えば、Si をドーパントとして $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度にドーピングされた n 型の InGaAs を、酸化シリコンマスク 224 を選択成長マスクとして用い、公知の有機金属気相成長法や分子線エピタキシ法により結晶成長させることで、ソース領域 211、ドレイン領域 212 を形成する。ソース領域 211、ドレイン領域 212 は、上面がバリア層 202 より上方に配置されるように形成する。

[0077] 前述したように、第 1 再成長層 209、第 2 再成長層 210 は、高い結晶品質が維持されており、この上にエピタキシャル成長したソース領域 211、ドレイン領域 212 も高い結晶品質が維持されている。また、InGaAs からなるソース領域 211、ドレイン領域 212 は、窒化物半導体に比較して、より高い不純物濃度とすることが可能であり、窒化物半導体に比較して、より低抵抗とすることができる。

[0078] 次に、酸化シリコンマスク 224 を除去した後、公知の蒸着法やスパッタ法によって、オーミックコンタクトが形成可能な電極材料（金属）を堆積す

ることで、ソース電極 213 およびドレイン電極 214 を形成する。オーミックコンタクトが形成可能な電極材料は、例えば $Ti/Pt/Au$ などである。この電極材料は、例えば $InGaAs$ に対しては、ノンアロイの状態であっても、極めて低いコンタクト抵抗を実現することができる。また、ノンアロイの状態では、 $AlGaIn$ の層（バリア層 202）を介して、 GaN の層（チャンネル層 203）にオーミックコンタクトを形成することはない。上記電極材料を堆積して電極材料層を形成した後、電極材料層を公知のリソグラフィ技術およびエッチング技術によりパターニングすることで、ソース電極 213 およびドレイン電極 214 が形成できる。また、よく知られたリフトオフ法により、ソース電極 213 およびドレイン電極 214 を形成することも可能である。

[0079] 次に、図 21 に示すように、ソース電極 213 とドレイン電極 214 との間のチャンネル層 203 およびバリア層 202 の上に、ゲート電極 215 を形成する（第 8 工程）。実施の形態 2 では、バリア層 202 の上にショットキー接続するゲート電極 215 を形成する。例えば、ゲート電極 215 は、 Ni/Au などのゲート金属材料から構成することができる。ゲート金属材料を堆積してゲート金属材料層を形成した後、ゲート金属材料を公知のリソグラフィ技術およびエッチング技術によりパターニングすることで、ゲート電極 215 が形成できる。

[0080] 上述した実施の形態 2 においても、窒化物半導体に比較して、より低抵抗としているソース領域 211、ドレイン領域 212 を介し、ソース電極 213 とドレイン電極 214 とチャンネル層 203 とのコンタクトをとっていることで、 GaN 系 HEMT のソース・ドレイン電極のコンタクト抵抗が、従来の技術より低減できるようになる。この結果、本発明によれば、 GaN 系 HEMT の高周波特性をより拡大し、広帯域化することが可能となる。

[0081] 以上に説明したように、本発明では、窒化物半導体からなるバリア層およびチャンネル層を、 c 軸方向に結晶成長した第 1 基板に、窒素を含まない半導体からなる第 2 基板を貼り合わせ、第 1 基板を除去してから、バリア層およ

びチャンネル層を貫通する第1溝および第2溝を形成し、チャンネル層に接触するソース領域、ドレイン領域を、第1溝および第2溝に形成した。この結果、本発明によれば、窒化物半導体を用いたトランジスタのソース・ドレイン電極のコンタクト抵抗がより低減できるようになる。

[0082] なお、第1基板をSiから構成する場合、第1基板をドライエッチングによって除去可能であり、核形成層などのGaN系材料による層とは選択的に除去することは可能である。また、第1基板をSiCや、GaNから構成した場合、GaN系材料による層のエピタキシャル成長が可能であり、かつ高品質な結晶を得やすいが、第1基板を除去する観点から、バッファ層などに技術的に工夫が必要となる。もちろん、第1基板をSiCや、GaNから構成した場合であっても、チャンネル層やバリア層へダメージを導入することなく、広範囲にわたって第1基板の除去が実施可能であれば、十分に適用可能である。

[0083] また、上述した実施の形態では、核形成層としてGaNを用いたが、第1基板の除去の工程、HEMTの特性上の問題がない範囲で、例えば、AlN、AlGaN、AlONなどの核形成層を形成することも可能である。同様に犠牲層としてGaNを用いた場合を例示したが、結晶品質をより高品質化する目的などで、例えば成長条件の異なるGaNを複数段階にわたって成長する方法を用いることも可能である。また、犠牲層として、横方向成長を促進させるようなマスクを用いる成長方法などを用いて形成したGaNの層を用いることもできる。

[0084] また、上述では、エッチング停止層をAlGaNから構成した場合を例に説明したが、エッチングを停止するという目的の範囲であれば、他の材料を用いることも可能である。犠牲層にGaNを用いた場合、Alを含む層をエッチング停止層として用いることは、ドライエッチングや熱分解などの方法によって選択比を得る観点からは優位である。ただし、本質的にはチャンネル層やバリア層をプロセス可能な状態に露出または表面から近い領域にまで近づけることが目的であり、エッチング停止層を用いずともこれが実現可能で

あれば、前述のとおり、エッチング停止層を導入する必要は無い。

[0085] また、上述した実施の形態では、チャンネル層をGa₂Nから構成し、バリア層をAlGa₂Nから構成したが、これに限るものではない。例えば、チャンネル層をInGa₂N、InN、AlGa₂Nから構成してもよく、また、チャンネル層をGa₂N/InGa₂Nのようなヘテロ構造としてもよい。また、バリア層を、InAlN、InAlGa₂N、AlN、Ga₂Nから構成してもよく、またそれらの材料との組み合わせによる多層構造としてもよい。

[0086] また、上述では、HEMTを例に説明したが、他のトランジスタ、フォトダイオード、変調器などにも適用可能である。

[0087] また、窒化物半導体の高抵抗化は、Cをドーパントとしたが、例えば、ZnやFeをドーパントとすることも可能である。また、接合によって導入されるダメージが、デバイス特性に及ぼす影響が許容できる範囲であるのなら、接合層は用いる必要は無い。

[0088] また、第2基板を高抵抗GaAsから構成した場合、ウェットエッチングによるエッチング停止の観点から、エッチング停止層は、InGaAsP、InGaPなどPを含む材料、またはAlGaAsなどのAlを含む材料によって構成することができる。また、第2基板を、高抵抗InPから構成する場合、エッチング停止層としてInAlAsやInGaAsのようなAsを含む層を用いることができる。さらに、第2基板の上に形成する第2接合層についても、第2基板に応じて高抵抗GaAs、高抵抗InPなどの選択が可能である。

[0089] なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。

符号の説明

[0090] 101…第1基板、102…チャンネル層、103…バリア層、104…核形成層、105…犠牲層、105a…犠牲層、106…ゲート分離層、107…第1主接合層、108…第1副接合層、109…第1再成長層、110

…第2再成長層、111…ソース領域、112…ドレイン領域、113…ソース電極、114…ドレイン電極、115…ゲート電極、121…第2基板、122…エッチング停止層、123…第2接合層、124…酸化シリコン層、125…マスク層、151…開口、152…開口、153…第1溝、154…第2溝。

請求の範囲

- [請求項1] 第1基板の上に、窒化物半導体からなるバリア層およびチャネル層を、c軸方向に結晶成長する第1工程と、
窒素を含まない半導体からなる第2基板を用意する第2工程と、
前記第1基板の前記バリア層および前記チャネル層の側に前記第2基板を貼り合わせる第3工程と、
前記第1基板を除去し、前記第2基板の上に、前記バリア層および前記チャネル層が形成された状態とする第4工程と、
前記第1基板を除去した後で、前記バリア層および前記チャネル層に、ゲート電極を形成する領域を挟んで、前記バリア層および前記チャネル層を貫通する第1溝および第2溝を形成する第5工程と、
前記第1溝の底面および前記第2溝の底面の側より、不純物を導入した窒素を含まない半導体を再成長させることで、前記チャネル層に接触するソース領域、ドレイン領域を、前記第1溝および前記第2溝に形成する第6工程と、
前記ソース領域の上にオーミック接続するソース電極を形成し、前記ドレイン領域の上にオーミック接続するドレイン電極を形成する第7工程と、
前記ソース電極と前記ドレイン電極との間の前記バリア層および前記チャネル層の上に、前記ゲート電極を形成する第8工程と
を備えるトランジスタの作製方法。
- [請求項2] 請求項1記載のトランジスタの作製方法において、
前記第1工程は、前記バリア層の上に第1接合層を形成し、
前記第2工程は、前記第2基板の上に第2接合層を形成し、
前記第3工程では、前記第1接合層と前記第2接合層とを向かい合わせた状態で前記第1基板と前記第2基板とを貼り合わせることを特徴とするトランジスタの作製方法。
- [請求項3] 請求項1または2記載のトランジスタの作製方法において、

前記第4工程では、前記バリア層の一部とともに前記第1基板を除去する

ことを特徴とするトランジスタの作製方法。

[請求項4]

請求項1または2記載のトランジスタの作製方法において、

前記第1工程は、前記第1基板の上に犠牲層を介して前記バリア層および前記チャンネル層を形成し、

前記第4工程では、前記犠牲層の一部とともに前記第1基板を除去する

ことを特徴とするトランジスタの作製方法。

[請求項5]

請求項1～4のいずれか1項に記載のトランジスタの作製方法において、

前記第1工程では、+c軸方向に結晶成長することで、前記チャンネル層および前記バリア層を、これらの順に前記第1基板の上に成長し、加えて、前記チャンネル層の前記第1基板の側に、前記チャンネル層のバンドギャップより大きいバンドギャップを有する材料から構成されたゲート分離層を、前記チャンネル層に接して形成し、

前記第8工程では、前記ゲート分離層の上に前記ゲート電極を形成する

ことを特徴とするトランジスタの作製方法。

[請求項6]

請求項1～4のいずれか1項に記載のトランジスタの作製方法において、

前記第1工程では、-c軸方向に結晶成長することで、前記バリア層および前記チャンネル層を、これらの順に前記第1基板の上に成長し、

前記第8工程では、前記バリア層の上に前記ゲート電極を形成することを特徴とするトランジスタの作製方法。

[請求項7]

請求項1～6のいずれか1項に記載のトランジスタの作製方法において、

前記第1基板は、サファイア、Si、SiC、GaN、AlNのいずれかから構成され、

前記第2基板は、GaAs、InP、Siのいずれかから構成されている

ことを特徴とするトランジスタの作製方法。

[請求項8]

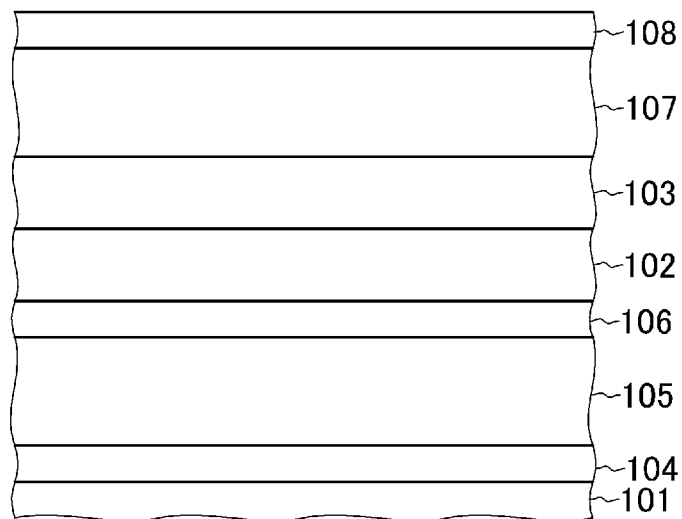
請求項1～7のいずれか1項に記載のトランジスタの作製方法において、

前記チャネル層は、GaN、InGaN、InN、AlGaNのいずれかまたはこれらの積層構造から構成され、

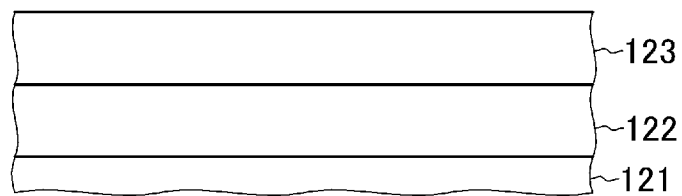
前記バリア層は、AlGaN、InAlN、InAlGaN、AlN、GaNのいずれかまたはこれらの積層構造によって構成されている

ことを特徴とするトランジスタの作製方法。

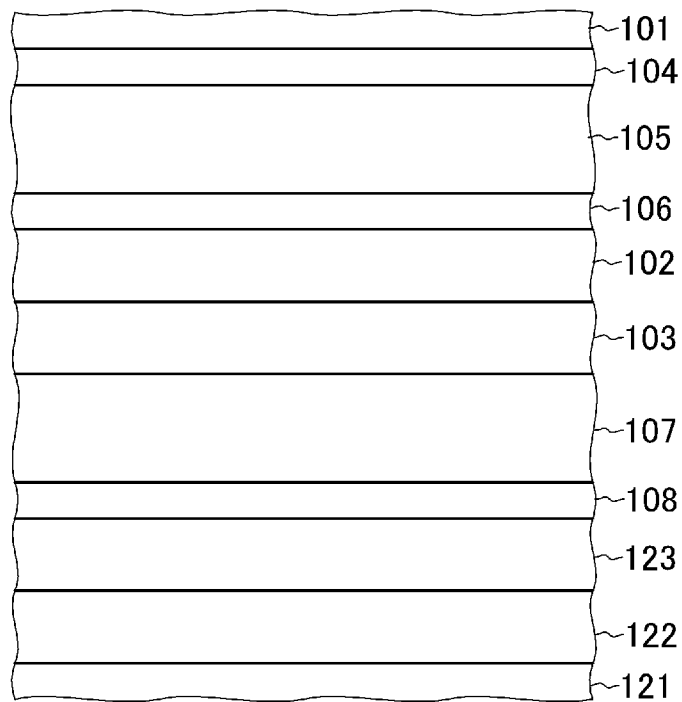
[図1A]



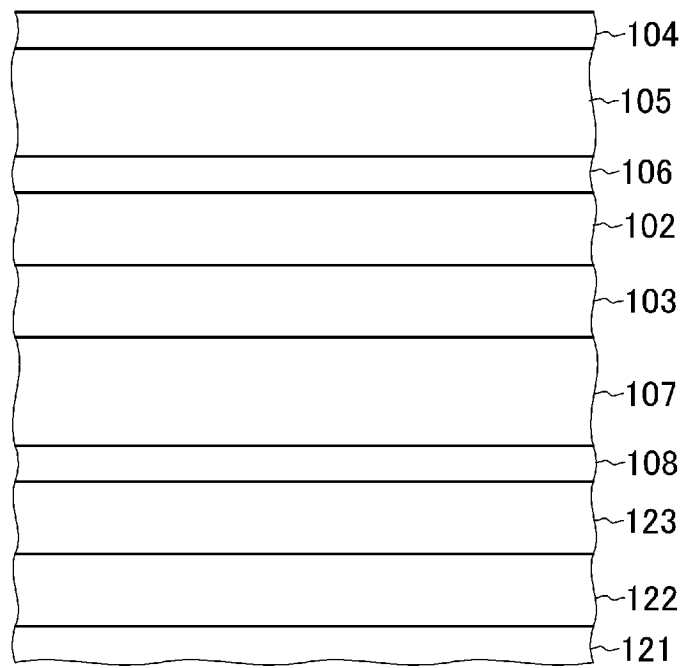
[図1B]



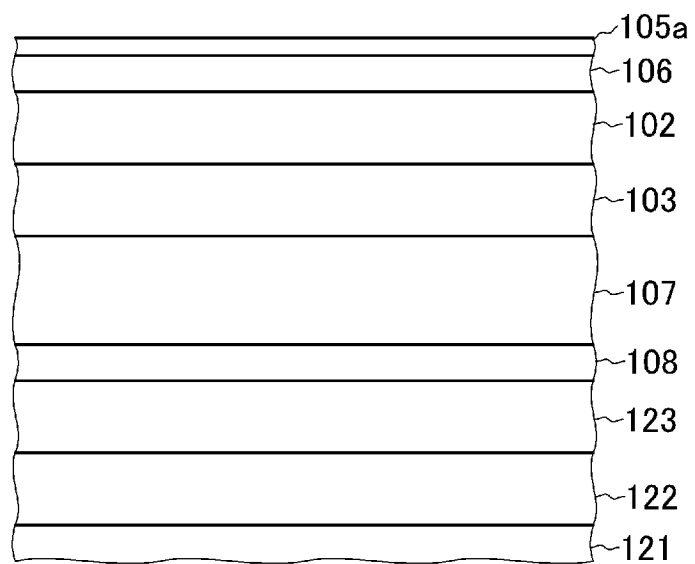
[図1C]



[図1D]



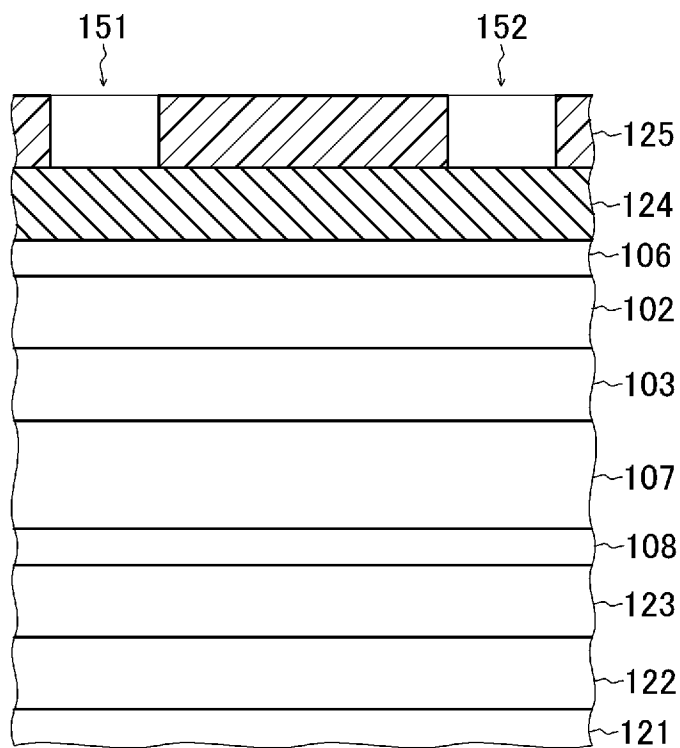
[図1E]



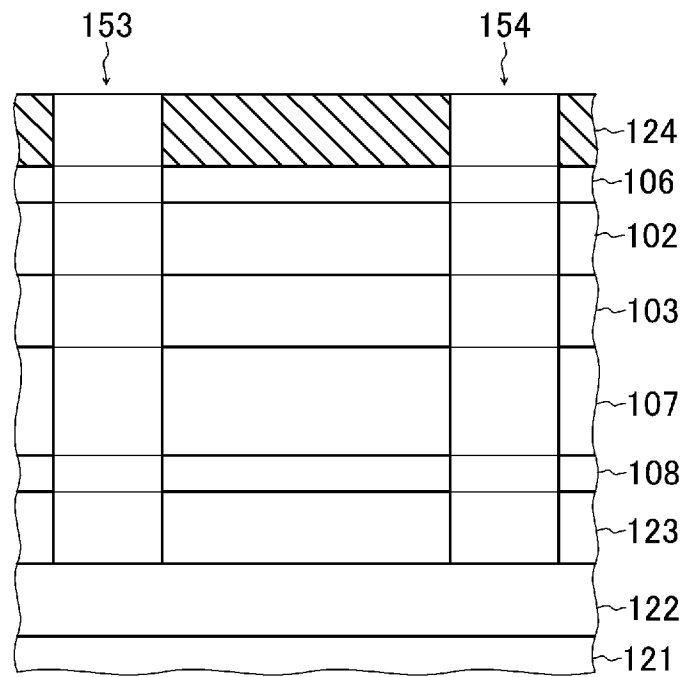
[図1F]



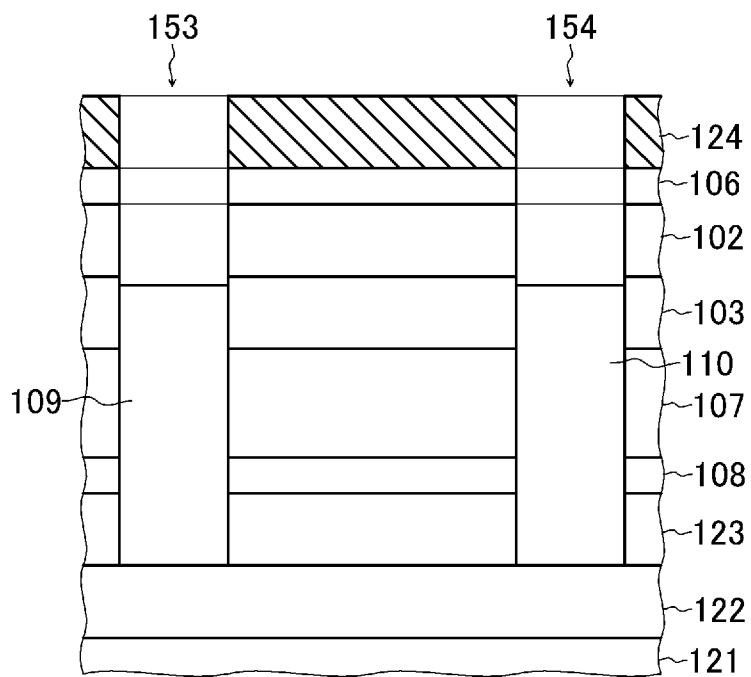
[図1G]



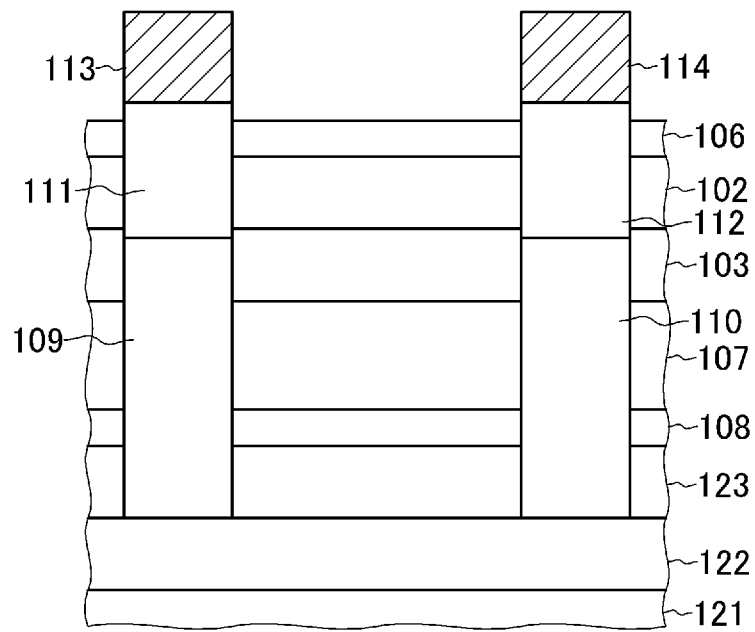
[図1H]



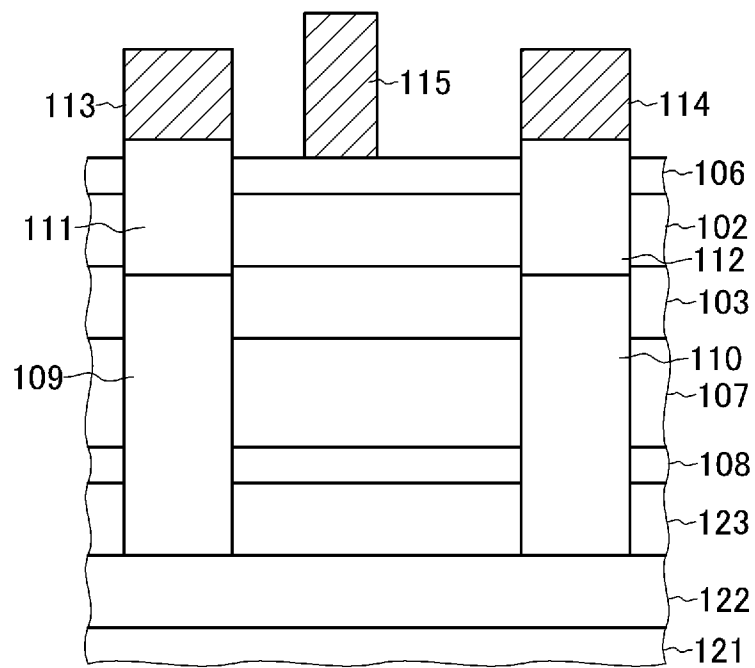
[図1I]



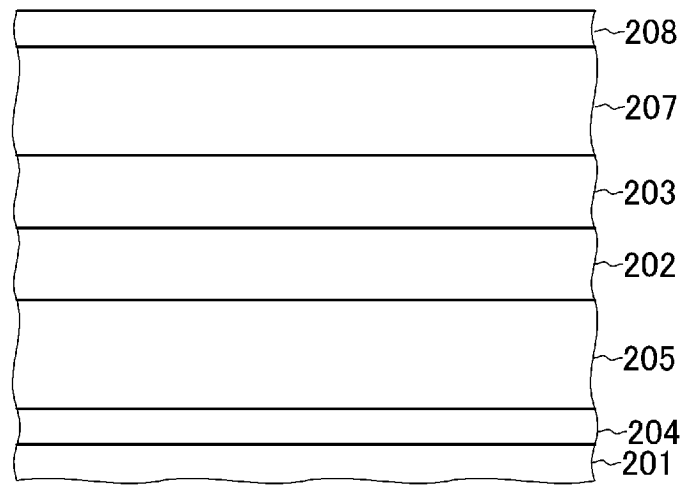
[図1J]



[図1K]



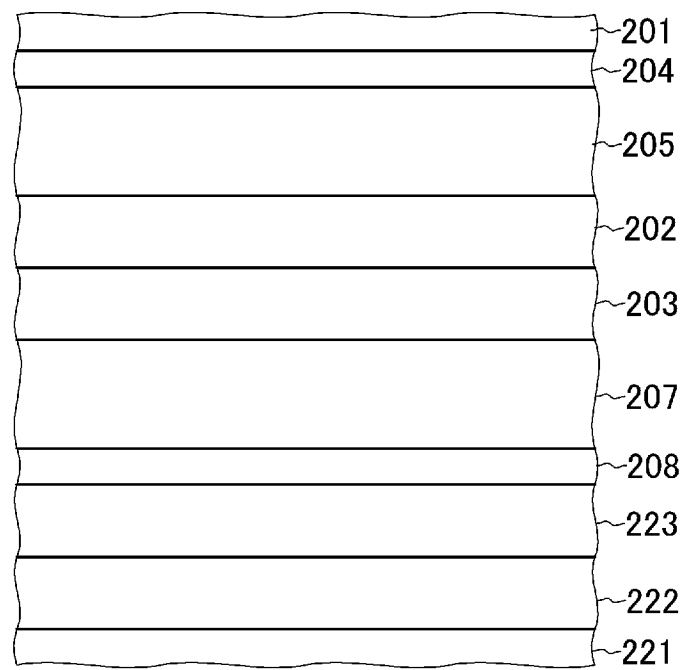
[図2A]



[図2B]



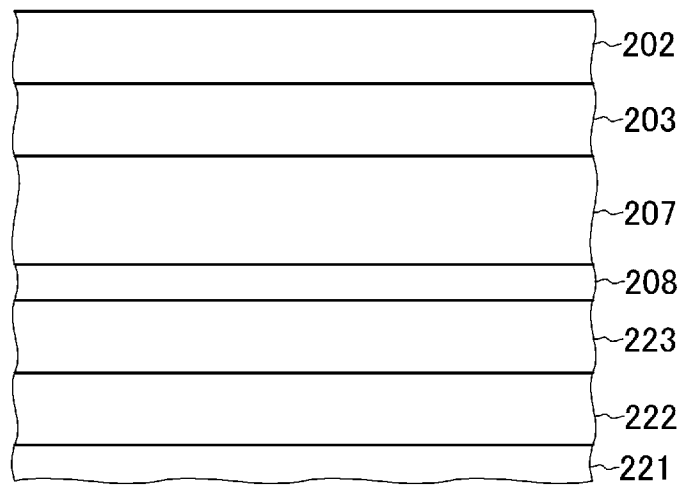
[図2C]



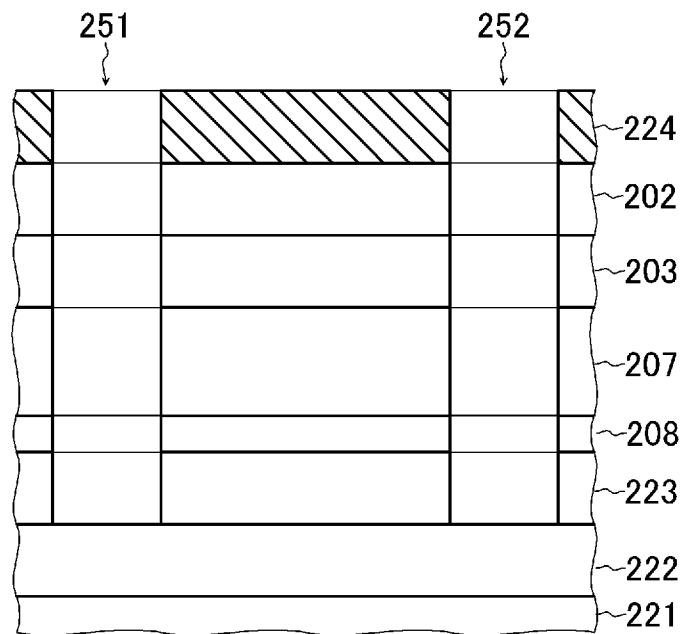
[図2D]



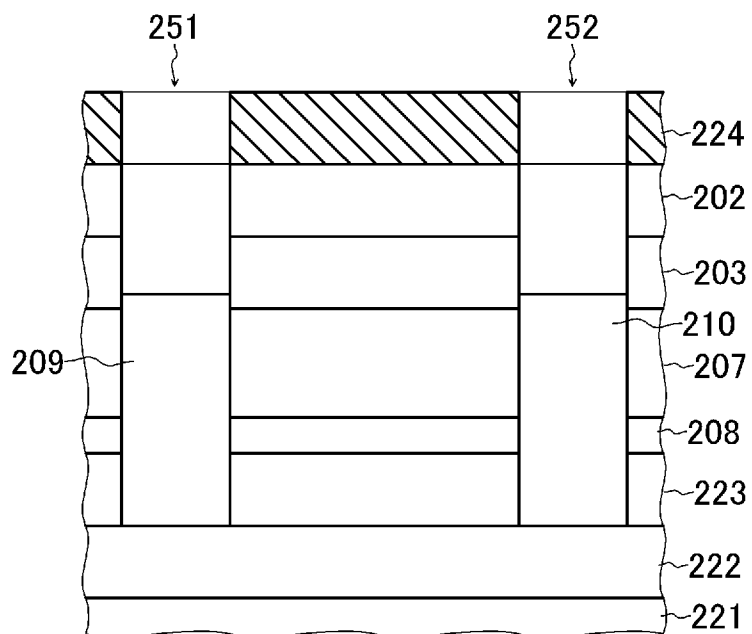
[図2E]



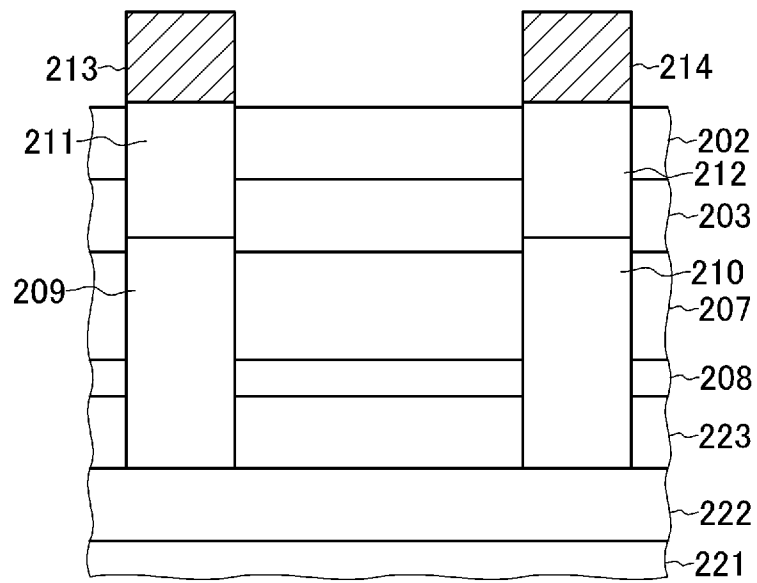
[図2F]



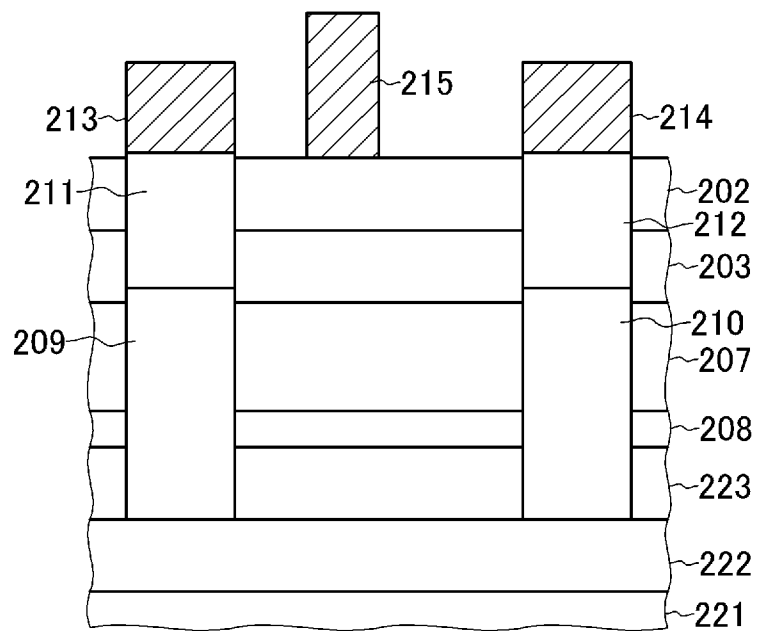
[図2G]



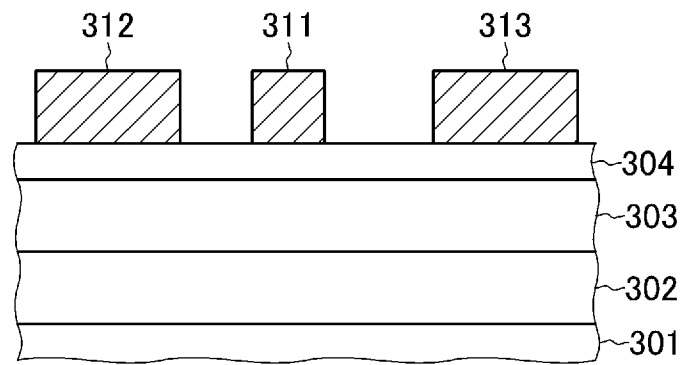
[図2H]



[図2I]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/044863

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/20(2006.01)i; H01L 21/28(2006.01)i; H01L 29/417(2006.01)i; H01L 21/338(2006.01)i; H01L 29/812(2006.01)i; H01L 29/778(2006.01)i
 FI: H01L29/80 F; H01L21/20; H01L21/28 301B; H01L21/28 301R;
 H01L29/50 J; H01L29/80 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20; H01L21/28; H01L29/417; H01L21/338; H01L29/812; H01L29/778

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-261179 A (HITACHI CABLE, LTD.) 28.09.2006 (2006-09-28) entire text, fig. 1-9	1-8
A	JP 2017-152467 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 31.08.2017 (2017-08-31) entire text, fig. 5-7	1-8
A	JP 2011-159795 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 18.08.2011 (2011-08-18) entire text, fig. 2-3	1-8
A	JP 5-175245 A (SANYO ELECTRIC CO., LTD.) 13.07.1993 (1993-07-13) entire text, fig. 2	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

27 January 2020 (27.01.2020)

Date of mailing of the international search report

04 February 2020 (04.02.2020)

Name and mailing address of the ISA/

Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2019/044863

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
---	------------------	---------------	------------------

JP 2006-261179 A	28 Sep. 2006	(Family: none)	
JP 2017-152467 A	31 Aug. 2017	(Family: none)	
JP 2011-159795 A	18 Aug. 2011	(Family: none)	
JP 5-175245 A	13 Jul. 1993	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/20(2006.01)i; H01L 21/28(2006.01)i; H01L 29/417(2006.01)i; H01L 21/338(2006.01)i; H01L 29/812(2006.01)i; H01L 29/778(2006.01)i FI: H01L29/80 F; H01L21/20; H01L21/28 301B; H01L21/28 301R; H01L29/50 J; H01L29/80 H																	
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/20; H01L21/28; H01L29/417; H01L21/338; H01L29/812; H01L29/778 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2020年																
日本国実用新案登録公報	1996 - 2020年																
日本国登録実用新案公報	1994 - 2020年																
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2006-261179 A（日立電線株式会社）28.09.2006（2006 - 09 - 28） 全文, 図1-9</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 2017-152467 A（日本電信電話株式会社）31.08.2017（2017 - 08 - 31） 全文, 図5-7</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 2011-159795 A（日本電信電話株式会社）18.08.2011（2011 - 08 - 18） 全文, 図2-3</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 5-175245 A（三洋電機株式会社）13.07.1993（1993 - 07 - 13） 全文, 図2</td> <td>1-8</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2006-261179 A（日立電線株式会社）28.09.2006（2006 - 09 - 28） 全文, 図1-9	1-8	A	JP 2017-152467 A（日本電信電話株式会社）31.08.2017（2017 - 08 - 31） 全文, 図5-7	1-8	A	JP 2011-159795 A（日本電信電話株式会社）18.08.2011（2011 - 08 - 18） 全文, 図2-3	1-8	A	JP 5-175245 A（三洋電機株式会社）13.07.1993（1993 - 07 - 13） 全文, 図2	1-8
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
A	JP 2006-261179 A（日立電線株式会社）28.09.2006（2006 - 09 - 28） 全文, 図1-9	1-8															
A	JP 2017-152467 A（日本電信電話株式会社）31.08.2017（2017 - 08 - 31） 全文, 図5-7	1-8															
A	JP 2011-159795 A（日本電信電話株式会社）18.08.2011（2011 - 08 - 18） 全文, 図2-3	1-8															
A	JP 5-175245 A（三洋電機株式会社）13.07.1993（1993 - 07 - 13） 全文, 図2	1-8															
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																	
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																	
国際調査を完了した日 27.01.2020		国際調査報告の発送日 04.02.2020															
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴垣 宙央 5F 7895 電話番号 03-3581-1101 内線 3516															

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2019/044863

引用文献			公表日	パテントファミリー文献	公表日
JP	2006-261179	A	28.09.2006	(ファミリーなし)	
JP	2017-152467	A	31.08.2017	(ファミリーなし)	
JP	2011-159795	A	18.08.2011	(ファミリーなし)	
JP	5-175245	A	13.07.1993	(ファミリーなし)	