

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-233869

(P2011-233869A)

(43) 公開日 平成23年11月17日(2011.11.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 L	5B046
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 D	5F033
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 A	5F038
HO 1 L 23/52 (2006.01)	HO 1 L 21/82 B	5F064
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 Z	

審査請求 未請求 請求項の数 10 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2011-73479 (P2011-73479)  
 (22) 出願日 平成23年3月29日 (2011. 3. 29)  
 (31) 優先権主張番号 特願2010-90570 (P2010-90570)  
 (32) 優先日 平成22年4月9日 (2010. 4. 9)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
 (74) 代理人 100102864  
 弁理士 工藤 実  
 (72) 発明者 伊東 克敏  
 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
 ルネサスエレクトロニクス株式会社内  
 F ターム(参考) 5B046 AA08 BA06  
 5F033 MM30 UU02 UU05 VV04 VV07  
 5F038 CA12 CA17 CD02 CD05 CD11  
 EZ09 EZ20  
 5F064 AA04 DD02 DD05 DD12 DD18  
 EE02 EE12 EE16 EE23 EE52  
 HH02 HH06 HH11

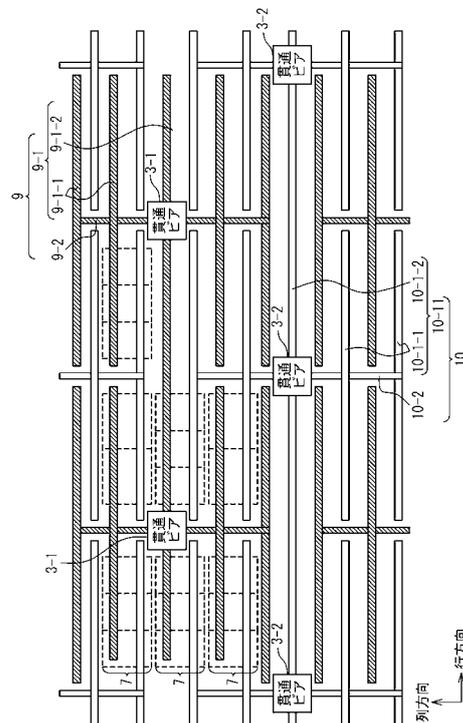
(54) 【発明の名称】 半導体装置、半導体装置のレイアウト装置、及び半導体装置のレイアウト方法

(57) 【要約】

【課題】 信号配線を自由にレイアウトすることのできる、半導体装置、半導体装置のレイアウト装置、及び半導体装置のレイアウト方法を提供する。

【解決手段】 半導体装置は、主面及び裏面を有する基板と、前記主面上に設けられ、機能セル群が形成された機能セル層と、前記機能セル層上に積層された複数の配線層と、前記複数の配線層に設けられ、電源電圧を前記機能セル群に供給する、電源配線部と、前記基板を貫通する貫通ビア群とを具備する。前記電源配線部は、前記複数の配線層のうちの最下層に設けられた最下層電源配線群を有する。前記貫通ビア群は、前記裏面から前記最下層にまで伸びており、前記最下層において前記最下層電源配線群に接続される。前記最下層電源配線群は、分岐して伸びる部分を有している。

【選択図】 図 6



## 【特許請求の範囲】

## 【請求項 1】

主面及び裏面を有する基板と、  
 前記主面上に設けられ、機能セル群が形成された機能セル層と、  
 前記機能セル層上に積層された複数の配線層と、  
 前記複数の配線層に設けられ、電源電圧を前記機能セル群に供給する、電源配線部と、  
 前記基板を貫通する貫通ビア群と、

を具備し、

前記電源配線部は、前記複数の配線層のうちの最下層に設けられた最下層電源配線群を有し、

前記貫通ビア群は、前記裏面から前記最下層にまで伸びており、前記最下層において前記最下層電源配線群に接続され、

前記最下層電源配線群は、分岐して伸びる部分を有している

半導体装置。

## 【請求項 2】

請求項 1 に記載された半導体装置であって、

前記機能セル群は、列方向に沿って並び、複数の機能セル行を備えており、

前記複数の機能セル行の各々は、前記列方向に直交する行方向に沿って並び、複数の機能セルを有しており、

前記貫通ビア群は、

第 1 電源電圧が印加される第 1 貫通ビアと、

第 2 電源電圧が印加される第 2 貫通ビアとを備え、

前記最下層電源配線群は、

前記第 1 貫通ビアに接続された第 1 電源配線と、

前記第 2 貫通ビアに接続された第 2 電源配線とを備え、

前記第 1 電源配線は、

前記行方向に沿って伸びる第 1 行方向部分と、

前記行方向に直交する列方向に沿って伸びる、第 1 列方向部分とを備え、

前記第 2 電源配線は、

前記行方向に沿って伸びる第 2 行方向部分と、

前記行方向に直交する列方向に沿って伸びる、第 2 列方向部分とを備え、

前記第 1 列方向部分と前記第 2 列方向部分とは、前記列方向において交互となるように配置されている

半導体装置。

## 【請求項 3】

請求項 1 または 2 に記載された半導体装置であって、

前記電源配線部は、前記最下層にのみ設けられている

半導体装置。

## 【請求項 4】

主面及び裏面を有する基板と、前記主面上に設けられ、機能セル群が形成された機能セル層と、前記機能セル層上に積層された複数の配線層と、前記複数の配線層に設けられ、電源電圧を前記機能セル群に供給する、電源配線部と、前記基板を貫通する貫通ビア群とを具備し、前記電源配線部は、前記複数の配線層のうちの最下層に設けられた最下層電源配線群を有し、前記貫通ビア群は、前記裏面から前記最下層にまで伸びており、前記最下層において前記分岐電源配線に接続され、前記最下層電源配線群は、分岐して伸びる部分を有している半導体装置のレイアウト装置であって、

前記貫通ビア群のレイアウトを決定し、貫通ビアデータを生成する貫通ビア配置部と、

前記貫通ビア群に接続されるように、前記最下層に前記分岐電源配線をレイアウトし、電源配線データを生成する、電源配線配置部と、

前記機能セル層に、前記機能セル群に含まれる各機能セルを示すスタンダードセルをレ

10

20

30

40

50

レイアウトし、セル配置後データを生成する、スタンダードセル配置部と、

前記セル配置後データに基づいて、前記複数の配線層に信号配線をレイアウトし、レイアウトデータを生成する、信号配線配置部と、  
を具備し、

前記スタンダードセル配置部は、前記貫通ビアデータに基づいて、前記貫通ビア群に対応する位置に貫通ビアリザーブセルをレイアウトし、前記スタンダードセルを前記貫通ビアリザーブセルと重ならないようにレイアウトする  
半導体装置のレイアウト装置。

【請求項 5】

請求項 4 に記載された半導体装置のレイアウト装置であって、

前記機能セル群は、列方向に沿って並ぶ、複数の機能セル行を備えており、

前記複数の機能セル行の各々は、前記列方向に直交する行方向に沿って並ぶ、複数の機能セルを有しており、

前記貫通ビア群は、

第 1 電源電圧が印加される第 1 貫通ビアと、

第 2 電源電圧が印加される第 2 貫通ビアとを備え、

前記分岐電源配線は、

前記第 1 貫通ビアに接続された第 1 電源配線と、

前記第 2 貫通ビアに接続された第 2 電源配線とを備え、

前記第 1 電源配線は、

前記行方向に沿って伸びる第 1 行方向部分と、

前記行方向に直交する列方向に沿って伸びる、第 1 列方向部分とを備え、

前記第 2 電源配線は、

前記行方向に沿って伸びる第 2 行方向部分と、

前記行方向に直交する列方向に沿って伸びる、第 2 列方向部分とを備え、

前記電源配線配置部は、前記第 1 列方向部分と前記第 2 列方向部分が、前記列方向において交互になるように、前記分岐電源配線をレイアウトする

半導体装置のレイアウト装置。

【請求項 6】

請求項 5 に記載された半導体装置のレイアウト装置であって、

前記スタンダードセル配置部は、前記電源配線データに基づいて、前記第 1 列方向部分及び前記第 2 列方向部分に対応する位置に、列方向配線リザーブセルをレイアウトし、前記スタンダードセルを前記列方向配線リザーブセルと重ならないようにレイアウトする  
半導体装置のレイアウト装置。

【請求項 7】

主面及び裏面を有する基板と、前記主面上に設けられ、機能セル群が形成された機能セル層と、前記機能セル層上に積層された複数の配線層と、前記複数の配線層に設けられ、電源電圧を前記機能セル群に供給する、電源配線部と、前記基板を貫通する貫通ビア群とを具備し、前記電源配線部は、前記複数の配線層のうちの最下層に設けられた最下層電源配線群を有し、前記貫通ビア群は、前記裏面から前記最下層にまで伸びており、前記最下層において前記分岐電源配線に接続され、前記最下層電源配線群は、分岐して伸びる部分を有している半導体装置のレイアウト方法であって、

コンピュータが、前記貫通ビア群のレイアウトを決定し、貫通ビアデータを生成するステップと、

コンピュータが、前記貫通ビア群に接続されるように、前記最下層に前記分岐電源配線をレイアウトし、電源配線データを生成するステップと、

コンピュータが、前記機能セル層に、前記機能セル群に含まれる各機能セルを示すスタンダードセルをレイアウトし、セル配置後データを生成するステップと、

コンピュータが、前記セル配置後データに基づいて、前記複数の配線層に信号配線をレイアウトし、レイアウトデータを生成するステップと、

10

20

30

40

50

を具備し、

前記セル配置後データを生成するステップは、

前記貫通ビアデータに基づいて、前記貫通ビア群に対応する位置に貫通ビアリザーブセルをレイアウトするステップと、

前記スタンダードセルを前記貫通ビアリザーブセルと重ならないようにレイアウトするステップとを備える

半導体装置のレイアウト方法。

【請求項 8】

請求項 7 に記載された半導体装置のレイアウト方法をコンピュータにより実現するための、半導体装置のレイアウトプログラム。

10

【請求項 9】

主面及び裏面を有する基板と、

前記主面上に設けられた、第 1 導電型半導体層と、

前記第 1 導電型半導体層上に設けられた、第 1 MOS (Metal - Oxide - Semiconductor) トランジスタと、

前記基板を貫通し、一端で前記裏面に設けられた第 1 電極パッドに接続され、他端で前記第 1 導電型半導体層に接続された、第 1 貫通ビアと、

を具備し、

前記第 1 MOS トランジスタは、

前記第 1 導電型半導体層の表層部に設けられ、第 2 導電型の半導体領域である第 1 ソース及びドレイン領域と、

20

前記ソース及びドレイン領域の間に設けられ、前記第 1 導電型半導体層により形成される、第 1 チャンネル形成領域と、

前記第 1 チャンネル形成領域上にゲート絶縁膜を介して設けられた、第 1 ゲート電極とを備え、

前記第 1 電極パッドには、第 1 基板電圧が印加され、

前記第 1 導電型半導体層には、前記第 1 電極パッド及び前記第 1 貫通ビアを介して、前記第 1 基板電圧が印加される

半導体装置。

【請求項 10】

30

請求項 9 に記載された半導体装置であって、

更に、

前記第 1 導電型半導体層上に設けられた、第 2 導電型半導体層と、

前記第 2 導電型半導体層上に設けられた、第 2 MOS トランジスタと、

前記基板を貫通し、一端で前記裏面に設けられた第 2 電極パッドに接続され、他端で前記第 2 導電型半導体層に接続された、第 2 貫通ビアと、

を具備し、

前記第 2 MOS トランジスタは、

前記第 2 導電型半導体層の表層部に設けられ、第 1 導電型の半導体領域であるソース及びドレイン領域と、

40

前記第 1 ソース及びドレイン領域の間に設けられ、前記第 2 導電型半導体層により形成される、第 2 チャンネル形成領域と、

前記第 2 チャンネル形成領域上にゲート絶縁膜を介して設けられた、第 2 ゲート電極とを備え、

前記第 2 電極パッドには、第 2 基板電圧が印加され、

前記第 2 導電型半導体層には、前記第 2 電極パッド及び前記第 2 貫通ビアを介して、前記第 2 基板電圧が印加される

半導体装置。

【発明の詳細な説明】

【技術分野】

50

## 【 0 0 0 1 】

本発明は、半導体装置、半導体装置のレイアウト装置、及び半導体装置のレイアウト方法に関する。

## 【 背景技術 】

## 【 0 0 0 2 】

半導体装置は、基板、基板上に設けられた機能セル層、および機能セル層上に設けられた複数の配線層を備えている。機能セル層には、トランジスタなどの素子が機能セルとして配置されている。複数の配線層には、電源配線、および信号配線などが設けられる。電源配線は、電源パッドに接続される。電源パッドに印加された電源電圧が、電源配線を介して、機能セルに供給される。

10

## 【 0 0 0 3 】

機能セルは、通常、基板の全面にわたって配置される。そのため、電源配線は、基板の全面に張り巡らされている必要がある。通常、電源配線を全面に張り巡らせるために、メッシュ状の電源配線構造が採用される。

## 【 0 0 0 4 】

上記に関連して、特許文献 1（特開 2 0 0 7 - 2 8 7 9 0 8 号公報）には、チップ上に配置された電源パッドと、電源配線構造を介して電源パッドに接続された回路群とを備える半導体集積回路が開示されている。この半導体集積回路において、電源配線構造は、異なる配線層に形成され複数の交差点においてオーバーラップする複数の第 1 電源配線及び第 2 電源配線と、複数の第 1 電源配線と複数の第 2 電源配線を接続するビアとを有する。回路群は、第 1 領域に配置された第 1 機能ブロックを含む。ビアは、第 1 領域と電源パッドの間の第 2 領域における複数の交差点の一部に配置されていない。

20

## 【 0 0 0 5 】

一方で、機能セルを外部装置と電気的に接続するために、基板に貫通電極が設けられることがある。貫通電極に関連して、特許文献 2（特開 2 0 0 4 - 3 4 2 6 9 0 号公報）に記載された半導体装置が挙げられる。特許文献 2 には、表面側貫通電極と電気接続された電源配線を得る点が記載されている。

## 【 0 0 0 6 】

また、他の関連技術として、特許文献 3（特開平 5 - 1 0 8 1 9 4 号公報）には、CMOS トランジスタに基板バイアスを印加するための素子構造が開示されている。図 1 1 は、特許文献 3 に開示された CMOS トランジスタの素子構造を示す図である。この半導体集積回路においては、N チャネル MOS 基板 p ウェル 1 0 3 が、p 基板 1 0 1 から、p チャネル MOS の基板 n エピタキシャル層 1 0 2 により絶縁されている。p ウェル 1 0 3 には、基板バイアス端子 1 0 5 - 1 を通して、NMOS 基板バイアス  $V_{Bn}$  として負の電圧が印加される。n エピタキシャル層 1 0 2 には、基板バイアス端子 1 0 5 - 2 を通して、PMOS 基板バイアス  $V_{Bp}$  として正の電圧が印加される。

30

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 7 - 2 8 7 9 0 8 号公報

40

【 特許文献 2 】 特開 2 0 0 4 - 3 4 2 6 9 0 号公報

【 特許文献 3 】 特開平 5 - 1 0 8 1 9 4 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 8 】

図 1 は、メッシュ状の電源配線構造の一例を示す概略図である。図 2 は、図 1 に示される電源配線構造の断面図である。図 1 に示されるように、この電源配線構造は、第 1 配線層（M 1）に、互いに平行に伸びる複数の第 1 電源配線が設けられている。また、第 1 配線層（M 1）の上層である第 2 配線層（M 2）に、互いに並行に伸びる複数の第 2 電源配線が設けられている。複数の第 1 電源配線が伸びる方向と、複数の第 2 電源配線が伸びる

50

方向とは、直交している。複数の第 1 電源配線と複数の第 2 電源配線とがオーバーラップする部分には、ビアが設けられている。ビアにより、複数の第 1 電源配線と複数の第 2 電源配線とが接続されている。また、図 2 に示されるように、第 2 電源配線は電源パッドと接続されている。第 1 配線層 (M1) の下方には機能ブロックが設けられており、第 1 電源配線と機能ブロックとはコンタクトを介して接続されている。この電源配線構造では、電源パッドから第 2 電源配線に電源電圧が供給される。そして、第 2 電源配線から、ビア、第 1 電源配線、及びコンタクトを介して、機能ブロックに電源電圧が供給される。

【0009】

ここで、既述の特許文献 1 の記載によれば、第 1 電源配線と第 2 電源配線との間に設けられたビアの一部を削除することにより、電位ドロップを抑制できる。

10

【0010】

しかしながら、メッシュ状の電源配線構造を用いた場合には、少なくとも 2 層以上に電源配線を配置しなければならない。そのため、信号配線を配置することのできる領域が制限される。また、第 1 電源配線と第 2 電源配線とを電氣的に接続するために、ビアを設けなければならない。この観点からも、信号配線を配置することのできる領域が制限される。すなわち、メッシュ状の電源配線構造を用いた場合には、信号配線を自由にレイアウトすることができない、という問題点があった。

【0011】

尚、既述の特許文献 2 には、貫通電極に接続された電源配線を設ける点については記載されている。しかしながら、信号配線を自由にレイアウトすることを考慮に入れて電源配線構造を決定する点については、触れられていない。

20

【課題を解決するための手段】

【0012】

本発明に係る半導体装置は、主面及び裏面を有する基板と、前記主面上に設けられ、機能セル群が形成された機能セル層と、前記機能セル層上に積層された複数の配線層と、前記複数の配線層に設けられ、電源電圧を前記機能セル群に供給する、電源配線部と、前記基板を貫通する貫通ビア群とを具備する。前記電源配線部は、前記複数の配線層のうちの最下層に設けられた最下層電源配線群を有している。前記貫通ビア群は、前記裏面から前記最下層にまで伸びており、前記最下層において前記最下層電源配線群に接続されている。前記最下層電源配線群は、分岐して伸びる部分を有している。

30

【0013】

この発明によれば、貫通ビアが設けられているために、最下層にさえ電源配線が設けられていれば、機能セル群に電源電圧を供給することが可能になる。最下層よりも上の配線層に電源配線を設ける必要がなくなり、信号配線を配置するためのスペースを確保し易くなる。加えて、上述の発明では、最下層電源配線群が分岐して伸びる部分を有している。これにより、単一の層 (最下層) において基板の全面に電源配線を張り巡らせることができる。電源配線を全面に張り巡らせるために、2 層以上の配線層を用いる必要がない。従って、異なる層間で電源配線同士を接続するためのビアを用いる必要がなくなる。この観点からも、信号配線を配置するためのスペースを確保し易くなる。

【0014】

40

本発明に係る半導体装置のレイアウト装置は、主面及び裏面を有する基板と、前記主面上に設けられ、機能セル群が形成された機能セル層と、前記機能セル層上に積層された複数の配線層と、前記複数の配線層に設けられ、電源電圧を前記機能セル群に供給する、電源配線部と、前記基板を貫通する貫通ビア群とを具備し、前記電源配線部は、前記複数の配線層のうちの最下層に設けられた最下層電源配線群を有し、前記貫通ビア群は、前記裏面から前記最下層にまで伸びており、前記最下層において前記分岐電源配線に接続され、前記最下層電源配線群は、分岐して伸びる部分を有している半導体装置のレイアウト装置である。このレイアウト装置は、前記貫通ビア群のレイアウトを決定し、貫通ビアデータを生成する貫通ビア配置部と、前記貫通ビア群に接続されるように、前記最下層に前記分岐電源配線をレイアウトし、電源配線データを生成する、電源配線配置部と、前記機能セ

50

ル層に、前記機能セル群に含まれる各機能セルを示すスタンダードセルをレイアウトし、セル配置後データを生成する、スタンダードセル配置部と、前記セル配置後データに基づいて、前記複数の配線層に信号配線をレイアウトし、レイアウトデータを生成する、信号配線配置部とを具備する。前記スタンダードセル配置部は、前記貫通ビアデータに基づいて、前記貫通ビア群に対応する位置に貫通ビアリザーブセルをレイアウトし、前記スタンダードセルを前記貫通ビアリザーブセルと重ならないようにレイアウトする。

【0015】

本発明に係る半導体装置のレイアウト方法は、主面及び裏面を有する基板と、前記主面上に設けられ、機能セル群が形成された機能セル層と、前記機能セル層上に積層された複数の配線層と、前記複数の配線層に設けられ、電源電圧を前記機能セル群に供給する、電源配線部と、前記基板を貫通する貫通ビア群とを具備し、前記電源配線部は、前記複数の配線層のうちの最下層に設けられた最下層電源配線群を有し、前記貫通ビア群は、前記裏面から前記最下層にまで伸びており、前記最下層において前記分岐電源配線に接続され、前記最下層電源配線群は、分岐して伸びる部分を有している半導体装置のレイアウト方法である。このレイアウト方法は、コンピュータが、前記貫通ビア群のレイアウトを決定し、貫通ビアデータを生成するステップと、コンピュータが、前記貫通ビア群に接続されるように、前記最下層に前記分岐電源配線をレイアウトし、電源配線データを生成するステップと、コンピュータが、前記機能セル層に、前記機能セル群に含まれる各機能セルを示すスタンダードセルをレイアウトし、セル配置後データを生成するステップと、コンピュータが、前記セル配置後データに基づいて、前記複数の配線層に信号配線をレイアウトし、レイアウトデータを生成するステップとを具備する。前記セル配置後データを生成するステップは、前記貫通ビアデータに基づいて、前記貫通ビア群に対応する位置に貫通ビアリザーブセルをレイアウトするステップと、前記スタンダードセルを前記貫通ビアリザーブセルと重ならないようにレイアウトするステップとを備える。

10

20

【0016】

本発明に係る半導体装置のレイアウトプログラムは、上記の半導体装置のレイアウト方法をコンピュータにより実現するためのプログラムである。

【発明の効果】

【0017】

本発明によれば、信号配線を自由にレイアウトすることのできる、半導体装置、半導体装置のレイアウト装置、及び半導体装置のレイアウト方法が提供される。

30

【図面の簡単な説明】

【0018】

【図1】メッシュ状の電源配線構造の一例を示す概略図である。

【図2】電源配線構造の断面図である。

【図3】実施形態に係る半導体装置を概略的に示す断面図である。

【図4】機能セル群を示す平面図である。

【図5】ストライプ状に配置された2系統の電源配線を示す概略図である。

【図6】最下層電源配線群のレイアウトを示す概略図である。

【図7】半導体装置のレイアウトシステムを示す機能ブロック図である。

40

【図8】半導体装置のレイアウト方法を示すフローチャートである。

【図9】貫通リザーブセルのレイアウト結果を示す図である。

【図10】スタンダードセルのレイアウト結果を示す図である。

【図11】特許文献3に開示されたCMOSトランジスタの素子構造を示す図である。

【図12】第2の実施形態に係る半導体装置を概略的に示す断面図である。

【発明を実施するための形態】

【0019】

以下に、図面を参照しつつ、本発明の実施形態について説明する。

【0020】

(第1の実施形態)

50

図 3 は、本実施形態に係る半導体装置 1 を概略的に示す断面図である。図 3 に示されるように、半導体装置 1 は、基板 2、機能セル群 5、貫通ビア群 3、及び複数の配線層 6 (6 - 1 ~ 6 - 3) を備えている。

【0021】

基板 2 は、主面及び裏面を有している。基板 2 としては、例えば、シリコン基板が用いられる。

【0022】

機能セル群 5 は、複数の機能セル 8 を有している。機能セル群 5 は、基板 2 の主面に設けられており、機能セル層を形成している。

【0023】

複数の配線層 6 は、機能セル層上に積層されている。図 3 では、複数の配線層 6 として、3 層の配線層が描かれている。但し、配線層の層数は特に限定されるものではない。

【0024】

貫通ビア群 3 は、基板 2 の裏面から、複数の配線層 6 のうちの最下層 6 - 1 に達するまで伸びている。基板 2 の裏面には、電源電圧が印加される電源パッド 4 が設けられている。貫通ビア群 3 は、裏面において、電源パッド 4 に接続されている。尚、本明細書において、電源電圧には、グランド電圧も含まれるものとする。

【0025】

本実施形態では、最下層 6 - 1 に、各機能セル 8 に電源電圧を供給するための最下層電源配線群が設けられている。最下層電源配線群は、貫通ビア群 3 に接続されている。また、最下層電源配線群は、コンタクト 2 1 を介して、各機能セル 8 に接続されている。電源パッド 4 に印加された電源電圧は、貫通ビア群 3 を介して、最下層電源配線群に供給される。最下層電源配線群に供給された電源電圧は、コンタクト 2 1 を介して、各機能セル 8 に供給される。

【0026】

上述のように、貫通ビア群 3 と、最下層電源配線群とを用いることにより、最下層 6 - 1 を除いて、配線層 6 に電源配線を設ける必要がなくなる。そのため、信号配線を配置するための領域を十分に確保することが可能となる。

【0027】

ところで、機能セル群 5 は、基板の全面にわたり、配置されている。そのため、電源配線は、基板の全面に張り巡らされる。また、各機能セル 8 に対しては、通常、複数系統の電源電圧 (例えば VSS と VDD) が供給される。従って、最下層 6 - 1 にのみ電源配線を設ける場合には、複数系統の電源配線が、交わることなく、基板の全面に張り巡らされていなければならない。

【0028】

そのため、本実施形態においては、最下層電源配線群が、分岐して延びる部分を有している。これにより、複数系統の電源配線を、交わることなく、基板の全面に張り巡らせることが可能になる。以下に、この点について詳述する。

【0029】

まず、機能セル群 5 の配置について説明する。図 4 は、機能セル群 5 を示す平面図である。図 4 に示されるように、基板平面に平行な平面内において、行方向及び列方向が定義されている。行方向と列方向とは、直交している。機能セル群 5 は、列方向に並ぶ、複数の機能セル行 7 を備えている。複数の機能セル行 7 の各々は、行方向に沿って並ぶ、複数の機能セル 8 を有している。

【0030】

図 4 に示されるように機能セル群 5 がレイアウトされている場合、複数系統の電源配線をストライプ状に配置することが考えられる。図 5 は、ストライプ状に配置された 2 系統の電源配線を示す概略図である。図 5 に示される例では、複数の電源配線 V 1 と複数の電源配線 V 2 とが、それぞれ行方向に沿って並んでいる。複数の電源配線 V 1 は、第 1 電源電圧を各機能セル 8 に供給し、複数の電源配線 V 2 は、第 2 電源電圧を各機能セル 8 に供

10

20

30

40

50

給する。列方向において、複数の電源配線 V 1 と複数の電源配線 V 2 とは、交互である。このような構成を採用することにより、各機能セル 8 の上を横切るように、2 系統の電源配線を配置することができる。どの位置に存在する機能セル 8 に対しても、コンタクトを介して 2 系統の電源電圧を供給することができる。しかしながら、このような構成を採用する場合には、列方向に並ぶ同じ系統の電源配線同士を、電氣的に接続する必要がある。このため、このストライプ状の電源配線が配置された層よりも上の配線層に、列方向に沿って延びる電源配線を配置しなければならない。結果として、既述したメッシュ状の電源配線構造が必要になってしまう。

#### 【 0 0 3 1 】

これに対して、本実施形態では、最下層電源配線群が、分岐して伸びる部分を有している。これにより、貫通ビアから、列方向にも行方向にも電源配線を伸ばすことが可能となり、全ての機能セル 8 上に複数系統の電源配線を配置することが可能となる。

10

#### 【 0 0 3 2 】

図 6 を参照して、最下層電源配線群のレイアウトについて具体的に説明する。図 6 は、最下層電源配線群のレイアウトを示す概略図である。尚、図 6 には、複数の機能セル 8 の一部も、重ねられて描かれている。

#### 【 0 0 3 3 】

図 6 に示されるように、貫通ビア群は、第 1 貫通ビア 3 - 1、及び第 2 貫通ビア 3 - 2 を有している。第 1 貫通ビア 3 - 1 は、第 1 電源電圧が印加されるビアであり、第 2 貫通ビア 3 - 2 は、第 2 電源電圧が印加されるビアである。

20

#### 【 0 0 3 4 】

最下層電源配線群は、第 1 貫通ビア 3 - 1 に接続される第 1 電源配線 9 と、第 2 貫通ビアに接続される第 2 電源配線 10 とを有している。

#### 【 0 0 3 5 】

第 1 電源配線 9 は、第 1 行方向部分 9 - 1、及び第 1 列方向部分 9 - 2 を備えている。第 1 列方向配線部分 9 - 2 は、第 1 貫通ビア 3 - 1 から、列方向に沿って伸びている。一方、第 1 行方向部分 9 - 1 は、行方向に沿って伸びている。第 1 行方向部分 9 - 1 は、第 1 分岐配線部分 9 - 1 - 1、及び第 1 バス配線部分 9 - 1 - 2 を有している。第 1 分岐配線部分 9 - 1 - 1 は、第 1 列方向配線部分 9 - 2 から分岐するように伸びている。第 1 バス配線部分 9 - 1 - 2 は、貫通ビア 3 - 1 から行方向に沿って伸びている。

30

#### 【 0 0 3 6 】

第 2 電源配線 10 も、第 1 電源配線 9 と同様の構造を有している。すなわち、第 2 電源配線 10 は、第 2 行方向部分 10 - 1、及び第 2 列方向部分 10 - 2 を備えている。第 2 列方向配線部分 10 - 2 は、第 2 貫通ビア 3 - 2 から、列方向に沿って伸びている。第 2 行方向部分 10 - 1 は、行方向に沿って伸びている。第 2 行方向部分 10 - 1 は、第 2 分岐配線部分 10 - 1 - 1、及び第 2 バス配線部分 10 - 1 - 2 を有している。第 2 分岐配線部分 10 - 1 - 1 は、第 2 列方向配線部分 10 - 2 から分岐するように伸びている。第 2 バス配線部分 10 - 1 - 2 は、第 2 貫通ビア 3 - 2 から行方向に沿って伸びている。

#### 【 0 0 3 7 】

ここで、第 1 列方向部分 9 - 1 と第 2 列方向部分 10 - 1 とは、列方向において交互となるように配置されている。また、第 1 列方向部分 9 - 1 と第 2 列方向部分 10 - 1 とは、各機能セル行 7 上に双方が配置されるように、配置されている。また、第 1 貫通ビア 3 - 1 と第 2 貫通ビア 3 - 2 とは、行方向において交互となるような位置に配置されている。すなわち、第 1 列方向部分 9 - 2 と第 2 列方向部分 10 - 2 とは、行方向において交互となるような位置に配置されている。更に、列方向においても、第 1 貫通ビア 3 - 1 と第 2 貫通ビア 3 - 2 とは、交互となるように並んでいる。

40

#### 【 0 0 3 8 】

上述のような構成を採用することにより、単一の配線層（最下層 6 - 1）において、基板の全面に、複数（本実施形態では 2 つ）の系統の電源配線を張り巡らせることができる。また、一つの貫通ビア 3 から、行方向にも列方向にも電源配線を伸ばすことができる。

50

そのため、必要な貫通ビア 3 の数を低減させることができ、貫通ビア 3 により消費される面積オーバーヘッドを少なくすることができる。

#### 【0039】

続いて、本実施形態に係る半導体装置の製造方法について説明する。本実施形態に係る半導体装置 1 の製造方法は、特に限定されるものではなく、例えば、WO - A 1 - 2005 - 086216 に記載された方法などを用いることが可能である。すなわち、基板 2 として半導体基板を用意する。そして、基板 2 の主面上に、拡散防止膜を形成し、拡散防止膜に貫通ビア 3 を形成するための開口を設ける。次いで、半導体基板と反対の導電型の不純物を、インプラネーションまたはデポジションする。これにより、開口から、基板 2 に、高濃度の不純物が添加される。次いで、添加された不純物を、引き伸ばし拡散（熱拡散、ランプアニールなど）により、拡散させる。基板 2 の裏面に達するまで不純物を拡散させれば、貫通ビア 3 を形成することができる。その後、主面上にトランジスタなどを形成することにより、機能セル層を形成する。更に、機能セル層上に、複数の配線層 6 を形成する。これにより、半導体装置 1 が得られる。

10

#### 【0040】

次いで、本実施形態に係る半導体装置 1 のレイアウト装置について説明する。図 7 は、半導体装置のレイアウトシステム 11 を示す機能ブロック図である。このレイアウトシステム 11 は、コンピュータにより実現される。レイアウトシステム 11 は、レイアウト装置 12、及びセルライブラリ 13 を有している。レイアウト装置 12 は、CPU が ROM (Read Only Memory) などに格納されたレイアウトプログラムを実行することにより、実現される。セルライブラリ 13 は、ハードディスクなどの記憶装置により実現される。セルライブラリ 13 には、機能セルを示すスタンダードセル 18、貫通ビアリザーセル 19、及び列方向配線リザーセル 20 が格納されている。

20

#### 【0041】

レイアウト装置 12 は、貫通ビア配置部 14、電源配線配置部 15、スタンダードセル配置部 16、及び信号配線配置部 17 を有している。貫通ビア配置部 14 は、貫通ビア 3 のレイアウトを決定し、貫通ビアデータを生成する。電源配線配置部 15 は、貫通ビアデータに基づいて、電源配線のレイアウトを決定し、電源配線データを生成する。スタンダードセル配置部 16 は、電源配線データに基づいて、機能セルのレイアウトを決定し、セル配置後データを生成する。信号配線配置部 17 は、セル配置後データに基づいて、信号配線のレイアウトを決定し、レイアウトデータを生成する。レイアウトデータは、本レイアウト装置 12 の結果として、出力される。

30

#### 【0042】

次いで、半導体装置のレイアウト方法について説明する。図 8 は、本実施形態に係る半導体装置のレイアウト方法を示すフローチャートである。

#### 【0043】

##### ステップ S 1 ; 貫通ビアの配置

まず、予め準備された設計データが、このレイアウト装置 12 に供給される。設計データは、基板 2 のサイズや、設計対象回路に含まれる論理機能等を示す情報である。貫通ビア配置部 14 は、設計データに基づいて、貫通ビア 3 のレイアウトを決定し、貫通ビアデータを生成する。

40

#### 【0044】

##### ステップ S 2 ; 電源配線の配置

次いで、電源配線配置部 15 が、貫通ビアデータに基づいて、最下層 6 - 1 に、最下層電源配線群をレイアウトする。電源配線配置部 15 は、図 6 に示したように、最下層電源配線群として、第 1 貫通ビア 3 - 1 に接続される第 1 電源配線、及び第 2 貫通ビア 3 - 2 に接続される第 2 電源配線をレイアウトする。電源配線配置部 15 は、レイアウト結果を示す電源配線データを生成する。

#### 【0045】

##### ステップ S 3 ; スタンダードセルの配置

50

次いで、スタンダードセル配置部 16 が、電源配線データ及び設計データに基づいて、機能セルのレイアウトを決定する。ここで、図 9 に示されるように、スタンダードセル配置部 16 は、まず、セルライブラリ 13 を参照して、貫通ビア 3 (3 - 1、3 - 2) に対応する位置に、貫通ビアリザーブセル 19 を配置する。また、スタンダードセル配置部 16 は、列方向に伸びる電源配線 (第 1 列方向配線 9 - 2、第 2 列方向配線 10 - 2) に対応する位置に、列方向配線リザーブセル 20 を配置する。その後、図 10 に示されるように、スタンダードセル配置部 16 は、貫通ビアリザーブセル 19 及び列方向配線リザーブセル 20 と重ならないように、機能セルを示すスタンダードセル 18 を配置する。そして、スタンダードセル配置部 16 は、スタンダードセル 18 のレイアウト結果を示すセル配置後データを生成する。

10

【0046】

ステップ S 4 ; 信号配線の配置

次いで、信号配線配置部 17 が、設計データ及びセル配置後データを取得する。信号配線配置部 17 は、設計データ及びセル配置後データに基づいて、複数の配線層 6 に、信号配線をレイアウトする。信号配線配置部 17 は、レイアウト結果を示すレイアウトデータを生成する。

【0047】

ステップ S 5 ; レイアウトデータの出力

信号配線配置部 17 は、生成したレイアウトデータを、本レイアウト装置 12 の結果として出力する。

20

【0048】

以上説明したステップ S 1 ~ S 5 の動作により、本実施形態に係る半導体装置がレイアウトされる。この手法によれば、セルライブラリ 13 に、貫通ビアリザーブセル 19 及び列方向配線リザーブセル 20 が用意されている。ステップ S 3 において、貫通ビアリザーブセル 19 及び列方向配線リザーブセル 20 が配置された後、これらのセルと重ならないようにスタンダードセル 18 が配置される。従って、貫通ビア 3 及び列方向に伸びる配線 (9 - 2、10 - 2) を特別に考慮することなく、スタンダードセル 18 のレイアウトを決定することができる。

【0049】

以上説明したように、本実施形態によれば、貫通ビア 3 を設けることによって、最下層 6 - 1 だけに設けられた電源配線構造を用いて、機能セル群 5 に電源電圧を供給することが可能になる。最下層 6 - 1 よりも上の配線層に電源配線を設ける必要がなくなり、信号配線を配置するためのスペースを確保し易くすることができる。

30

【0050】

また、最下層電源配線群が、分岐して伸びる部分を有していることにより、複数系統の電源配線を、単一の配線層 (最下層 6 - 1) 内において、基板 2 の全面に張り巡らせることができる。これにより、複数の配線層間で電源配線同士を接続するビアを設ける必要がなくなる。この観点からも、信号配線を配置するためのスペースを確保し易くすることができる。

【0051】

尚、本実施形態では、最下層 6 - 1 にのみ電源配線が設けられている場合について説明した。信号配線を配置するためのスペースを確保する観点からは、最下層 6 - 1 にのみ電源配線が設けられていることが好ましい。但し、電源配線は必ずしも最下層 6 - 1 にのみ設けられている必要はない。一部の電源配線構造の一部が最下層 6 - 1 よりも上の配線層に設けられていたとしても、最下層 6 - 1 に分岐して伸びる最下層電源配線群が設けられていれば、本実施形態と同様の作用効果が得られる。

40

【0052】

(第 2 の実施形態)

続いて、第 2 の実施形態について説明する。本実施形態においては、CMOS (Complementary Metal - Oxide - Semiconductor) トラン

50

ジスタの基板電圧が、貫通ビア3を介して供給される場合の例について説明する。

【0053】

図12は、本実施形態に係る半導体装置1を概略的に示す断面図である。図12に示されるように、この半導体装置1は、基板2、nエピタキシャル層22（第1導電型半導体層）、pウェル層23（第2導電型半導体層）、pチャネル型MOSトランジスタ25-1（第1MOSトランジスタ）、nチャネル型MOSトランジスタ25-2（第2MOSトランジスタ）、第1貫通ビア3-1、及び第2貫通ビア3-2を備えている。

【0054】

基板2は、p型半導体基板であり、主面及び裏面を備えている。基板2の裏面には、絶縁膜30が設けられている。絶縁膜30上には、第1電極パッド31-1及び第2電極パッド31-2が設けられている。

【0055】

nエピタキシャル層22は、基板2の主面上に設けられている。

【0056】

pチャネル型MOSトランジスタ25-1は、nエピタキシャル層22上に設けられている。pチャネル型MOSトランジスタ25-1は、第1ソース及びドレイン領域26-1、及び第1ゲート電極29-1を備えている。第1ソース領域26-1と第1ドレイン領域26-1の間には、nエピタキシャル層22により、チャネル形成領域が形成されている。第1ゲート電極29-1は、ゲート絶縁膜を介して、チャネル形成領域上に配置されている。nエピタキシャル層22において、チャネル形成領域の下部には、n型高濃度領域28が設けられている。

【0057】

pウェル層23は、pチャネル型MOSトランジスタ25-1が設けられた領域とは別の領域において、nエピタキシャル層22上に設けられている。

【0058】

nチャネル型MOSトランジスタ25-2は、pウェル層23上に設けられている。nチャネル型MOSトランジスタ25-2は、第2ソース及びドレイン領域26-2、及び第2ゲート電極29-2を備えている。第2ソース領域26-2と第2ドレイン領域26-2の間には、pウェル層23により、チャネル形成領域が形成されている。第2ゲート電極29-2は、ゲート絶縁膜を介して、チャネル形成領域上に配置されている。pウェル層23において、チャネル形成領域の下部には、p型高濃度領域27が設けられている。

【0059】

nエピタキシャル層22及びpウェル層23上には、pチャネル型MOSトランジスタ25-1とnチャネル型MOSトランジスタ25-2とを分離するように、絶縁性の素子分離領域24が設けられている。

【0060】

第1貫通ビア3-1は、基板2及びnエピタキシャル層22を貫通するように延びている。第1貫通ビア3-1は、一端で第1電極パッド31-1に接続され、他端でnエピタキシャル層22に接続されている。尚、基板2において、第1貫通ビア3-1の周囲には、絶縁膜30が設けられている。基板2は、絶縁膜30により、第1貫通ビア3-1から絶縁されている。

【0061】

第2貫通ビア3-2は、基板2、nエピタキシャル層22、およびpウェル層23を貫通するように延びている。第2貫通ビア3-2は、一端で第2電極パッド31-2に接続され、他端でpウェル層23に接続されている。尚、基板2及びnエピタキシャル層22において、第2貫通ビア3-2の周囲には、絶縁膜30が設けられている。基板2及びnエピタキシャル層22は、絶縁膜30により、第2貫通ビア3-2から絶縁されている。

【0062】

本実施形態においては、第1電源パッド31-1に対して、pチャネル型MOSトラン

10

20

30

40

50

ジスタ 25 - 1 の基板電圧  $V_{Bp}$  が印加される。基板電圧  $V_{Bp}$  は、第 1 貫通ビア 3 - 1 を介して、 $n$  エピタキシャル層 22 に印加される。また、第 2 電源パッド 31 - 2 に対して、 $n$  チャネル型 MOS トランジスタ 25 - 2 の基板電圧  $V_{Bn}$  が印加される。基板電圧  $V_{Bn}$  は、第 2 貫通ビア 3 - 2 を介して、 $p$  ウェル層 23 に印加される。

【0063】

本実施形態によれば、各トランジスタの基板電圧を、基板の裏面側から供給することが可能になる。従って、図 11 に示した例とは異なり、各トランジスタの基板電圧を、トランジスタの上方から供給する必要はない。すなわち、トランジスタが設けられた部分より上方に配置される配線層群において、基板電圧を供給するための配線を設ける必要がない。これにより、基板の主面側に設けられる配線層群（メタル層群）における配線リソースの消費が抑制される。メタル層のリソースを確保するために半導体装置のチップ面積が決定されている場合、チップ面積を小さくすることが可能になる。

10

【符号の説明】

【0064】

- 1 半導体装置
- 2 基板
- 3 貫通ビア
- 3 - 1 第 1 貫通ビア
- 3 - 2 第 2 貫通ビア
- 4 電源パッド
- 5 機能セル（機能セル層）
- 6 配線層群
- 6 - 1 最下層配線群（第 1 配線層）
- 6 - 2 第 2 配線層
- 6 - 3 第 3 配線層
- 7 機能セル行
- 8 機能セル
- 9 第 1 電源配線
- 9 - 1 第 1 行方向部分
- 9 - 2 第 1 列方向部分
- 10 第 2 電源配線
- 10 - 1 第 2 行方向部分
- 10 - 2 第 2 列方向部分
- 11 半導体装置のレイアウトシステム
- 12 半導体装置のレイアウト装置
- 13 セルライブラリ
- 14 貫通ビア配置部
- 15 電源配線配置部
- 16 スタANDARDセル配置部
- 17 信号配線配置部
- 18 スタANDARDセル
- 19 貫通ピアリザーブセル
- 20 列方向配線リザーブセル
- 21 コンタクト
- 22  $n$  エピタキシャル層（第 1 導電型半導体層）
- 23  $p$  ウェル層（第 2 導電型半導体層）
- 24 素子分離領域
- 25 - 1  $p$  チャネル型 MOS トランジスタ（第 1 MOS トランジスタ）
- 25 - 2  $n$  チャネル型 MOS トランジスタ（第 2 MOS トランジスタ）
- 26 - 1 第 1 ソース及びドレイン領域

20

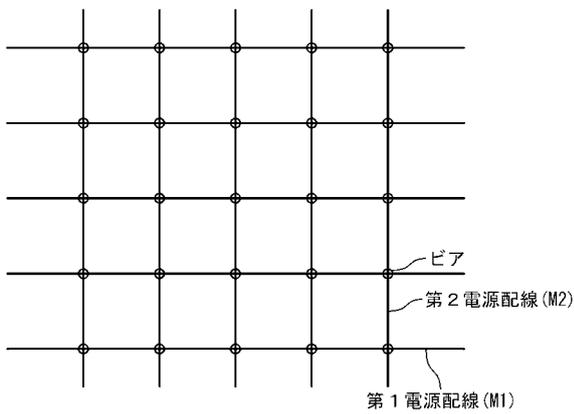
30

40

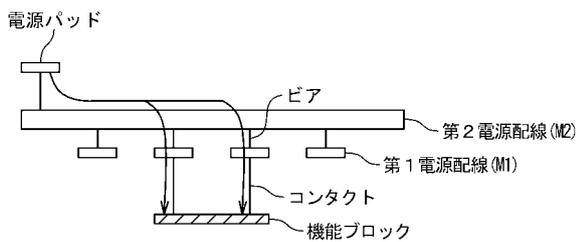
50

- 26 - 2 第2ソース及びドレイン領域
- 27 p型高濃度領域
- 28 n型高濃度領域
- 29 - 1 第1ゲート電極
- 29 - 2 第2ゲート電極
- 30 絶縁膜
- 31 - 1 第1電極パッド
- 31 - 2 第2電極パッド
- 101 p基板
- 102 nエピタキシャル層
- 103 pウェル
- 105 (105 - 1、105 - 2) 基板バイアス端子
- 106 ゲート電極

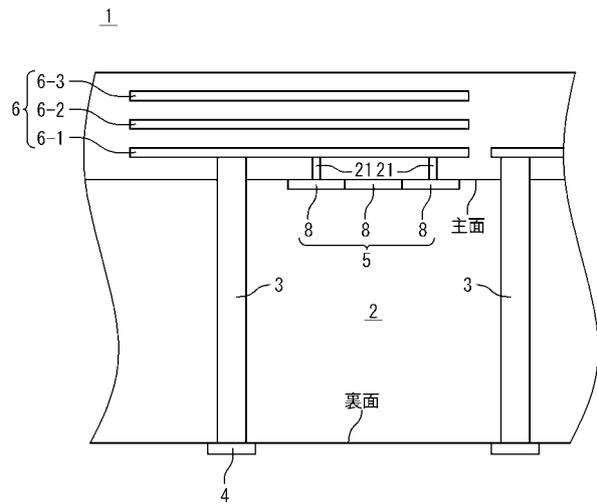
【図1】



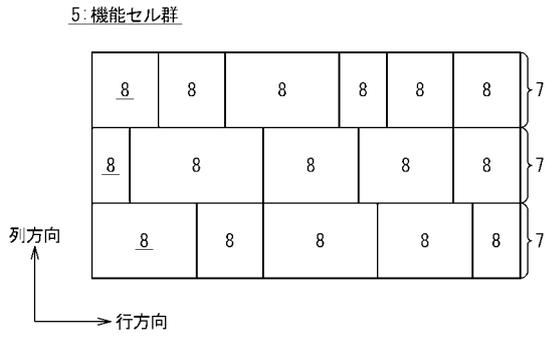
【図2】



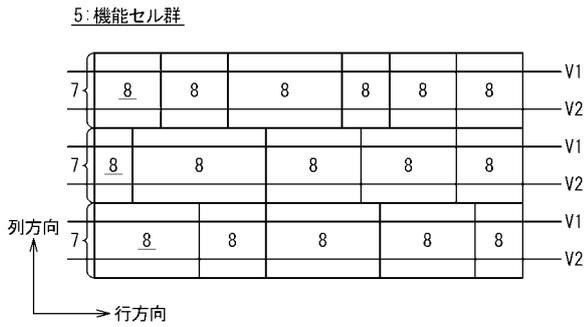
【図3】



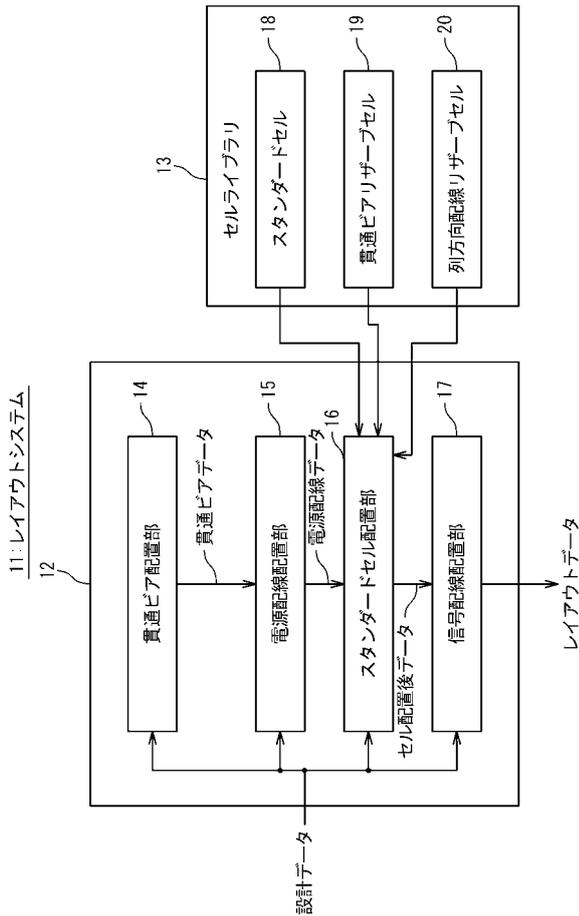
【 図 4 】



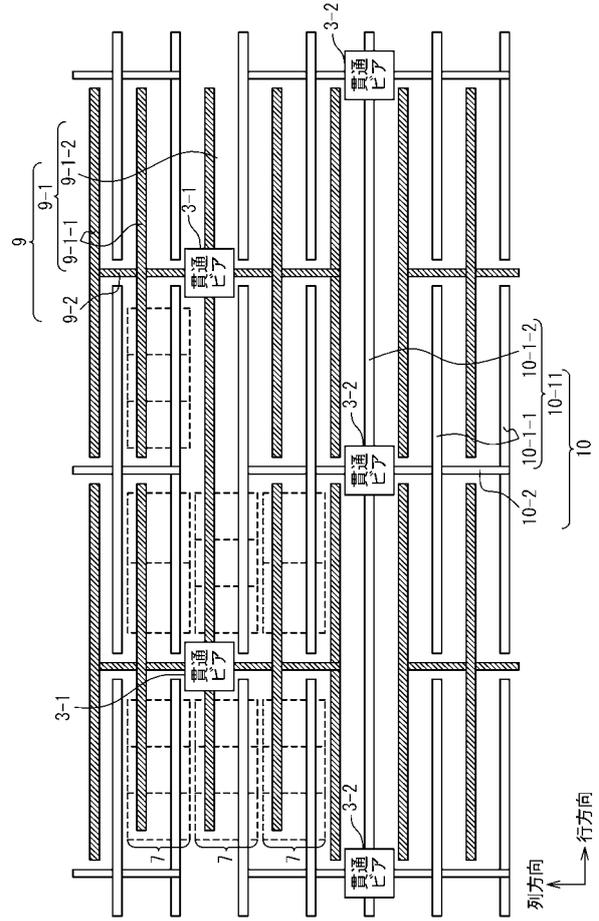
【 図 5 】



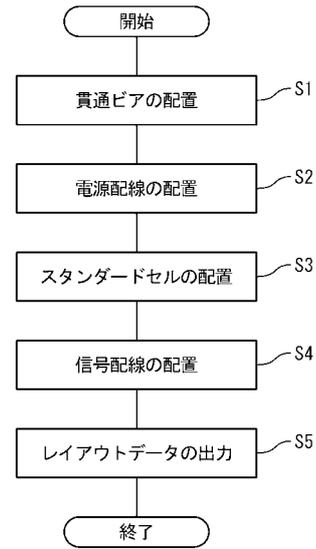
【 図 7 】



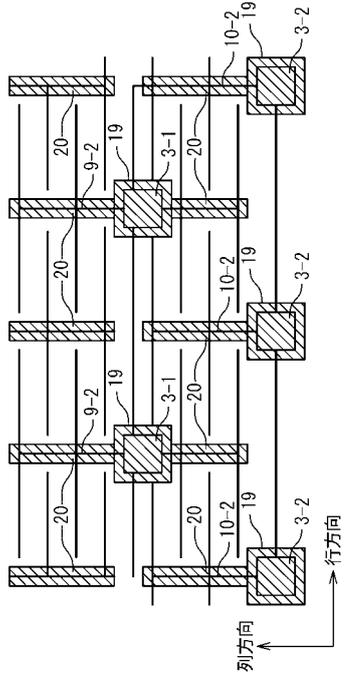
【 図 6 】



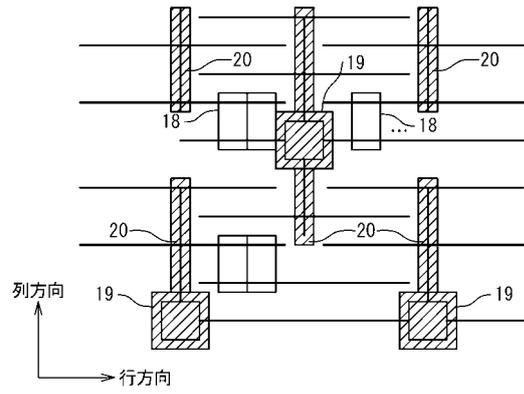
【 図 8 】



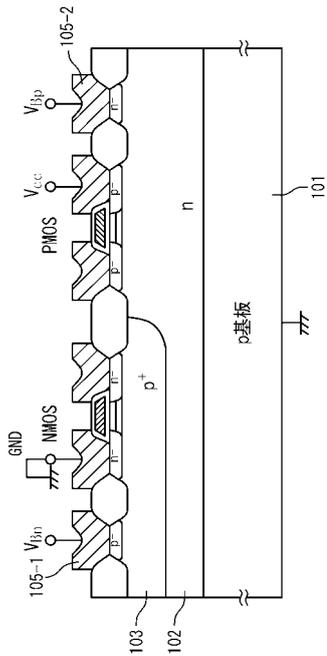
【 図 9 】



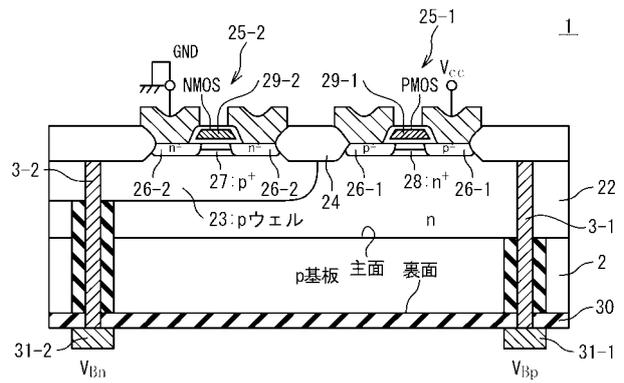
【 図 10 】



【 図 11 】



【 図 12 】



---

フロントページの続き

(51)Int.Cl.

**G 0 6 F 17/50 (2006.01)**

F I

G 0 6 F 17/50 6 5 8 K

G 0 6 F 17/50 6 5 8 J

テーマコード(参考)