

417190

公告本

89

年 9 月 24 日

修正

修正

申請日期: 88. 3. 17

案號: 88104141

補充

類別:

H01L 21/301

(以上各欄由本局填註)

417190

發明專利說明書

一、 發明名稱	中文	具有經切割形成台地型結構之半導體晶片
	英文	SEMICONDUCTOR CHIPS HAVING A MESA STRUCTURE PROVIDED BY SAWING
二、 發明人	姓名 (中文)	1. 傑克 應 2. 羅倫斯 雷特熱 3. 約瑟夫 Y. 詹 4. 葛瑞哥利 札卡陸克
	姓名 (英文)	1. JACK ENG 2. LAWRENCE LATERZA 3. JOSEPH Y. CHAN 4. GREGORY ZAKALUK
	國籍	1. 美國 2. 美國 3. 美國 4. 美國
	住、居所	1. 美國紐約州貝耳摩市悲佛路2384A號 2. 美國紐約州密勒皮雷斯市鹿思提路5號 3. 美國紐約州金斯帕克市羅賓路27號 4. 美國紐約州夕佛市阿融北道2425號
三、 申請人	姓名 (名稱) (中文)	1. 美商大眾半導體股份有限公司
	姓名 (名稱) (英文)	1. GENERAL SEMICONDUCTOR, INC.
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州梅維爾市梅維爾公園路10號
	代表人 姓名 (中文)	1. 史蒂芬 B. 貝姬
	代表人 姓名 (英文)	1. STEPHEN B. PAIGE



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/03/30 09/050,106

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

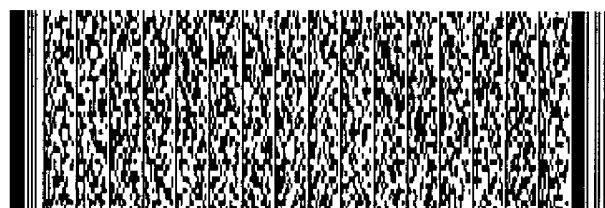
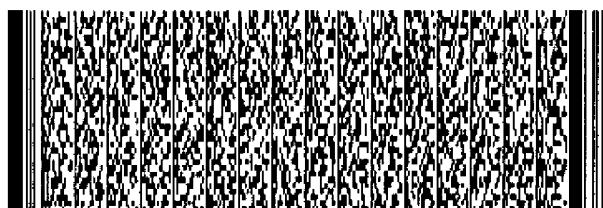
發明背景

本發明係關於具有一台地型結構之半導體晶片，特別是指此晶片使用一機械式切割製程之製造方法。

提供半導體晶片特別是用於整流裝置者時，其係概呈一平坦之半導體基材且具有一台地自基材向上延伸，台地內之一p-n接合處截取台地之斜壁面，致使鄰近於p-n接合處之電場在台地表面比在台地內具有較低之強度。因此，當裝置之電壓崩潰狀況出現時，崩潰係發生於台地內而非沿著台地表面，如所週知，此內部崩潰之破壞性遠低於沿著表面之崩潰，且由於可避免表面崩潰，裝置可在破壞前承受較高之能量脈衝。

相關於表面電壓崩潰之理論或者係先由R.L. Davies及F.E. Gentry闡述及分析於電子裝置IEEE處理1964年7月刊第313至323頁之“P-N接合處表面之電場控制”，在專家實驗之裝置中，台地斜壁面係藉由研磨取得，而近年來之斜台地則由各異向性蝕刻取得，如4,740,477，

4,891,685，5,010,023及5,399,901號美國專利所示，其皆頒證於W.G. Einthoven多人(諸件專利之主旨可供在此參考)。此異向性蝕刻製程包含：提供一矽晶圓，其塗有一氮化矽遮蔽層；施加一阻光層於遮蔽層上；及形成一台地且利用一遮光件以定義圖案於阻光層中。隨後蝕刻穿過圖案式阻光層，且進入下方之遮光層及晶圓，以定義複數台地於晶圓表面上。定義出台地後，後續之處理步驟可進一步定義出含有欲製成晶片之各台地之變數。台地之側壁面經過氧化以令台地之壁表面鈍化，覆於台地上之遮蔽



五、發明說明 (2)

層予以去除(一般係在用一遮光件之光石版印刷製程中)，以利曝現的表面於台地頂部處，曝現之表面及晶圓底表面做金屬電鍍以形成晶片之電極，因此，基本上已完成之晶片結構在一晶圓細切操作中分離，例如利用機械式切割。

前述製程雖然頗令人滿意且可延伸使用，但是因為製程較為複雜故而昂貴，例如製程中之遮光件製備與使用以及所用材料之成本，因此本發明凸顯之問題在於能否使用較不昂貴之台地成型製程。以往用於細切成品晶圓之機械式切割曾經考量用於製成台地之初期步驟，如文後所述者，其亦經採用做為一晶片製程之一部份。

如上所述，用於細切晶圓之機械式切割已屬習知，再者，此切割動作雖然僅在需要個別晶片完成後之所有製程後才進行之，但是將晶圓細切成晶片之切割過程亦可用於令各晶片之側面成型與鈍化。

例如在Shyr之4,904,610號美國專利中，其(於第4欄第23及24行)說明晶圓以切割細切形成“一斜形槽道”(槽道完全切穿晶圓且因而令各晶片側面成型)“產生一高崩潰電壓用於一整流器或其他終端產品”。

特別是在Shyr專利所示之製程中，一枚大致完成且含有金屬電極於相對立主表面上之矽半導體晶圓係經由一蠟層而黏附於一硬質之支承基材，具有斜側表面之複數條直交槽道隨後整個切割過晶圓厚度，且有部份進入下層之蠟層。一蝕刻製程用於令槽道之切割表面平滑，及一矽樹脂積置於晶圓之槽道表面上，以利填入槽道。樹脂固化後即強力黏著於槽道之壁面，但是僅稍為黏著於晶圓之金屬電



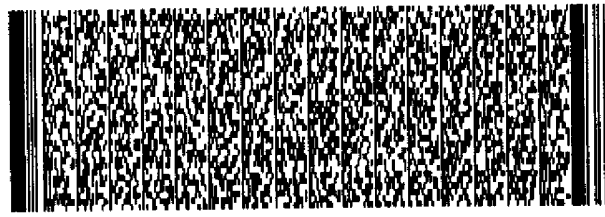
五、發明說明 (3)

鍍表面。樹脂再以研磨去除於晶圓之電鍍表面，而不去除槽道內之樹脂。晶圓隨後分離於支承基材。雖然晶圓已切割成分隔之晶片，但是晶片仍由其間之固化樹脂相互接附。以熔接選擇性施加於晶片上之金屬電極表面，晶片最後可藉由切割過晶片間之樹脂層而分離。晶片之側表面仍覆有固化樹脂，以利鈍化晶片側面。

現在，雖然Shyr製程使晶片具有鈍化之斜側表面做為高電壓崩潰特徵，但是Shyr製程基本上為習知晶圓細切方式之一變化型式，其通常在晶片所有基本處理皆完成後進行，特別是當Shyr細切過程進行時之晶圓製造階段中，晶片之所有高溫處理已完成，而進一步之高溫處理可避免。因此，在Shyr製程中，金屬電極（最好在一高溫處理步驟中產生，即超過 400°C ）已存在，而所使用之晶片鈍化材料，即揭示之矽樹脂，其係在較低溫度下施加及固化，例如大約 200°C 。

反之，如上所述，及如文後所述，本發明係關於使用機械式切割以直接替代先前使用之異向性蝕刻製程，且取代較前期之晶片製造程序。應注意的是，在Shyr案中所揭示者並未提及此種直接取代，或其如何達成。

使用“機械式切割”以形成台地係亦揭述於前述Einthoven(本文之發明人)之4,740,477及4,891,685號美國專利，惟，以本案發明人之知識所及，諸此專利所製成之裝置皆利用各向異性蝕刻以製成台地。“機械式切削”，即切割，並未實際使用或由人深思過，直到本發明達成為止；再者，此“實際”裝置係利用光石版印刷製



五、發明說明 (4)

程，以製成台地及提供金屬電極於台地頂部上，此光石版印刷製程在實施上十分昂貴。如文後所示，本發明係提供用於台地之生成、台地側壁面之鈍化、及台地頂表面之金屬化，其皆不需使用光石版印刷製程。

發明概述

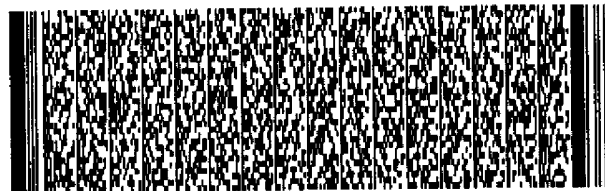
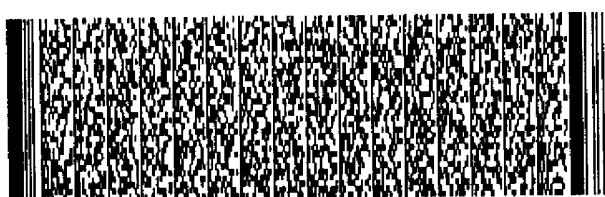
一種製造半導體晶片之方法，包含提供一習知之半導體晶圓以製出具有台地型結構之晶片。晶圓包括一p-n接合處，係位於一平行於晶圓主表面之表面中，且晶圓半導體材料之頂表面覆以一遮蔽層，最好為氮化矽。間隔之台地隨後藉由切割出複數條相交槽道於晶圓內且穿過遮蔽層，而形成於晶圓之頂部中，切割後之槽道具有斜壁面及具有一深度（其在一後續蝕刻製程中使晶圓之切割表面平滑後即可達成），以利相交及曝現接合處之邊緣於台地之側壁面。一鈍化材料最好為玻璃，其位於槽道內且加熱以將玻璃包封台地之壁面，在玻璃包封過程中，各台地頂部處之氮化矽遮蔽層可防止下方之半導體材料不致氧化，且不接觸到鈍化玻璃。遮蔽層隨後去除（利用蝕刻而不用遮光件），以曝露出下層之台地半導體材料，曝露出之台地頂表面及晶圓底部隨後金屬化而大致完成晶圓之處理，其再利用如機械切割方式以細切成含有晶片之分隔式台地。

圖式說明

圖式係為示意且未依比例。

圖1係本發明之一半導體晶圓側視圖，所示之晶圓為黏著於一下層支承帶；

圖2係放大揭示當槽道已切入晶圓後之圖1晶圓之一部



五、發明說明 (5)

份，且圖1中之膠帶已去除及晶圓以化學蝕刻而令槽道壁面平滑；

圖3係圖2所示晶圓部份之平面圖；

圖4係用於切割圖2、3所示槽道之一刀刀緣前視圖；及

圖5-8類似於圖2，惟其揭示本發明不同內容之連續處理步驟中之晶圓部份(圖5揭示且僅有圖5，為一熱式選擇生長鈍化層例子；及圖6揭示且僅有圖6，為一非選擇性積置於一晶圓完整表面上之鈍化層例子)。

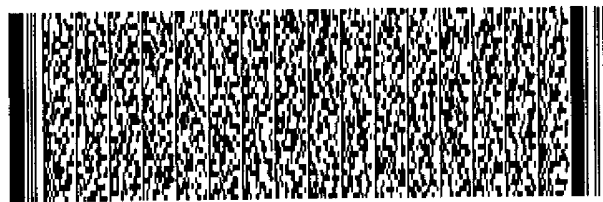
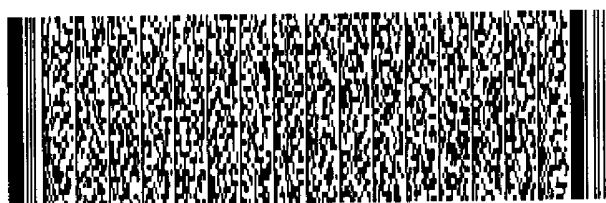
發明較佳實例說明

一半導體晶圓10最好為圖1所示之矽製成，其安裝於一支承結構上，例如一片黏膠帶12(或者晶圓可安裝於一已知之真空夾頭上)，當晶圓切出槽形時，膠帶12即可用於支承晶圓，如前所述。晶圓之鋸切(通常用於將之切成小片)以及膠帶在鋸切過程中之使用情況已屬習知。

除非如下所述者，晶圓10可相同於習知用於製成晶片以用於半導體裝置中，例如非連續式整流器、TVS_s(瞬間電壓抑制器)、電晶體、特定型式之閘流體及類此物。

舉例而言，此實例中之晶圓10可包括一底p⁺層14，其以一疊覆之n⁻層18疊於其上而形成一平面式p-n接合處16，因而亦有一n⁺層20(平面式接合處係簡示一接合處位於一平面中，平面一詞並非指習稱之平面式接合製程)。

底層14可製成為一非連續之基材，且層18、20依序在其上向外延展生長，或者頂層20可藉由n型摻雜劑熔入外延生長之n⁻層18而製成，又或者一n⁻非連續層18基材可呈n摻雜通過一側以形成頂n⁺層20，及p摻雜通過另一側以形成



五、發明說明 (6)

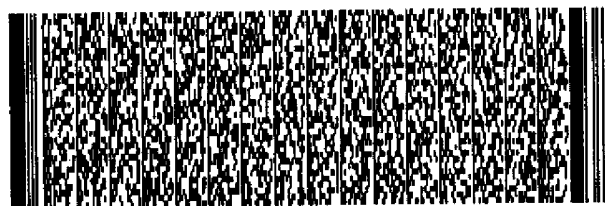
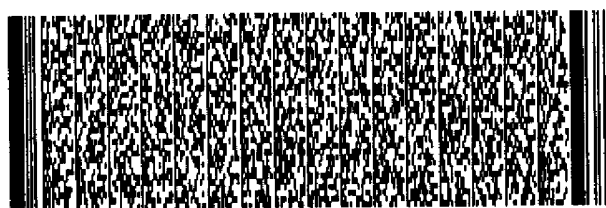
底 p^+ 層 14。

層 20 之頂表面 24 (形成矽晶圓 10 之頂表面者) 係覆以一遮蔽層 22，文後所述之遮蔽層係用於容許晶圓做當處蝕刻及高溫處理，並且防止層 20 之頂表面在所生成之台地中受到污染。用於層 22 之一較佳材料為氮化矽，至少有部份係因為氮化矽相對於隨後提供之玻璃鈍化層而可做選擇性蝕刻。氮化矽遮蔽層使用於半導體裝置製程中係屬習知。

如圖 2、3 所示 (揭示圖 1 晶圓 10 之一小部份)，複數之直交式槽道 28 係提供於晶圓之頂部中，槽道 28 並非完全延伸過晶圓 10，但是將晶圓分割成複數相同之台地 34 (圖 2、3 中，僅示一枚完整之台地)，其係自一共同之下層基材 14 向上延伸。

台地 34 具有一方形截面形狀，係在各台地頂部處自氮化矽層 22 之頂表面向下擴大面積至基材 14 處，在此實例中，台地側壁面 36 呈筆直且均勻之傾斜面，各台地包括原先存在於晶圓 10 中之一部份平面式 $p-n$ 接合處 16，且各台地接合處之邊緣 16a 曝露於台地側壁面 36。如所週知及前述 Davies 與 Gentry 案所示者，台地 $p-n$ 接合處與台地斜壁面之相交處可提供一所需之半導體電壓崩潰特徵。

依本發明所示，晶圓 10 中之直交式槽道 28 係利用鋸切而提供，例如一具有金剛石刀刃之碟形鋸 38 (如圖 4)，刀刃之切削刀緣係呈一預先選定之傾斜角 ϕ ，且刀刃之斜側 40 由一平坦側 42 銜接。槽道 28 (如圖 2) 切入晶圓 10 而對應於刀刃緣之形狀，矽晶圓之鋸切 (如前所述，用於細割晶圓者) 已屬習知，且具有選定形狀與尺寸之金剛石刀刃亦屬



五、發明說明 (7)

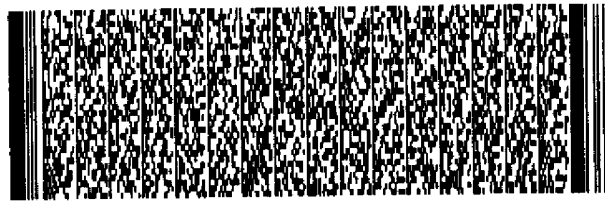
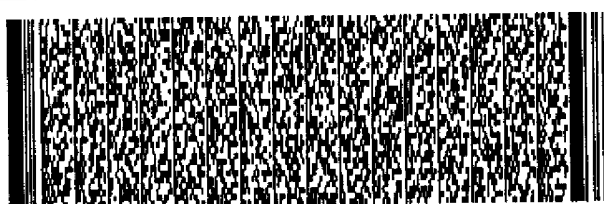
一般可得，通常刀刀之斜角 ϕ （以及對應之槽道壁斜角 ϕ ）在30-75度之間，再者，具有弧形側壁之刀刀亦可用於產生具有弧形壁面之槽道。

所需槽道壁面斜度與形狀之選擇係依據習知技術，且取決於用以鈍化之材料及稍後結合於本發明晶片之特定半導體裝置比率。

雖然有較大量槽道28切成各晶圓10（例如在一100毫米直徑晶圓中有40x40條槽道），但是經發現較佳為一次以單一刀刀形成一道切口，此道切口雖可用群集之刀刀同時達成，但是其通常會造成過大之尺寸變化。

如上所述，各台地34內之平面式p-n接合處16需相交於台地壁面36，因此，形成槽道28之台地需相當地深，以利相交於初始晶圓10中之平面式p-n接合處16，且需略為延伸至曝露之p-n接合處邊緣16a下方。（由前述引證案）可知的是在p-n接合處16以外之槽道深度需在電壓崩潰狀態下，至少可比較於自p-n接合處16向下展開之空乏區域最大寬度。由於p⁺層14之較高導電率，因此僅有小量之空乏區域擴展發生於層14內，因此大體上槽道28之深度僅需略大於各台地內之p-n接合處16深度即可，此深度為欲製成之特定半導體裝置之函數。

舉例而言，p-n接合處16（圖1所示晶圓者）係來自晶圓頂表面30下方4至7密爾處，且初期切割形成之槽道深度則大致等於p-n接合處16之深度。槽道之最終深度（如圖2所示）係由一蝕刻過程所決定，其係隨後進行，以將切割過程中形成之槽道壁面予以平滑。



五、發明說明(8)

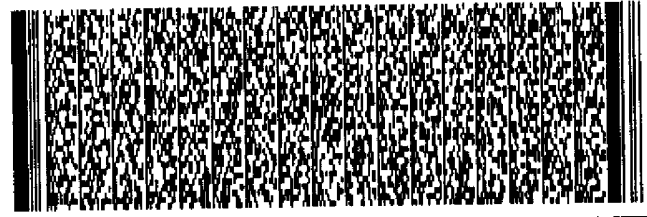
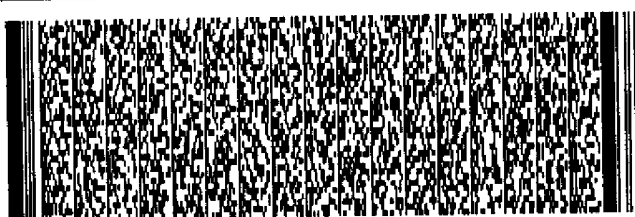
矽表面之蝕刻平滑已屬習知且在先前引證Shyr專利中已說明，理想之蝕刻溶液包含硝酸、醋酸及氫氟酸，其比例為3:1:1，蝕刻則在8-12℃溫度進行，浸漬時間大約30至60秒。藉由特定範例可知，以一4密爾深度之p-n接合處16可知，槽道28切成4.5密爾深度且在蝕刻後達到5密爾最終深度(圖2揭示蝕刻步驟後之晶圓，圖1所示之膠帶12係存在於晶圓鋸切期間，但是在蝕刻前即已去除)。

顯然，切割過程或蝕平過程皆不影響各台地上呈現之氮化矽層22之剩餘部份，氮化矽層22係相容於欲進行之高溫製程，其中一高溫製程即說明如下。

如上所述，各台地34中之p-n接合處16邊緣16a曝露於台地之側壁面36，且台地側壁面36需包封於一適當之“鈍化材料”內，鈍化材料層使用於半導體裝置中已屬習知，通常二氧化矽鈍化層即熱生長於台地壁面上。惟，依本發明所示，一鈍化材料之選用目的係為了避免在後續進行之製程中使用遮光件。所用之鈍化材料最好為一般用於半導體裝置封裝目的中之較厚玻璃層(如文後所述)，例如鋅(或鉛)-硼-矽酸鹽玻璃，最方便的是一選定玻璃粒子之漿液46(如圖5)積置於晶圓之槽形表面30上，隨後以刮刀(例如利用一擠壓器47)通過表面而迫使漿液進入槽道，同時將槽道之間之晶圓表面平坦部份30上大致所有漿液掃除。

施加玻璃層於工件之其他方法包含電泳及網印，使用電泳時，玻璃僅選擇性積置於導電表面上，即僅有在矽台地側表面36上，而不在覆蓋於台地頂部之氮化矽層22上。

如圖6所示，當玻璃漿初期擴散開(且自台地頂表面移



五、發明說明 (9)

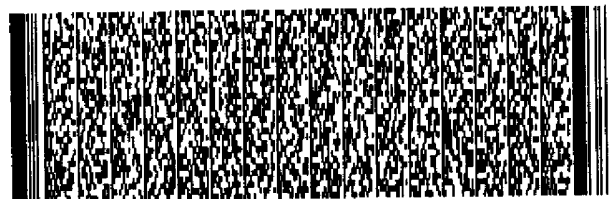
除)，玻璃漿46大致填入槽道28，隨後玻璃以習知之點火過程而玻璃化，形成一平滑之封裝層，例如緩緩加熱工件至發生熔流之溫度，大約830℃，接著緩緩冷卻玻璃層以令玻璃退火。

玻璃化之玻璃層46a係揭示於圖7中，玻璃化之玻璃則精實且密封台地之側壁面36，如圖所示，玻璃層46a之厚度會變化，但是層46a之最小厚度(不包括接近於台地頂表面24之邊緣區域)係大約50,000埃，其明顯大於各台地上之氮化矽層22厚度，大約2,000埃(而最小之玻璃層厚度亦明顯大於非選擇性積置於晶圓上之鈍化材料(容後詳述)之任意層者)。

重要的是玻璃為一較佳之鈍化材料(例如其較優於前述Shyr專利所示製程中使用之矽樹脂鈍化材料)，且玻璃之正確施加包括加熱工件至前述之830℃，此項工件加熱係在氮化矽層22存在情況下實施，其在玻璃點火期間可防止由氮化矽層22覆蓋之 n^+ 矽層20頂表面污染或氧化。

由於氮化矽層22存在，其他高溫製程可依欲製造之特定晶片而實施，例如槽道壁面之選擇性氧化可在玻璃化之前進行，例如在1100℃之蒸汽環境下，以利改善鈍化，鈍化材料因而包含由一層玻璃覆蓋之氮化矽(具有一厚度但是並非十分重要，其大約5,000至20,000埃)層25(如圖5所示，其他圖中則未示)，再者，玻璃化之前可添加入摻雜劑且在台地內擴散。

如前所述，其中一層二氧化矽在矽台地側壁面上做熱生長，利用電泳做玻璃積置已不可行，而理想之製程為前述



五、發明說明 (10)

之漿液積置-刮刀除過除。

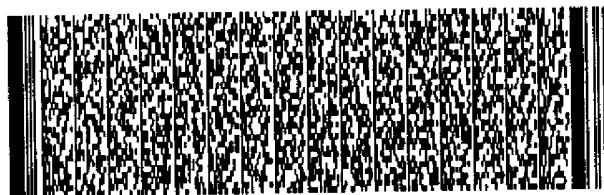
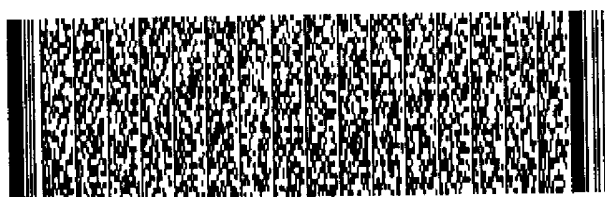
除了在槽道壁面36上提供一熱生長之氧化層外，其他材料亦可做單獨或不同組合使用，因此在玻璃化製程之前，二氧化矽層25a(如圖6所示，而其他圖中則未示)可利用習知之“低溫氧化”製程而直接積置於晶圓之整個槽道表面上，或者在類似之習知積置製程中積置於較高溫度下。所積置之氧化層用於直接鈍化台地之矽側壁面36，或併合於一先前提供之鈍化材料，例如前述之熱生長氧化物。

積置之氧化物亦覆蓋於台地頂部上之氮化矽層22，但是層22可防止積置之氧化物層接觸於氮化物層22下方之台地矽表面24。

其他鈍化材料為多晶矽與氮化矽，用於將諸材料積置於一基材上之技術亦屬習知。

如上所述，玻璃層46a(如圖7)隨後提供於一製程中，留下台地頂部未由玻璃層覆蓋，因此當一鈍化材料層已積置於整個晶圓上(例如積置材料為二氧化矽、多晶矽及/或氮化矽)，則此積置之鈍化材料仍會曝現於氮化矽層22之頂部上。由於諸材料稍後才去移，因此沿著氮化矽層22(即將說明)，最好任意此積置層皆為較薄，例如大約300至500埃，以相較於極厚之玻璃層46a(例如具有前述大約50,000埃之最小厚度)。

當前述之一或多個處理步驟結束時，且在玻璃化過程之後，氮化矽層22及任意之覆蓋層皆去除，若氮化矽層22並未覆蓋，則層22可在一氮化矽選擇性蝕刻劑中去除，例如磷酸，其僅略為蝕除二氧化矽及玻璃。

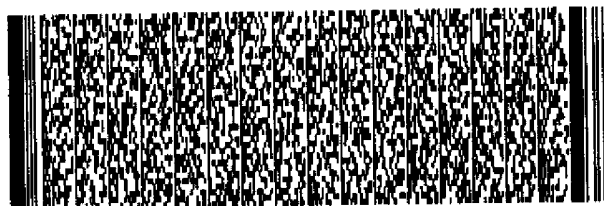
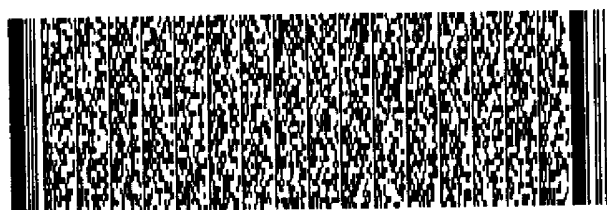


五、發明說明 (11)

一種用於去除含有任意層物於其上之氮化矽層22的較佳製程為電漿蝕刻製程，其可有效去除所有曝現之表面材料（即玻璃層46a、氮化矽層22及/或任意之積置二氧化矽、多晶矽及氮之矽鈍化層），但是需要小心控制速率。因此，在電漿蝕刻過程中，當台地覆蓋氮化矽層22沿著一相等厚度玻璃層46a去除時（即沿著任意之覆蓋積置層），製程即立刻停止（使用習知之電漿成份監控技術）。由於玻璃層之最小厚度係明顯大於已去除之氮化矽層厚度（加上任意之覆蓋積置鈍化層），因此玻璃層46a之剩餘厚度（加上任意之底下鈍化層）仍適合於台地斜壁面之有效鈍化（圖8揭示之晶圓10並無氮化矽層22）。

去除氮化矽層22係有必要的，以容許電極稍後做金屬電鍍（如圖8之層50所示）至台地之 n^+ 層20上，惟，重要的是一玻璃鈍化層46a與台地覆蓋氮化矽層之組合（及任意之積置鈍化層）可容許覆蓋於台地之諸層做選擇性之蝕除，但是不需要光石版印刷蝕刻製程，亦即如前所述，選擇性係藉由材料之選用及鈍化與遮光層之相對厚度而自動取得，由於避免採用光石版印刷製程，因此可節省比先前技藝更為顯著之成本。

由於氮化矽層22之去除及目前構成台地頂部之 n^+ 層20曝現，晶圓基本上已備便做金屬化，亦即因為氮化矽層22防止氧化或防止矽層20頂表面24之其他污染，一旦氮化矽層22如前述般去除時，未受覆蓋之矽表面24即相當清潔（在短暫浸泡於一弱氫氟酸蝕刻劑後，以去除表面24上之任意“天然氧化物”），以利進行金屬化製程。槽道28內之玻



五、發明說明 (12)

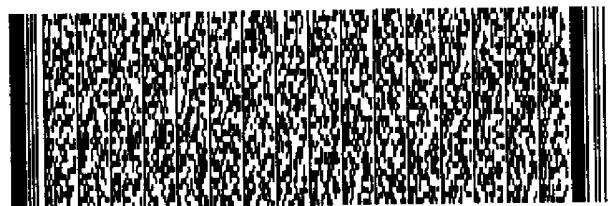
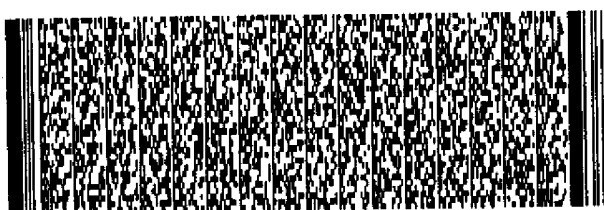
玻璃層46a為非導電性，且利用習知之無電鍍製程，則多種金屬層50(如圖8)，例如鎳或金，皆可選擇性地電鍍於晶圓之台地矽表面24及底表面14a上。通常一鎳層係無電式地電鍍於矽表面上，隨結燒結以形成一矽化鎳，矽化物之表面加以清潔再添加另一層鎳，隨後為塗金。

成品晶圓之一部份揭示於圖8，各包含於一非連續式半導體裝置中之個別晶片10a係藉由切碎晶圓而得，其可沿著圖8所示之虛線52而垂直地切過槽道28。雖然環境繞於各台地34之玻璃層46a會因此而切穿，但是玻璃層不致破裂且仍穩固地接附於台地側壁。

在此製造階段，分隔之晶片10a大致相同於以習知蝕刻製程所製成具有台地之晶片，因此半導體裝置最終製造所需之晶片進一步處理可依照本文未提及之習知製程。

總之，本發明之一重要優點在於半導體晶圓可整個處理成裝置，不需要光石版印刷製程，即不需要阻光層與對應之遮光件而可令第一阻光層製出圖案，隨後並蝕刻穿過圖案層。不同之台地係由機械式鋸切形成(隨後以一蝕刻製程做平滑及深化功能，且因氮化矽之覆蓋層22而不致侵襲台地矽頂表面24)，且備便台地之矽表面及以金屬電鍍台地矽表面之步驟同樣利用“選擇性”製程而進行，不需要光石版印刷過程。

當然，若本發明用於製造較複雜之裝置包括晶圓選定部份之摻雜時，則可能需要光石版印刷製程，再者，如文內所述，台地之製程、台地之鈍化、及台地之金屬電鍍皆可在無光石版印刷製程時完成。

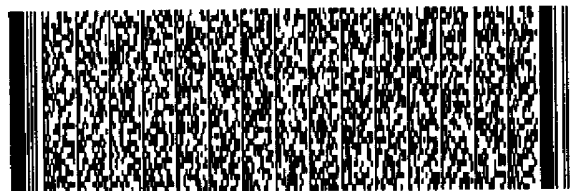
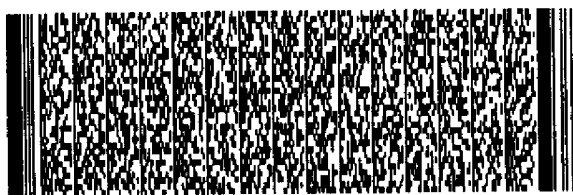


四、中文發明摘要 (發明之名稱：具有經切割形成台地型結構之半導體晶片)

啟始於一種已知型式之半導體晶圓，其包括一內部之平面式p-n接合處且平行於晶圓之主表面，其中一晶圓表面則覆以一氮化矽遮蔽層。複數條相交叉之槽道隨後切割過遮蔽層，以形成具有斜壁面之複數台地，且各台地包括一部份具有邊緣之平面式p-n接合處，該邊緣相交且曝現於台地壁面。槽道之壁面及曝現之接合處邊緣在一製程中以玻璃包封之，包括加熱於晶圓。遮蔽層隨後在一選擇性蝕刻製程中去除，且不需要一圖案式之蝕刻劑遮蔽件，而目前曝現於台地頂部上之矽表面以及晶圓之相對立表面則做金屬電鍍。晶圓隨後沿著穿過槽道之平面而細切，以利提供個別晶片，且各晶片具有一玻璃鈍化台地於其上。

英文發明摘要 (發明之名稱：SEMICONDUCTOR CHIPS HAVING A MESA STRUCTURE PROVIDED BY SAWING)

Starting with a semiconductor wafer of known type including an internal, planar p-n junction parallel to major surfaces of the wafer, one of the wafer surfaces is covered with a masking layer of silicon nitride. A plurality of intersecting grooves are then sawed through the masking layer for forming a plurality of mesas having sloped walls with each mesa including a portion of the planar p-n junction having edges which intersect and are exposed by the mesa walls. The groove



六、申請專利範圍

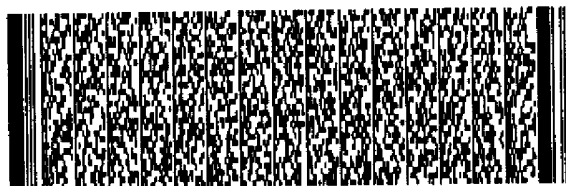
1. 一種製造一具有一台地型結構的半導體晶片之方法，其包含以下步驟：提供一矽晶圓，且其內部具有一平面式p-n接合處平行於晶圓之第一、二表面；以一氮化矽遮蔽層覆蓋該第一表面；形成一台地，台地具有斜壁面，可利用切割入槽道而相交於該p-n接合處，且僅有局部穿過該晶圓；包封該台地之斜壁面，且由諸該壁面以一第一鈍化材料玻璃層截取部份之p-n接合處；隨後去除該遮蔽層以曝現出該晶圓第一表面，做為該台地之一頂表面，而留下至少部份之該玻璃層於當處；及隨後以金屬電鍍該台地頂表面及該晶圓第二表面。

2. 如申請專利範圍第1項之方法，其中該去除步驟係由選擇性蝕刻該氮化矽層實施之，且利用一對於該玻璃層與該矽晶圓較無效果之蝕刻劑。

3. 如申請專利範圍第1項之方法，包括提供該玻璃層以一厚度，至少係沿著該部份，該厚度大致上大於該氮化矽層者，及其中該去除步驟包含同時以電漿蝕刻該二層，以利去除該氮化矽層之整個厚度，而僅去除該玻璃層部份之部份厚度。

4. 如申請專利範圍第1項之方法，包括在該切割步驟之後且在該包封步驟之前蝕刻該槽道表面，以令該槽道表面平滑及增加該槽道之切割深度。

5. 如申請專利範圍第4項之方法，其中該平面式p-n接合處係在相隔於該晶圓第一表面呈一第一距離處，該槽道則切割至一大致相等於自該第一表面之該第一距離的深度，



六、申請專利範圍

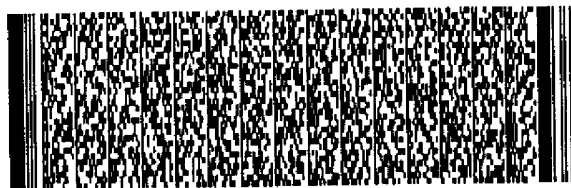
及其中該槽道蝕刻步驟可延伸該槽道之深度至該p-n接合處以外之一距離，其至少等於該晶片在一半導體裝置內做電氣式操作而導致該p-n接合處發生一電壓崩潰狀況期間自該p-n接合處擴展開來之一耗用層最大寬度。

6. 如申請專利範圍第4項之方法，包括提供由該晶圓切割步驟形成之複數相同台地於該晶圓上，以同樣方式處理所有該台地，且沿著垂直於該晶圓第一、二表面之平面以細切該晶圓，以及切過該槽道之底表面而提供個別之半導體晶片。

7. 如申請專利範圍第1項之方法，包括在該包封步驟前以熱生長一層二氧化矽於該台地之斜壁面上。

8. 如申請專利範圍第4項之方法，其中該包封步驟包含在該槽道切割步驟後施配一玻璃漿液至該遮蔽層上，及以刮刀將該漿液刮過該遮蔽層之表面，迫使漿液進入該槽道，而同時大致完全將漿液去除於該遮蔽層。

9. 如申請專利範圍第4項之方法，包括在該包封步驟前積置一第二鈍化材料層至該晶圓之槽道式表面上，而用該第二鈍化層覆蓋該台地斜壁面及該遮蔽層，及其中該包封步驟包含選擇性覆蓋於以該玻璃層覆蓋該台地斜壁面處之該第二鈍化層，該玻璃層包括若干部份，係具有一厚度且大於該遮蔽層與該覆蓋第二鈍化材料層之併合厚度，及其去中該去除步驟包含以電漿蝕刻晶圓之槽道式表面，以利去除該遮蔽層與遮蔽第二鈍化材料層之併合厚度，而僅去除該玻璃層部份之部份厚度。



圖式

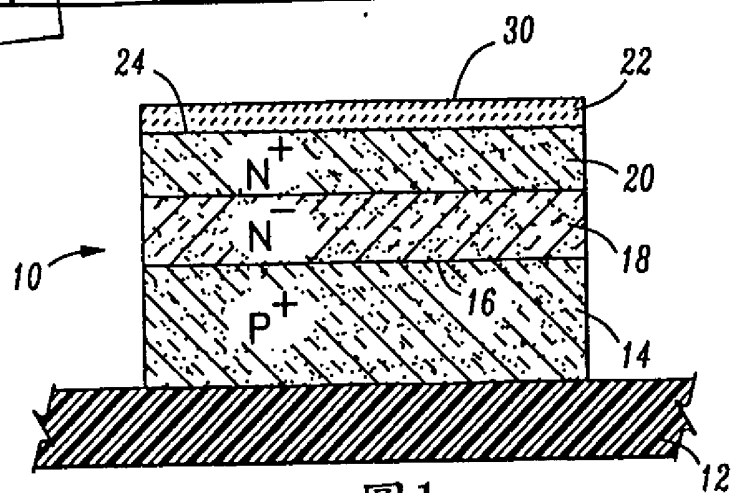


圖1

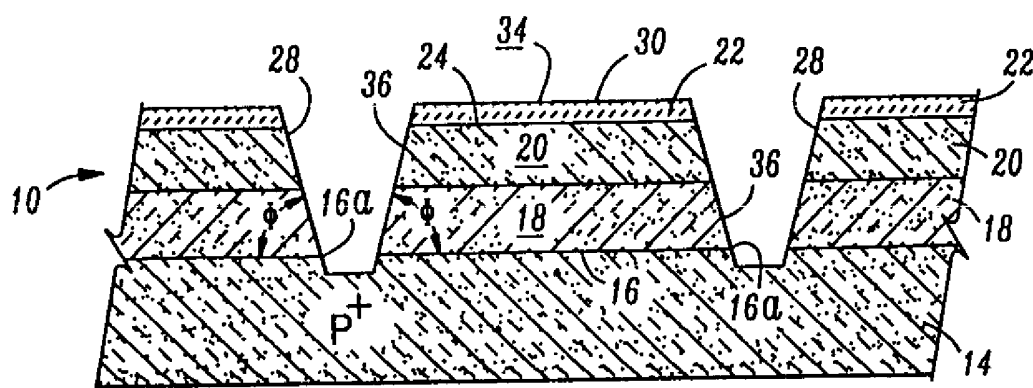


圖2

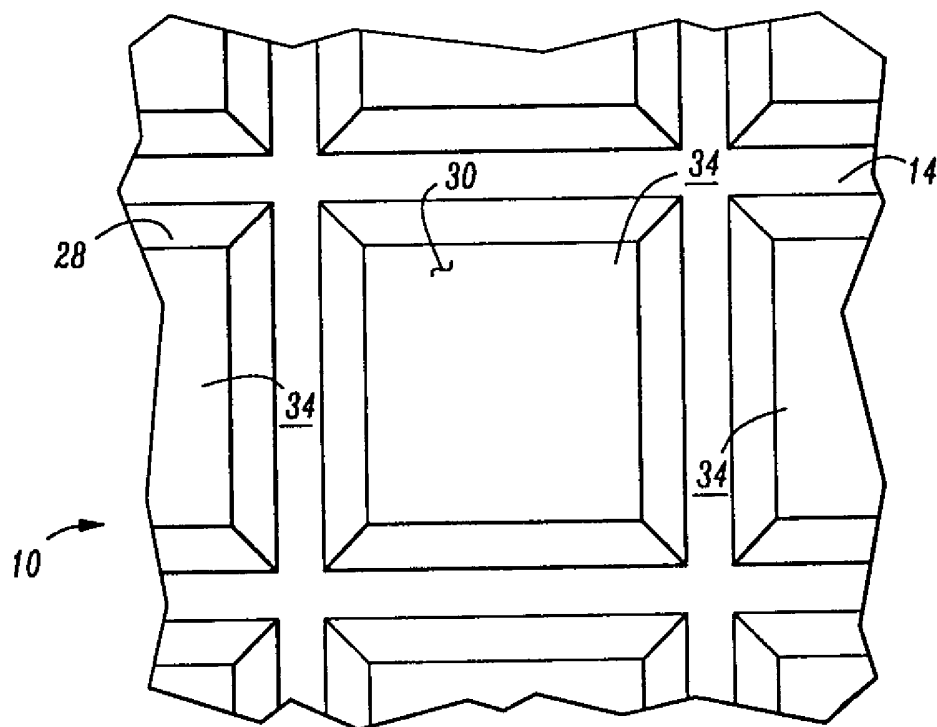


圖3

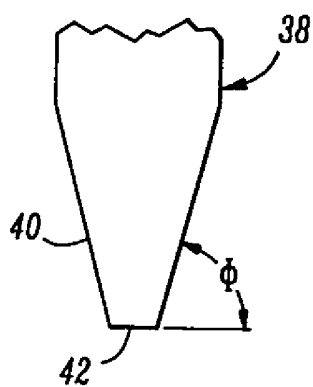


圖4

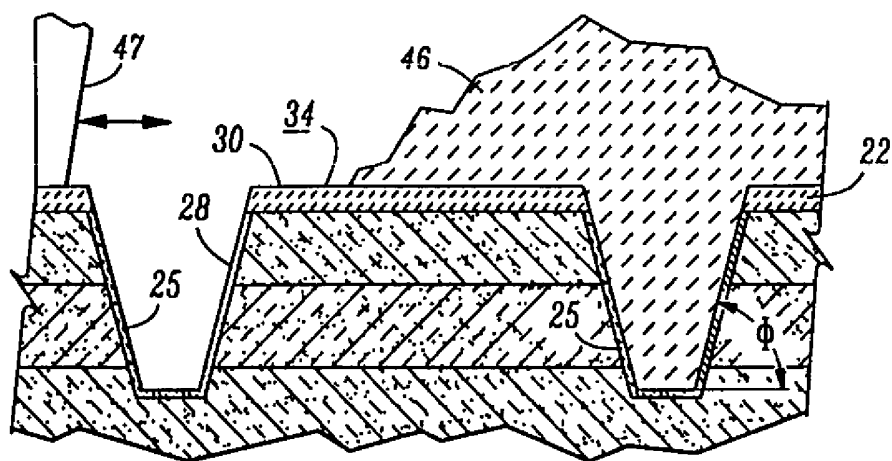


圖5

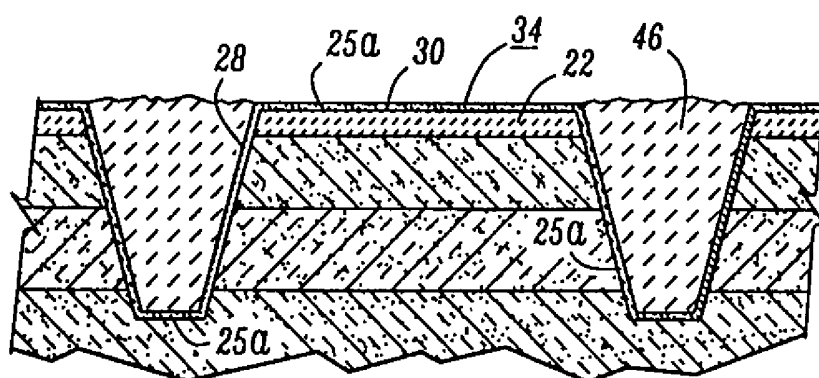


圖6

圖式

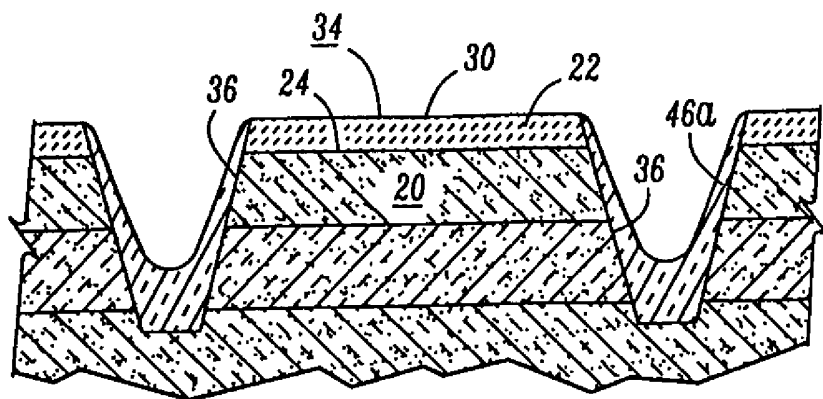


圖 7

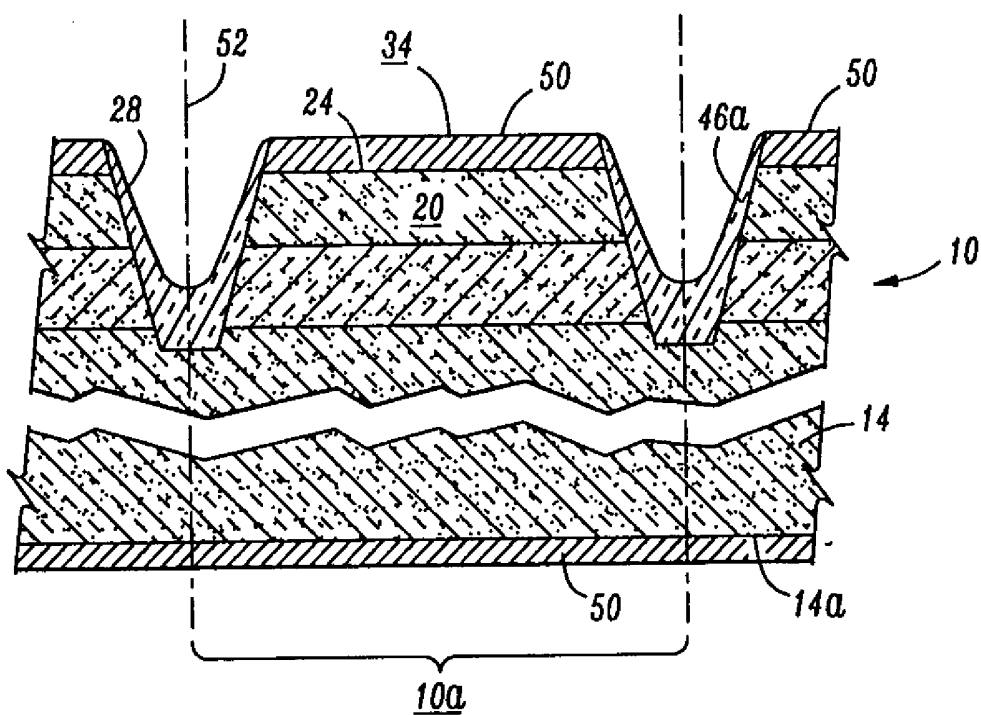


圖 8

417190

公告本

89 年 9 月 24 日

修正

修正

申請日期: 88. 3. 17

案號: 88104141

補充

類別:

H01L 21/301

(以上各欄由本局填註)

417190

發明專利說明書

一、 發明名稱	中文	具有經切割形成台地型結構之半導體晶片
	英文	SEMICONDUCTOR CHIPS HAVING A MESA STRUCTURE PROVIDED BY SAWING
二、 發明人	姓名 (中文)	1. 傑克 應 2. 羅倫斯 雷特熱 3. 約瑟夫 Y. 詹 4. 葛瑞哥利 札卡陸克
	姓名 (英文)	1. JACK ENG 2. LAWRENCE LATERZA 3. JOSEPH Y. CHAN 4. GREGORY ZAKALUK
	國籍	1. 美國 2. 美國 3. 美國 4. 美國
	住、居所	1. 美國紐約州貝耳摩市悲佛路2384A號 2. 美國紐約州密勒皮雷斯市鹿思提路5號 3. 美國紐約州金斯帕克市羅賓路27號 4. 美國紐約州夕佛市阿融北道2425號
三、 申請人	姓名 (名稱) (中文)	1. 美商大眾半導體股份有限公司
	姓名 (名稱) (英文)	1. GENERAL SEMICONDUCTOR, INC.
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州梅維爾市梅維爾公園路10號
	代表人 姓名 (中文)	1. 史蒂芬 B. 貝姬
	代表人 姓名 (英文)	1. STEPHEN B. PAIGE



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/03/30 09/050,106

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

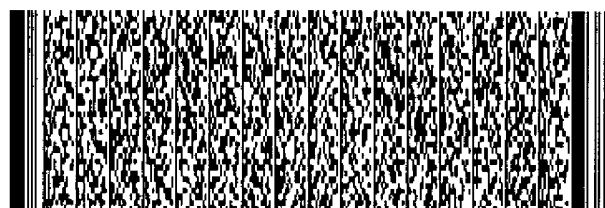
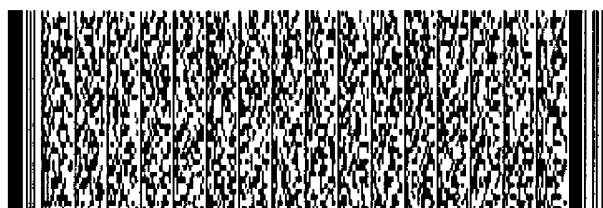
發明背景

本發明係關於具有一台地型結構之半導體晶片，特別是指此晶片使用一機械式切割製程之製造方法。

提供半導體晶片特別是用於整流裝置者時，其係概呈一平坦之半導體基材且具有一台地自基材向上延伸，台地內之一p-n接合處截取台地之斜壁面，致使鄰近於p-n接合處之電場在台地表面比在台地內具有較低之強度。因此，當裝置之電壓崩潰狀況出現時，崩潰係發生於台地內而非沿著台地表面，如所週知，此內部崩潰之破壞性遠低於沿著表面之崩潰，且由於可避免表面崩潰，裝置可在破壞前承受較高之能量脈衝。

相關於表面電壓崩潰之理論或者係先由R.L. Davies及F.E. Gentry闡述及分析於電子裝置IEEE處理1964年7月刊第313至323頁之“P-N接合處表面之電場控制”，在專家實驗之裝置中，台地斜壁面係藉由研磨取得，而近年來之斜台地則由各異向性蝕刻取得，如4,740,477，

4,891,685，5,010,023及5,399,901號美國專利所示，其皆頒證於W.G. Einthoven多人(諸件專利之主旨可供在此參考)。此異向性蝕刻製程包含：提供一矽晶圓，其塗有一氮化矽遮蔽層；施加一阻光層於遮蔽層上；及形成一台地且利用一遮光件以定義圖案於阻光層中。隨後蝕刻穿過圖案式阻光層，且進入下方之遮光層及晶圓，以定義複數台地於晶圓表面上。定義出台地後，後續之處理步驟可進一步定義出含有欲製成晶片之各台地之變數。台地之側壁面經過氧化以令台地之壁表面鈍化，覆於台地上之遮蔽



五、發明說明 (2)

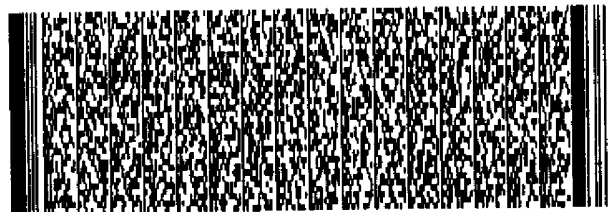
層予以去除(一般係在用一遮光件之光石版印刷製程中)，以利曝現的表面於台地頂部處，曝現之表面及晶圓底表面做金屬電鍍以形成晶片之電極，因此，基本上已完成之晶片結構在一晶圓細切操作中分離，例如利用機械式切割。

前述製程雖然頗令人滿意且可延伸使用，但是因為製程較為複雜故而昂貴，例如製程中之遮光件製備與使用以及所用材料之成本，因此本發明凸顯之問題在於能否使用較不昂貴之台地成型製程。以往用於細切成品晶圓之機械式切割曾經考量用於製成台地之初期步驟，如文後所述者，其亦經採用做為一晶片製程之一部份。

如上所述，用於細切晶圓之機械式切割已屬習知，再者，此切割動作雖然僅在需要個別晶片完成後之所有製程後才進行之，但是將晶圓細切成晶片之切割過程亦可用於令各晶片之側面成型與鈍化。

例如在Shyr之4,904,610號美國專利中，其(於第4欄第23及24行)說明晶圓以切割細切形成“一斜形槽道”(槽道完全切穿晶圓且因而令各晶片側面成型)“產生一高崩潰電壓用於一整流器或其他終端產品”。

特別是在Shyr專利所示之製程中，一枚大致完成且含有金屬電極於相對立主表面上之矽半導體晶圓係經由一蠟層而黏附於一硬質之支承基材，具有斜側表面之複數條直交槽道隨後整個切割過晶圓厚度，且有部份進入下層之蠟層。一蝕刻製程用於令槽道之切割表面平滑，及一矽樹脂積置於晶圓之槽道表面上，以利填入槽道。樹脂固化後即強力黏著於槽道之壁面，但是僅稍為黏著於晶圓之金屬電



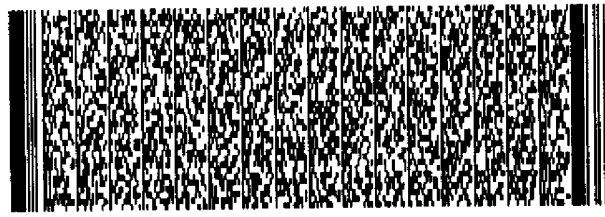
五、發明說明 (3)

鍍表面。樹脂再以研磨去除於晶圓之電鍍表面，而不去除槽道內之樹脂。晶圓隨後分離於支承基材。雖然晶圓已切割成分隔之晶片，但是晶片仍由其間之固化樹脂相互接附。以熔接選擇性施加於晶片上之金屬電極表面，晶片最後可藉由切割過晶片間之樹脂層而分離。晶片之側表面仍覆有固化樹脂，以利鈍化晶片側面。

現在，雖然Shyr製程使晶片具有鈍化之斜側表面做為高電壓崩潰特徵，但是Shyr製程基本上為習知晶圓細切方式之一變化型式，其通常在晶片所有基本處理皆完成後進行，特別是當Shyr細切過程進行時之晶圓製造階段中，晶片之所有高溫處理已完成，而進一步之高溫處理可避免。因此，在Shyr製程中，金屬電極（最好在一高溫處理步驟中產生，即超過 400°C ）已存在，而所使用之晶片鈍化材料，即揭示之矽樹脂，其係在較低溫度下施加及固化，例如大約 200°C 。

反之，如上所述，及如文後所述，本發明係關於使用機械式切割以直接替代先前使用之異向性蝕刻製程，且取代較前期之晶片製造程序。應注意的是，在Shyr案中所揭示者並未提及此種直接取代，或其如何達成。

使用“機械式切割”以形成台地係亦揭述於前述Einthoven(本文之發明人)之4,740,477及4,891,685號美國專利，惟，以本案發明人之知識所及，諸此專利所製成之裝置皆利用各向異性蝕刻以製成台地。“機械式切削”，即切割，並未實際使用或由人深思過，直到本發明達成為止；再者，此“實際”裝置係利用光石版印刷製



五、發明說明 (4)

程，以製成台地及提供金屬電極於台地頂部上，此光石版印刷製程在實施上十分昂貴。如文後所示，本發明係提供用於台地之生成、台地側壁面之鈍化、及台地頂表面之金屬化，其皆不需使用光石版印刷製程。

發明概述

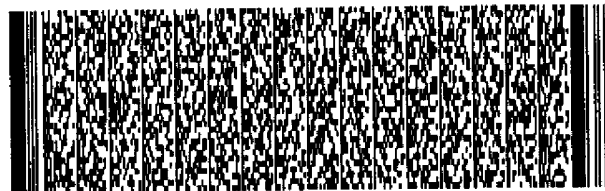
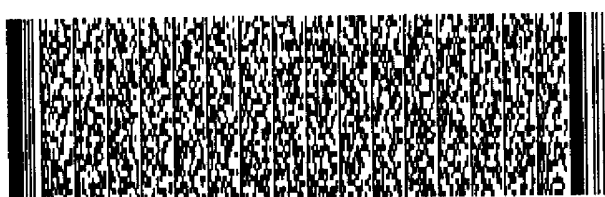
一種製造半導體晶片之方法，包含提供一習知之半導體晶圓以製出具有台地型結構之晶片。晶圓包括一p-n接合處，係位於一平行於晶圓主表面之表面中，且晶圓半導體材料之頂表面覆以一遮蔽層，最好為氮化矽。間隔之台地隨後藉由切割出複數條相交槽道於晶圓內且穿過遮蔽層，而形成於晶圓之頂部中，切割後之槽道具有斜壁面及具有一深度（其在一後續蝕刻製程中使晶圓之切割表面平滑後即可達成），以利相交及曝現接合處之邊緣於台地之側壁面。一鈍化材料最好為玻璃，其位於槽道內且加熱以將玻璃包封台地之壁面，在玻璃包封過程中，各台地頂部處之氮化矽遮蔽層可防止下方之半導體材料不致氧化，且不接觸到鈍化玻璃。遮蔽層隨後去除（利用蝕刻而不用遮光件），以曝露出下層之台地半導體材料，曝露出之台地頂表面及晶圓底部隨後金屬化而大致完成晶圓之處理，其再利用如機械切割方式以細切成含有晶片之分隔式台地。

圖式說明

圖式係為示意且未依比例。

圖1係本發明之一半導體晶圓側視圖，所示之晶圓為黏著於一下層支承帶；

圖2係放大揭示當槽道已切入晶圓後之圖1晶圓之一部



五、發明說明 (5)

份，且圖1中之膠帶已去除及晶圓以化學蝕刻而令槽道壁面平滑；

圖3係圖2所示晶圓部份之平面圖；

圖4係用於切割圖2、3所示槽道之一刀刀緣前視圖；及

圖5-8類似於圖2，惟其揭示本發明不同內容之連續處理步驟中之晶圓部份(圖5揭示且僅有圖5，為一熱式選擇生長鈍化層例子；及圖6揭示且僅有圖6，為一非選擇性積置於一晶圓完整表面上之鈍化層例子)。

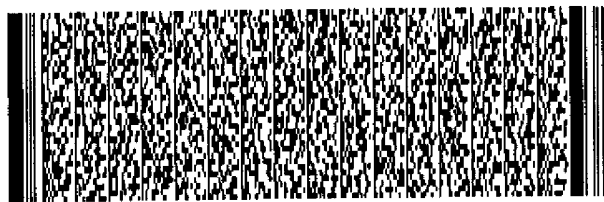
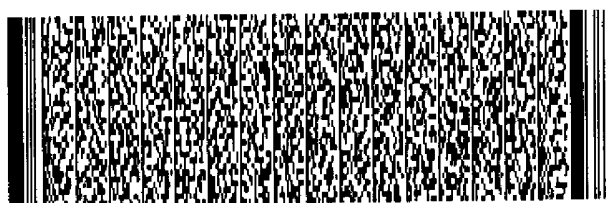
發明較佳實例說明

一半導體晶圓10最好為圖1所示之矽製成，其安裝於一支承結構上，例如一片黏膠帶12(或者晶圓可安裝於一已知之真空夾頭上)，當晶圓切出槽形時，膠帶12即可用於支承晶圓，如前所述。晶圓之鋸切(通常用於將之切成小片)以及膠帶在鋸切過程中之使用情況已屬習知。

除非如下所述者，晶圓10可相同於習知用於製成晶片以用於半導體裝置中，例如非連續式整流器、TVS_s(瞬間電壓抑制器)、電晶體、特定型式之閘流體及類此物。

舉例而言，此實例中之晶圓10可包括一底p⁺層14，其以一疊覆之n⁻層18疊於其上而形成一平面式p-n接合處16，因而亦有一n⁺層20(平面式接合處係簡示一接合處位於一平面中，平面一詞並非指習稱之平面式接合製程)。

底層14可製成為一非連續之基材，且層18、20依序在其上向外延展生長，或者頂層20可藉由n型摻雜劑熔入外延生長之n⁻層18而製成，又或者一n⁻非連續層18基材可呈n摻雜通過一側以形成頂n⁺層20，及p摻雜通過另一側以形成



五、發明說明 (6)

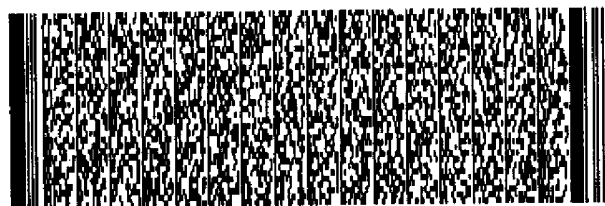
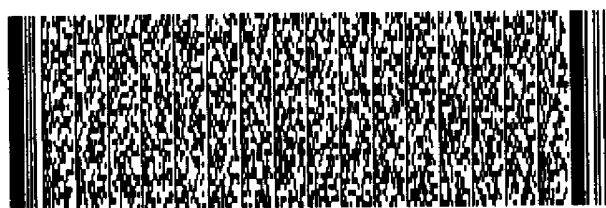
底 p^+ 層 14。

層 20 之頂表面 24 (形成矽晶圓 10 之頂表面者) 係覆以一遮蔽層 22，文後所述之遮蔽層係用於容許晶圓做當處蝕刻及高溫處理，並且防止層 20 之頂表面在所生成之台地中受到污染。用於層 22 之一較佳材料為氮化矽，至少有部份係因為氮化矽相對於隨後提供之玻璃鈍化層而可做選擇性蝕刻。氮化矽遮蔽層使用於半導體裝置製程中係屬習知。

如圖 2、3 所示 (揭示圖 1 晶圓 10 之一小部份)，複數之直交式槽道 28 係提供於晶圓之頂部中，槽道 28 並非完全延伸過晶圓 10，但是將晶圓分割成複數相同之台地 34 (圖 2、3 中，僅示一枚完整之台地)，其係自一共同之下層基材 14 向上延伸。

台地 34 具有一方形截面形狀，係在各台地頂部處自氮化矽層 22 之頂表面向下擴大面積至基材 14 處，在此實例中，台地側壁面 36 呈筆直且均勻之傾斜面，各台地包括原先存在於晶圓 10 中之一部份平面式 $p-n$ 接合處 16，且各台地接合處之邊緣 16a 曝露於台地側壁面 36。如所週知及前述 Davies 與 Gentry 案所示者，台地 $p-n$ 接合處與台地斜壁面之相交處可提供一所需之半導體電壓崩潰特徵。

依本發明所示，晶圓 10 中之直交式槽道 28 係利用鋸切而提供，例如一具有金剛石刀刃之碟形鋸 38 (如圖 4)，刀刃之切削刀緣係呈一預先選定之傾斜角 ϕ ，且刀刃之斜側 40 由一平坦側 42 銜接。槽道 28 (如圖 2) 切入晶圓 10 而對應於刀刃緣之形狀，矽晶圓之鋸切 (如前所述，用於細割晶圓者) 已屬習知，且具有選定形狀與尺寸之金剛石刀刃亦屬



五、發明說明 (7)

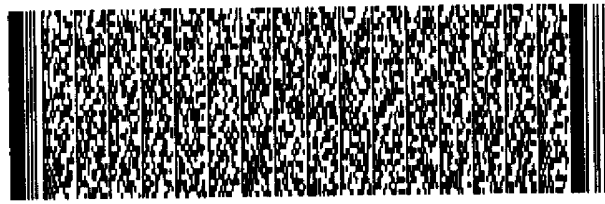
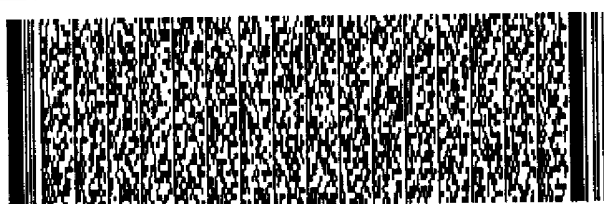
一般可得，通常刀刀之斜角 ϕ （以及對應之槽道壁斜角 ϕ ）在30-75度之間，再者，具有弧形側壁之刀刀亦可用於產生具有弧形壁面之槽道。

所需槽道壁面斜度與形狀之選擇係依據習知技術，且取決於用以鈍化之材料及稍後結合於本發明晶片之特定半導體裝置比率。

雖然有較大量槽道28切成各晶圓10（例如在一100毫米直徑晶圓中有40x40條槽道），但是經發現較佳為一次以單一刀刀形成一道切口，此道切口雖可用群集之刀刀同時達成，但是其通常會造成過大之尺寸變化。

如上所述，各台地34內之平面式p-n接合處16需相交於台地壁面36，因此，形成槽道28之台地需相當地深，以利相交於初始晶圓10中之平面式p-n接合處16，且需略為延伸至曝露之p-n接合處邊緣16a下方。（由前述引證案）可知的是在p-n接合處16以外之槽道深度需在電壓崩潰狀態下，至少可比較於自p-n接合處16向下展開之空乏區域最大寬度。由於p⁺層14之較高導電率，因此僅有小量之空乏區域擴展發生於層14內，因此大體上槽道28之深度僅需略大於各台地內之p-n接合處16深度即可，此深度為欲製成之特定半導體裝置之函數。

舉例而言，p-n接合處16（圖1所示晶圓者）係來自晶圓頂表面30下方4至7密爾處，且初期切割形成之槽道深度則大致等於p-n接合處16之深度。槽道之最終深度（如圖2所示）係由一蝕刻過程所決定，其係隨後進行，以將切割過程中形成之槽道壁面予以平滑。



五、發明說明(8)

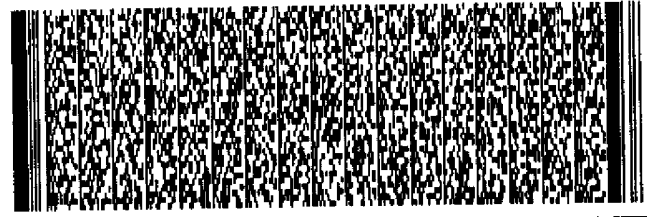
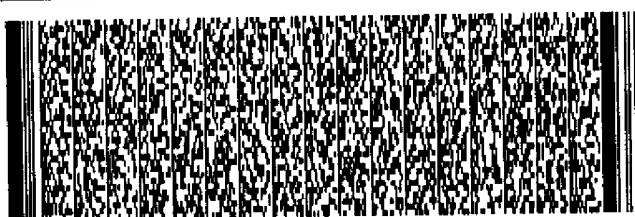
矽表面之蝕刻平滑已屬習知且在先前引證Shyr專利中已說明，理想之蝕刻溶液包含硝酸、醋酸及氫氟酸，其比例為3:1:1，蝕刻則在8-12℃溫度進行，浸漬時間大約30至60秒。藉由特定範例可知，以一4密爾深度之p-n接合處16可知，槽道28切成4.5密爾深度且在蝕刻後達到5密爾最終深度(圖2揭示蝕刻步驟後之晶圓，圖1所示之膠帶12係存在於晶圓鋸切期間，但是在蝕刻前即已去除)。

顯然，切割過程或蝕平過程皆不影響各台地上呈現之氮化矽層22之剩餘部份，氮化矽層22係相容於欲進行之高溫製程，其中一高溫製程即說明如下。

如上所述，各台地34中之p-n接合處16邊緣16a曝露於台地之側壁面36，且台地側壁面36需包封於一適當之“鈍化材料”內，鈍化材料層使用於半導體裝置中已屬習知，通常二氧化矽鈍化層即熱生長於台地壁面上。惟，依本發明所示，一鈍化材料之選用目的係為了避免在後續進行之製程中使用遮光件。所用之鈍化材料最好為一般用於半導體裝置封裝目的中之較厚玻璃層(如文後所述)，例如鋅(或鉛)-硼-矽酸鹽玻璃，最方便的是一選定玻璃粒子之漿液46(如圖5)積置於晶圓之槽形表面30上，隨後以刮刀(例如利用一擠壓器47)通過表面而迫使漿液進入槽道，同時將槽道之間之晶圓表面平坦部份30上大致所有漿液掃除。

施加玻璃層於工件之其他方法包含電泳及網印，使用電泳時，玻璃僅選擇性積置於導電表面上，即僅有在矽台地側表面36上，而不在覆蓋於台地頂部之氮化矽層22上。

如圖6所示，當玻璃漿初期擴散開(且自台地頂表面移



五、發明說明 (9)

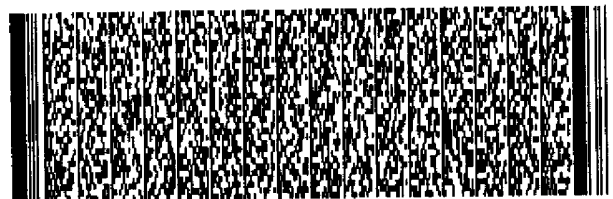
除)，玻璃漿46大致填入槽道28，隨後玻璃以習知之點火過程而玻璃化，形成一平滑之封裝層，例如緩緩加熱工件至發生熔流之溫度，大約830℃，接著緩緩冷卻玻璃層以令玻璃退火。

玻璃化之玻璃層46a係揭示於圖7中，玻璃化之玻璃則精實且密封台地之側壁面36，如圖所示，玻璃層46a之厚度會變化，但是層46a之最小厚度(不包括接近於台地頂表面24之邊緣區域)係大約50,000埃，其明顯大於各台地上之氮化矽層22厚度，大約2,000埃(而最小之玻璃層厚度亦明顯大於非選擇性積置於晶圓上之鈍化材料(容後詳述)之任意層者)。

重要的是玻璃為一較佳之鈍化材料(例如其較優於前述Shyr專利所示製程中使用之矽樹脂鈍化材料)，且玻璃之正確施加包括加熱工件至前述之830℃，此項工件加熱係在氮化矽層22存在情況下實施，其在玻璃點火期間可防止由氮化矽層22覆蓋之 n^+ 矽層20頂表面污染或氧化。

由於氮化矽層22存在，其他高溫製程可依欲製造之特定晶片而實施，例如槽道壁面之選擇性氧化可在玻璃化之前進行，例如在1100℃之蒸汽環境下，以利改善鈍化，鈍化材料因而包含由一層玻璃覆蓋之氮化矽(具有一厚度但是並非十分重要，其大約5,000至20,000埃)層25(如圖5所示，其他圖中則未示)，再者，玻璃化之前可添加入摻雜劑且在台地內擴散。

如前所述，其中一層二氧化矽在矽台地側壁面上做熱生長，利用電泳做玻璃積置已不可行，而理想之製程為前述



五、發明說明 (10)

之漿液積置-刮刀除過除。

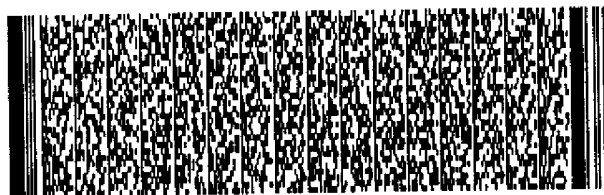
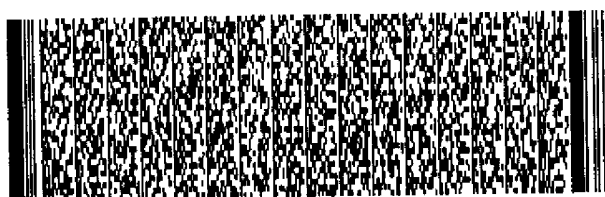
除了在槽道壁面36上提供一熱生長之氧化層外，其他材料亦可做單獨或不同組合使用，因此在玻璃化製程之前，二氧化矽層25a(如圖6所示，而其他圖中則未示)可利用習知之“低溫氧化”製程而直接積置於晶圓之整個槽道表面上，或者在類似之習知積置製程中積置於較高溫度下。所積置之氧化層用於直接鈍化台地之矽側壁面36，或併合於一先前提供之鈍化材料，例如前述之熱生長氧化物。

積置之氧化物亦覆蓋於台地頂部上之氮化矽層22，但是層22可防止積置之氧化物層接觸於氮化物層22下方之台地矽表面24。

其他鈍化材料為多晶矽與氮化矽，用於將諸材料積置於一基材上之技術亦屬習知。

如上所述，玻璃層46a(如圖7)隨後提供於一製程中，留下台地頂部未由玻璃層覆蓋，因此當一鈍化材料層已積置於整個晶圓上(例如積置材料為二氧化矽、多晶矽及/或氮化矽)，則此積置之鈍化材料仍會曝現於氮化矽層22之頂部上。由於諸材料稍後才去移，因此沿著氮化矽層22(即將說明)，最好任意此積置層皆為較薄，例如大約300至500埃，以相較於極厚之玻璃層46a(例如具有前述大約50,000埃之最小厚度)。

當前述之一或多個處理步驟結束時，且在玻璃化過程之後，氮化矽層22及任意之覆蓋層皆去除，若氮化矽層22並未覆蓋，則層22可在一氮化矽選擇性蝕刻劑中去除，例如磷酸，其僅略為蝕除二氧化矽及玻璃。

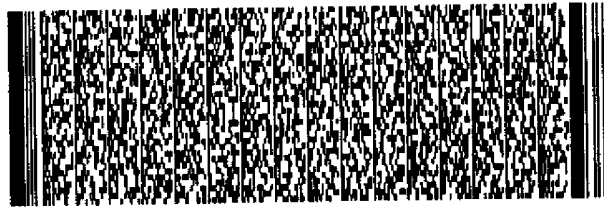
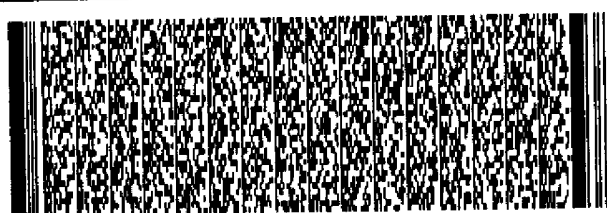


五、發明說明 (11)

一種用於去除含有任意層物於其上之氮化矽層22的較佳製程為電漿蝕刻製程，其可有效去除所有曝現之表面材料（即玻璃層46a、氮化矽層22及/或任意之積置二氧化矽、多晶矽及氮之矽鈍化層），但是需要小心控制速率。因此，在電漿蝕刻過程中，當台地覆蓋氮化矽層22沿著一相等厚度玻璃層46a去除時（即沿著任意之覆蓋積置層），製程即立刻停止（使用習知之電漿成份監控技術）。由於玻璃層之最小厚度係明顯大於已去除之氮化矽層厚度（加上任意之覆蓋積置鈍化層），因此玻璃層46a之剩餘厚度（加上任意之底下鈍化層）仍適合於台地斜壁面之有效鈍化（圖8揭示之晶圓10並無氮化矽層22）。

去除氮化矽層22係有必要的，以容許電極稍後做金屬電鍍（如圖8之層50所示）至台地之 n^+ 層20上，惟，重要的是一玻璃鈍化層46a與台地覆蓋氮化矽層之組合（及任意之積置鈍化層）可容許覆蓋於台地之諸層做選擇性之蝕除，但是不需要光石版印刷蝕刻製程，亦即如前所述，選擇性係藉由材料之選用及鈍化與遮光層之相對厚度而自動取得，由於避免採用光石版印刷製程，因此可節省比先前技藝更為顯著之成本。

由於氮化矽層22之去除及目前構成台地頂部之 n^+ 層20曝現，晶圓基本上已備便做金屬化，亦即因為氮化矽層22防止氧化或防止矽層20頂表面24之其他污染，一旦氮化矽層22如前述般去除時，未受覆蓋之矽表面24即相當清潔（在短暫浸泡於一弱氫氟酸蝕刻劑後，以去除表面24上之任意“天然氧化物”），以利進行金屬化製程。槽道28內之玻



五、發明說明 (12)

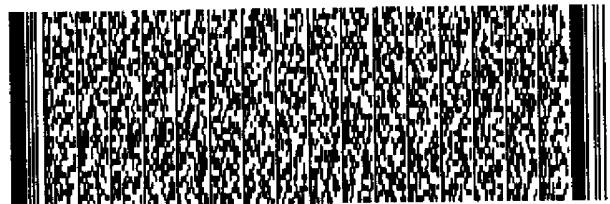
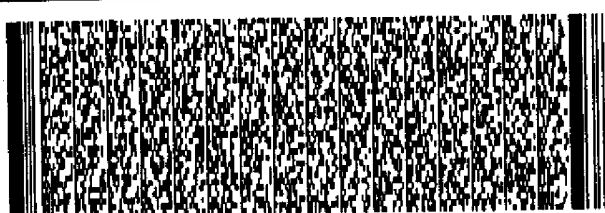
玻璃層46a為非導電性，且利用習知之無電鍍製程，則多種金屬層50(如圖8)，例如鎳或金，皆可選擇性地電鍍於晶圓之台地矽表面24及底表面14a上。通常一鎳層係無電式地電鍍於矽表面上，隨結燒結以形成一矽化鎳，矽化物之表面加以清潔再添加另一層鎳，隨後為塗金。

成品晶圓之一部份揭示於圖8，各包含於一非連續式半導體裝置中之個別晶片10a係藉由切碎晶圓而得，其可沿著圖8所示之虛線52而垂直地切過槽道28。雖然環境繞於各台地34之玻璃層46a會因此而切穿，但是玻璃層不致破裂且仍穩固地接附於台地側壁。

在此製造階段，分隔之晶片10a大致相同於以習知蝕刻製程所製成具有台地之晶片，因此半導體裝置最終製造所需之晶片進一步處理可依照本文未提及之習知製程。

總之，本發明之一重要優點在於半導體晶圓可整個處理成裝置，不需要光石版印刷製程，即不需要阻光層與對應之遮光件而可令第一阻光層製出圖案，隨後並蝕刻穿過圖案層。不同之台地係由機械式鋸切形成(隨後以一蝕刻製程做平滑及深化功能，且因氮化矽之覆蓋層22而不致侵襲台地矽頂表面24)，且備便台地之矽表面及以金屬電鍍台地矽表面之步驟同樣利用“選擇性”製程而進行，不需要光石版印刷過程。

當然，若本發明用於製造較複雜之裝置包括晶圓選定部份之摻雜時，則可能需要光石版印刷製程，再者，如文內所述，台地之製程、台地之鈍化、及台地之金屬電鍍皆可在無光石版印刷製程時完成。

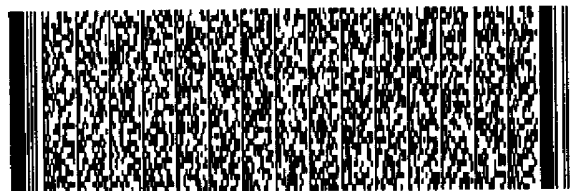
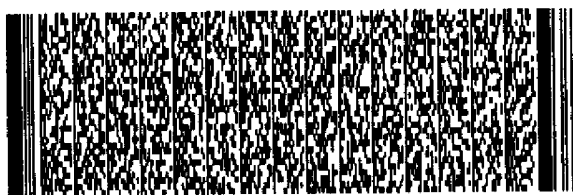


四、中文發明摘要 (發明之名稱：具有經切割形成台地型結構之半導體晶片)

啟始於一種已知型式之半導體晶圓，其包括一內部之平面式p-n接合處且平行於晶圓之主表面，其中一晶圓表面則覆以一氮化矽遮蔽層。複數條相交叉之槽道隨後切割過遮蔽層，以形成具有斜壁面之複數台地，且各台地包括一部份具有邊緣之平面式p-n接合處，該邊緣相交且曝現於台地壁面。槽道之壁面及曝現之接合處邊緣在一製程中以玻璃包封之，包括加熱於晶圓。遮蔽層隨後在一選擇性蝕刻製程中去除，且不需要一圖案式之蝕刻劑遮蔽件，而目前曝現於台地頂部上之矽表面以及晶圓之相對立表面則做金屬電鍍。晶圓隨後沿著穿過槽道之平面而細切，以利提供個別晶片，且各晶片具有一玻璃鈍化台地於其上。

英文發明摘要 (發明之名稱：SEMICONDUCTOR CHIPS HAVING A MESA STRUCTURE PROVIDED BY SAWING)

Starting with a semiconductor wafer of known type including an internal, planar p-n junction parallel to major surfaces of the wafer, one of the wafer surfaces is covered with a masking layer of silicon nitride. A plurality of intersecting grooves are then sawed through the masking layer for forming a plurality of mesas having sloped walls with each mesa including a portion of the planar p-n junction having edges which intersect and are exposed by the mesa walls. The groove



六、申請專利範圍

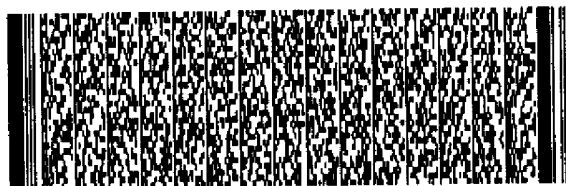
1. 一種製造一具有一台地型結構的半導體晶片之方法，其包含以下步驟：提供一矽晶圓，且其內部具有一平面式p-n接合處平行於晶圓之第一、二表面；以一氮化矽遮蔽層覆蓋該第一表面；形成一台地，台地具有斜壁面，可利用切割入槽道而相交於該p-n接合處，且僅有局部穿過該晶圓；包封該台地之斜壁面，且由諸該壁面以一第一鈍化材料玻璃層截取部份之p-n接合處；隨後去除該遮蔽層以曝現出該晶圓第一表面，做為該台地之一頂表面，而留下至少部份之該玻璃層於當處；及隨後以金屬電鍍該台地頂表面及該晶圓第二表面。

2. 如申請專利範圍第1項之方法，其中該去除步驟係由選擇性蝕刻該氮化矽層實施之，且利用一對於該玻璃層與該矽晶圓較無效果之蝕刻劑。

3. 如申請專利範圍第1項之方法，包括提供該玻璃層以一厚度，至少係沿著該部份，該厚度大致上大於該氮化矽層者，及其中該去除步驟包含同時以電漿蝕刻該二層，以利去除該氮化矽層之整個厚度，而僅去除該玻璃層部份之部份厚度。

4. 如申請專利範圍第1項之方法，包括在該切割步驟之後且在該包封步驟之前蝕刻該槽道表面，以令該槽道表面平滑及增加該槽道之切割深度。

5. 如申請專利範圍第4項之方法，其中該平面式p-n接合處係在相隔於該晶圓第一表面呈一第一距離處，該槽道則切割至一大致相等於自該第一表面之該第一距離的深度，



六、申請專利範圍

及其中該槽道蝕刻步驟可延伸該槽道之深度至該p-n接合處以外之一距離，其至少等於該晶片在一半導體裝置內做電氣式操作而導致該p-n接合處發生一電壓崩潰狀況期間自該p-n接合處擴展開來之一耗用層最大寬度。

6. 如申請專利範圍第4項之方法，包括提供由該晶圓切割步驟形成之複數相同台地於該晶圓上，以同樣方式處理所有該台地，且沿著垂直於該晶圓第一、二表面之平面以細切該晶圓，以及切過該槽道之底表面而提供個別之半導體晶片。

7. 如申請專利範圍第1項之方法，包括在該包封步驟前以熱生長一層二氧化矽於該台地之斜壁面上。

8. 如申請專利範圍第4項之方法，其中該包封步驟包含在該槽道切割步驟後施配一玻璃漿液至該遮蔽層上，及以刮刀將該漿液刮過該遮蔽層之表面，迫使漿液進入該槽道，而同時大致完全將漿液去除於該遮蔽層。

9. 如申請專利範圍第4項之方法，包括在該包封步驟前積置一第二鈍化材料層至該晶圓之槽道式表面上，而用該第二鈍化層覆蓋該台地斜壁面及該遮蔽層，及其中該包封步驟包含選擇性覆蓋於以該玻璃層覆蓋該台地斜壁面處之該第二鈍化層，該玻璃層包括若干部份，係具有一厚度且大於該遮蔽層與該覆蓋第二鈍化材料層之併合厚度，及其去中該去除步驟包含以電漿蝕刻晶圓之槽道式表面，以利去除該遮蔽層與遮蔽第二鈍化材料層之併合厚度，而僅去除該玻璃層部份之部份厚度。

