

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成16年12月9日(2004.12.9)

【公開番号】特開2001-189082(P2001-189082A)

【公開日】平成13年7月10日(2001.7.10)

【出願番号】特願平11-375671

【国際特許分類第7版】

G 1 1 C 14/00

G 1 1 C 11/22

【F I】

G 1 1 C 11/34 3 5 2 A

G 1 1 C 11/22

【手続補正書】

【提出日】平成15年12月19日(2003.12.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

残留分極によってデータを保持する複数の第1の強誘電体記憶素子、および前記第1の強誘電体記憶素子よりも容量の大きい第2の強誘電体記憶素子を備えたメモリセルアレイと、

前記メモリセルアレイに対して行方向の選択をおこなうための複数の行選択線と、  
前記メモリセルアレイに対して列方向の選択をおこなうための複数の列選択線と、  
を具備し、

前記第2の強誘電体記憶素子は、複数の前記第1の強誘電体記憶素子により構成されることを特徴とする半導体記憶装置。

【請求項2】

前記第2の強誘電体記憶素子を構成する複数の前記第1の強誘電体記憶素子に対応した複数の行選択線が短絡されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

短絡される複数の行選択線を選択するための選択回路をさらに備えたことを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】

短絡される複数の行選択線を選択するためのプログラムを記憶した記憶手段と、  
前記プログラムに基づいて、短絡対象となる複数の行選択線を選択するための選択信号を生成して前記選択回路に供給する制御手段と、  
をさらに備えたことを特徴とする請求項3に記載の半導体記憶装置。

【請求項5】

前記第2の強誘電体記憶素子を構成する複数の前記第1の強誘電体記憶素子に対応した複数の列選択線が短絡されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項6】

短絡される複数の列選択線を選択するための選択回路をさらに備えたことを特徴とする請求項5に記載の半導体記憶装置。

【請求項7】

短絡される複数の行選択線を選択するためのプログラムを記憶した記憶手段と、

前記プログラムに基づいて、短絡対象となる複数の行選択線を選択するための選択信号を生成して前記選択回路に供給する制御手段と、  
をさらに備えたことを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 8】

残留分極によってデータを保持する複数の第 1 の強誘電体記憶素子、および前記第 1 の強誘電体記憶素子よりも容量の大きい第 2 の強誘電体記憶素子を備えたメモリセルアレイと

、  
前記メモリセルアレイに対して行方向の選択をおこなうための複数の行選択線と、  
前記メモリセルアレイに対して列方向の選択をおこなうための複数の列選択線と、  
を具備し、

前記第 1 の強誘電体記憶素子は複数の強誘電体キャパシタを有しており、

前記第 2 の強誘電体記憶素子は、前記第 1 の強誘電体記憶素子に含まれる複数の前記強誘電体キャパシタを並列に接続した構成となっていることを特徴とする半導体記憶装置。

【請求項 9】

残留分極によってデータを保持する複数の第 1 の強誘電体記憶素子、および前記第 1 の強誘電体記憶素子よりも容量の大きい第 2 の強誘電体記憶素子を備えたメモリセルアレイと

、  
前記メモリセルアレイに対して行方向の選択をおこなうための複数の行選択線と、  
前記メモリセルアレイに対して列方向の選択をおこなうための複数の列選択線と、  
を具備し、

前記第 1 の強誘電体記憶素子は複数の強誘電体キャパシタを有しており、

前記第 2 の強誘電体記憶素子は、前記第 1 の強誘電体記憶素子の隣接するメモリセルに含まれる複数の前記強誘電体キャパシタを並列に接続した構成になっていることを特徴とする半導体記憶装置。