

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008 年 12 月 4 日 (04.12.2008)

PCT

(10) 国際公開番号
WO 2008/146348 A1

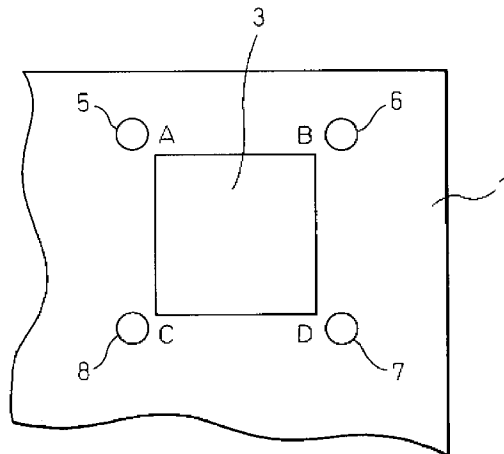
- (51) 国際特許分類:
H05K 1/02 (2006.01)
- (21) 国際出願番号: PCT/JP2007/060727
- (22) 国際出願日: 2007 年 5 月 25 日 (25.05.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 橋 義輝 (OCHI, Yoshiteru) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 坂入 慎 (SAKAIRI, Makoto) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 青木 篤, 外 (AOKI, Atsushi et al.); 〒1058423 東京都港区虎ノ門三丁目 5 番 1 号 虎ノ門 3 7 森ビル青和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

/ 続葉有 /

(54) Title: PRINTED CIRCUIT BOARD AND ELECTRONIC DEVICE WITH PRINTED CIRCUIT BOARD

(54) 発明の名称: 回路基板および回路基板を有する電子装置

Fig.5



(57) Abstract: A printed circuit board (1) is provided with a foot print area (3) where components are mounted and holes (5-8) at such diagonal extending portions that diagonals of the foot print area (3) are extended to the outside. The holes (5-8) prevent components mounted on the foot print area (3) from being distorted.

(57) 要約: プリント配線板 1 には、部品を実装するためのフットプリント領域 3 が設けられ、フットプリント領域の対角線を外側へ延長した対角線延長部に穴 5～8 が設けられる。穴 5～8 は、フットプリント領域 3 に実装される部品が歪むことを防止する。

WO 2008/146348 A1



TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

回路基板および回路基板を有する電子装置

技術分野

[0001] 本発明は、基板の歪を減少させる構造を有する回路基板、回路基板を有する電子装置等に関する。

背景技術

[0002] 近年、ICの高集積化に伴い、プリント回路基板に接続する入出力ピンの数も増加している。入出力ピンの多ピン化に対応するため、例えばBGA(Ball Grid Array)と呼ばれるパッケージも用いられている。BGAは、ICパッケージの裏面に格子状にはんだボールと呼ばれるハンダ材料を配置して形成されるもので、プリント回路基板に表面実装して、リフロー炉でハンダ付けにより接続される。BGAは、ICパッケージの裏面全体を基板との接続用に使えるため、総パッド数を大幅に増やすことができ、また、パッドの間隔を広くすることができる。したがって、大型サーバの周辺構造のプリント回路基板に実装する部品にも広く使用されている。

[0003] 大型サーバに用いられる回路基板は、複数のCPU(Central Processor Unit)モジュールのような大型の回路部品が搭載される。CPUモジュールは、ICパッケージあるいはその他の回路部品が半田付けされたプリント回路基板に、ネジ締めにより固定される。このネジ締め作業により、CPUモジュールに隣接してプリント回路基板に搭載されているBGAに負荷がかかる。BGAは、プリント回路基板にハンダ付けで接続固定されているので、プリント回路基板の歪や反りに弱いという欠点がある。

[0004] したがって、CPUモジュールのネジ締め作業は、BGAと基板の固定部に悪影響を与えることがあった。回路部品のネジ締め作業のみならず、プリント回路基板に設けられたコネクタへコネクタ部品を抜き差しする場合にも、コネクタ近傍のBGAに対して負荷がかかり、部品を搭載したプリント回路基板の信頼性を損ねる場合があった。

[0005] なお、回路基板に搭載される半導体素子に作用する力を、半導体素子周辺にスリットあるいは複数の穴を設けて分散させることが公知であり、また、格子状に配列された接続電極のコーナー部に平面視鉤形のスリットを形成して、応力を緩和することが

公知である。

[0006] 特許文献1:特許第2844085号公報

特許文献2:特開2005-129570号公報

発明の開示

発明が解決しようとする課題

[0007] 上記問題点に鑑み、本発明は、実装された部品に悪影響を与えないように、基板にかかる負荷を分散させ、基板の歪を減少させる回路基板を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明の第1の態様である回路基板は、電子部品が搭載される電子部品搭載領域の、前記電子部品の角に対応する位置に、開口が形成されたことを特徴とする。

[0009] また、本発明の第2の態様である回路基板は、電子部品がその表面に搭載される回路基板であって、前記電子部品が搭載される前記回路基板上の搭載領域の外側であって、前記電子部品の対角線の延長線上に、開口が形成されたことを特徴とする。

[0010] 本発明の第3の態様である電子回路は、回路基板と、前記回路基板上に搭載される電子部品と、前記基板上で前記電子部品が搭載されている領域の外側で、且つ前記電子部品の頂点付近に形成された穴と、を有することを特徴とする。

発明の効果

[0011] 本発明の第1および第2の態様にあつては、回路基板にかかる負荷によって、回路基板が歪むのを防止でき、回路基板に実装される部品に与える悪影響を減少させることができる。

[0012] 本発明の第3の態様にあつては、回路基板にかかる負荷によって回路基板に実装された部品に悪影響を与えることのない電子装置あるいは装置を提供することができる。

図面の簡単な説明

[0013] [図1]本発明が適用される前の回路基板の一例を示す図である。

[図2]図1の回路基板に実装されたパッケージを拡大して示す図である。

[図3]パッケージが実装された回路基板のシミュレーションモデルを示す図である。

[図4]図3の回路基板の歪みのシミュレーション結果を示す図である。

[図5]本発明の回路基板の第1の実施形態を示す図である。

[図6]本発明の回路基板の第2の実施形態を示す図である。

[図7]本発明の回路基板の第3の実施形態を示す図である。

[図8]本発明の回路基板の第4の実施形態を示す図である。

[図9]パッケージ端から回路基板に設けられた穴までの距離と歪みとの関係を示す図である。

[図10]パッケージの外側の4隅に設ける穴の直径の取り得る範囲とパッケージサイズとの関係を示す図である。

[図11]本発明の実施形態が適用されていない回路基板のシミュレーションによる弾性歪みを示す図である。

[図12]第1の実施形態が適用された回路基板のシミュレーションによる弾性歪みを示す図である。

[図13]第2の実施形態が適用された回路基板のシミュレーションによる弾性歪みを示す図である。

[図14]第3の実施形態が適用された回路基板のシミュレーションによる弾性歪みを示す図である。

[図15]第4の実施形態が適用された回路基板のシミュレーションによる弾性歪みを示す図である。

[図16]第1～第4の実施形態の歪み低減効果をグラフで示す図である。

[図17]第5の実施形態を示す図である。

[図18]第5の実施形態の変形例を示す図である。

[図19]回路基板に設けられた穴の垂直断面を示す部分断面図である。

[図20]第1の実施形態の回路基板を使用する電子装置あるいは装置の概要を示す図である。

符号の説明

- [0014] 1、10、31、130 回路基板
3 パッケージ搭載領域
5、6、7、8、134 穴
5S、6S、7S、8S 溝
11、32、133 半導体パッケージ
35-1～35-4 半導体パッケージの4隅
13 リテンション
15、137 コネクタ
20、135 CPUモジュール

発明を実施するための最良の形態

- [0015] 以下、図面を参照して、本発明の実施の形態を説明するが、その前に、本発明の作用効果を明らかにするために、本発明を適用していない回路基板を説明する。
- [0016] 図1は、回路基板と、回路基板に搭載される各種部品の相互関係を説明するための概略図であり、説明に必要ではない部品および印刷配線は省略している。図2は、図1の回路基板に実装されたパッケージの拡大図である。
- [0017] 回路基板10には、例えば半導体パッケージのようなパッケージ11がBGAにより実装されている。パッケージ11の近傍には、2個のリテンション部材13により、CPUモジュール20が複数台実装される。また、回路基板10には2個のコネクタ15が実装され、コネクタ15には、例えばメモリモジュールなどの回路部品が抜き差し可能に接続される。
- [0018] CPUモジュール20は、リテンション部材13を介してネジ21を締めることにより回路基板10に固定されるので、ネジ21の締め付けにより回路基板10は、負荷が加えられて歪むことになる。この結果、CPUモジュール20の搭載位置に隣接するパッケージ11に悪影響が及ぶ。さらに、コネクタ15に対する部品の抜き差しによっても、同様にパッケージ11に悪影響を与える場合がある。
- [0019] 従来から、ネジ21の締め付けの際に回路基板10に反りや歪みを与えないように、CPUモジュール20が実装される回路基板10の裏面には、回路基板の反り防止のた

めに反り防止板(スティフナ)が配置されている(図示せず)。それにもかかわらず、パッケージ11にかかる負荷により、パッケージ11を回路基板に接続固定する半田ボールの接続部分が損傷することがあった。

[0020] 図2は、パッケージ11が搭載された回路基板10の部分を示した図面である。パッケージ11にかかる負荷、言い換えれば回路基板に加わる歪みは、図2の丸印18に示すように、パッケージの4隅に集中している。図3、4は、パッケージに対する負荷の集中箇所をシミュレーションにより説明する図である。図3には、正方形の基板31の中央に正方形のパッケージ32を配置した、シミュレーション対象となるモデルを示す。図3のモデルに対して、基板31の背面の中心付近に負荷をかけて発生する歪みのシミュレーションを行った。図4に、そのシミュレーションの結果である歪みの分布を示す。図4の基板31の色の濃い部分が発生する歪みの大きな部分を示している。図4に示す歪み分布から、基板31に配置されたパッケージ32の外側の4隅35に負荷が集中していることがわかる。

[0021] そこで、本実施形態は、図4のシミュレーション結果に基づき、回路基板に配置されるパッケージ外側の4隅に集中する負荷を減少させ、回路基板に実装されるパッケージに与える悪影響を防止するものである。そのために、本実施形態では、回路基板に実装されるパッケージの外側に穴を設けることにより、応力を分散させる。特に、配線基板上の、パッケージの対角線の延長上に穴を設けることにより、より効果的に応力を分散させることができる。

[0022] 図5～8は、本発明による第1～第4の実施形態を示す図である。第1～第4の実施形態では、回路基板上に形成される穴はすべて丸穴とする。穴をすべて丸穴で形成することにより、穴を形成する作業が容易となる。

[0023] 図5に示す第1の実施形態は、パッケージが搭載される回路基板1上の、パッケージが搭載される領域の外側の4つの隅に、それぞれ1つずつ穴6～8を設けたものである。パッケージ搭載領域3は4角形ABCDの形状をしており、穴5と穴7とは、4角形ABCDの対角線ADの延長部分上で且つパッケージ搭載領域の頂点Aと頂点Dとの近傍に形成されている。同様に、穴6と穴8とは、4角形ABCDの対角線BCの延長部分上で、且つ頂点Bと頂点Cとの近傍に形成されている。図5の例では、穴5～8は

、回路基板表面で同一径の円形をなしている。本実施形態では、パッケージ搭載領域3の大きさを、40mm×40mmで、穴5～8のサイズは、直径4mmである。なお、他の実施形態では、穴をパッケージの四隅それぞれの近傍に形成するのではなく、穴5～8のいくつかを省略することもできる。

[0024] 図6に示す第2の実施形態は、第1の実施形態における穴に加えて、パッケージ搭載領域の辺に沿って径の異なる穴を配置するものである。

[0025] 第2の実施形態は、回路基板1のパッケージが搭載される領域3の外側の4隅に4個の穴5～8を設け、さらに、パッケージ搭載領域3の辺に沿って、穴5と穴6の間に、複数の穴51、穴52、穴53を設ける。回路基板1に形成される穴の大きさは、穴5 > 穴51 > 穴52 < 穴53 < 穴6となっており、パッケージ搭載領域3の辺の中央に配置された穴52が最も穴径が小さく、パッケージ搭載領域3の角に配置された穴5と穴6が最も穴径が大きい。

[0026] 穴6と穴7の間にも、パッケージ搭載領域3の辺に沿って、穴61、穴62、穴63を設ける。穴の大きさは、穴6 > 穴61 > 穴62 < 穴63 < 穴7となっている。

[0027] 穴7と穴8の間にも、パッケージ搭載領域3の辺に沿って、穴71、穴72、穴73を設ける。穴の大きさは、穴7 > 穴71 > 穴72 < 穴73 < 穴8となっている。

[0028] 穴8と穴1の間にも、パッケージ搭載領域3の辺に沿って、穴81、穴82、穴83を設ける。穴の大きさは、穴8 > 穴81 > 穴82 < 穴83 < 穴5となっている。

[0029] なお、パッケージ搭載領域の辺に沿って配置される穴の数は、任意である。また、本実施形態では、パッケージ搭載領域3の角に配置された4つの穴5、6、7、8の穴径は、それぞれ同一径である。ただし、穴5～8の穴径は、第1の実施形態のものより大きくすることもできる。また、図6の例では穴5→穴51→穴52と次第に穴径が小さくなるが、穴径の小さくなる割合も同一とするのが好適である。

[0030] 図7に示す第3の実施形態は、第2の実施形態を一部変形し、のパッケージ搭載領域の辺に沿う丸穴の径を均一にするものと同等である。

[0031] 図7では、回路基板1の部品が搭載されるパッケージ搭載領域3の角に、4個の穴5～8を設け、さらにパッケージ搭載領域3の辺に沿って穴径が均一の穴を配置している。穴5と穴6の間には、パッケージ搭載領域3の外側に、辺に沿って穴56、穴57が

配置され、穴6と穴7の間には、穴66、穴67が配置されている。また、穴7と穴8の間には、穴76、穴77が配置され、穴8と穴5の間には、穴86、穴87が配置されている。なお、図7では、すべての穴の径は同一としているが、パッケージ搭載領域3の4隅の穴5、穴6、穴7、穴8と、その他の穴の径を異ならせてもよい。

[0032] 図8に示す第4の実施形態では、回路基板1上のパッケージ搭載領域3の対角線の延長部に設けられた穴5に続いて、対角線延長部に沿って、穴5a、穴5b、穴5cを配置する。穴6についても同様に、対角線延長部に沿って、穴6a、穴6b、穴6cを配置する。さらに、図8に示すように、穴7、穴8に対しても、穴7a～7c、穴8a～8cが配置される。

[0033] 第4の実施形態では、実装されるパッケージの外側の4隅の対角線延長部に複数の穴が形成されるので、パッケージの対角線延長部に沿って負荷がかかる部分の回路基板の歪みを効果的に低減させる。なお、穴径については、複数の穴のすべてを均一にする必要はなく、それぞれの穴で穴径を異ならせることもできる、例えば、最も回路基板の歪みが大きな部分に設けられる穴径を大きくするようにしてもよい。さらに、4隅の対角線延長部に、すべて同じ数の穴を配置しなくともよい。設計上の都合で、隅ごとに、穴の数を変えてもよく、例えば図8の穴5b、穴5c、穴6b、穴6cなどのいずれかあるいはすべてを省略することも可能である。

[0034] 図9は、パッケージ搭載領域あるいは回路基板上に実装されるパッケージ端から穴の中心までの距離と歪みとの関係を示す図である。図9のグラフの横軸は、パッケージ搭載領域の端から穴の中心までの距離を示し、縦軸は、穴を開けていない回路基板に起きる歪み量を100%として、歪み量を%で示す。図9に示すように、穴の位置が、パッケージ搭載領域端から5.5mm、6.5mm、8.5mmであるとき、歪みが、約90%、約78%、約70%となっている。穴の位置がパッケージ搭載領域端に近づくにつれて、歪みが大きくなっている。これは、最も歪みが発生する地点が、パッケージ搭載領域端から所定距離離れたところにあることに起因する。ただし、パッケージ搭載領域端から8.5mmの位置に穴を設けることは、歪み低減には効果があるが、他の部品の配置を妨げるたり、プリント配線路に影響を与える場合がある。したがって、図9に示すように、パッケージ搭載領域端から6.5mmの地点に穴を配置することを

標準としている。

[0035] なお、第4の実施形態(図8)では、対角線延長部に沿って複数の穴が並ぶので、パッケージに最も近い穴6、7、8、9の位置は、パッケージ端からの標準距離6.5mmとすることなく、さらに近づけるようにしてもよい。

[0036] 図10は、パッケージサイズと、パッケージの外側の4隅に配置される穴のサイズとの関係を示す図である。図10に示すグラフでは、パッケージは正方形として、パッケージサイズ(PKGサイズ)を正方形の一辺の長さで表している。パッケージが長方形の場合やその他の多角形の場合は、最も長い辺でパッケージサイズを表すことができる。

[0037] パッケージサイズが大きくなると、一辺の長さに比例して、パッケージ外側の4隅に設けられる穴の直径を大きくすることが効果的である。これは、パッケージが大きくなるにつれて、パッケージの外側に生じる歪みが大きくなることによる。

[0038] また、一例として、パッケージサイズが40mm×40mmでは、穴径は直径4mmが下限となる。これは、穴径を4mmより小さくすると、回路基板の歪みを減少させる効果が少なくなることにより、穴径を4mmより大きくすることにより、回路基板に加わる負荷を分散させる効果を大きくすることができる。しかしながら、あまり穴を大きくすると、回路基板上で配線ルートを確保することや他のパッケージの配置に問題が生じる可能性がある。そのため、図10の例では穴径の上限を10mmとしている。したがって、パッケージサイズが40mm×40mmでは、穴径4mm～10mmの範囲の穴を採用するのが好適である。

[0039] 以上のように考察することにより、図10に斜線で示すように、パッケージサイズに対するパッケージ外側の4隅に設けられる穴の直径の範囲が決定される。この範囲は、パッケージサイズ10mm×10mmから100mm×100mmのパッケージに対して設定されたもので、例えば、パッケージサイズ10mm×10mmでは、1mmから10mmの範囲で穴径を設定することができ、パッケージサイズ100mm×100mmでは、穴径の上限を10mmとするのであれば、10mmの穴径のみが設定可能である。

[0040] なお、図10に示された穴径は、パッケージ外側の4隅、すなわちパッケージ搭載領域の対角線延長部のパッケージに最も近い位置に設けられる穴5、穴6、穴7、穴8の

直径を規定するもので、例えば図6の実施形態のパッケージ搭載領域一辺に沿って並ぶ穴51、穴52、穴53などは、この範囲からはずれた径であってもよい。さらに第4の実施形態の穴5a、穴5b、穴5cなどのパッケージ直近の穴でない場合も、その穴径は、図10の斜線で示す範囲を外れてもよい。

[0041] 図11～図15を参照して、本発明の第1～第4の実施形態の作用効果を説明する。図11は、本発明の実施形態が適用されていない基板31と基板31に載置されたパッケージ32のシミュレーションによる弾性歪みの一例を数値で示す参考図である。シミュレーションでは、図3、図4により説明したのと同様に、正方形の基板31の中央に正方形のパッケージ32を配置して、基板31の背面の中心付近に負荷をかける。パッケージ32の4隅の地点35-1、地点35-2、地点35-3、地点35-4に大きな弾性歪みが現れており、最大弾性歪みは、地点35-1では $3.2553e-004$ であり、地点35-2では $2.8421e-004$ であり、地点35-3では $3.065e-004$ 、地点35-4では $2.4919e-004$ であった。なお、 $e-004$ は、「 $\times 10$ のマイナス4乗」を表す。図9の右側には、地点35-3を含む領域37の拡大図が示されている。領域37の拡大図によると、歪みの大きさ $3.065e-004$ を与える地点35-3は、パッケージ32の隅であり、パッケージ32の対角線の延長線上にあることが明確に分かる。

図12は、本発明の第1の実施形態に対するシミュレーション結果を示す図である。シミュレーションでは、図11のパッケージ32を搭載した基板31に対して、本発明の第1の実施形態を適用して、パッケージ32の4隅に4個の穴を設け、次いで、パッケージ32の4隅に4個の穴を設けた基板31の背面の中心付近に負荷をかける。その結果、パッケージの4隅のうち地点35-3では、最大弾性歪みが、 $2.35e-004$ となった。図11のものでは、地点35-3は、最大弾性歪みが $3.065e-004$ であるので、第1の実施形態を適用したことにより歪みは減少している。

図13は、本発明の第2の実施形態に対するシミュレーション結果を示す図である。シミュレーションの対象は、図11のパッケージ32を搭載した基板31に対して、本発明の第2の実施形態を適用して、パッケージ32の4隅に4個の穴を設け、さらに、パッケージの辺に沿って3個の穴を配置したもので、パッケージ32の辺の中央付近に配置された穴が最も穴径が小さく、パッケージの4隅に配置された穴が最も穴径が大きい。

くなるように、穴径を順次異ならせたものである。第2の実施形態が適用された基板31に対して、基板31の背面の中心付近に負荷をかけるシミュレーションを行って、発生する弾性歪みを算出した。その結果、パッケージの4隅のうち地点35-3では、最大弾性歪みが、 $2.3376e-004$ であった。第1の実施形態を適用したもの(図12参照)では、地点35-3は、最大弾性歪みが $2.35e-004$ であったので、第2の実施形態では、第1の実施形態より歪みが減少していることになる。

図14は、本発明の第3の実施形態に対するシミュレーション結果を示す図である。シミュレーションの対象は、図11のパッケージ32を搭載した基板31に対して、本発明の第3の実施形態を適用して、パッケージ32の4隅に4個の穴を設け、さらに、パッケージの辺に沿って同一径の穴を配置したものである。この第3の実施形態が適用された基板31に対して、基板31の背面の中心付近に負荷をかけるシミュレーションを行って、発生する弾性歪みを算出した。その結果、パッケージの4隅のうち地点35-3では、最大弾性歪みが、 $2.3045e-004$ であった。第2の実施形態を適用した図11では、地点35-3は、最大弾性歪みが $2.3376e-004$ であったので、第3の実施形態では、第2の実施形態より歪みが減少していることになる。

図15は、本発明の第4の実施形態に対するシミュレーション結果を示す図である。シミュレーションの対象は、図11のパッケージ32を搭載した基板31に対して、本発明の第4の実施形態を適用して、パッケージ32の4隅の、パッケージ32の対角線の延長線上にそれぞれ4個の穴を設けたものである。この第4の実施形態が適用された基板31に対して、基板31の背面の中心付近に負荷をかけるシミュレーションを行って、発生する弾性歪みを算出した。その結果、パッケージ32の4隅の地点35-1、地点35-2、地点35-3、地点35-4の最大弾性歪みは、地点35-1では $1.9767e-004$ であり、地点35-2では $1.9234e-004$ であり、地点35-3では $1.9426e-004$ 、地点35-4では $2.2749e-004$ であった。パッケージの4隅のうち地点35-3では、最大弾性歪みが、 $1.9426e-004$ であり、第3の実施形態を適用したもの(図14参照)では、地点35-3は、最大弾性歪みが $2.3045e-004$ であったので、第4の実施形態は、第1～第3の実施形態より歪みが減少していることになる。

[0042] 図16は、第1～第4の実施形態の歪み低減効果をグラフで示す図である。図16に

、第1～第4の実施形態を適用することなく、回路基板に穴を設けなかった場合の回路基板の歪みを100%としてバーB0で示し、第1～第4の実施形態についてシミュレーションを行い、歪みを算出した結果をバーB1～バーB4で示す。

[0043] パッケージ搭載領域外側の4隅のそれぞれにひとつずつ穴を設けた第1の実施形態(図5)では、バーB1に示すように、回路基板に生じる歪みが80%強である。第1の実施形態による回路基板にさらに、パッケージ搭載領域外周に、4隅に向かって直径が大きくなる複数の穴を配置した第2の実施形態(図6)では、バーB2に示すように、回路基板に生じる歪みは約80%である。パッケージ搭載領域外周に均一の穴径を有する穴を設ける第3の実施形態(図7)では、バーB3に示すように、回路基板の歪みは80%弱に低減している。また、パッケージ搭載領域の対角線の延長線上に複数の穴を設けた第4の実施形態(図8)では、バーB4に示すように、回路基板に生じる歪みは70%弱まで低減した。

[0044] 第4の実施形態である対角線の延長線上に複数の穴を設けたものが、最も回路基板の歪みが少ない。これは、回路基板における負荷がかかる部分がパッケージ搭載領域の対角線の延長線に広がっているので、この部分に複数の穴が配置されることにより、歪みを低減させることができるからである。なお、第4の実施形態での穴の個数は、2以上の数であればよいが、歪み低減効果と穴を設けるスペースを考慮すると、3個あるいは4個が好適である。

[0045] 図17は、第5の実施形態を示す図である。第5の実施形態では、丸穴を使用しないで、回路基板1上のパッケージ搭載領域3の対角線の延長線に沿って細長い溝を形成する。図12に示すように、4角形ABCDからなるパッケージ搭載領域3の対角線ADの延長線に沿って、頂点Aの近くに溝5Sが、頂点Dの近くに溝7Sが設けられている。また、対角線BCの延長線に沿って、頂点Bの近くに溝6Sが、頂点Cの近くに溝8Sが設けられている。

[0046] 溝5S～8Sは、第4の実施形態と同様に、実装されるパッケージの外側の4隅に近いパッケージ搭載領域の対角線の延長線上に形成されるので、パッケージの対角線の延長線に沿って負荷がかかる部分の歪みを効果的に低減させる。

[0047] 図18は、第5の実施形態の変形例を示す図である。図18では、回路基板1上のパ

パッケージ搭載領域3の対角線の延長線に沿って細長い溝を複数形成する。図18に示すように、4角形ABCDからなるパッケージ搭載領域3の対角線ADの延長線に沿って、頂点Aの近くに溝5S1と溝5S2が、頂点Dの近くに溝7S1と溝7S2とが設けられている。また、対角線BCの延長線に沿って、頂点Bの近くに溝6S1と溝6S2とが、頂点Cの近くに溝8S1と溝8S2とが設けられている。図18では、2個の溝が形成されているが、3個以上の溝であってもよい。

[0048] 図19(a)～(c)は、回路基板の厚み方向に形成される穴あるいは溝の形状を示す部分断面図である。

[0049] 図19(a)では、回路基板1のパッケージ搭載領域の対角線の延長線上に形成される穴5が、回路基板1を貫通している。これに対して、図19(b)および図19(c)では、回路基板1に形成される穴5は、回路基板1を貫通していない。図19(b)に図示された穴5は、回路基板1のパッケージ搭載領域3がある面にのみ、凹部として形成されている。一方、図19(c)の穴5は、パッケージ搭載領域3がある面とその反対側の面に面対称となる位置に、凹部として形成されている。

[0050] 図19(a)～(c)のいずれの穴を選択するかは、回路基板の厚み、回路基板に生じると予測される歪みの大きさ、あるいは回路基板上への穴の形成の容易さなどを考慮して決定することができる。

[0051] なお、第2、第3の実施形態(図6、7)では、パッケージ搭載領域の外側の4隅には、それぞれ1つの穴5、穴6、穴7、穴8が配置されているが、穴5、穴6、穴7、穴8に加えて、図8に示すような、パッケージ搭載領域の外側の4隅の対角線延長線上に複数の穴、例えば穴5、5a～5cを配置するようにしてもよく、場合によれば、図17の溝を図6あるいは図7に示された実施形態に用いてもよい。

[0052] 図20は、本実施形態による回路基板に部品を実装してなる電子装置、回路基板あるいはこの電子装置を筐体に収納してなる装置を概念的に示す図である。

[0053] 装置100は、支持部材120を有する筐体110を備え、筐体110内に電子装置130を収納している。電子装置130は、回路基板131を備えており、回路基板131には、半導体パッケージ133、2個のCPUモジュール135、メモリ137、入出力端子(図示せず)などが実装されている。また、半導体パッケージ133の外側の4隅であって、半

導体パッケージ133のパッケージ搭載領域の対角線延長部には、丸穴134が設けられていて、回路基板131に負荷がかかる際の半導体パッケージ133の歪みを減少させるようになっている。

[0054] 電子装置100の製造工程の一例を、図20を参考に、以下に説明する。

[0055] まず、回路基板130の配線パターンと、部品133、部品135、部品137などを実装するパッケージ搭載領域を決定する。この後、回路基板に加わる負荷による影響を受ける部品である半導体パッケージ133に対して、設けられる丸穴の位置、および丸穴の数が決められ、また半導体パッケージ133の大きさから、丸穴の直径が決められる。その後、回路基板130に丸穴134が設けられる。丸穴134が設けられた後、パッケージ搭載領域に半導体パッケージ133が実装される。その後CPUモジュール135、メモリ137が実装される。

[0056] 装置100は、そのほかに、電源、複数のハードディスク装置、CD (Compact Disk) ドライブ、FD (Flexible Disk) など (図示せず) を備えることができる。

[0057] 本実施形態による丸穴をもつ回路基板を採用した電子装置あるいは装置は、回路基板に実装される部品の信頼性を高めることができる。また、本実施形態による歪み減少のための穴は、BGA接続されるパッケージに限らず、はんだあるいは接着剤により回路基板に固定される部品のほか、回路基板に加えられる負荷により悪影響が与えられる可能性のある実装部品であれば、どのような部品に対しても適用することができる。

請求の範囲

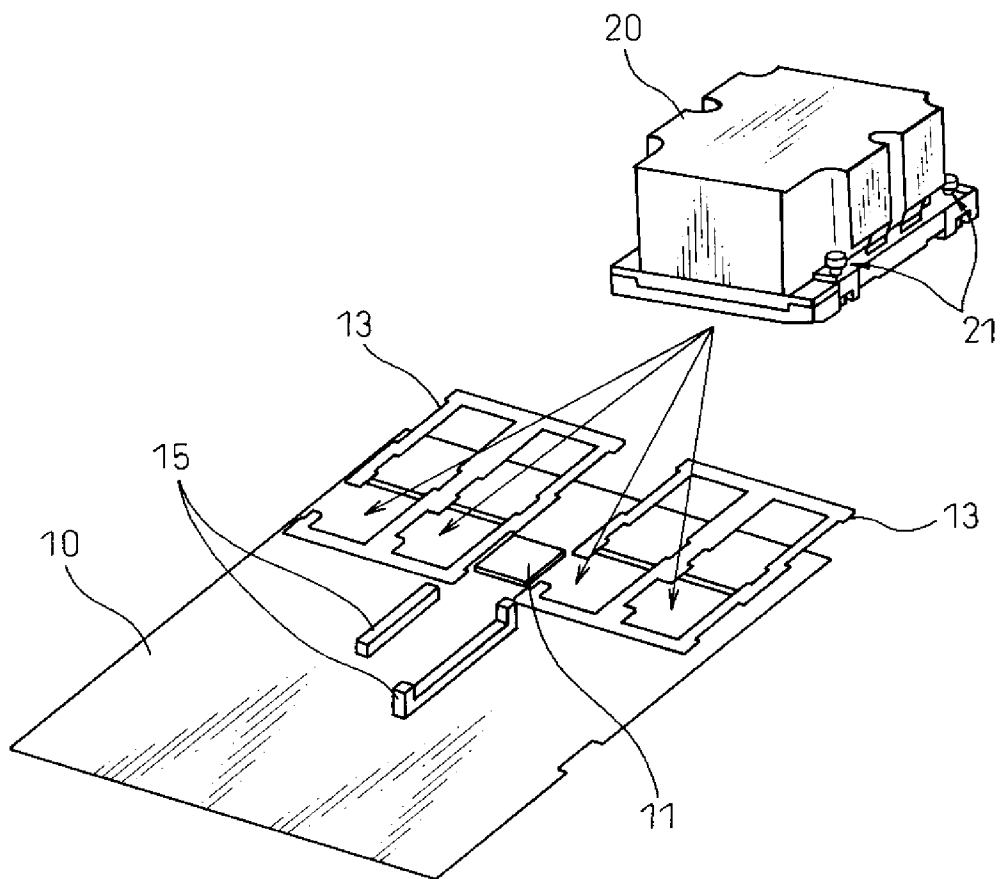
- [1] 電子部品が搭載される電子部品搭載領域の、前記電子部品の角に対応する位置に、開口が形成されたことを特徴とする、回路基板。
- [2] 電子部品がその表面に搭載される回路基板であって、
前記電子部品が搭載される前記回路基板上の搭載領域の外側であって、前記電子部品の対角線の延長線上に、開口が形成されたことを特徴とする、回路基板。
- [3] 前記回路基板において、
前記開口は丸状に形成されていることを特徴とする、請求項2に記載の回路基板。
- [4] 前記回路基板において、
前記開口は、前記延長線上に延びる溝あるいは長穴として形成されていることを特徴とする、請求項2に記載の回路基板。
- [5] 前記穴は、前記対角線の延長線上に複数個設けられていることを特徴とする請求項3に記載の回路基板。
- [6] 前記溝あるいは長穴は、前記対角線の延長線上に複数個設けられていることを特徴とする請求項4に記載の回路基板。
- [7] 前記複数個の穴は、4個以下であることを特徴とする請求項5に記載の回路基板。
- [8] さらに、前記電子部品搭載領域の辺に沿って穴が配置されたことを特徴とする請求項3に記載の回路基板。
- [9] 前記電子部品搭載領域の辺に沿って配置された穴は、前記電子部品搭載領域の辺の中央部より頂点に向かって穴径が大きくなることを特徴とする請求項7に記載の回路基板。
- [10] 回路基板と、
前記回路基板上に搭載される電子部品と、
前記基板上で前記電子部品が搭載されている領域の外側で、且つ前記電子部品の頂点付近に形成された穴と、
を有することを特徴とする電子装置。
- [11] 前記電子装置において、
前記穴は、前記電子部品の対角線の延長上に配置されていることを特徴とする、

請求項10に記載の電子装置。

- [12] 前記穴は、前記対角線の延長線上に複数個設けられていることを特徴とする請求項11に記載の電子装置。
- [13] 前記電子装置において、
前記穴は、前記電子部品が搭載されている領域のうち、前記基板に加わる応力が高くなる位置に配置されていることを特徴とする、請求項10に記載の電子装置。
- [14] 前記電子装置において、
前記穴は、前記電子部品の全ての頂点付近に形成されていることを特徴とする、請求項11に記載の電子装置。
- [15] 前記請求項10に記載の電子装置の製造方法であって、
配線板の電子部品が搭載される電子部品搭載領域を確定するステップと、
前記電子部品搭載領域の外側であって、前記電子部品の頂点付近に少なくともひとつの穴を設けるステップと、
前記配線板の電子部品搭載領域に部品を搭載するステップと、
を含むことを特徴とする電子装置の製造方法。
- [16] 前記請求項10に記載の電子装置を含むことを特徴とする装置。

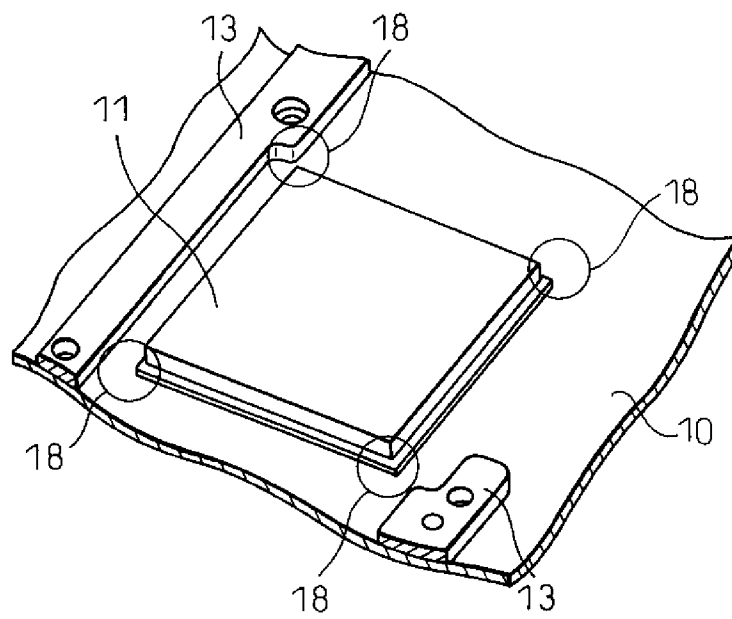
[図1]

Fig.1



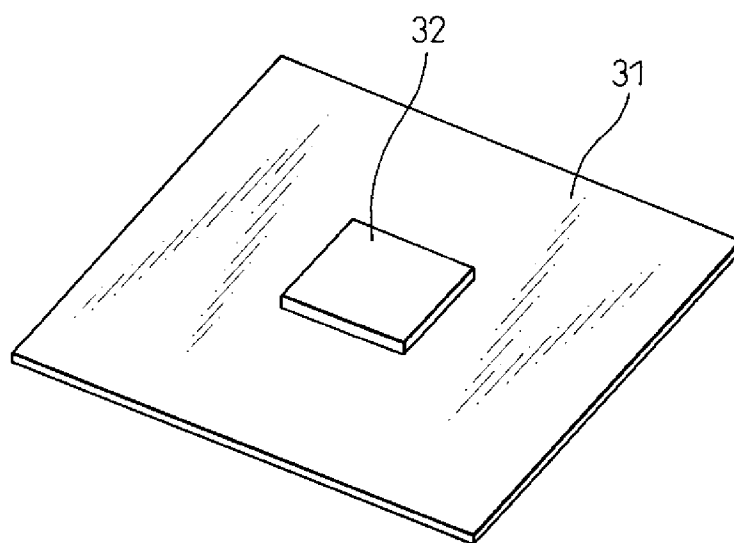
[図2]

Fig.2



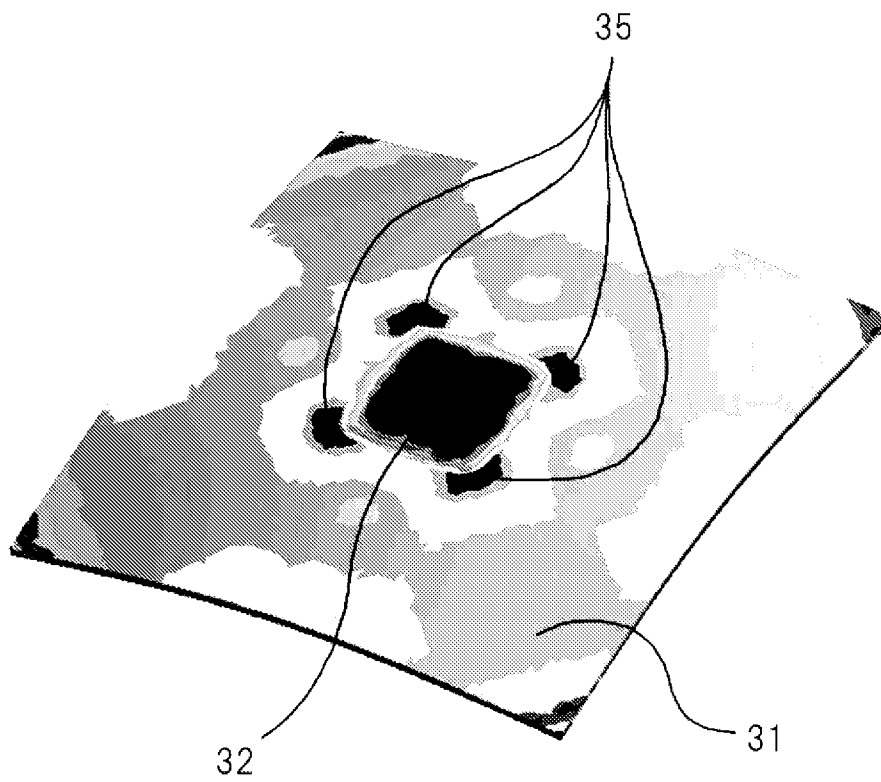
[図3]

Fig.3



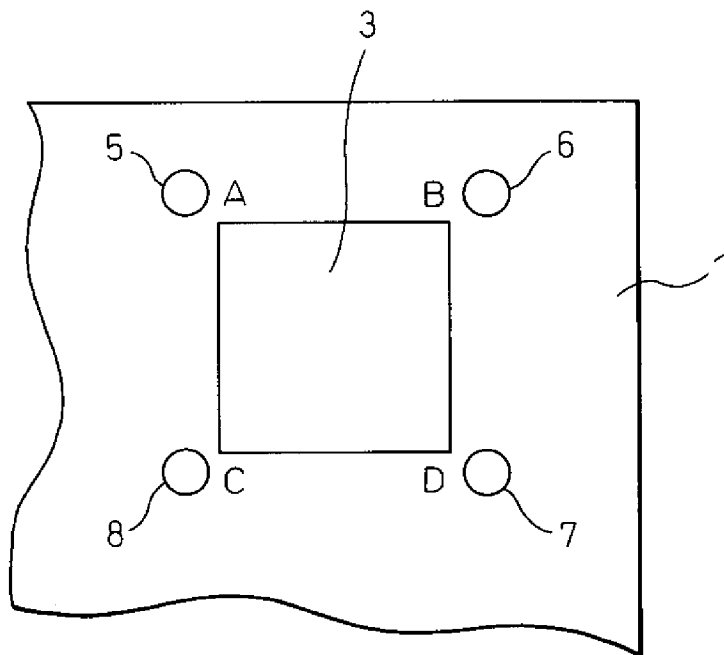
[図4]

Fig.4



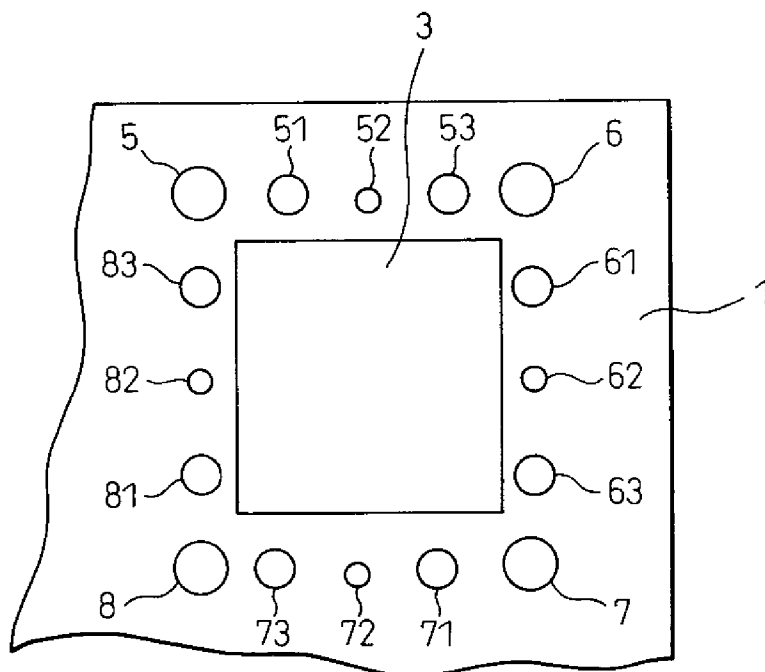
[図5]

Fig.5



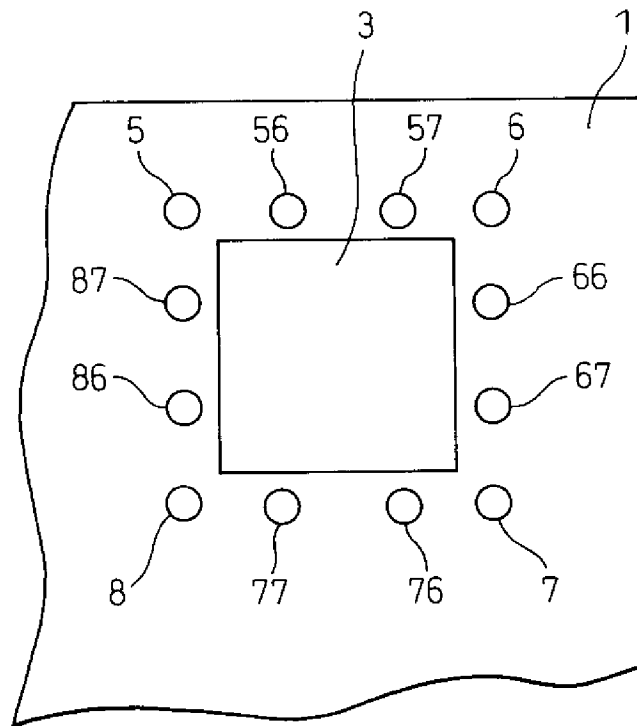
[図6]

Fig.6



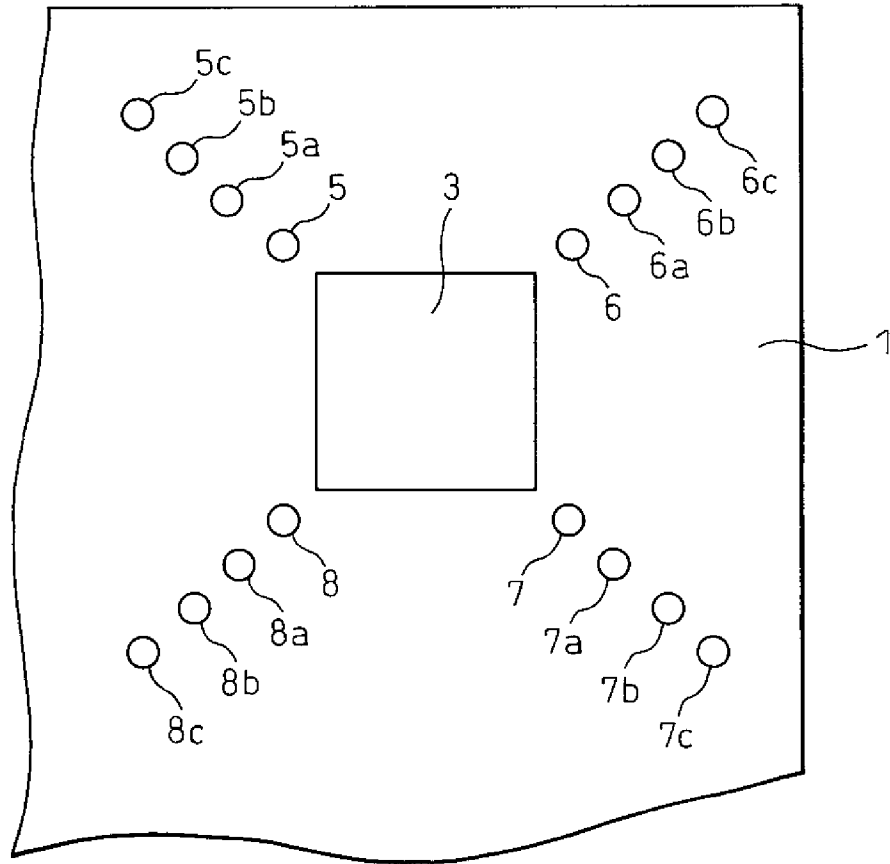
[図7]

Fig.7



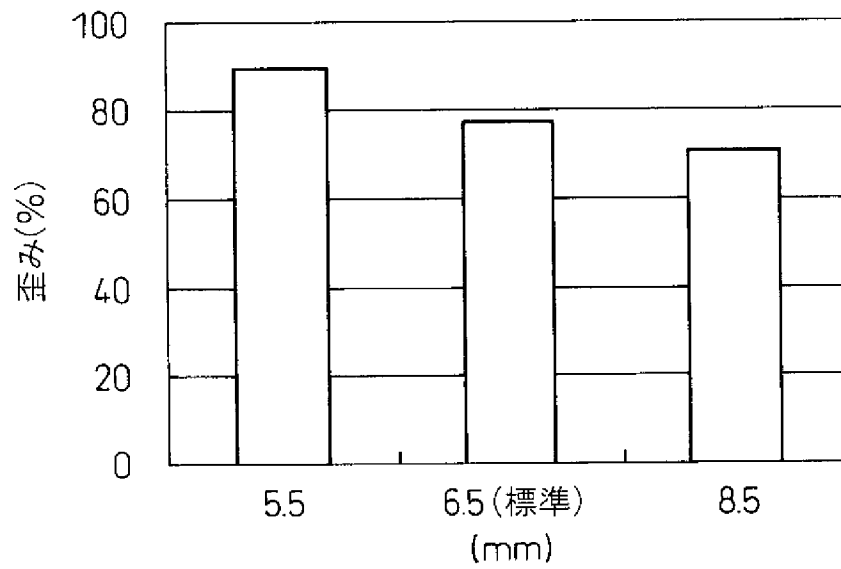
[図8]

Fig.8



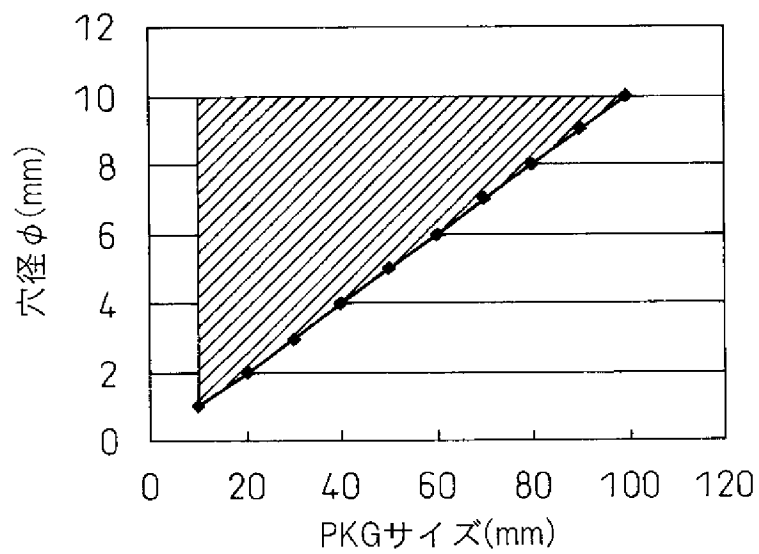
[図9]

Fig.9



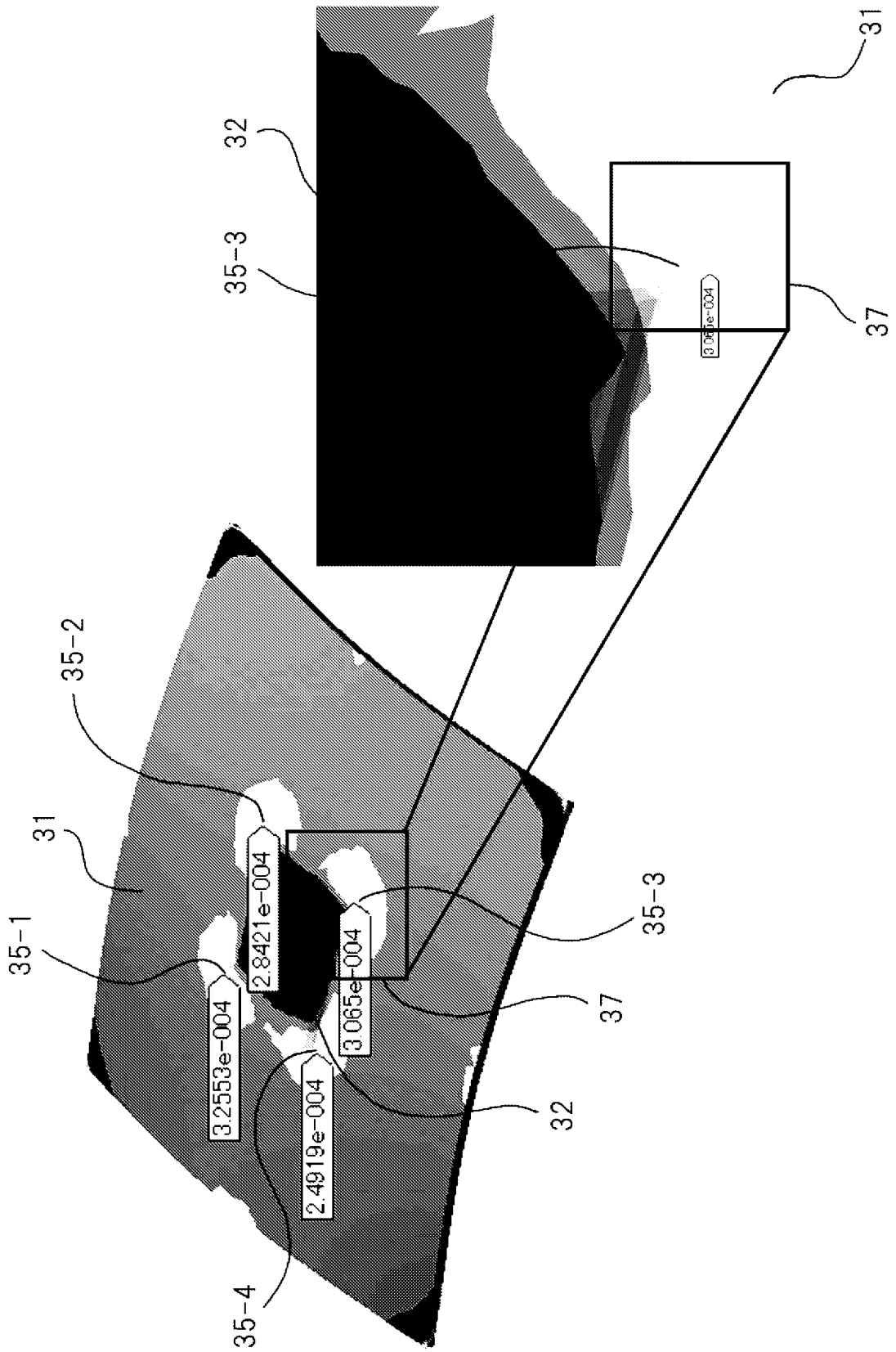
[図10]

Fig.10



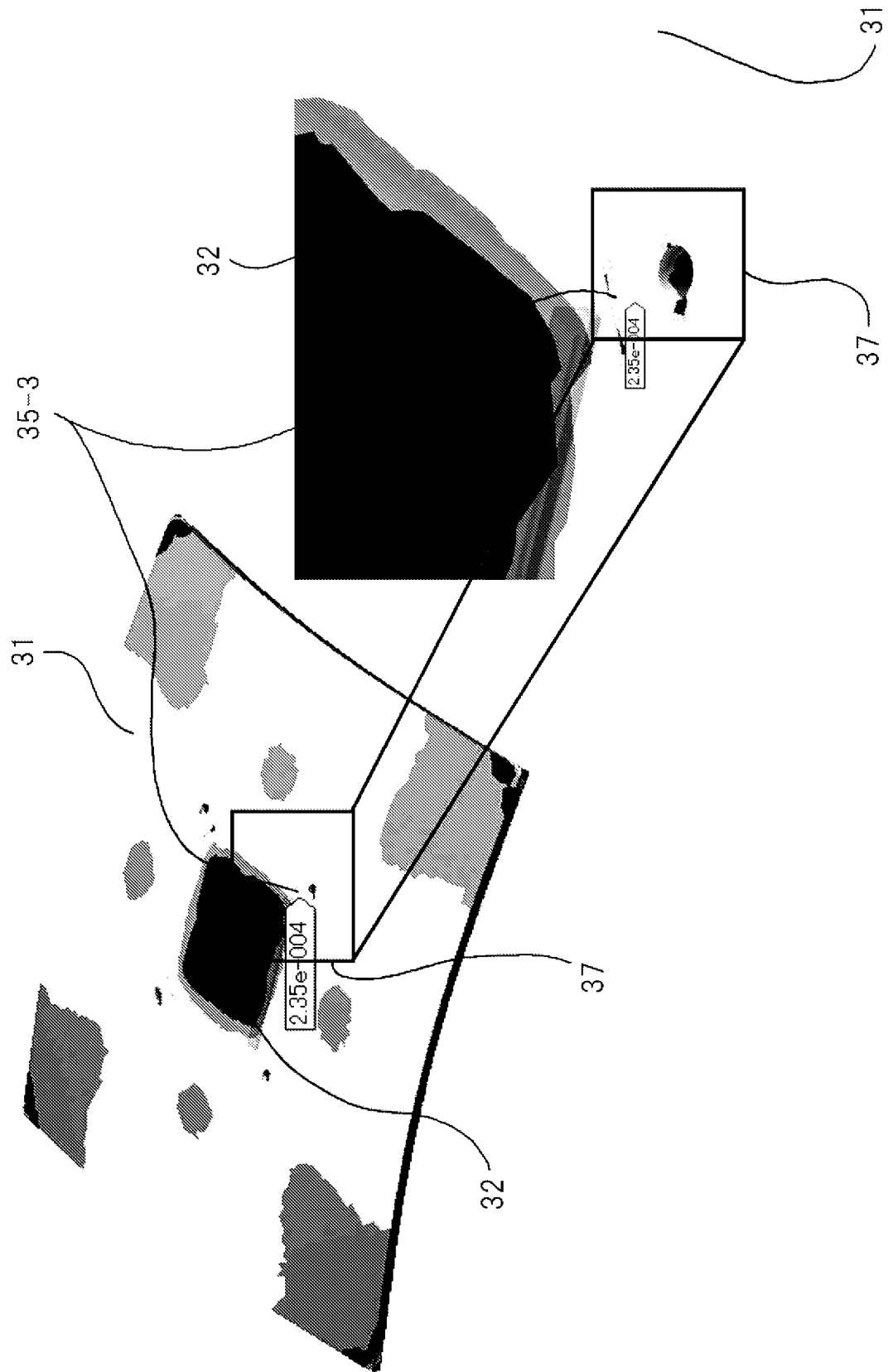
[図11]

Fig.11



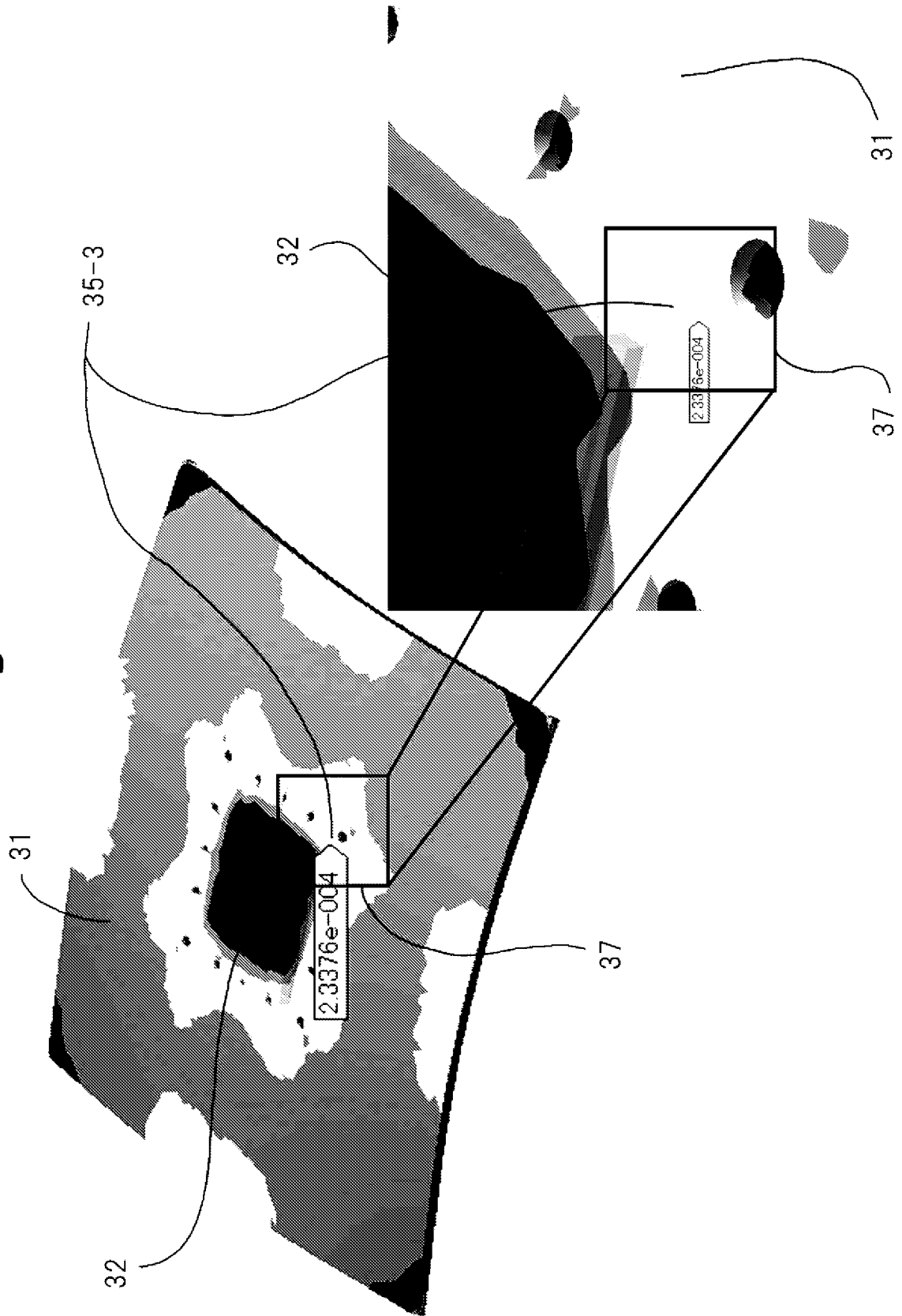
[図12]

Fig.12

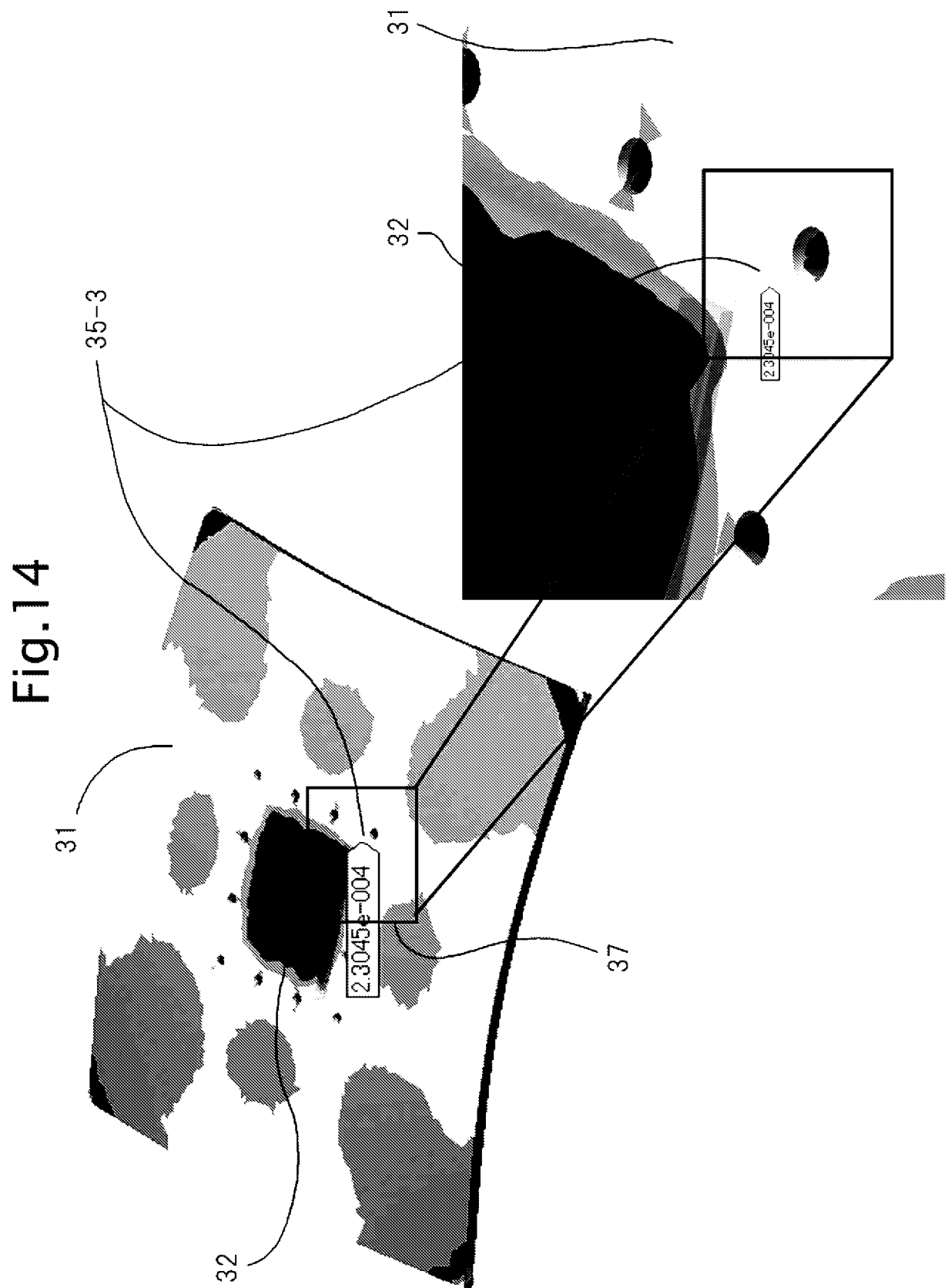


[図13]

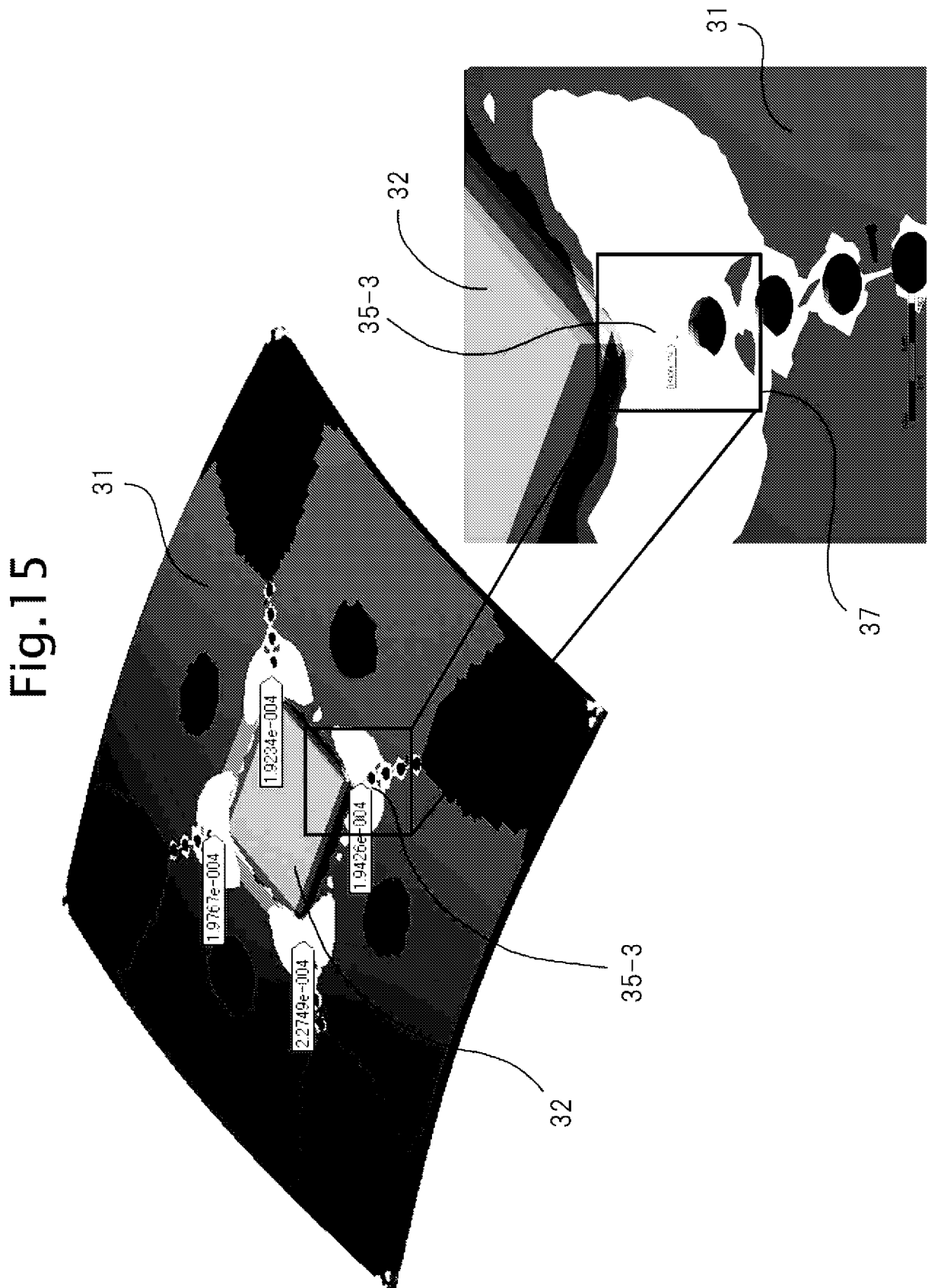
Fig.13



[図14]

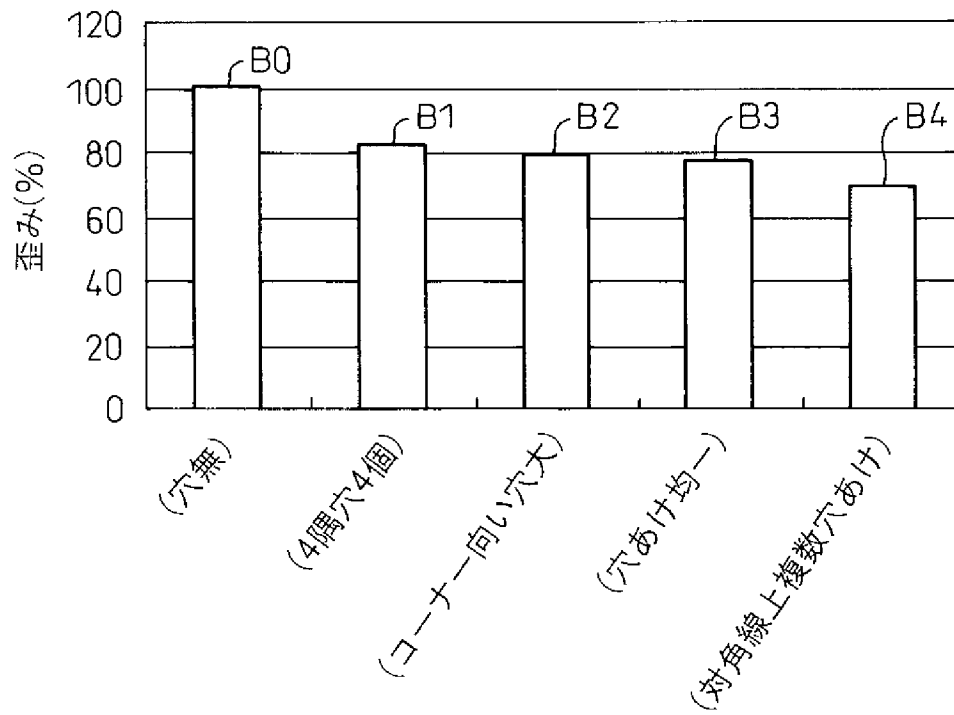


[図15]



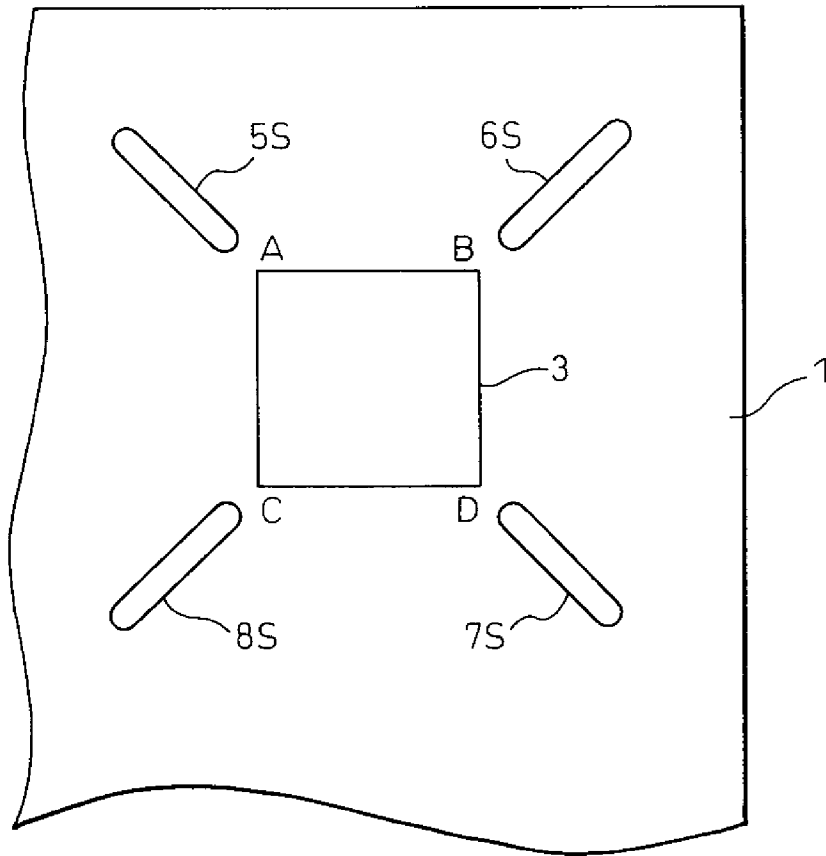
[図16]

Fig.16



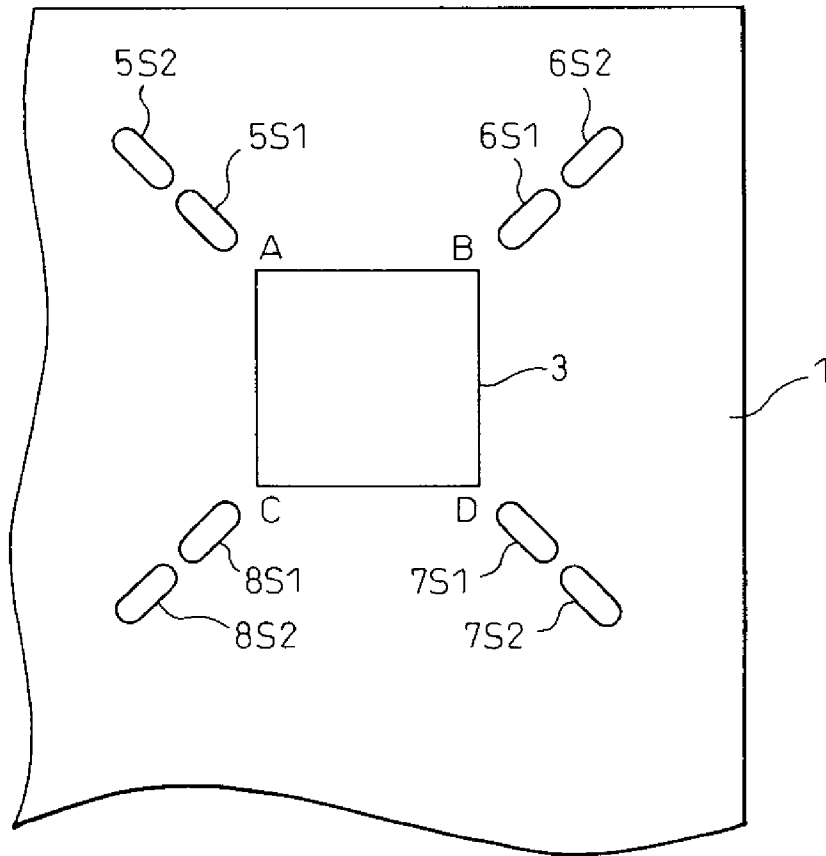
[図17]

Fig.17



[図18]

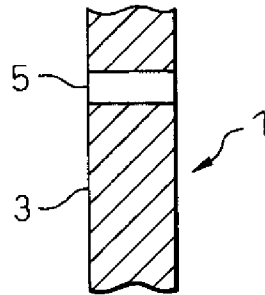
Fig.18



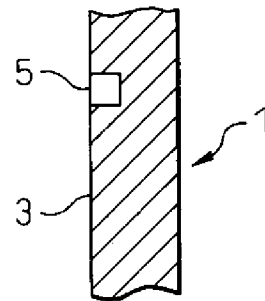
[図19]

Fig.19

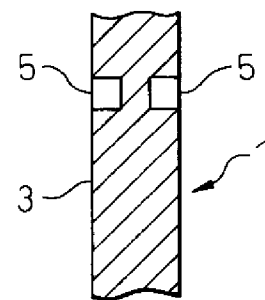
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/060727

A. CLASSIFICATION OF SUBJECT MATTER

H05K1/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/02, H05K1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-119107 A (NEC Saitama, Ltd.), 27 April, 2001 (27.04.01), Par. No. [0030]; Fig. 1 (Family: none)	1

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 July, 2007 (26.07.07)

Date of mailing of the international search report
07 August, 2007 (07.08.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/060727

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

A matter common to the inventions of claims 1-16 is that openings are made at a printed circuit board on which electronic components are mounted (hereinafter called "common matter 1").

A matter common to the inventions of claims 2-9 is that a printed circuit board includes a surface area on which electronic components are mounted and apertures made on such diagonal extensions that diagonals of the surface area extends to the outside of the surface area (hereinafter called "common matter 2") and, in particular, a matter common to the inventions of claims 3, 5, 7, 8 and 9 is the common matter 2 plus that the apertures are circular in shape (hereinafter called "common matter 3"). (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1.

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet (2)

A matter common to the inventions of claims 10-16 is an electronic device provided with a printed circuit board, electronic components mounted on the printed circuit board, and apertures that are made at the outside of an area on which the electronic components mounted and that are made at portions adjacent to the tops of the electronic components (hereinafter called "common matter 4") and, in particular, a matter common to the inventions of claims 11, 12 and 14 is the common matter 4 plus that the apertures are disposed on diagonal extensions of the electronic components (hereinafter called "common matter 5").

Since a result of search shows that the common matters 1 through 5 are described in JP 2001-119107 A (NEC Saitama, Ltd.), 27 April, 2001 (27.04.01), paragraph [0030], Fig. 1, it has become clear that they are not novel.

As a result, since the common matters 1 through 5 do not make any contribution over the prior art, the common matters 1 through 5 are not the special technical features in the meaning of PCT Rule 13.2, second sentence.

Thus, there is no common matter among the common matter of all the inventions in claims 1-16, the common matter of all the inventions in claims 2-9, the common matter of all the inventions in claims 3, 5, 7, 8 and 9, the common matter of all the inventions in claims 10-16, and the common matter of all the inventions in claims 11, 12 and 14. Since there are no other common matters are deemed to be the special technical features in the meaning of PCT Rule 13.2, second sentence, no technical relationship can be found in the meaning of PCT Rule 13 among those different inventions.

Therefore, the inventions in claims 1-16, the inventions in claims 2-9, the inventions in claims 3, 5, 7, 8 and 9, the inventions in claims 10-16, and the inventions in claims 11, 12 and 14 do not comply with the requirement of unity of invention.

In summary, this international application is deemed to include two or more inventions as follows:

The invention in claim 1 is directed to a printed circuit board in which openings are made at positions corresponding to corners of an electronic component in an electronic component mounting area on which the electronic component is mounted.

The inventions in claims 2, 3, 5, 7 and 9 are directed to a printed circuit board with openings that are circular in shape, that are made at the outside of a mounting area on which electronic components are mounted, and that are made on diagonal extensions of the electronic components.

The invention in claim 8 is directed to a printed circuit board in which openings are disposed along a side of an electronic component mounting area.

The inventions in claims 4 and 6 are directed to a printed circuit board in which openings are made as grooves or elongate holes extending on diagonal extensions.

(To be continued on the next page)

The inventions in claims 10-12 are directed to an electronic device provided with a printed circuit board, electronic components mounted on the printed circuit board, and holes that are made at the outside of an area on which the electronic components mounted and that are made at portions adjacent to the tops of the electronic components.

The invention of claim 14 is directed to an electronic device in which holes are made at all portions adjacent to the tops of electronic components.

The invention of claim 13 is directed to an electronic device in which holes are disposed at positions with high stresses imposed on a printed circuit in an area on which electronic components are mounted.

The invention of claim 15 is directed to a method for manufacturing an electronic device.

The invention of claim 16 is directed to a device including an electronic device.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H05K1/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H05K1/02, H05K1/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2－1 9 9 6年
日本国公開実用新案公報	1 9 7 1－2 0 0 7年
日本国実用新案登録公報	1 9 9 6－2 0 0 7年
日本国登録実用新案公報	1 9 9 4－2 0 0 7年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2 0 0 1－1 1 9 1 0 7 A (埼玉日本電気株式会社), 2 0 0 1. 0 4. 2 7, 段落【0 0 3 0】, 【図 1】(ファミリーなし)	1

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 7 . 2 0 0 7

国際調査報告の発送日

0 7 . 0 8 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0－8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

中村 一雄

3 S

3 6 2 9

電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 3 9 1

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1－16に係る発明の共通の事項は、電子部品が搭載される回路基板に、開口を形成するという事項（以下、「共通事項1」という。）である。

そして、請求の範囲2－9に係る発明の共通の事項は、電子部品がその表面に搭載される回路基板であって、前記電子部品が搭載される前記回路基板上の搭載領域の外側であって、前記電子部品の対角線の延長線上に、開口が形成された回路基板という事項（以下、「共通事項2」という。）であり、特に、請求の範囲3, 5, 7, 8, 9に係る発明の共通の事項は、上記共通事項2、及び、開口が丸状に形成されているという事項（以下、「共通事項3」という。）である。

以下、特別ページに続く。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。

第1 ページの続葉 (2) 第III欄の続き

そして、請求の範囲10-16に係る発明の共通の事項は、回路基板と、前記回路基板上に搭載される電子部品と、前記基板上で前記電子部品が搭載されている領域の外側で、且つ前記電子部品の頂点付近に形成された穴と、を有する電子装置という事項（以下、「共通事項4」という。）であり、特に、請求の範囲11, 12, 14に係る発明の共通の事項は、上記共通事項4、及び、穴が電子部品の対角線の延長上に配置されているという事項（以下、「共通事項5」という。）である。

しかしながら、調査の結果、この共通事項1乃至共通事項5は、文献JP 2001-119107 A (埼玉日本電気株式会社), 2001. 04. 27, 段落【0030】, 第1図に開示されているから、新規でないことが明らかとなった。

結果として、共通事項1乃至共通事項5は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この共通事項1乃至共通事項5は特別な技術的特徴ではない。

それ故、請求の範囲1-16に係る発明全てに共通の事項、請求の範囲2-9に係る発明全てに共通の事項、請求の範囲3, 5, 7, 8, 9に係る発明全てに共通の事項、請求の範囲10-16に係る発明全てに共通の事項、並びに、請求の範囲11, 12, 14に係る発明全てに共通の事項はない。

PCT規則13.2の第2文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間にPCT規則13の意味における技術的な関連を見出すことはできない。

よって、請求の範囲1-16に係る発明、請求の範囲2-9に係る発明、請求の範囲3, 5, 7, 8, 9に係る発明、請求の範囲10-16に係る発明、並びに、請求の範囲11, 12, 14に係る発明は、それぞれ、単一性の要件を満たしていないことが明らかである。

したがって、この国際出願には、以下に示すように二以上の発明があると認められる。

請求の範囲1に係る発明は、電子部品が搭載される電子部品搭載領域の、電子部品の角に対応する位置に、開口が形成された回路基板についての発明である。

請求の範囲2, 3, 5, 7, 9に係る発明は、電子部品が搭載される回路基板上の搭載領域の外側であって、電子部品の対角線の延長線上に、開口が丸状に形成された回路基板についての発明である。

請求の範囲8に係る発明は、電子部品搭載領域の辺に沿って穴が配置された回路基板についての発明である。

請求の範囲4, 6に係る発明は、開口が延長線上に延びる溝あるいは長穴として形成された回路基板についての発明である。

請求の範囲10-12に係る発明は、回路基板と、回路基板上に搭載される電子部品と、回路基板上で、電子部品が搭載されている領域の外側で、且つ電子部品の頂点付近に形成され、電子部品の対角線の延長上に配置された穴を有する電子装置についての発明である。

請求の範囲14に係る発明は、穴が、電子部品の全ての頂点付近に形成されている電子装置についての発明である。

請求の範囲13に係る発明は、穴が、電子部品が搭載されている領域のうち、基板に加わる応力が高くなる位置に配置されている電子装置についての発明である。

請求の範囲15に係る発明は、電子装置の製造方法についての発明である。

請求の範囲16に係る発明は、電子装置を含む装置についての発明である。