

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

204872

(11) (B1)

(51) Int. Cl.³
G 11 C 8/00

/22/ Přihlášeno 12 07 79
/21/ /PV 4888-79/

(40) Zveřejněno 30 04 80

(45) Vydáno 15 12 82

(75)

Autor vynálezu

ŠTEFL JIŘÍ ing., BRNO

(54) Zapojení urychlovacího obvodu pro feritové paměti

1

Vynález se týká zapojení urychlovacího obvodu pro feritové paměti, vhodného zejména pro budicí obvody blokovacích vodičů feritových pamětí.

V moderních feritových pamětích jsou jako budicí obvody blokovacích vodičů používány integrované obvody. Poněvadž nárůst blokovacích proudů musí předcházet působení výběrových proudů a indukčnost blokovacích vinutí je větší než souřadnicových výběrových vinutí, pak pro zaručení správných pracovních podmínek feritové paměti musí být zvoleno napájecí napětí obvodů budících blokovací vinutí větší, než je napětí obvodů výběrových vinutí. Tím narůstá příkon paměti a zvětšuje se složitost napájecích zdrojů. Není-li možné zvýšení napájecího napětí pro obvody budící blokovací vinutí s ohledem na mezní hodnoty integrovaných obvodů, pak je nutno zařadit mezi blokovací a výběrové signály dodatečné zpoždění. Tím se prodlouží pracovní cyklus paměti a zvyšuje se též složitost řídicích obvodů paměti.

Uvedené nevýhody odstraňuje zapojení urychlovacího obvodu podle vynálezu, jehož podstata spočívá v tom, že první konec blokovacího vodiče feritové paměti je spojen přes symetrizační transformátor s paralelní kombinací prvního omezovacího odporu a urychlovacího kondenzátoru, která je spojena s katodou druhé omezovací diody s uzemněnou anodou a současně s katodou první vazební diody, jejíž anoda je spojena s emitorem prvního výstupního tranzistoru výkonového integrovaného obvodu, jehož vstup je buzen blíže neznázorněnými obvody, přičemž kolektor výstupního tranzistoru výkonového integrovaného obvodu je přes druhý omezovací odpor připojen na kladný pól napájecího napětí, přičemž druhý konec blokovacího vodiče feritové paměti je přes symetrizační transformátor uzemněn.

Výhodou popisovaného obvodu je urychlení nárůstu i poklesu proudu v blokovacích vodičích, přičemž při zaručení správných pracovních podmínek jsou napájecí napětí pro výběrové

204872

i pro blokovací obvody totožné. Je sníženo rušení štecích vinutí od vinutí blokovacího a urychlení spínání proudu v blokovacím vinutí umožňuje zkrácení pracovního cyklu feritové paměti. Použitím nižšího napájecího napětí je též snížen celkový příkon paměti. Zapojení rovněž zlepšuje pracovní podmínky výkonového integrovaného obvodu.

Zapojení urychlovacího obvodu pro feritové paměti a funkční průběhy jsou uvedeny na následujících obrázcích, kde obr. 1 ukazuje základní zapojení urychlovacího obvodu a obr. 2 znázorňuje funkční průběhy obvodu podle obr. 1.

Vstupní signál U_V z blíže neznázorněných obvodů je přiváděn na vstup V výkonového integrovaného obvodu IO , přičemž kolektor K výstupního tranzistoru $T1$ výkonového integrovaného obvodu IO je přes druhý omezovací odpor $R2$ spojen s kladným pólem napájecího napětí $+U_E$. Emitor E výstupního tranzistoru $T1$ integrovaného obvodu IO je spojen s anodou první vazební diody $D1$, jejíž katoda je připojena na katodu druhé omezovací diody $D2$ s uzemněnou anodou a současně je připojena na paralelní kombinaci prvního omezovacího odporu $R1$ a urychlovacího kondenzátoru $C1$, která je spojena s jedním vstupem symetrizačního transformátoru $TR1$, přičemž jeho druhý vstup je uzemněn. Na výstupní svorky symetrizačního transformátoru $TR1$ je připojeno blokovací vinutí FP feritové paměti.

V dalším je popsána funkce urychlovacího obvodu podle obr. 1 a funkční průběhy jsou na obr. 2.

Je-li vstupní napětí U_V přivedené na vstup V výkonového integrovaného obvodu IO nulové, pak výstupní tranzistor $T1$ je rozepnut a blokovacím vinutím FP neprotéká žádný blokovací proud I_Z . Je-li na vstup V integrovaného obvodu IO přiveden spouštěcí impuls, pak se výstupní tranzistor $T1$ otevře a přes první vazební diody $D1$ se přenesou kladné napětí U_D na vstup paralelní kombinace prvního omezovacího odporu $R1$ a urychlovacího kondenzátoru $C1$. V blokovacím vinutí začne nárůstat proud I_Z , jehož nárůst je urychlován urychlovacím kondenzátorem $C1$, který tvoří s indukčností blokovacího vodiče FP silně tlumený rezonanční obvod. První omezovací odpor $R1$ spolu s druhým omezovacím odporem $R2$ určuje ustálenou hodnotu blokovacího proudu I_Z . Během nárůstu proudu se nabíjí urychlovací kondenzátor $C1$ na napětí U_C , napětí U_Z na blokovacím vodiči FP klesá. Druhý omezovací odpor $R2$ snižuje výkonové zatížení výstupního tranzistoru $T1$, neboť umožňuje dosáhnout u tranzistoru $T1$ stavu saturace. Symetrizační transformátor $TR1$ podstatně omezuje vznik parazitních kapacitních rušivých proudů ve feritové paměti.

Po ukončení budícího pulsu se uzavře výstupní tranzistor $T1$ a blokovací proud se uzavírá přes druhou omezovací diodu $D2$. Pokles proudu je opět urychlen protinapětím na urychlovací kapacitě $C1$. Protože na katodě diod je při doznívání proudu záporné napětí, brání první vazební dioda $D1$ pomocí svého prahového napětí parazitnímu spínání výstupního tranzistoru $T1$ a tím se dále snižuje výkonové zatížení integrovaného obvodu IO .

Základní zapojení podle obr. 1 je zároveň příkladem použití urychlovacího obvodu podle vynálezu pro blokovací vodič 1 bitu feritové paměti se souřadnicovým výběrem slova. Tento obvod je v paměti použit tolikrát, kolik bitů představuje jedno slovo v paměti.

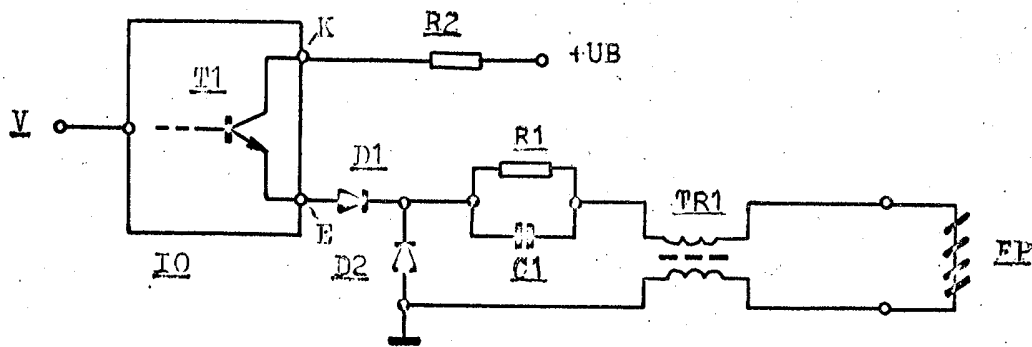
P R Ě D M Ě T V Y N Á L E Z U

Zapojení urychlovacího obvodu pro feritové paměti, vyznačující se tím, že první konec blokovacího vodiče (FP) feritové paměti je spojen přes symetrizační transformátor ($TR1$) s paralelní kombinací prvního omezovacího odporu ($R1$) a urychlovacího kondenzátoru ($C1$), která je spojena s katodou druhé omezovací diody ($D2$) s uzemněnou anodou a současně s katodou první vazební diody ($D1$), jejíž anoda je spojena s emitorem (E) výstupního tranzistoru ($T1$) výkonového integrovaného obvodu (IO), přičemž kolektor (K) výstupního tranzistoru

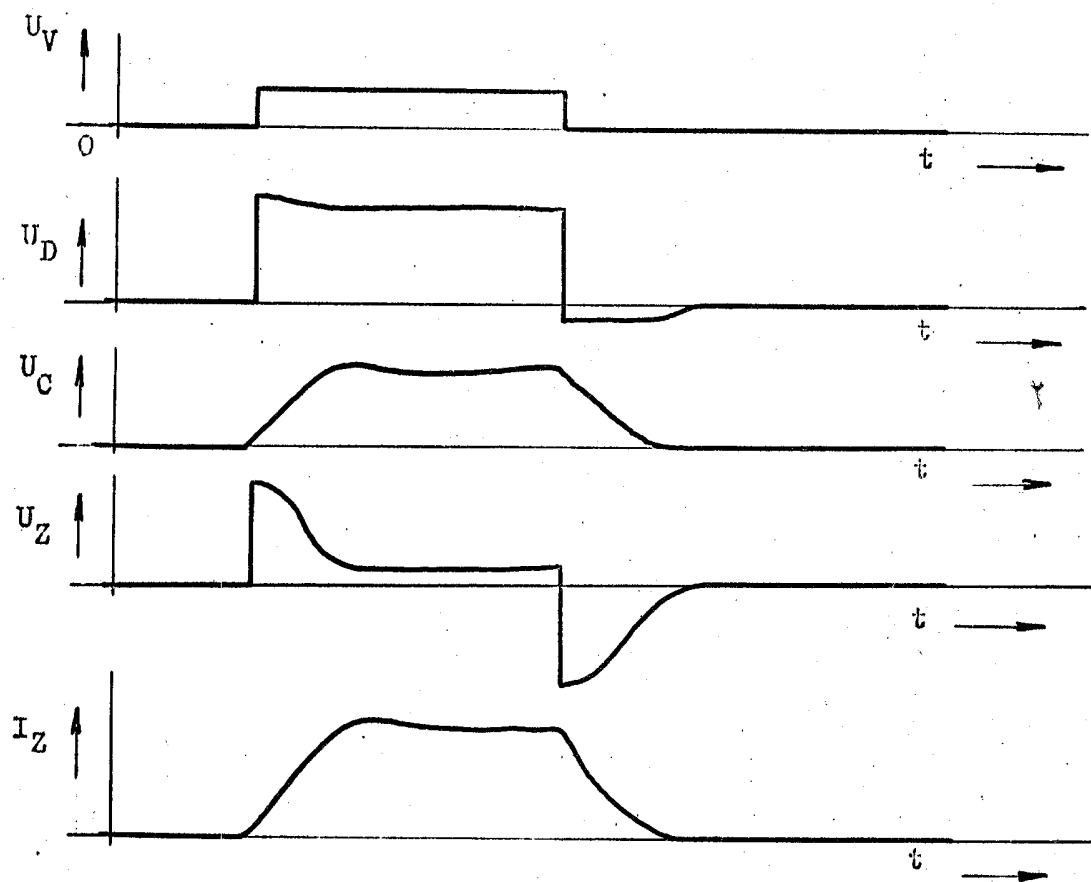
(T1) výkonového integrovaného obvodu (IO) je přes druhý omezovací odpor (R2) připojen na kladný pól napájecího napětí (+UB) a druhý konec blokovacího vodiče (FP) feritové paměti je přes symetrizační transformátor (TR1) uzemněn.

1 list výkresů

204872



Обр. 1



Обр. 2