

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 1 月 12 日 (2017.1.12)

【公開番号】特開 2014-132643 (P2014-132643A)

【公開日】平成 26 年 7 月 17 日 (2014.7.17)

【年通号数】公開・登録公報 2014-038

【出願番号】特願 2013-244597 (P2013-244597)

【国際特許分類】

H 0 1 L 21/338 (2006.01)

H 0 1 L 29/778 (2006.01)

H 0 1 L 29/812 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/06 (2006.01)

B 8 2 Y 30/00 (2011.01)

B 8 2 Y 40/00 (2011.01)

【 F I 】

H 0 1 L 29/80 H

H 0 1 L 29/78 3 0 1 B

H 0 1 L 29/06 6 0 1 N

H 0 1 L 29/06 6 0 1 W

B 8 2 Y 30/00

B 8 2 Y 40/00

【手続補正書】

【提出日】平成 28 年 11 月 25 日 (2016.11.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

長手方向 (L) に、ソース領域 (1001) およびドレイン領域 (1003) と、ソース領域 (1001) とドレイン領域 (1003) との間のチャンネル領域 (1002) とを有し、

ソース領域 (1001) を横断する方向 (T) に、ソースコア領域 (101) と、ソースコア領域 (101) の周囲に配置された厚さ (t_1) のソースシェル領域 (201) とを有し、

ドレイン領域 (1003) を横断する方向 (T) に、ドレインコア領域 (103) と、ドレインコア領域 (103) の周囲に配置された厚さ (t_3) のドレインシェル領域 (203) とを有し、

チャンネル領域 (1002) を横断する方向 (T) に、チャンネルコア領域 (102) と、チャンネルコア領域 (102) の周囲に配置された厚さ (t_2) のチャンネルシェル領域 (202) とを有し、

チャンネルシェル領域 (202) の厚さ (t_2) は、ソースシェル領域 (201) の厚さ (t_1) より小さく、かつ、ドレインシェル領域 (203) の厚さ (t_3) より小さく、

ソースシェル領域 (201)、ドレインシェル領域 (203) およびチャンネルシェル領域 (202) は、量子井戸領域である

半導体ワイヤ(2)、

半導体ワイヤ(2)のチャンネル領域(1002)の周囲に配置されたゲート構造、ここでゲート構造は、チャンネル領域(1002)の周囲に配置され且つチャンネル領域(1002)に接するゲート誘電体層(4)と、ゲート誘電体層(4)の周囲に配置され且つゲート誘電体層(4)に接するゲート層(5)を有するものである、

を備えたヘテロ構造電界効果トランジスタ(1)。

【請求項2】

周囲に配置され、は周囲に円周方向に配置され、である、

請求項1に記載のヘテロ構造電界効果トランジスタ(1)。

【請求項3】

チャンネルシェル領域の厚さ(t_2)は、チャンネルシェル領域(202)が $4kT$ より大きいサブバンド量子化エネルギーを有するような大きさである、

請求項1または2に記載のヘテロ構造電界効果トランジスタ(1)。

【請求項4】

ソースシェル領域(201)、チャンネルシェル領域(202)およびドレインシェル領域(203)により規定されるシェル領域(200)と、ソースコア領域(101)、チャンネルコア領域(102)およびドレインコア領域(103)により規定されるコア領域(100)とは、格子整合材料を含む、

請求項1から3のいずれか1項に記載のヘテロ構造電界効果トランジスタ(1)。

【請求項5】

コア領域(100)は、 InP または In_xAl_yAs を含み、 $x+y=1$ である、

請求項1から4のいずれか1項に記載のヘテロ構造電界効果トランジスタ(1)。

【請求項6】

シェル領域(200)は、 In_xGa_yAs を含み、 $x+y=1$ である、

請求項1から5のいずれか1項に記載のヘテロ構造電界効果トランジスタ(1)。

【請求項7】

ソースコア領域(101)とドレインコア領域(103)との間に位置するチャンネルコア領域(102)を含む半導体コア領域(100)を設ける工程、ここでソースコア領域(101)およびドレインコア領域(103)の厚さは、チャンネルコア領域(102)の厚さより小さく、

コア領域(100)の周囲に且つコア領域(100)と接する半導体シェル領域(200)を設ける工程、ここで半導体シェル領域(200)は、厚さ(t_1)のソースシェル領域(201)と厚さ(t_3)のドレインシェル領域(203)との間に位置する厚さ(t_2)のチャンネルシェル領域(202)を有し、チャンネルシェル領域(202)の厚さ(t_2)はソースシェル領域(201)の厚さ(t_1)より小さく、かつ、ドレインシェル領域(203)の厚さ(t_3)より小さく、

チャンネルシェル領域(202)の周囲に且つチャンネルシェル領域(202)と接するゲート誘電体層(4)を設ける工程と、ゲート誘電体層(4)の周囲に配置され且つゲート誘電体層(4)と接するゲート層(5)を設ける工程とを含む、ゲート構造(3)を設ける工程、

を含む、ヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項8】

半導体コア領域(100)を設ける工程は、

均一な半導体コア材料を設ける工程、

ソースコア領域(101)およびドレインコア領域(103)の位置で、半導体コア材料の一部をエッチングする工程を含む、

請求項7に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項9】

半導体コア領域(100)を設ける工程は、

均一な半導体コア材料を設ける工程、

ソースコア領域(101)およびドレインコア領域(103)の位置で、均一な半導体コア材料の上にハードマスク層を設ける工程、

コア領域(100)のマスクされていない部分に半導体コア材料を設ける工程を含む、請求項7に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項10】

半導体シェル領域(200)を設ける工程は、

コア領域(100)の周囲に且つコア領域(100)と接する厚さ(t_2)の半導体シェル材料の第1層(2001)を設ける工程、

ゲート構造(3)を設ける工程の後に、コア領域(100)の周囲に且つコア領域(100)と接する厚さ(t_4)の半導体シェル材料の残り部分(2002)を設ける工程、を含む、請求項7から9のいずれか1項に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項11】

コア材料およびシェル材料は、格子整合している、

請求項7から10のいずれか1項に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項12】

コア材料は、 InP または $\text{In}_x\text{Al}_y\text{As}$ を含み、 $x + y = 1$ である、

請求項7から11のいずれか1項に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項13】

シェル材料は、 $\text{In}_x\text{Ga}_y\text{As}$ を含み、 $x + y = 1$ である、

請求項7から12のいずれか1項に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項14】

厚さ(t_2)は、4nmより小さい、

請求項7から13のいずれか1項に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。