

# (19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>7</sup> H01L 21/762	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년12월20일 10-0537812 2005년12월13일
---	-------------------------------------	--

(21) 출원번호	10-2000-7009845	(65) 공개번호	10-2001-0041645
(22) 출원일자	2000년09월05일	(43) 공개일자	2001년05월25일
번역문 제출일자	2000년09월05일		
(86) 국제출원번호	PCT/US1999/004905	(87) 국제공개번호	WO 1999/45589
국제출원일자	1999년03월05일	국제공개일자	1999년09월10일

(81) 지정국

    국내특허 : 일본, 대한민국,

    EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장      09/036,288      1998년03월06일      미국(US)

(73) 특허권자      어드밴스드 마이크로 디바이시즈, 인코포레이티드  
    미국 캘리포니아 94088-3453 서니베일 원 에이엠디 플레이스 메일 스톱68

(72) 발명자      유선  
    미국캘리포니아95070사라토가글래스고우드라이브20395

    팜투안디.  
    미국캘리포니아95051산타클라라할포드#1881901

    람스베이마크에스.  
    미국캘리포니아94087선니베일쿠물러스462

    창치  
    미국캘리포니아94062레드우드시티레이크뷰웨이342

(74) 대리인      박장원

심사관 : 김수미

## (54) 이중 필드 분리 구조의 형성 방법

### 요약

본 발명은 두꺼운 산화물 구조 및 얇은 산화물 구조(142, 146)를 제공하는 방법으로서 집적회로(112) 상의 중심 영역(108)과 주변 영역(109) 간의 스텝 변화를 줄인다. 얇은 LOCOS 구조(146)는 집적회로(112) 상의 중심 영역(108) 및 주변 영역(109) 내에 제공된다. 얇은 LOCOS 구조들(146, 148)은 플래시 메모리 디바이스의 중심 영역(108) 내에 제공되고, 두

꺼운 LOCOS 구조들(142, 144)은 상기 플래시 메모리의 주변 영역(109) 내에 제공된다. 상기 디바이스 및 공정은 "레이스 트랙" 문제, "산화물" 범프 문제 및 "스트링거" 문제의 영향을 받지 않는다. 상기 공정은 2개의 별개의 질화물 또는 하드 마스크층들(118, 160)을 이용한다.

## 대표도

도 7

## 명세서

### 기술분야

본 발명은 집적회로 또는 반도체 디바이스에 관한 것이다. 특히, 본 발명은 반도체 기판상에 얇은 분리 구조와 두꺼운 분리 구조를 생성시키는 제조 방법에 관한 것이다.

### 배경기술

일반적으로, 반도체 디바이스 또는 집적회로(IC)는 분리 구조(isolation)를 생성하기 위해서 국부적인 실리콘의 산화(local oxidation of silicon)(LOCOS)와 같은 선택적 산화를 이용할 수 있다. LOCOS는 종종 반도체 디바이스의 여러 부분들 또는 구조들을 그 디바이스의 다른 부분들로부터 전기적으로 절연 또는 분리하기 위해서 사용된다. LOCOS는 전형적으로 패드 산화물(pad oxide) 또는 라이너 산화물(liner oxide)을 성장시키는 단계와, 상기 라이너 산화물 위에 하드 마스크층을 증착하는 단계와, 상기 하드 마스크층을 에칭하는 단계와, 그리고 산화물 분리 구조를 성장시키는 단계를 포함한다. 상기 하드 마스크층은 질화물막(nitride film)일 수 있다. 상기 산화물 구조는 상기 기판에 열을 가함으로써 성장시킬 수 있다.

반도체 디바이스들에 대한 분리 영역들 또는 구조들은 적절한 전기적 분리 및 전하 캐리어 분리에 필요한 파라미터 또는 요건에 따라 크기가 달라질 수 있다. 예를 들면, 플래시 전기적 소거가능 프로그램가능 판독 전용 메모리(플래시 EEPROM)와 같은 메모리 디바이스에서는, 보다 큰 전압이 존재하는 디바이스의 주변 영역(입력/출력 회로를 위한 비중심 영역)에 보다 큰 분리 구조가 필요하게 된다. 반대로, 메모리 셀이 서로 조밀하게 밀집되어 있어 낮은 전압 레벨로 동작하는 중심 영역(예를 들면, 메모리 셀 어레이)에는 보다 작은 분리 구조가 사용된다. 따라서, 다른 전압 요건, 불순물의 형태, 증가된 회로 패킹 밀도(circuit packing density), 불순물 농도 또는 IC 설계와 관련된 다른 기준 때문에, 반도체 디바이스의 어느 영역은 큰 분리 구조를 필요로 하고, 다른 영역은 작은 분리 구조를 필요로 한다.

지금까지, 플래시 메모리와 같은 반도체 디바이스는 일반적으로 주변 영역에는 두꺼운 LOCOS 구조를 사용해 왔으며, 얇은 LOCOS 구조는 2개의 별개의 선택적 산화 공정으로 성장되는 산화물 구조를 정의하기 위해서 2개의 별개의 임계 마스크를 필요로 한다. 도 1 내지 도 6을 참조하면, 얇은 산화물 구조 및 두꺼운 산화물 구조를 형성하기 위한 종래의 공정이 이하에 설명된다.

도 1에서, 반도체 구조 디바이스(12)는 계면(10)에 의해 분리된 중심 영역(8) 및 주변 영역(9)을 포함한다. 구조(12)는 기판 또는 기저(base)(14)와, 패드 산화물층(16)과, 질화물층(18)을 포함한다. 구조(12)는 먼저 예비 마스크 또는 제로층 마스크(zero layer mask)(도시되지 않음)에 따라 에칭되어 얼라인먼트 마크(alignment mark)를 정의한다.

도 2에서, 층(18)위에 소스 드레인 마스크층(20)이 형성되어 주변 영역(9) 안에 소스 및 드레인 영역을 정의한다. 층(20)은 중심 영역(8)을 완전히 덮는다. 층(20)이 도포된 후에, 구조(12)를 에칭하여 층(20)에 따라 영역(9)의 부분들에서 층(18)을 제거한다. 도 3에서는, 층(20)을 구조(12)로부터 스트립(strip)하여, 종래의 LOCOS 기술에 따라 구조(12)를 산화하여 LOCOS 분리 구조(24)를 형성한다. 이 단계 동안에, 중심 영역(8)의 층(18)도 또한 산화된다. 또한, LOCOS 구조(24)는 주변 영역(9)의 나머지 부분에 비하여 경계 또는 계면(10)에서 비교적 얇다.

도 4에서는, 소스 드레인 마스크층(26)이 도포되어, 중심 영역(8)의 소스 및 드레인 영역 뿐만 아니라 중심 영역(8)에 대한 분리 구조를 정의한다. 도 5에서는, 층(26)에 따라 구조(12)를 에칭하여, 중심 영역(8) 내의 층(18)의 부분을 제거한다. 그러나, 얼라인먼트 에러로 인해, 층(26)이 계면(10)에 도달하지 않기 때문에(도 4), 계면(10)에 근접한 구조(24)의 부분들이 에칭될 수 있다. 구조(12)의 에칭은 주변 영역(9)의 구조(24)의 두께를 얇게 할 수 있다. 이 박막화(thinning)는 스텝(step)(28)과 홈(groove)(30)을 유발할 수 있다. 구조(24)의 두께는 스텝(28)에서 1300Å보다 작을 수 있다. 도 6에서는, 종래의 LOCOS 기술에 따라 열처리로 분리 구조들(40 및 42)을 성장시킨다. 스텝(28)과 홈(30)은 구조(10)에 남는다. 구조(24)의 두께는 홈(30)에서 1000Å보다 작을 수 있다.

스텝(28)과 홈(30)은, 후속하는 제 1 폴리실리콘 공정, 산소-질화물-산소(ONO) 공정, 제 2 폴리실리콘 공정 및 자기-정렬 에칭(self-aligned etched)(SAE) 공정 동안에 잉여(residue) 또는 "스트링거(stringer)" 문제를 가져올 수 있다. 스텝(28), 홈(30) 안에 빠진 도전성 물질은 구조(24)가 얇기 때문에 의도하지 않는 게이트 구조를 생성하거나, 혹은 인접하는 구조를 전기적으로 단락시킬 가능성이 있다.

또한, 도 1 내지 도 6을 참조하여 논의된 공정 동안에, 층(18)은 2개의 산화 단계들을 거치는데, 이것은 구조들(40 및 42)과 관계되는 "버드 비크(bird beaks)"의 상부에 "산화물 범프(oxide bumps)"를 생성시킬 수 있다. 상기 산화물 범프는 구조들(24, 40 및 42)의 형성에 관련하는 이중 산화 공정에 의해 야기되는, 층(18)의 물질 표면 응력에 의한 것일 수 있다. 또한, 스텝(28)에 의해, 계면(10)에서의 구조(24)의 두께의 차이에 관한 "레이스 트랙(race track)" 토포그래피(topography)의 문제가 생길 수 있다. 상기 레이스 트랙 토포그래피의 문제는 포토레지스트가 구조(12)상에 제공되어 레이스 트랙 형태의 홈 또는 레인(lane)을 포함할 때 명백하게 나타난다.

따라서, 주변 영역과 중심 영역 간의 계면 영역에서의 스텝 변화가 최소한인, 두꺼운 분리 구조와 얇은 분리 구조를 포함한 반도체 디바이스가 필요하다. 또한, 중심 영역의 하드 마스크층에 응력을 주지 않는 두꺼운 분리 구조와 얇은 분리 구조를 갖춘 집적회로를 제조하는 방법이 필요하다. 또한, "레이스 트랙" 문제와, "스트링거" 문제 및 "산화물 범프" 문제에 영향을 덜 받는 두꺼운 LOCOS 구조와 얇은 LOCOS 구조를 제조하는 방법이 필요하다.

US-A-5,128,274는 적어도 2개의 서로다른 두께를 갖는 LOCOS 절연막을 구비한 반도체 디바이스를 제조하는 방법을 개시한다. 이 공정에서는, 단일 하드 마스크층이 2회 에칭되는데, 제 1 에칭에 의해서는 두꺼운 LOCOS 구조를 성장시키기 위한 영역들이 형성되고, 상기 제 2 에칭에 의해서는 얇은 LOCOS 구조를 성장시키기 위한 영역들이 형성된다.

US-A-4,520,553은 게이트 전극에 자기-정렬된 소스 및 드레인 영역에 접촉들을 갖는 집적된 절연-게이트 전계-효과 트랜지스터를 제조하는 공정을 개시한다. 상기 게이트 영역과 상기 소스 및 드레인 영역들을 정의하기 위해서 산화 마스크층이 이용되고, 상기 층은 또한 상기 소스 영역 및 드레인 영역의 절연층이 상기 게이트 절연층보다 더 두껍게 되도록 제조하기 위해서 이용된다.

#### 발명의 상세한 설명

본 발명에 따르면, 기판 위에 제 1 하드 마스크층을 증착하는 단계를 포함하는 집적회로 제조 방법으로서, 상기 제 1 하드 마스크층 위에 제 1 에칭 레지스트층을 제공하는 단계와, 상기 제 1 에칭 레지스트층은 서로 다른 두께를 갖는 제 1 및 제 2 LOCOS 구조들에 대한 개구부들을 정의하고; 상기 제 1 에칭 레지스트층을 관통하여 상기 제 1 하드 마스크층을 에칭하여, 상기 하드 마스크층에 대응하는 개구부들을 형성하는 단계와; 상기 하드 마스크층의 상기 개구부들 중 제 1 개구부에 제 1 LOCOS 구조를 성장시키고, 상기 하드 마스크층의 상기 개구부들 중 제 2 개구부에 제 2 LOCOS 구조를 성장시키는 단계와, 상기 제 1 개구부는 상기 기판의 중심 영역 위에 배치되고, 상기 제 2 개구부는 상기 기판의 주변 영역 위에 배치되고, 상기 중심 영역과 상기 주변 영역 간에는 계면 영역이 위치하고; 상기 제 1 하드 마스크층을 스트립하는 단계와; 상기 기판 위에 제 2 하드 마스크층을 형성하는 단계와; 상기 제 2 하드 마스크층 위에 제 2 에칭 레지스트층을 제공하는 단계와, 상기 제 2 에칭 레지스트층은 상기 주변 영역의 상기 제 2 LOCOS 구조 위에 형성된 개구부를 포함하고; 상기 제 2 에칭 레지스트층의 상기 개구부를 관통하여 상기 제 2 하드 마스크층을 에칭하여, 상기 제 2 하드 마스크층 내에 대응하는 개구부를 형성하는 단계와; 그리고 상기 제 2 하드 마스크층의 상기 개구부 내에 LOCOS 구조를 성장시켜서 상기 제 1 LOCOS 구조에 비하여 상기 제 2 LOCOS 구조의 두께를 증가시키는 단계를 포함하는 것을 특징으로 한다.

상기 중심 영역과 상기 주변 영역 간의 계면 영역은 유리한 제조 기술에 의해 비교적 균일한 분리(예를 들면, 현저한 스텝 다운이나 홈이 없음)를 갖는다. 유리한 공정은 잉여 또는 "스트링거"의 문제를 줄인다. 또한, 유리한 제조 공정은 상기 중심 영역의 산화물 구조상에 형성되는 "산화물 범프"의 영향을 덜 받게 되고, 포토레지스트의 "레이스 트랙" 문제가 발생할 가능성을 줄인다. 본 발명의 일 실시예와 관련된 다른 장점에 있어서, 필드 산화물에서의 봉소 편석(segregation)은 필드 산화물이 형성된 후에 봉소가 집적회로에 주입되기 때문에 감소되거나 없어진다.

삭제

삭제

삭제

삭제

#### 도면의 간단한 설명

이하, 첨부 도면들과 관련하여 본 발명의 바람직한 실시예들을 설명하기로 한다. 여기서, 동일한 참조번호들은 동일한 요소들을 나타낸다.

도 1은 종래의 LOCOS 형성 공정에서의 제 1 단계를 예시하는 반도체 디바이스의 단면도이고;

도 2는 종래의 LOCOS 형성 공정에서의 제 2 단계를 예시하는, 도 1에 도시된 상기 반도체 디바이스의 단면도이고;

도 3은 종래의 LOCOS 형성 공정에서의 제 3 단계를 예시하는, 도 2에 도시된 상기 반도체 디바이스의 단면도이고;

도 4는 종래의 LOCOS 형성 공정에서의 제 4 단계를 예시하는, 도 3에 도시된 상기 반도체 디바이스의 단면도이고;

도 5는 종래의 LOCOS 형성 공정에서의 제 5 단계를 예시하는, 도 4에 도시된 상기 반도체 디바이스의 단면도이고;

도 6은 종래의 LOCOS 형성 공정에서의 제 6 단계를 예시하는, 도 5에 도시된 상기 반도체 디바이스의 단면도이고;

도 7은 본 발명의 일 실시예에 따르는 중심 영역의 얇은 분리 구조와 주변 영역의 두꺼운 분리 구조를 포함한 반도체 구조의 단면도이고;

도 8은 상기 반도체 구조를 제조하는데 이용되는 방법에서의 제 1 단계를 예시하는, 도 7에 도시된 상기 반도체 구조의 단면도이고;

도 9는 상기 반도체 구조를 제조하는데 이용되는 방법에서의 제 2 단계를 예시하는, 도 8에 도시된 상기 반도체 구조의 단면도이고;

도 10은 상기 반도체 구조를 제조하는데 이용되는 방법에서의 제 3 단계를 예시하는, 도 9에 도시된 상기 반도체 구조의 단면도이고;

도 11은 상기 반도체 구조를 제조하는데 이용되는 방법에서의 제 4 단계를 예시하는, 도 10에 도시된 상기 반도체 구조의 단면도이고;

도 12는 상기 반도체 구조를 제조하는데 이용되는 방법에서의 제 5 단계를 예시하는, 도 11에 도시된 상기 반도체 구조의 단면도이고; 그리고

도 13은 상기 반도체 구조를 제조하는데 이용되는 방법에서의 제 6 단계를 예시하는, 도 12에 도시된 상기 반도체 구조의 단면도이다.

### 실시예

도 7을 참조하면, 반도체 디바이스 또는 구조(112)는 중심 영역(108), 계면 영역(110) 및 주변 영역(109)을 포함한다. 구조(112)는 기판 또는 기저(114)와, 산화물 분리 구조(146)와, 산화물 분리 구조(148)를 포함한다.

구조(112)는 상보성 금속 산화물 반도체(CMOS) 공정, 바이폴라 공정 또는 다른 반도체 공정들과 같은 다양한 반도체 공정들 중 어느 공정으로 만들어지는 어떠한 형태의 반도체 디바이스 또는 그의 부분일 수 있다. 폴리실리콘층, 절연층 및 금속층과 같은 구성 요소 및 구조가 제공되기 전의 구조(112)가 도 7에 나타난다.

반도체 구조(112)는 다수의 전자 구성 요소를 포함한 집적회로(IC)의 전체 또는 일부일 수 있다. 반도체 구조(112)의 기저(114)는 바람직하게는 실리콘 또는 다른 반도체 구조(112)이며, P-형 불순물 또는 N-형 불순물로 도핑될 수 있다. 구조(112)는 N-형 및 P-형 웰(well)에 제작되는 CMOS 트랜지스터를 포함할 수 있다.

바람직하게는, 구조(112)는 플래시 EPROM과 같은 메모리 디바이스의 적어도 일부이다. 상기 메모리 디바이스는 중심 영역(108)에 제공되는 메모리 셀들과, 주변 영역(109)의 입력/출력 또는 구동 회로를 포함한다. 중심 영역(108)은 낮은 전압 영역(예를 들면, 2.7V 이하)이다. 주변 영역(109)은 바람직하게는 구동 회로를 포함하여 더 높은 전압 영역(예를 들면, 3.3V 이상)이다. 계면 영역(110)은 영역(108)과 영역(109) 간의 경계(111)에 인접한다.

중심 영역(108)은 분리 구조들(146 및 148)을 포함하고, 주변 영역(109)은 분리 구조들(142 및 144)을 포함한다. 구조들(146 및 148)은 바람직하게는 2,000Å의 두께를 갖는 얇은 LOCOS 구조들이다. 구조들(142 및 144)은 바람직하게는 4,000Å의 두께를 갖는 두꺼운 LOCOS 구조들이다. 구조(142)는 계면 영역(110)을 거쳐 영역(108)에 연장된다. 구조들(142, 144, 146 및 148)은 선택적 열적 필드 산화물 공정으로 성장된다.

시스템 파라미터들 및 설계 요건들은 구조들(142, 144, 146 및 148)에 대해 다양한 치수를 정의할 수 있다. 예를 들면, 기저(114) 내 및 위에 집적된 트랜지스터의 크기와 간격이 감소함에 따라, 구조들(142, 144, 146 및 148)의 폭과 깊이도 이와 같이 감소할 수 있다. 또한, 전압 파라미터가 기저(114) 내에 집적된 기능적 유닛에 대해 변화함에 따라, 분리 구조들(142, 144, 146 및 148)의 치수 관계도 변화할 수 있다. 따라서, 구조(112)의 설계에 관련하는 시스템 구성 및 제조 파라미터는 구조들(142, 144, 146 및 148) 뿐만 아니라 영역들(108, 109 및 110)의 치수를 정의하는 역할을 할 수 있다.

반도체 구조(112)의 제조가 도 7 내지 도 13을 참조하여 이하에 더 상세하게 설명된다. 도 8에서, 반도체 구조(112)는 기판층 또는 기저(114)와, 산화물막 또는 패드 산화물층(116)과, 질화물층(118)을 포함한다. 상기 기저(114)는 바람직하게는 실리콘(Si)이고 N-형 웰을 위해서는 인으로, 또는 P-형 웰을 위해서는 붕소로 도핑될 수 있고, 층들(116 및 118)보다 상당히 두껍다. 패드 산화물층(116)은 열처리에 의해 약 150-250Å의 두께까지 기저(114)의 상부에 성장된다. 질화물층(118)은 화학 기상 증착(CVD)에 의해 패드 산화물층(116)의 상부에 1,700Å 두께의 층으로 증착된다. 대안적으로, 물리 기상 증착(PVD), 스퍼터링 증착, 콜리메이트 스퍼터링 증착(collimated sputtering deposition), 디핑(dipping), 기화(evaporating) 또는 다른 도포 기술에 의해 층들(116 및 118)을 증착할 수도 있다.

질화물층(118)은 하드 마스크층이다. 층(118)은 실리콘 질화물( $\text{Si}_3\text{N}_4$ )로 구성되고, 아래에 있는 기판(114)의 산화를 막는 역할을 한다. 층(118)은 또한 반사-방지 코팅(anti-reflective coating)이기도 하다. 패드 산화물층(116)은 구조(112)에 대해 기저(114)와 층(118) 간의 응력 완화를 제공한다. 대안적으로, 층(118)은 임의의 하드 마스크층이 될 수 있다.

도 9를 참조하면, 층(118)의 상부에 에칭 레지스트층(152)이 선택적으로 도포된다. 에칭 레지스트층(152)은 바람직하게는 구조들(142, 146 및 148)에 대한 공간(154)을 정의하는 포토레지스트층이다. 종래의 공정과는 달리, 웰 영역들은 영역들(108 및 109) 내에 아직 정의되지 않는다. 구조(112)는 건식 에칭(예를 들면, 플라스마 에칭)에 의해 에칭되어 층(118) 내에 간격들(156)을 형성한다(도 10). 구조(112)의 이러한 에칭은 또한 구조(112)에 대한 얼라인먼트 마크를 정의하는 역할을 함으로써, 제로 마스크층의 필요성을 없앨 수 있다. 층(152)(도 9)은 구조(112)로부터 제거되거나 스트립핑된다. 도 10을 참조하면, LOCOS 공정에 따라 구조(112)를 산화시켜서 구조들(142, 146 및 148)을 형성한다. 구조들(142, 146 및 148)은 1000Å 내지 3000Å의 두께까지, 바람직하게는 2000Å 내지 2500Å 이하까지 성장된다. 층(152)이 제거된 후, 질화물층(118)이 제거되거나 스트립핑된다. 층(118)은 고온 인산 습식 스트립 공정(hot phosphoric acid wet strip process), 다른 에칭 공정 또는 다른 제거 공정에 의해 제거될 수 있다.

도 11을 참조하면, 층(118)을 제거한 후, 중심 영역(108) 및 주변 영역(109)에 대한 웰들은 웰 마스크 단계, 웰 주입 단계 및 웰 드라이빙 단계에 의해 정의된다. 웰들이 정의된 후, 구조들(142, 146 및 148)과 층(116) 위에 하드 마스크 또는 질화물층(160)을 증착한다. 층(160)은 바람직하게는 층(118)(도 10)과 유사하고, 1700Å의 두께를 갖는다.

도 12를 참조하면, 층(160) 위에 에칭 레지스트층(162)이 제공된다. 에칭 레지스트층(162)은 바람직하게는 공간(166)을 갖는 구조(142) 및 구조(144)를 정의하도록 선택적으로 제공되는 포토레지스트층이다. 층(162)은 바람직하게는 영역(108)을 완전하게 덮는다.

도 13을 참조하면, 층(160)을 에칭하여 공간들(168)을 정의한다. 건식 에칭에 의해 층(160)을 에칭하고 층(162)을 제거한 후에, 구조(112)는 LOCOS 기술에 따라 열처리를 거쳐서, 구조들(144 및 142)(도 7)을 형성한다. 바람직하게는 구조들(144 및 142)은 주변 영역(109)에서 4000Å의 두께까지 성장된다.

영역(108)의 층(160)은 이 제 2 LOCOS 공정 동안에 구조들(146 및 148)이 더 성장하지 못하게 한다. 구조(142)는 층(160)의 에지(edge)(168)(도 13)까지 성장한다. 구조들(142 및 144)을 성장시킨 후, 고온 인산 습식 스트립 공정에 의해 층(160)을 제거한다. 대안적으로, 다른 에칭 또는 제거 기술을 이용하여 층(160)을 제거할 수도 있다.

도 6 및 도 7을 참조하면, 구조들(144 및 142)(도 7)은 구조(24)(도 6)와 비교하면, 비교적 균일한 두께를 갖는다. 구조(142)(도 7)는 계면 영역(110) 전반에 걸쳐서 비교적 균일한 두께를 갖는다. 2개의 하드 마스크층(118 및 160)을 사용함

으로써, 유리하게는, 도 1 내지 도 6을 참조하여 논의된 종래의 공정에 관련된 잉여 또는 스트링거의 문제를 없애거나 줄인다. 따라서, 구조(112)는 오버에칭의 문제가 현저하게 감소되기 때문에 구조들(142, 144, 146 및 148)에 관련하는 분리 구조 두께를 최적화할 수 있다.

또한, 중심 영역(108)의 소스 드레인 정의는 후속의 깊은 N-웰, P-웰 및 N-웰 주입 마스크를 위한 타겟으로서 이용될 수 있어, 이에 의해 제로층 마스크의 필요성을 제거한다. 또한, 각 질화물층(118 및 160)은 오직 1회의 산화 공정만을 거치기 때문에, 도 7 내지 도 13을 참조하여 논의된 공정은 "산화물" 범프의 문제를 줄인다. 따라서, 상기 방법은 유리하게는 중심 영역(108)의 산화된 질화물로 인해 중심 영역(108) 내에 필드 에지 결함을 가져올 수 있는 물질 표면 응력을 없앤다. 또한, 상기 방법은 계면 영역(110)에서의 구조(142)의 필드 산화물 두께의 토포그래피 차이로 인한 불균일 "레이스 트랙"의 문제를 줄인다.

주어진 세부 도면 및 특정 예를 이용하여 본 발명의 바람직한 실시예들을 설명하였지만은, 이 실시예들은 단지 예시를 위한 것일 뿐이다. 본 발명은 개시된 정확한 세부사항, 방법, 물질 및 조건에 한정되지 않는다. 예를 들면, 건식 에칭과 습식 스트립핑이 제안되지만, 다른 공정으로도 물질을 제거할 수 있다. 또한, 특징의 치수가 기재되지만, 분리 영역과 관련된 다른 치수가 이용될 수도 있다. 도면들에 도시된 치수, 크기, 두께 및 형상은 예시적으로만 도시된 것이다. 다양한 층들, 트렌치들(trenches) 및 라인들은 집적회로(IC) 설계 및 공정 기술에 따라 서로 다른 두께 및 기하 구조(geometry)를 가질 수 있다.

## (57) 청구의 범위

### 청구항 1.

기판(114) 위에 제 1 하드 마스크층(118)을 증착하는 단계를 포함하는 집적회로(112) 제조 방법으로서,

상기 제 1 하드 마스크층(118) 위에 제 1 에칭 레지스트층(152)을 제공하는 단계와, 상기 제 1 에칭 레지스트층(152)은 서로 다른 두께를 갖는 제 1 및 제 2 LOCOS 구조들에 대한 개구부들(154)을 정의하고;

상기 제 1 에칭 레지스트층(152)을 관통하여 상기 제 1 하드 마스크층(118)을 에칭하여, 상기 하드 마스크층에 대응하는 개구부들(156)을 형성하는 단계와;

상기 하드 마스크층(118)의 상기 개구부들(156) 중 제 1 개구부에 제 1 LOCOS 구조(146, 148)를 성장시키고, 상기 하드 마스크층(118)의 상기 개구부들(156) 중 제 2 개구부에 제 2 LOCOS 구조(142)를 성장시키는 단계와, 상기 제 1 개구부는 상기 기판(114)의 중심 영역(108) 위에 배치되고, 상기 제 2 개구부는 상기 기판의 주변 영역(109) 위에 배치되고, 상기 중심 영역(108)과 상기 주변 영역(109) 간에는 계면 영역(110)이 위치하고;

상기 제 1 하드 마스크층(118)을 스트립하는 단계와;

상기 기판 위에 제 2 하드 마스크층(160)을 형성하는 단계와;

상기 제 2 하드 마스크층(160) 위에 제 2 에칭 레지스트층(162)을 제공하는 단계와, 상기 제 2 에칭 레지스트층(162)은 상기 주변 영역(190)의 상기 제 2 LOCOS 구조(142) 위에 형성된 개구부(166)를 포함하고;

상기 제 2 에칭 레지스트층(162)의 상기 개구부(166)를 관통하여 상기 제 2 하드 마스크층(160)을 에칭하여, 상기 제 2 하드 마스크층 내에 대응하는 개구부(168)를 형성하는 단계와; 그리고

상기 제 2 하드 마스크층(160)의 상기 개구부(168)에 LOCOS 구조(142)를 성장시켜서 상기 제 1 LOCOS 구조에 비하여 상기 제 2 LOCOS 구조의 두께를 증가시키는 단계를 포함하는 것을 특징으로 하는 집적회로(112) 제조 방법.

### 청구항 2.

제 1 항에 있어서,



상기 제 1 하드마스크층 및 제 2 하드 마스크층은 질화물층인 것을 특징으로 하는 집적회로(112) 제조 방법.

### 청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 집적회로는 메모리 회로인 것을 특징으로 하는 집적회로(112) 제조 방법.

### 청구항 4.

제 3 항에 있어서,

상기 메모리 회로는 플래시 메모리 회로인 것을 특징으로 하는 집적회로(112) 제조 방법.

### 청구항 5.

제 2 항에 있어서,

상기 제 1 질화물층 및 제 2 질화물층은 화학 기상 증착에 의해 제공되는 것을 특징으로 하는 집적회로(112) 제조 방법.

### 청구항 6.

제 1 항에 있어서,

상기 제 1 하드 마스크층의 에칭은 얼라인먼트 마크를 남기는 것을 특징으로 하는 집적회로(112) 제조 방법.

### 청구항 7.

삭제

### 청구항 8.

삭제

### 청구항 9.

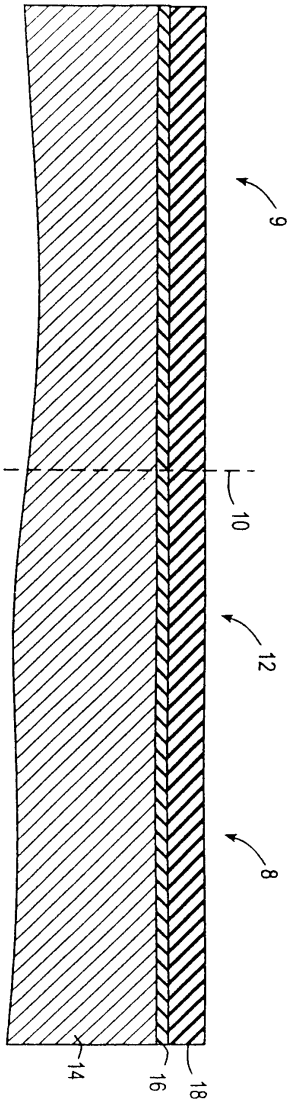
삭제

### 청구항 10.

삭제

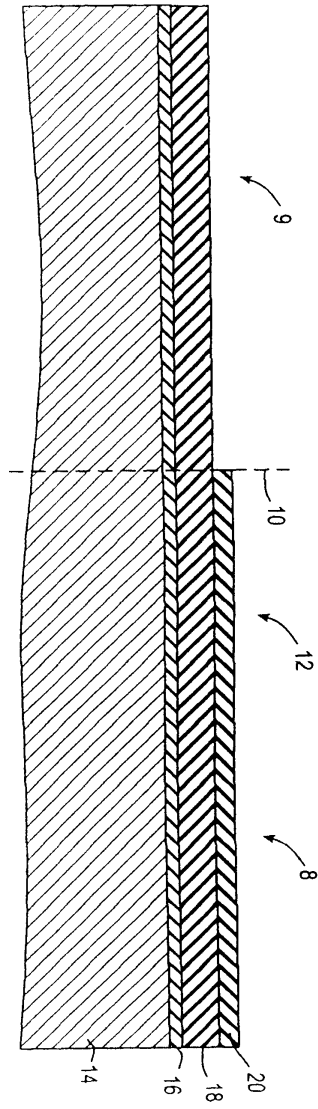
도면

도면1

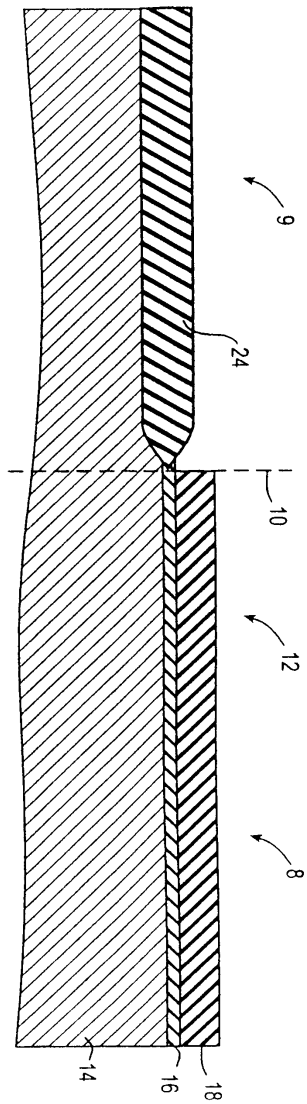




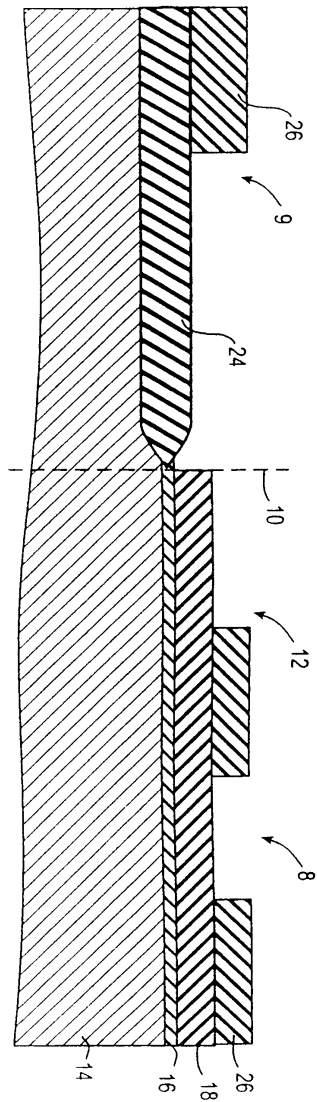
도면2



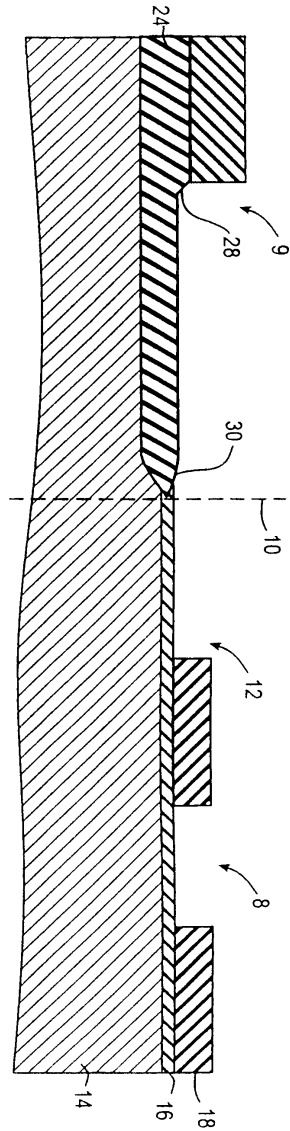
도면3



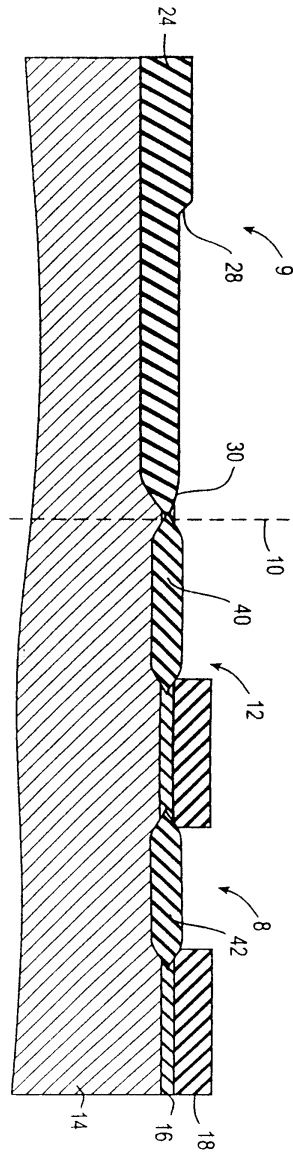
도면4



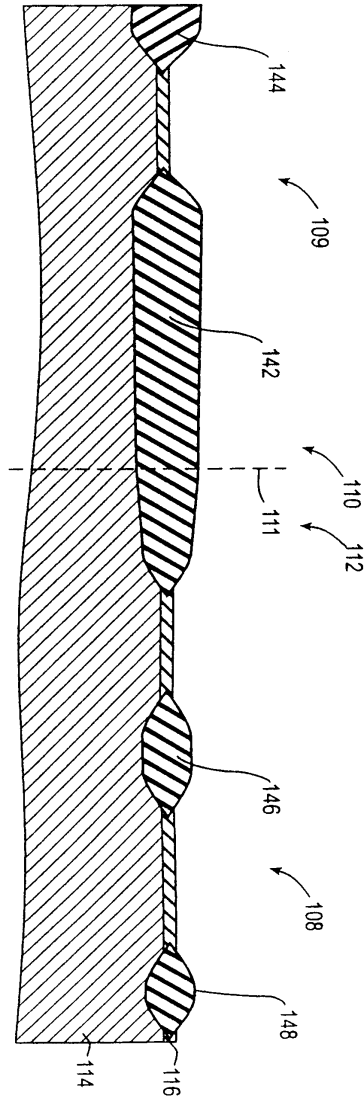
도면5



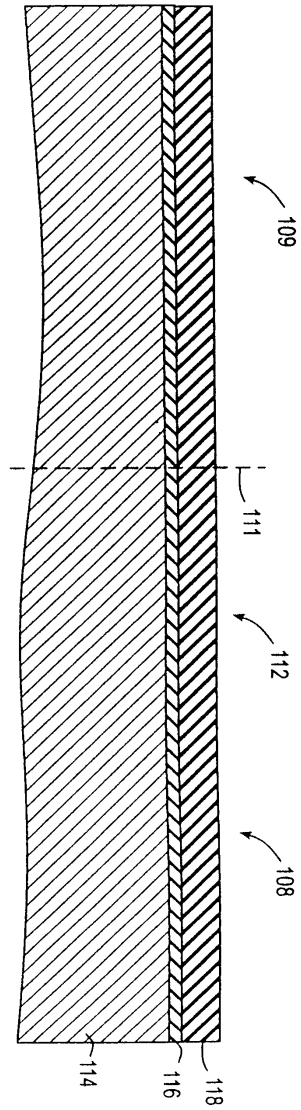
도면6



도면7

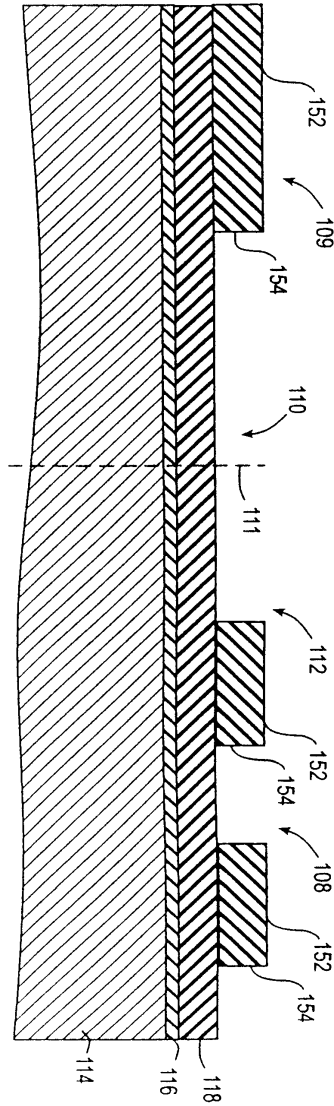


도면8



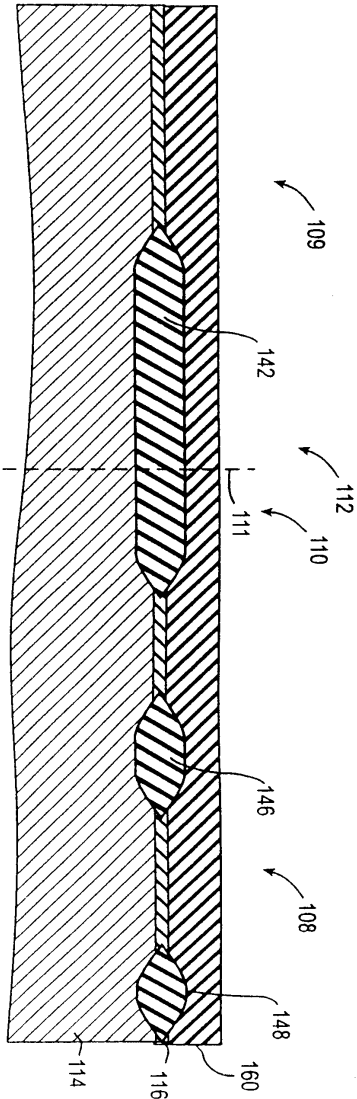


도면9

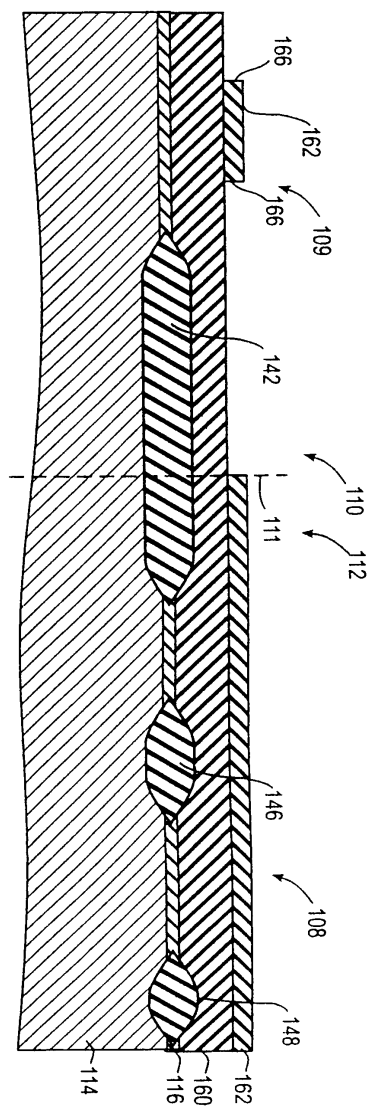




도면11



도면12



도면13

