

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 17 年 9 月 15 日 (2005.9.15)

【公開番号】特開 2003-298058 (P2003-298058A)  
 【公開日】平成 15 年 10 月 17 日 (2003.10.17)  
 【出願番号】特願 2002-94606 (P2002-94606)  
 【国際特許分類第 7 版】

H 0 1 L 29/786  
 H 0 1 L 21/8238  
 H 0 1 L 27/08  
 H 0 1 L 27/092

【F I】

H 0 1 L 29/78 6 1 3 A  
 H 0 1 L 27/08 3 3 1 E  
 H 0 1 L 29/78 6 2 6 A  
 H 0 1 L 27/08 3 2 1 C

【手続補正書】

【提出日】平成 17 年 3 月 24 日 (2005.3.24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】薄膜トランジスタ、その回路およびその C M O S 回路並びにその製造方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

絶縁性基層の表面上に設けたゲート電極と、  
 前記基層の表面上および前記ゲート電極の表面上にわたって設けた絶縁層と、  
 前記絶縁層の表面上に設けた半導体層と、  
 前記ゲート電極の側面上に位置する前記半導体層中に設けたそれぞれ極性の異なるチャネル領域とを有することを特徴とする薄膜トランジスタ。

【請求項 2】

前記ゲート電極の上面上の前記半導体層中には、導電型の異なる 2 個のソース領域またはドレイン領域が形成され、

前記半導体層中の前記チャネル領域に対して前記ソース領域またはドレイン領域と反対側に、ドレイン領域またはソース領域が形成されていることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 3】

絶縁性基層の表面上に設けられたゲート電極と、  
このゲート電極上に設けられた絶縁層と、  
この絶縁層上に設けられた半導体層と、  
この半導体層で前記ゲート電極上に設けられた少なくとも一方のソース領域またはドレイン領域と

を具備してなることを特徴とする薄膜トランジスタ。

【請求項 4】

絶縁性基層の表面上にゲート電極、ゲート絶縁膜、半導体層が順次積層されて構成されたボトムゲート型薄膜トランジスタであって、

前記ゲート電極上の前記半導体層に前記薄膜トランジスタの少なくともソース領域またはドレイン領域を設けてなることを特徴とする薄膜トランジスタ。

【請求項 5】

前記薄膜トランジスタのチャネル領域は、前記ゲート電極の側壁上に前記ゲート絶縁膜を介して設けられた前記半導体層に設けられていることを特徴とする請求項 1 乃至 4 のいずれか 1 項記載の薄膜トランジスタ。

【請求項 6】

絶縁性基層の表面上に 2 以上のボトムゲート型薄膜トランジスタを設けて構成した回路であって、

前記ボトムゲート型薄膜トランジスタは 1 個のゲート電極上のゲート絶縁膜上に前記 2 以上のボトムゲート型薄膜トランジスタの少なくともソース領域またはドレイン領域を設けてなることを特徴とする薄膜トランジスタの回路。

【請求項 7】

絶縁性基層の表面上に複数のボトムゲート型薄膜トランジスタを設けて構成したボトムゲート型薄膜トランジスタの CMOS 回路であって、

この CMOS 回路を構成する各ボトムゲート型薄膜トランジスタのソース領域またはドレイン領域を、1 個のゲート電極上に設けられたゲート絶縁膜上に設けてなることを特徴とする薄膜トランジスタの CMOS 回路。

【請求項 8】

絶縁性基層の表面上にゲート電極を形成する工程と、

前記基層の表面上および前記ゲート電極の表面上に絶縁層を形成する工程と、

前記絶縁層の表面上に半導体層を形成する工程と、

前記ゲート電極の片側の領域を含む第 1 の領域の前記半導体層上を第 1 のレジスト膜で被覆する工程と、

前記第 1 のレジスト膜をマスクとして、前記半導体層中に第 1 導電型の不純物を前記基層の表面に対して略垂直にイオン注入することによって、前記半導体層中に第 1 の不純物領域を形成する工程と、

前記第 1 のレジスト膜を除去する工程と、

前記第 1 の領域以外の領域である第 2 の領域の前記半導体層上を第 2 のレジスト膜で被覆する工程と、

前記第 2 のレジスト膜をマスクとして、前記半導体層中に前記第 1 導電型と反対導電型である第 2 導電型の不純物を前記基層の表面に対して略垂直にイオン注入することによって、前記半導体層中に第 2 の不純物領域を形成する工程と、

前記第 2 のレジスト膜を除去する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項 9】

絶縁性基層の表面上にゲート電極を形成するゲート電極形成工程と、

前記基層の表面上および前記ゲート電極の表面上にわたって絶縁層を形成する絶縁層形成工程と、

前記絶縁層の表面上に半導体層を形成する半導体層形成工程と、

前記ゲート電極上に位置する前記半導体層中にソースまたはドレイン領域を形成する工程と

を具備してなることを特徴とする薄膜トランジスタの製造方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

【発明の属する技術分野】

本発明は、絶縁性基層上に設けた薄膜トランジスタ、その回路およびそのCMOS回路並びにその製造方法に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

本発明は、上記のような問題点を解消するためになされたもので、その目的は、占有面積の小さいCMOS構造を備えた薄膜トランジスタ、その回路およびそのCMOS回路を提供することにある。また、本発明の別の目的は、素子面積を増加させることなく、ソース、ドレイン領域が自己整合技術（セルフアライン技術）で構成されるCMOS構造を備えた薄膜トランジスタの製造方法を提供することにある。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

すなわち、請求項1記載の薄膜トランジスタは、絶縁性基層の表面上に設けたゲート電極と、前記基層の表面上および前記ゲート電極の表面上にわたって設けた絶縁層と、前記絶縁層の表面上に設けた半導体層と、前記ゲート電極の側面上に位置する前記半導体層中に設けたそれぞれ極性の異なるチャンネル領域とを有することを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

また、請求項2記載の薄膜トランジスタは、請求項1記載の薄膜トランジスタにおいて、前記ゲート電極の上面上の前記半導体層中には、導電型の異なる2個のソース領域またはドレイン領域が形成され、前記半導体層中の前記チャンネル領域に対して前記ソース領域またはドレイン領域と反対側に、ドレイン領域またはソース領域が形成されていることを特徴とする。

また、請求項3記載の薄膜トランジスタは、絶縁性基層の表面上に設けられたゲート電極と、このゲート電極上に設けられた絶縁層と、この絶縁層上に設けられた半導体層と、この半導体層で前記ゲート電極上に設けられた少なくとも一方のソース領域またはドレイン領域とを具備してなることを特徴とする。

また、請求項4記載の薄膜トランジスタは、絶縁性基層の表面上にゲート電極、ゲート絶縁膜、半導体層が順次積層されて構成されたボトムゲート型薄膜トランジスタであって、前記ゲート電極上の前記半導体層に前記薄膜トランジスタの少なくともソース領域またはドレイン領域を設けてなることを特徴とする。

また、請求項5記載の薄膜トランジスタは、請求項1乃至4のいずれか1項記載の薄膜トランジスタにおいて、前記薄膜トランジスタのチャンネル領域は、前記ゲート電極の側壁上に前記ゲート絶縁膜を介して設けられた前記半導体層に設けられていることを特徴とする。

また、請求項 6 記載の薄膜トランジスタの回路は、絶縁性基層の表面上に 2 以上のボトムゲート型薄膜トランジスタを設けて構成した回路であって、前記ボトムゲート型薄膜トランジスタは 1 個のゲート電極上のゲート絶縁膜上に前記 2 以上のボトムゲート型薄膜トランジスタの少なくともソース領域またはドレイン領域を設けてなることを特徴とする。

また、請求項 7 記載の薄膜トランジスタの CMOS 回路は、絶縁性基層の表面上に複数のボトムゲート型薄膜トランジスタを設けて構成したボトムゲート型薄膜トランジスタの CMOS 回路であって、この CMOS 回路を構成する各ボトムゲート型薄膜トランジスタのソース領域またはドレイン領域を、1 個のゲート電極上に設けられたゲート絶縁膜上に設けてなることを特徴とする。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

また、請求項 8 記載の薄膜トランジスタの製造方法は、絶縁性基層の表面上にゲート電極を形成する工程と、前記基層の表面上および前記ゲート電極の表面上に絶縁層を形成する工程と、前記絶縁層の表面上に半導体層を形成する工程と、前記ゲート電極の片側の領域を含む第 1 の領域の前記半導体層上を第 1 のレジスト膜で被覆する工程と、前記第 1 のレジスト膜をマスクとして、前記半導体層中に第 1 導電型の不純物を前記基層の表面に対して略垂直にイオン注入することによって、前記半導体層中に第 1 の不純物領域を形成する工程と、前記第 1 のレジスト膜を除去する工程と、前記第 1 の領域以外の領域である第 2 の領域の前記半導体層上を第 2 のレジスト膜で被覆する工程と、前記第 2 のレジスト膜をマスクとして、前記半導体層中に前記第 1 導電型と反対導電型である第 2 導電型の不純物を前記基層の表面に対して略垂直にイオン注入することによって、前記半導体層中に第 2 の不純物領域を形成する工程と、前記第 2 のレジスト膜を除去する工程とを有することを特徴とする。

さらに、請求項 9 記載の薄膜トランジスタの製造方法は、絶縁性基層の表面上にゲート電極を形成するゲート電極形成工程と、前記基層の表面上および前記ゲート電極の表面上にわたって絶縁層を形成する絶縁層形成工程と、前記絶縁層の表面上に半導体層を形成する半導体層形成工程と、前記ゲート電極上に位置する前記半導体層中にソースまたはドレイン領域を形成する工程とを具備してなることを特徴とする。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

【発明の効果】

以上説明したように、本発明によれば、ソース、ドレイン領域をセルフアライン技術により形成可能な、低占有面積の CMOS 構造を備えた薄膜トランジスタ、その回路およびその CMOS 回路並びにその製造方法を提供することができる。