(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 608 826**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **86 17888**

(51) Int Cl⁴ : G 11 C 29/00.

# (12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 19 décembre 1986.

(30) Priorité :

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 25 du 24 juin 1988.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *Société dite : EUROTECHNIQUE.* — FR.

(72) Inventeur(s) : Jean Devin et Philippe Calzi, *Thomson-CSF SCPI.*

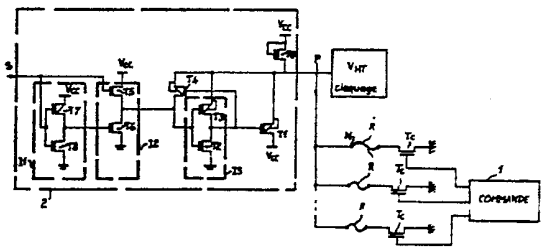
(73) Titulaire(s) :

(74) Mandataire(s) : Lydie Borin, Thomson-CSF.

## (54) Circuit intégré comportant des éléments d'aiguillage vers des éléments de redondance dans une mémoire.

(57) L'invention concerne un circuit intégré à mémoire qui comporte des éléments de redondance et des fusibles R permettant un aiguillage vers ces éléments de redondance, un plot supplémentaire P destiné à recevoir une haute tension qui est relié à tous les fusibles et à un circuit 2 qui est générateur de basse tension lors de la programmation de la mémoire et qui est apte à présenter une haute impédance lorsque la haute tension est appliquée, tout le courant passant ainsi dans les fusibles sélectionnés pour les claquer.

Application aux circuits intégrés à mémoire.




FR 2 608 826 - A1

# CIRCUIT INTEGRE COMPORTANT DES ELEMENTS D'AIGUILLAGE VERS DES ELEMENTS DE REDONDANCE DANS UNE MEMOIRE

La présente invention concerne les circuits intégrés qui comportent au moins une mémoire comprenant des éléments de redondance. Elle concerne plus particulièrement des éléments d'aiguillage vers les éléments de redondance de la mémoire.

Les éléments de redondance sont des éléments qui sont substitués aux éléments de la mémoire qui sont défectueux. La substitution doit être transparente pour l'utilisateur de la mémoire. Lorsqu'un utilisateur adresse une cellule mémoire et que cette cellule s'est révélée défectueuse lors des tests, un circuit a mémorisé cette anomalie de manière à provoquer un aiguillage vers l'élément de redondance désiré qui se substitue par conséquent à la cellule défectueuse sans que l'utilisateur en soit informé. Or, pour effectuer un tel aiguillage, il faut que des cellules mémoires soient consacrées à la mémorisation d'une information d'aiguillage vers une cellule de redondance déterminée, pour chaque cellule défectueuse.

Cette mémorisation s'effectue lors du premier test de la mémoire lorsque le circuit intégré se trouve sur plaquette, c'est-à-dire avant encapsulation. La mémorisation se fait par claquage ou non de fusibles prévus à cet effet. La connaissance de l'état de ces fusibles, par mesure de la tension entre une borne et un potentiel de référence permet d'adresser l'élément de redondance désiré.

Dans les circuits de type MOS, des résistances de faible valeur qui se présentent sous forme d'une couche polycristalline de silicium sont prévues et sont claquées à cet effet par une forte décharge électrique (ou par laser) lors du test de la mémoire. La couche polycristalline de silicium disparait et la résistance présente une impédance infinie. Un circuit de détection est prévu pour chaque fusible afin de connaître son

état. L'inconvénient de cette méthode réside dans le fait qu'il faut un circuit de détection pour chaque fusible.

Par ailleurs pour claquer un fusible on a besoin d'une haute tension qui n'est pas utilisée de manière générale dans une mémoire puisque les tensions requises pour la lecture par exemple, sont de 0 à 5 V.

La seule haute tension disponible actuellement est la tension de programmation Vpp qui est choisie par le client. Les tensions de programmation requises se situent autour de 10 à 15 V. Or, avec l'évolution des technologies la tension de programmation requise diminue. Si bien qu'il sera impossible lorsque la technologie aura suffisamment évolué d'utiliser la tension de programmation des mémoires pour claquer les fusibles réservés au circuit d'aiguillage.

Dans l'état actuel, il est usuel d'utiliser cette tension de programmation Vpp pour claquer ces fusibles. Pour cela, la tension est appliquée à partir d'un plot commun qui sert à la programmation de la mémoire et également lors des tests, au claquage des fusibles. Les fusibles sont connectés directement entre le potentiel Vpp et la masse à travers un transistor de commande. Les fusibles sont claqués lorsque les transistors sont conducteurs.

Cette solution n'est pas sans risque. En effet, comme la tension d'alimentation est commune au claquage des fusibles et à la programmation, les fusibles qui n'ont pas été claqués, risquent de recevoir une différence de potentiel, car les transistors de commande même s'ils ne sont pas commandés conduisent par un phénomène de perçage qui se produit en présence d'une haute tension.

Les caractéristiques des fusibles se dégradent donc au cours de la programmation des mémoires. Ce vieillissement conduit à la longue à un changement d'état involontaire des fusibles.

La présente invention propose de remédier à ces inconvénients et propose de prévoir dans le circuit intégré à mémoire, un plot supplémentaire relié à tous les fusibles mais qui ne sera pas relié au brochage externe du circuit intégré, ce plot étant relié à un circuit qui est générateur de basse tension lors de la programmation de la mémoire et qui est apte à présenter une haute impédance lorsqu'une haute tension est appliquée sur le plot pour que tout le courant passe dans les fusibles que l'on veut claquer.

La présente invention a donc pour objet un circuit intégré comportant au moins une mémoire qui comprend au moins un élément de redondance et au moins un fusible pour provoquer un aiguillage vers un élément de redondance ; principalement caractérisé en ce qu'il comporte :

- un circuit transformateur comprenant une entrée et une sortie, l'entrée recevant un signal de commande de mode de fonctionnement ;
- un plot supplémentaire destiné à recevoir une alimentation haute tension, la sortie du circuit transformateur étant reliée à ce plot et à une borne d'au moins un fusible ; le circuit transformateur présentant une haute impédance vis-à-vis du ou des fusibles lorsque le signal de commande de mode de fonctionnement présente un premier état logique, cet état logique étant présent lorsque la haute tension est appliquée sur le plot ; ce circuit présentant une faible impédance et étant apte à alimenter le ou les fusibles sous une tension plus faible lorsque le plot n'est plus alimenté, le signal de commande présentant alors un deuxième état logique.

D'autres particularités et avantages de l'invention apparaitront mieux à la lecture de la description détaillé qui suit et se réfère aux dessins annexés, donnés uniquement à titre d'exemple non limitatif et dans lesquels :

- la figure 1, représente le schéma général de l'invention selon le mode de claquage des fusibles ;

- la figure 2, représente le schéma général de l'invention selon le mode de lecture ;

- la figure 3, représente un exemple de réalisation particulier de l'invention.

Sur la figure 1, on a représenté le schéma général du circuit de claquage selon l'invention lors du claquage des fusibles qui a lieu pendant les tests du circuit intégré.

Sur la figure 2, on a représenté le schéma général de ce circuit lors du fonctionnement du circuit intégré hors test.

Pendant les tests du circuit intégré, on effectue la programmation d'éléments mémoires qui sont réservés à la mémorisation d'aiguillage vers un élément mémoire de redondance déterminé. Ces éléments mémoires sont constitués chacun par un fusible R relié à un transistor de commande Tc. Chaque transistor Tc est relié à un circuit 1 apte à commander la conduction du transistor Tc désiré. La grille de ces transistors Tc est reliée au circuit 1, l'une des deux autres électrodes principales est reliée à la masse, l'autre est reliée à une borne d'un fusible R. La deuxième borne N de chaque fusible R est reliée d'une part à un plot P et d'autre part à un circuit transformateur 2 qui reçoit un ordre S traduisant le mode de fonctionnement du circuit intégré. Ce mode de fonctionnement est soit le mode claquage, soit le mode normal de lecture de l'état des fusibles à chaque adressage de la mémoire.

Le plot P est un plot supplémentaire prévu pour le test du circuit intégré mais qui n'est pas destiné à être relié aux broches externes de ce circuit.

Ce plot P est destiné à recevoir une haute tension V lors des tests qui est directement appliquée aux fusibles, cette tension étant suffisante pour claquer les fusibles R, V = 15 à 20 V par exemple.

Le circuit 2 permet, en fonction de l'état logique du signal de commande de présenter une haute impédance vue du plot. Ainsi aucun courant utile pour le claquage n'est dérivé vers ce circuit lors de l'application de la haute tension V. Les fusibles reliés à des transistors Tc conducteurs sont claqués.

Après avoir claqué les fusibles qu'il convenait de claquer, la haute tension V est retirée , le plot est flottant. L'état logique du signal de commande est modifié de sorte que le circuit se comporte en générateur de basse tension Vcc, faible impédance vue du circuit de fusibles. La basse tension Vcc est suffisante (par exemple 5 V) pour permettre la lecture de l'état de chaque fusible, cette lecture étant faite de manière classique en soi.

Sur la figure 3, on a représenté un mode de réalisation particulier de l'invention.

On prendra à titre d'exemple comme niveau haut de tension d'alimentation des transistors MOS du circuit, la tension Vcc à 5 V et comme niveau bas 0 V.

Le circuit 2 comporte tout d'abord trois inverseurs en série I1, I2, I3. Le premier inverseur I1 comprend un transitor MOS à canal P, T7, dont la source est reliée à la tension Vcc et dont le drain est relié au drain d'un transistor MOS à canal N, T8. La source du transistor T8 est reliée à la masse (0 V), la grille des deux transistors reçoit le signal de commande S dont le niveau de tension est soit Vcc, soit la masse selon le mode de fonctionnement désiré. Le deuxième inverseur I2 comporte deux transistors MOS à canal N, T5 et T6. Les drains de ces transistors sont reliés, la source du transistor T6 est à la masse, la source du transistor T5 est au potentiel Vcc. La grille du transistor T5 est commandée par le signal S. La grille du transistor T6 est commandée par la sortie de l'inverseur I1.

La sortie de l'inverseur I2 est prise au point connu des deux drains, cette sortie commande la grille de deux autres transistors T3 et T2 montés de manière à former le troisième

inverseur I3. Le transistor T3 est un transistor MOS à canal P, le transistor T2 est un transistor MOS à canal N. La source du transistor T2 est reliée à la masse, la source du transistor T3 est au potentiel V, 20 Volts lorsque la tension V est appliquée, soit au potentiel Vcc dans le cas contraire.

La sortie de cet inverseur commande la grille d'un transistor MOS à canal P, T4, qui a sa source reliée au potentiel V (20 V) ou Vcc (5 V) selon que la tension V est appliquée ou non sur le plot. Le drain de ce transistor est relié à la sortie de l'inverseur I2. Un transistor MOS canal P est commandé par la sortie de l'inverseur I3, son drain est au potentiel Vcc et sa source est au potentiel V ou Vcc.

Un transistor MOS à canal N, T0 est commandé par la tension Vcc appliquée sur sa source. Le drain de ce transistor se trouve au potentiel V ou Vcc.

Le circuit 2 fonctionne de la manière suivante :

Pour effectuer le claquage des fusibles le signal S est à 0 V et la tension 20 V est appliquée sur le plot P. Le transistor T8 est bloqué, le transistor T7 est conducteur. Le transistor T6 est conducteur, le transistor T5 est bloqué. Le transistor T2 est bloqué et le transistor T3 est conducteur. Le transistor T3 amène la tension V (20 V) sur la grille du transistor T1 ce qui le bloque. Le transistor T3 amène cette tension de 20 V sur la grille du transistor T4 qui se bloque également. Il n'y a plus alors de chemin de courant pour dévier le courant des fusibles.

Pour le fonctionnement normal en lecture, le signal S est au potentiel Vcc soit 5 V, et le plot est flottant (aucune tension n'est appliquée).

Le transistor T8 est conducteur et T7 est bloqué. Le transistor T6 est bloqué et T5 est conducteur. Le transistor T2 est conducteur et T3 est bloqué. Le transistor T4 tend alors à devenir conducteur et à créer un chemin de courant T0, T4, T2 avec trois transistors conducteurs en série. Un potentiel Vcc - Vg tend à s'établir sur le plot. Mais le transistor T1 a 0

V sur sa grille et est donc conducteur, son drain est connecté à Vcc et sa source ramène alors Vcc sur le plot, le transistor T0 ne servant alors plus à rien. Ce transistor T0 permet en fait d'amorcer une polarisation convenable des transistors T4 et T3 après quoi T4 et T3 sont bien alimentés par la tension Vcc et le plot est au potentiel Vcc ce qui permet d'effectuer une lecture de l'état des fusibles sans provoquer de vieillissement prématuré.

Cet exemple particulier de réalisation présente l'avantage d'obtenir un lien direct entre la tension de claquage V et les fusibles, le positionnement de cette tension se faisant sans passer par une résistance série.

Le circuit d'aiguillage selon l'invention permet donc contrairement à l'art antérieur, de dissocier les opérations de programmation d'une mémoire et celles du claquage des fusibles.

## REVENDICATIONS

1. Circuit intégré comportant au moins une mémoire qui comprend au moins un élément de redondance et au moins un fusible pour provoquer un aiguillage vers un élément de redondance, caractérisé en ce qu'il comporte :

- un circuit transformateur (2) comprenant une entrée et une sortie, l'entrée recevant un signal de commande de mode de fonctionnement (S) ;

- un plot (P) supplémentaire destiné à recevoir une alimentation haute tension (V), la sortie du circuit transformateur étant reliée à ce plot (P) et à une borne (N) d'au moins un fusible (R) ; le circuit transformateur (2) présentant une haute impédance vis-à-vis du ou des fusibles (R) lorsque le signal de commande de mode de fonctionnement (S) présente un premier état logique, cet état logique étant présent lorsque la haute tension est appliquée sur le plot (P) ; ce circuit présentant une faible impédance et étant apte à alimenter le ou les fusibles sous une tension (Vcc) plus faible lorsque le plot (P) n'est plus alimenté, le signal de commande (S) présentant alors un deuxième état logique.

2. Circuit intégré selon la revendication 1, caractérisé en ce que le circuit de transformation (2) comporte un premier (I1), un deuxième (I2), un trosième (I3) inverseurs en série, le premier inverseur étant attaqué par le signal de commande (S), le troisième inverseur attaquant la grille d'un premier (T4) et d'un deuxième (T1) transistor MOS à canal P dont les drains qui constituent la sortie du circuit (2) reçoivent soit la haute tension lorsque le signal (S) a un premier état déterminé ce qui les bloque et qui empêche toute dérivation du courant des fusibles à travers le circuit ; soit une tension suffisante pour amorcer un chemin de courant qui rend conducteur ces deux

transistors, le deuxième transistor (T1) ramenant ainsi la basse tension à son drain, soit à la sortie du circuit (2).

3. Circuit intégré, selon la revendication 2, caractérisé en ce que le premier (I1) et le troisième (I3) inverseur comprennent un transistor à canal N (T8), (T2) et un transistor à canal P (T7), (T3) et en ce que le deuxième inverseur (I2) comporte deux transistors (T5, T6) à canal N.

4. Circuit intégré, selon la revendication 3, caractérisé en ce que :

- la grille des deux transistors (T7, T8) du premier inverseur (I1) est attaquée par le signal de commande (S) et en ce que leur drain commande la grille d'un transistor (T6) du deuxième inverseur (I2), la grille de l'autre transistor (T5) étant attaqué par le signal (S) ; en ce que :

- le drain et la source des transistors (T5, T6) du deuxième inverseur (I2) attaquent la grille des transistors (T3, T2) du troisième inverseur (I3), les drains de ces deux transistors attaquent la grille du deuxième transistor (T1) et la grille du premier transistor (T4) ;

- un troisième transistor MOS à canal N (T0) a son drain relié aux drains des premier et deuxième transistors (T1, T4), ce transistor permet d'amorcer une polarisation du premier transistor (T4) et du transistor MOS à canal P (T3) du troisième inverseur (I3).

FIG_1

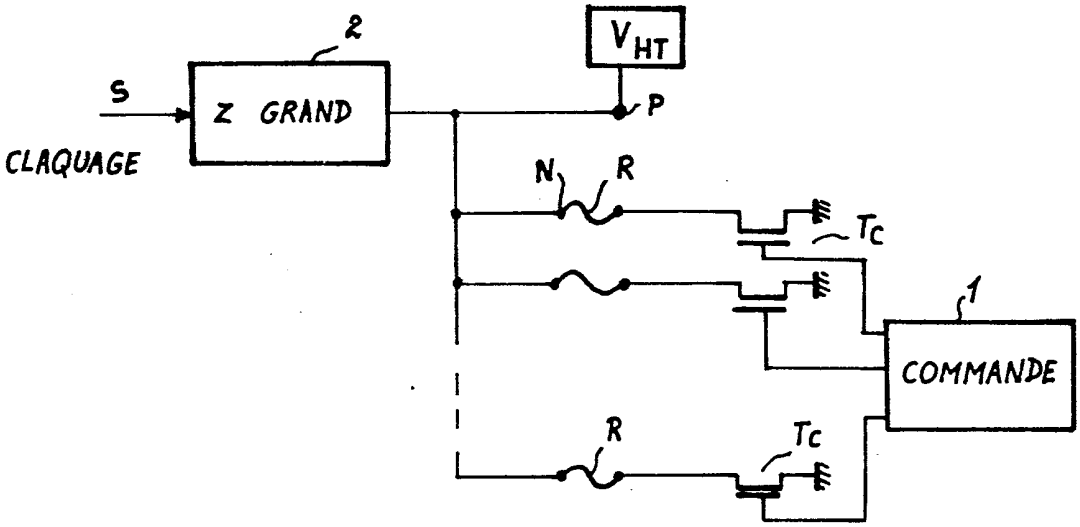

2
$V_{HT}$
S
Z GRAND
P
CLAQUAGE
N
R
Tc
1
COMMANDE
R
Tc

FIG_2

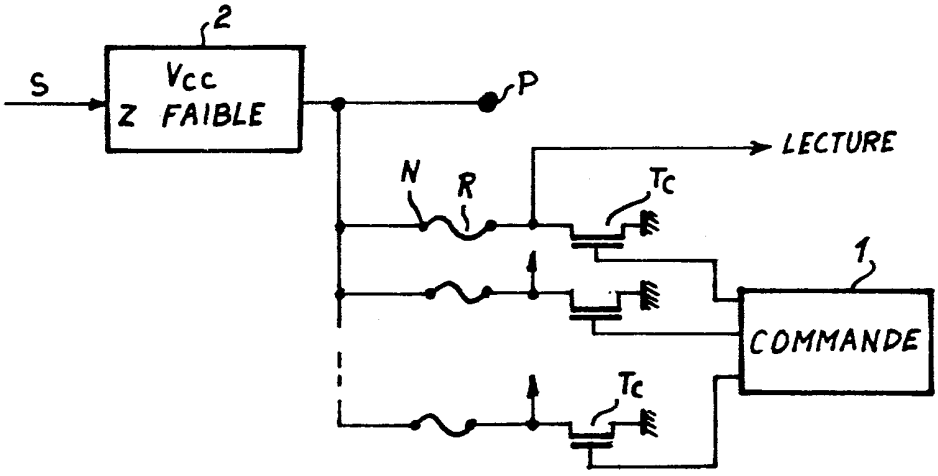
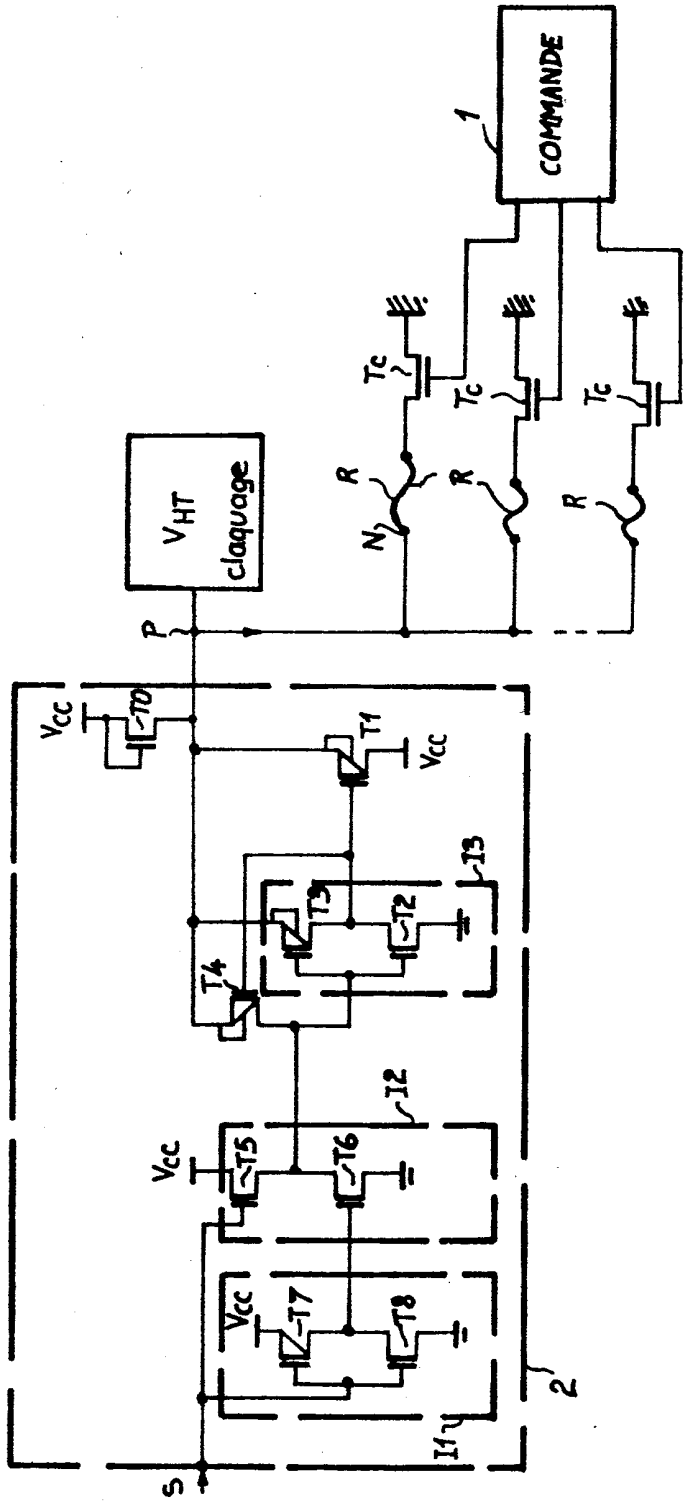

2
Vcc
Z FAIBLE
S
P
LECTURE
N
R
Tc
1
COMMANDE
Tc

FIG_3


COMMANDE
1
Tc
R
N
$V_{HT}$
claquage
P
Vcc
T0
T1
T2
T3
T4
T5
T6
T7
T8
I1
I2
I3
S
2