

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-172087

(P2004-172087A)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int.Cl.⁷

H 0 1 J 31/12

H 0 1 J 29/04

F I

H 0 1 J 31/12

H 0 1 J 29/04

C

テーマコード (参考)

5 C 0 3 1

5 C 0 3 6

審査請求 未請求 請求項の数 10 O L (全 40 頁)

(21) 出願番号 特願2003-300205 (P2003-300205)
 (22) 出願日 平成15年8月25日 (2003.8.25)
 (31) 優先権主張番号 特願2002-321564 (P2002-321564)
 (32) 優先日 平成14年11月5日 (2002.11.5)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000004064
 日本碍子株式会社
 愛知県名古屋市瑞穂区須田町2番56号
 (74) 代理人 100077665
 弁理士 千葉 剛宏
 (74) 代理人 100116676
 弁理士 宮寺 利幸
 (72) 発明者 武内 幸久
 愛知県名古屋市瑞穂区須田町2番56号
 日本碍子株式会社内
 (72) 発明者 七瀬 努
 愛知県名古屋市瑞穂区須田町2番56号
 日本碍子株式会社内

最終頁に続く

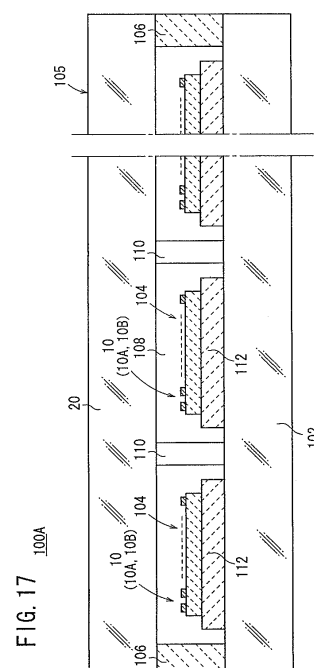
(54) 【発明の名称】 ディスプレイ

(57) 【要約】

【課題】大画面化や低コスト化に適する構造を有するディスプレイを提供する。

【解決手段】ディスプレイ100Aは、マザー基板102と、外枠106と、透明板20とを有する筐体105と、複数の電子放出素子10Aがモジュール基板112上に配列して形成されたモジュール104とを具備し、複数のモジュール104がマザー基板102上にマトリックス状に配列され、さらに、筐体105内が真空封止されて構成されている。マザー基板102と透明板20の間の任意の位置に1以上のスペーサ110を介在させて、少なくともマザー基板102と透明板20との間のギャップを所定距離に保持するようにしてもよい。

【選択図】 図17



【特許請求の範囲】

【請求項 1】

第 1 の基板を有する筐体と、
複数の電子放出素子が第 2 の基板上に配列して形成されたモジュールとを具備し、
前記複数のモジュールが前記第 1 の基板上に配列され、
少なくとも前記モジュール同士が電氣的に接続され、
前記筐体内が真空封止されていることを特徴とするディスプレイ。

【請求項 2】

第 1 の基板を有する筐体と、
電子放出素子が形成されたチップとを具備し、
前記複数のチップが前記第 1 の基板上に配列され、
少なくとも前記チップ同士が電氣的に接続され、
前記筐体内が真空封止されていることを特徴とするディスプレイ。

10

【請求項 3】

第 1 の基板を有する筐体と、
前記第 1 の基板上に直接膜形成された複数の電子放出素子とを具備し、
前記筐体内が真空封止されていることを特徴とするディスプレイ。

【請求項 4】

請求項 1～3 のいずれか 1 項に記載のディスプレイにおいて、
前記筐体は、前記第 1 の基板と対向して配置された透明板を有し、
前記透明板のうち、前記第 1 の基板と対向する面に、前記電子放出素子との間で電界を
形成するための電極と、該電極に形成された蛍光体とを有し、
前記電子放出素子から放出される電子を前記蛍光体に衝突させて前記蛍光体を励起し、
発光させることを特徴とするディスプレイ。

20

【請求項 5】

第 1 の基板を有する筐体と、
複数の電子放出素子が第 2 の基板上に配列され、かつ、真空封止された真空封止モジュールとを具備し、
複数の真空封止モジュールが前記第 1 の基板上に配列され、
少なくとも前記真空封止モジュール同士を電氣的に接続されていることを特徴とするディスプレイ。

30

【請求項 6】

請求項 5 記載のディスプレイにおいて、
前記真空封止モジュールは、前記第 2 の基板と対向して配置された透明板を有し、
前記透明板のうち、前記第 2 の基板と対向する面に、前記電子放出素子との間で電界を
形成するための電極と、該電極に形成された蛍光体とを有し、
前記電子放出素子から放出される電子を前記蛍光体に衝突させて前記蛍光体を励起し、
発光させることを特徴とするディスプレイ。

【請求項 7】

請求項 1～6 のいずれか 1 項に記載のディスプレイにおいて、
前記電子放出素子は、
誘電体にて構成されたエミッタ部と、
前記エミッタ部に接して形成された第 1 の電極及び第 2 の電極とを有し、
前記第 1 の電極と前記第 2 の電極間に駆動電圧が印加されることによって、少なくとも
前記エミッタ部の一部が分極反転あるいは分極変化されることで電子放出を行うことを特
徴とするディスプレイ。

40

【請求項 8】

請求項 7 記載のディスプレイにおいて、
前記第 1 の電極及び前記第 2 の電極は、前記エミッタ部の主面にそれぞれ接して形成され、

50

前記第 1 の電極と前記第 2 の電極との間に前記エミッタ部が一部露出するスリットが形成されていることを特徴とするディスプレイ。

【請求項 9】

請求項 7 記載のディスプレイにおいて、

前記第 1 の電極は、前記エミッタ部の第 1 の面に形成され、

前記第 2 の電極は、前記エミッタ部の第 2 の面に形成されていることを特徴とするディスプレイ。

【請求項 10】

請求項 1～9 のいずれか 1 項に記載のディスプレイにおいて、

前記エミッタ部が、圧電材料、電歪材料及び反強誘電材料のうちの少なくとも 1 種類であることを特徴とするディスプレイ。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多数の電子放出素子を備えてなるディスプレイに関する。

【背景技術】

【0002】

近年、フィールドエミッションディスプレイ (FED) やバックライトのような種々のアプリケーションにおいて、駆動用の電極及び接地用の電極を有する電子放出素子が用いられている (例えば、特許文献 1～5 及び非特許文献 1～3 参照)。そのような電子放出素子は、FED に適用される場合、二次元的に配列され、これら電子放出素子に対する複数の蛍光体が、所定の間隔を以ってそれぞれ配置されている。 20

【0003】

【特許文献 1】特開平 1-311533 号公報 (第 3 頁、第 1 図)

【特許文献 2】特開平 7-147131 号公報 (第 3 頁、図 8 及び図 9)

【特許文献 3】特開 2000-285801 号公報 (第 5 頁、図 3)

【特許文献 4】特公昭 46-20944 号公報 (第 1 頁、第 2 図)

【特許文献 5】特公昭 44-26125 号公報 (第 1 頁、第 2 図)

【非特許文献 1】安岡、石井「強誘電体陰極を用いたパルス電子源」応用物理第 68 巻第 5 号、p. 546～550 (1999) 30

【非特許文献 2】V.F.Puchkarev, G.A.Mesyats, On the mechanism of emission from the ferroelectric ceramic cathode, J.Appl.Phys., vol. 78, No. 9, 1 November, 1995, p. 5633-5637

【非特許文献 3】H.Riege, Electron emission ferroelectrics - a review, Nucl. Instr. And Meth. A340, p.80-89(1994)

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献 1～5 及び非特許文献 1～3 に記載されているような従来の一般的な電子放出素子を利用したディスプレイの構造については未だ確立された技術はなく、特に、大画面化、低コスト化に適する技術がないのが現状であった。 40

【0005】

本発明の目的は、大画面化や低コスト化に適する構造を有するディスプレイを提供することにある。

【課題を解決するための手段】

【0006】

本発明のディスプレイの第 1 の発明は、第 1 の基板を有する筐体と、複数の電子放出素子が第 2 の基板上に配列して形成されたモジュールとを具備し、前記複数のモジュールが前記第 1 の基板上に配列され、少なくとも前記モジュール同士が電氣的に接続され、前記 50

筐体内が真空封止されていることを特徴とする。

【0007】

本発明の第1の発明の構造によれば、複数の電子放出素子を第2の基板上に配列してモジュールとして構成し、複数のモジュールを第1の基板上に配列することで、簡単に大画面のディスプレイを得ることができる。

【0008】

本発明のディスプレイの第2の発明は、第1の基板を有する筐体と、電子放出素子が形成されたチップとを具備し、前記複数のチップが前記第1の基板上に配列され、少なくとも前記チップ同士が電氣的に接続され、前記筐体内が真空封止されていることを特徴とする。

10

【0009】

本発明の第2の発明の構造によれば、電子放出素子を有するチップを作製し、複数のチップを第1の基板上に配列することで、簡単に大画面のディスプレイを得ることができる。

【0010】

本発明のディスプレイの第3の発明は、第1の基板を有する筐体と、前記第1の基板上に直接膜形成された複数の電子放出素子とを具備し、前記筐体内が真空封止されていることを特徴とする。

【0011】

本発明の第3の発明の構造によれば、第1の基板上に直接膜形成することで、簡単に、かつ、低コストにディスプレイを得ることができる。

20

【0012】

そして、上述した第1～第3の発明において、前記筐体は、前記第1の基板と対向して配置された透明板を有し、前記透明板のうち、前記第1の基板と対向する面に、前記電子放出素子との間で電界を形成するための電極と、該電極に形成された蛍光体とを有し、前記電子放出素子から放出される電子を前記蛍光体に衝突させて前記蛍光体を励起し、発光させるようにしてもよい。

【0013】

本発明のディスプレイの第4の発明は、第1の基板を有する筐体と、複数の電子放出素子が第2の基板上に配列され、かつ、真空封止された真空封止モジュールとを具備し、複数の真空封止モジュールが前記第1の基板上に配列され、少なくとも前記真空封止モジュール同士を電氣的に接続されていることを特徴とする。

30

【0014】

この場合、前記真空封止モジュールは、前記第2の基板と対向して配置された透明板を有し、前記透明板のうち、前記第2の基板と対向する面に、前記電子放出素子との間で電界を形成するための電極と、該電極に形成された蛍光体とを有し、前記電子放出素子から放出される電子を前記蛍光体に衝突させて前記蛍光体を励起し、発光させるようにしてもよい。

【0015】

上述した本発明の第1～第4の発明に係るディスプレイにおいて、電子放出素子の好ましい態様としては以下のとおりである。

40

【0016】

すなわち、前記電子放出素子は、誘電体にて構成されたエミッタ部と、前記エミッタ部に接して形成された第1の電極及び第2の電極とを有し、前記第1の電極と前記第2の電極間に駆動電圧が印加されることによって、少なくとも前記エミッタ部の一部が分極反転あるいは分極変化されることで電子放出を行うようにしてもよい。

【0017】

ここで、電子放出素子の作用について説明する。まず、第1の電極と第2の電極間に駆動電圧が印加されることによって、少なくともエミッタ部の一部が分極反転あるいは分極変化され、前記第2の電極よりも電位が低い前記第1の電極の近傍から電子が放出される

50

ことになる。すなわち、この分極反転あるいは分極変化によって、第1の電極とその近傍の双極子モーメントの正極側とで局所的な集中電界が発生することにより、前記第1の電極から1次電子が引き出され、前記第1の電極から引き出された1次電子が前記エミッタとなる物質に衝突して、該エミッタとなる物質から2次電子が放出される。

【0018】

前記第1の電極、前記エミッタ部及び真空雰囲気との3重点を有する場合には、前記第1の電極のうち、3重点近傍の部分から1次電子が引き出され、前記引き出された1次電子が前記エミッタ部に衝突して、該エミッタ部から2次電子が放出される。なお、前記第1の電極の厚みが極薄（～10nm）である場合には、該第1の電極とエミッタ部との界面から電子が放出されることになる。

10

【0019】

ここで述べる2次電子は、1次電子のクーロン衝突でエネルギーを得て、エミッタ部の外へ飛び出した固体内電子と、オージェ電子と、1次電子がエミッタ部の表面近くで散乱したもの（反射電子）の全てを含む。

【0020】

このような原理によって電子が放出されることから、電子放出が安定して行われ、電子放出の回数も20億回以上を実現でき、実用性に富む。しかも、放出電子量は、第1の電極と第2の電極間に印加される駆動電圧のレベルにほぼ比例して増加することから、放出電子量を容易に制御できるという利点もある。

【0021】

そして、電子放出素子の第1の構成例としては、前記第1の電極及び前記第2の電極が、前記エミッタ部の主面にそれぞれ接して形成され、前記第1の電極と前記第2の電極との間に前記エミッタ部が一部露出するスリットが形成される構成例がある。

20

【0022】

この場合、前記スリットの幅を d 、前記第1の電極と前記第2の電極間の電圧を V_{ak} としたとき、前記エミッタとなる物質に印加され、かつ、 $E = V_{ak} / d$ で表される電界 E で分極反転あるいは分極変化が行われることとなる。

【0023】

また、第2の構成例としては、前記第1の電極は、前記エミッタ部の第1の面に形成され、前記第2の電極は、前記エミッタ部の第2の面に形成される構成例がある。

30

【0024】

この場合、前記第1の電極と前記第2の電極に挟まれた前記エミッタとなる物質の厚さを h 、前記第1の電極と前記第2の電極間の電圧を V_{ak} としたとき、前記エミッタとなる物質に印加され、かつ、 $E = V_{ak} / h$ で表される電界 E で分極反転あるいは分極変化が行われることになる。

【0025】

また、上述した電子放出素子において、前記エミッタ部は、圧電材料、電歪材料及び反強誘電材料のうちの少なくとも1種類で構成することができる。

【発明の効果】

【0026】

以上説明したように、本発明に係るディスプレイによれば、簡単に大画面化を実現でき、低コスト化を図ることができる。

40

【発明を実施するための最良の形態】

【0027】

以下、本発明に係るディスプレイの実施の形態例について図1～図49を参照しながら説明する。

【0028】

まず、本実施の形態に係るディスプレイに適用される電子放出素子の構成及び電子放出原理について図1～図15Bを参照しながら説明する。

【0029】

50

第1の実施の形態に係る電子放出素子10Aは、図1に示すように、エミッタ部12と、該エミッタ部12の一方の面に形成された第1の電極（カソード電極）14と、同じくエミッタ部12の一方の面に形成され、カソード電極14と共にスリット16を形成する第2の電極（アノード電極）18とを有する。カソード電極14には、後述するように1つの信号線からの画素信号Sdが電流抑制用の抵抗R1を介して供給され、アノード電極18には、1つの行選択線からの選択信号Ssが電流抑制用の抵抗R2を介して供給され、カソード電極14とアノード電極18間には、これらデータ信号Sdと選択信号Ssによる駆動電圧Vaが印加されることになる。

【0030】

そして、この電子放出素子10Aをディスプレイのドットや画素として利用する場合は、カソード電極14の上方に、例えばガラスやアクリル製の透明板20が配置され、該透明板20の裏面（カソード電極14と対向する面）に例えば透明電極にて構成されたコレクタ電極22が配置され、該コレクタ電極22には蛍光体24が塗布される。なお、コレクタ電極22にはバイアス電圧源26（バイアス電圧Vc）が抵抗R3を介して接続される。

【0031】

また、第1の実施の形態に係る電子放出素子10Aは、当然のことながら、真空空間内に配置される。この電子放出素子10Aは、図1に示すように、電界集中ポイントA及びBが存在するが、ポイントAは、カソード電極14／エミッタ部12／真空が1つのポイントに存在する3重点を含むポイントとしても定義することができ、ポイントBは、アノード電極18／エミッタ部12／真空が1つのポイントに存在する3重点を含むポイントとしても定義することができる。

【0032】

そして、雰囲気中の真空度は、 $10^{-2} \sim 10^{-6}$ Paが好ましく、より好ましくは $10^{-3} \sim 10^{-5}$ Paである。

【0033】

このような範囲を選んだ理由は、低真空では、（1）空間内に気体分子が多いため、プラズマを生成し易く、プラズマが多量に発生され過ぎると、その正イオンが多量にカソード電極14に衝突して損傷を進めるおそれや、（2）放出電子がコレクタ電極22に到達する前に気体分子に衝突してしまい、コレクタ電位（Vc）で十分に加速した電子による蛍光体24の励起が十分に行われなくなるおそれがあるからである。

【0034】

一方、高真空では、電界集中ポイントA及びBから電子を放出し易いものの、構造体の支持、及び真空のシール部が大きくなり、小型化に不利になるという問題があるからである。

【0035】

ここで、カソード電極14とアノード電極18間のスリット16の幅dの大きさについて説明すると、カソード電極14とアノード電極18間の電圧（駆動電圧Vaがカソード電極14とアノード電極18間に印加されることによって、該カソード電極14とアノード電極18間に現れる電圧）をVakとしたとき、 $E = Vak / d$ で表される電界Eで分極反転もしくは分極変化が行われるように、前記幅dを設定することが好ましい。つまり、スリット16の幅dが小さいほど、低電圧で分極反転もしくは分極変化が可能となり、低電圧駆動（例えば100V未満）で電子放出が可能となる。ここで、エミッタ部12の絶縁破壊電圧は、少なくとも10kV/mm以上有していることが好ましい。この例では、スリット16の幅dを例えば70μmとしたとき、カソード電極14とアノード電極18間に-100Vの駆動電圧を印加しても、エミッタ部12のうち、スリット16から露出する部分が絶縁破壊に至ることはない。

【0036】

なお、カソード電極14の寸法については、図2に示すように、幅W1を2mmとし、長さL1を5mmとした。カソード電極14の厚さは、20μm以下がよく、好適には5

μm 以下であるとよい。

【0037】

アノード電極18の厚さも、 $20\mu\text{m}$ 以下がよく、好適には $5\mu\text{m}$ 以下であるとよい。また、アノード電極18の寸法については、図2に示すように、カソード電極14と同様に幅 W_2 を 2mm とし、長さ L_2 を 5mm とした。

【0038】

また、カソード電極14とアノード電極18間のスリット16の幅 d は、この第1の実施の形態では、 $70\mu\text{m}$ とした。

【0039】

次に、電子放出素子10Aの電子放出原理について図1、図3～図6を参照しながら説明する。まず、カソード電極14とアノード電極18間に印加される駆動電圧 V_a は、図3に示すように、第1の電圧 V_{a1} が出力される期間（準備期間 T_1 ）と第2の電圧 V_{a2} が出力される期間（電子放出期間 T_2 ）を1ステップとし、該1ステップが繰り返される。第1の電圧 V_{a1} は、カソード電極14の電位がアノード電極18の電位よりも高い電圧であり、第2の電圧 V_{a2} は、カソード電極14の電位がアノード電極18の電位よりも低い電圧である。駆動電圧 V_a の振幅 V_{in} は、第1の電圧 V_{a1} から第2の電圧 V_{a2} を差し引いた値（ $=V_{a1}-V_{a2}$ ）で定義することができる。つまり、駆動電圧 V_a の波形は、準備期間 T_1 において第1の電圧 V_{a1} 、電子放出期間 T_2 において第2の電圧 V_{a2} の矩形パルスとなっている。

【0040】

準備期間 T_1 は、図4に示すように、カソード電極14とアノード電極18間に第1の電圧 V_{a1} を印加してエミッタ部12を分極する期間である。第1の電圧 V_{a1} としては、図3のように直流電圧でもよいが、1つのパルス電圧もしくはパルス電圧を複数回連続印加するようにしてもよい。ここで、準備期間 T_1 は、分極処理を十分に行うために、電子放出期間 T_2 よりも長くとることが好ましい。例えば、この準備期間 T_1 としては $100\mu\text{sec}$ 以上が好ましい。これは、第1の電圧 V_{a1} の印加時の消費電力及びカソード電極14の損傷を防止する目的で、分極を行うための第1の電圧 V_{a1} の絶対値を、第2の電圧 V_{a2} の絶対値よりも小さく設定しているからである。

【0041】

また、第1の電圧 V_{a1} 及び第2の電圧 V_{a2} は、各々正負の極性に分極処理を確実に
行う電圧レベルであることが好ましく、例えばエミッタ部12の誘電体が抗電圧を有する場合、第1の電圧 V_{a1} 及び第2の電圧 V_{a2} の絶対値は、抗電圧以上であることが好ましい。

【0042】

電子放出期間 T_2 は、カソード電極14とアノード電極18間に第2の電圧 V_{a2} が印加される期間である。カソード電極14とアノード電極18間に第2の電圧 V_{a2} が印加されることによって、図5Aに示すように、少なくともエミッタ部12のうち、スリット16から露出する部分が分極反転もしくは分極変化される。このとき、前記スリットの幅を d （図1参照）、カソード電極14とアノード電極18間の電圧を V_{ak} としたとき、エミッタ部12に印加され、かつ、 $E=V_{ak}/d$ で表される電界 E で分極反転もしくは
分極変化が行われる。

【0043】

この分極反転もしくは分極変化によって、カソード電極14とその近傍の双極子モーメントの正極側とで局所的な集中電界が発生することにより、カソード電極14から1次電子が引き出され、図5Bに示すように、前記カソード電極14から引き出された1次電子がエミッタ部12に衝突して、該エミッタ部12から2次電子が放出される。

【0044】

この第1の実施の形態のように、カソード電極14、エミッタ部12及び真空の3重点Aを有する場合には、カソード電極14のうち、3重点Aの近傍部分から1次電子が引き出され、この3重点Aから引き出された1次電子がエミッタ部12に衝突して、該エミッ

10

20

30

40

50

タ部 12 から 2 次電子が放出される。なお、カソード電極 14 の厚みが極薄 ($\sim 10 \text{ nm}$) である場合には、該カソード電極 14 とエミッタ部 12 との界面から電子が放出されることになる。

【0045】

このような原理によって電子が放出されることから、電子放出が安定して行われ、電子放出の回数も 20 億回以上を実現でき、実用性に富む。しかも、放出電子量は、カソード電極 14 とアノード電極 18 間に印加される駆動電圧 V_a の振幅 V_{in} にほぼ比例して増加することから、放出電子量を容易に制御できるという利点もある。

【0046】

そして、放出された 2 次電子のうち、一部の 2 次電子はコレクタ電極 22 に導かれて蛍光体 24 を励起し、外部に蛍光体発光として具現されることになる。他の一部の 2 次電子や 1 次電子は、アノード電極 18 に引かれる。

【0047】

ここで、2 次電子の放出分布について説明する。図 6 に示すように、2 次電子は、ほとんどエネルギーがゼロに近いものが大多数であり、エミッタ部 12 の表面から真空中に放出されると、周囲の電界分布のみに従って運動することになる。つまり、2 次電子は、初速がほとんど 0 (m/sec) の状態から周囲の電界分布に従って加速される。このため、図 5 B に示すように、エミッタ部 12 とコレクタ電極 22 間に電界 E_a が発生しているとすると、2 次電子は、この電界 E_a に沿って、その放出軌道が決定される。つまり、直進性の高い電子源を実現させることができる。このような初速の小さい 2 次電子は、1 次電子のクーロン衝突でエネルギーを得て、エミッタ部 12 の外へ飛び出した固体内電子である。

【0048】

また、コレクタ電極 22 のパターン形状や電位を適宜変更したり、エミッタ部 12 とコレクタ電極 22 との間に図示しない制御電極等を配置することによって、エミッタ部 12 とコレクタ電極 22 間の電界分布を任意に設定することにより、2 次電子の放出軌道を制御し易くなり、電子ビーム径の収束、拡大、変形も容易になる。

【0049】

上述した直進性の高い電子源の実現、並びに 2 次電子の放出軌道の制御のし易さは、第 1 の実施の形態に係る電子放出素子 10 A をディスプレイの画素として構成した場合の画素の狭ピッチ化に有利になる。

【0050】

ところで、図 6 からわかるように、1 次電子のエネルギー E_0 に相当するエネルギーをもった 2 次電子が放出されている。この 2 次電子は、カソード電極 14 から放出された 1 次電子がエミッタ部 12 の表面近くで散乱したもの（反射電子）である。

【0051】

カソード電極 14 の厚みが 10 nm よりも厚い場合には、前記反射電子のほとんどがアノード電極 18 に向かうことになる。そして、本明細書内で述べている 2 次電子は、前記反射電子やオージェ電子も含んで定義するものとする。

【0052】

一方、カソード電極 14 の厚みが極薄 ($\sim 10 \text{ nm}$) である場合、カソード電極 14 から放出された 1 次電子は、カソード電極 14 とエミッタ部 12 の界面で反射してコレクタ電極 22 に向かうことになる。

【0053】

上述の例では、透明板 20 の裏面にコレクタ電極 22 を形成し、該コレクタ電極 22 の表面（カソード電極 14 と対向する面）に蛍光体 24 を形成するようにしたが、その他、図 7 の変形例に係る電子放出素子 10 A a のように、透明板 20 の裏面に蛍光体 24 を形成し、該蛍光体 24 を覆うようにコレクタ電極 22 を形成するようにしてもよい。

【0054】

これは、CRT 等で用いられる構成であって、コレクタ電極 22 がメタルバックとして

10

20

30

40

50

機能する。エミッタ部 1 2 から放出された 2 次電子はコレクタ電極 2 2 を貫通して蛍光体 2 4 に進入し、該蛍光体 2 4 を励起する。従って、コレクタ電極 2 2 は 2 次電子が貫通できる程度の厚さであり、100 nm 以下が好ましい。2 次電子の運動エネルギーが大きいほど、コレクタ電極 2 2 の厚みを厚くすることができる。

【0055】

このような構成とすることで以下の効果を奏することができる。

【0056】

(1) 蛍光体 2 4 が導電性でない場合、蛍光体 2 4 の帯電（負）を防ぎ、2 次電子の加速電界を維持することができる。

【0057】

(2) コレクタ電極 2 2 が蛍光体 2 4 の発光を反射して、蛍光体 2 4 の発光を効率よく透明板 2 0 側（発光面側）に放出することができる。

【0058】

(3) 蛍光体 2 4 への過度な 2 次電子の衝突を防ぐことができ、蛍光体 2 4 の劣化や蛍光体 2 4 からのガス発生を防止することができる。

【0059】

次に、第 2 の実施の形態に係る電子放出素子 1 0 B について図 8 ～図 1 5 B を参照しながら説明する。

【0060】

この第 2 の実施の形態に係る電子放出素子 1 0 B は、図 8 に示すように、上述した第 1 の実施の形態に係る電子放出素子 1 0 A とほぼ同様の構成を有するが、エミッタ部 1 2 の表面にカソード電極 1 4 が形成され、エミッタ部 1 2 の裏面にアノード電極 1 8 が形成されている点で異なる。

【0061】

なお、カソード電極 1 4 とアノード電極 1 8 間への駆動電圧 V_a の印加は、例えば図 9 に示すように、カソード電極 1 4 に延びるリード電極 3 0 とアノード電極 1 8 に延びるリード電極 3 2 を通じて行われる。

【0062】

カソード電極 1 4 とアノード電極 1 8 間のエミッタ部 1 2 の厚さ h は、両電極 1 4 及び 1 8 間の電圧を V_{ak} としたとき、 $E = V_{ak} / h$ で表される電界 E で分極反転もしくは分極変化が行われるように、前記厚さ h を設定することが好ましい。つまり、前記厚さ h が小さいほど、低電圧で分極反転もしくは分極変化が可能となり、低電圧駆動（例えば 100 V 未満）で電子放出が可能となる。エミッタ部 1 2 の絶縁破壊電圧は、少なくとも 10 kV/mm 以上有していることが好ましい。ここで、エミッタ部 1 2 の絶縁破壊電圧は、少なくとも 10 kV/mm 以上有していることが好ましい。この例では、エミッタ部 1 2 の厚さ h を例えば 20 μm としたとき、カソード電極 1 4 とアノード電極 1 8 間に -100 V の駆動電圧を印加しても、エミッタ部 1 2 が絶縁破壊に至ることはない。

【0063】

カソード電極 1 4 の平面形状は、図 9 に示すように、楕円形状としてもよいし、図 1 0 に示す第 1 の変形例に係る電子放出素子 1 0 B a のように、リング状にしてもよい。あるいは、図 1 1 に示す第 2 の変形例に係る電子放出素子 1 0 B b のように、くし歯状にしてもよい。

【0064】

カソード電極 1 4 の平面形状をリング状やくし歯状にすることによって、電界集中ポイント A でもあるカソード電極 1 4 / エミッタ部 1 2 / 真空の 3 重点が増え、電子放出効率を向上させることができる。

【0065】

カソード電極 1 4 の厚み t_c （図 8 参照）は、20 μm 以下であるとよく、好適には 5 μm 以下であるとよい。従って、カソード電極 1 4 の厚み t_c を 100 nm 以下にしてもよい。特に、カソード電極 1 4 の厚み t_c を極薄（10 nm 以下）とした場合には、該カ

10

20

30

40

50

ソード電極 14 とエミッタ部 12 との界面から電子が放出されることになり、電子放出効率をさらに向上させることができる。一方、アノード電極 18 の厚さも、 $20\ \mu\text{m}$ 以下であるとよく、好適には $5\ \mu\text{m}$ 以下であるとよい。

【0066】

次に、電子放出素子 10B の電子放出原理について図 3、図 8、図 12 ～ 図 15B を参照しながら説明する。この第 2 の実施の形態においても、図 3 に示すように、上述した第 1 の実施の形態と同様に、第 1 の電圧 V_{a1} が出力される期間（準備期間 T_1 ）と第 2 の電圧 V_{a2} が出力される期間（電子放出期間 T_2 ）を 1 ステップとし、該 1 ステップが繰り返される。

【0067】

まず、準備期間 T_1 において、図 12 に示すように、カソード電極 14 とアノード電極 18 間に第 1 の電圧 V_{a1} が印加されることによって、エミッタ部 12 が一方向に分極されることになる。この場合も、第 1 の電圧 V_{a1} としては、図 3 のように直流電圧でもよいが、1 つのパルス電圧もしくはパルス電圧を複数回連続印加するようにしてもよい。また、準備期間 T_1 は、分極処理を十分に行うために、電子放出期間 T_2 よりも長くとることが好ましい。例えば、この準備期間 T_1 としては $100\ \mu\text{sec}$ 以上が好ましい。

【0068】

その後、電子放出期間 T_2 において、カソード電極 14 とアノード電極 18 間に第 2 の電圧 V_{a2} が印加されることによって、図 13 に示すように、少なくともエミッタ部 12 の一部が分極反転もしくは分極変化される。ここで、分極反転もしくは分極変化される部位は、カソード電極 14 の真下部分はもちろんのこと、真上にカソード電極 14 を有しておらず、かつ、表面が露出した部分についても、カソード電極 14 の近傍では、同様に分極反転もしくは分極変化が行われる。つまり、カソード電極 14 の近傍で、エミッタ部 12 の表面が露出した部分は、分極のしみ出しが起きているからである。この分極反転もしくは分極変化によって、カソード電極 14 とその近傍の双極子モーメントの正極側とで局所的な集中電界が発生することにより、カソード電極 14 から 1 次電子が引き出され、カソード電極 14 から引き出された前記 1 次電子がエミッタ部 12 に衝突して、該エミッタ部 12 から 2 次電子が放出される。

【0069】

この第 2 の実施の形態のように、カソード電極 14、エミッタ部 12 及び真空の 3 重点 A を有する場合には、カソード電極 14 のうち、3 重点 A の近傍部分から 1 次電子が引き出され、この 3 重点 A から引き出された 1 次電子がエミッタ部 12 に衝突して、該エミッタ部 12 から 2 次電子が放出される。なお、カソード電極 14 の厚みが極薄（ $\sim 10\ \text{nm}$ ）である場合には、該カソード電極 14 とエミッタ部 12 との界面から電子が放出されることになる。

【0070】

ここで、第 2 の電圧 V_{a2} が印加されることによる作用をさらに詳細に説明する。まず、カソード電極 14 とアノード電極 18 間に第 2 の電圧 V_{a2} が印加されることによって、上述したように、エミッタ部 12 から 2 次電子が放出されることになる。すなわち、分極反転もしくは分極変化されたエミッタ部 12 のうち、カソード電極 14 の近傍に帯電する双極子モーメントが放出電子を引き出すこととなる。

【0071】

つまり、カソード電極 14 のうち、エミッタ部 12 との界面近傍において局所的なカソードが形成され、エミッタ部 12 のうち、カソード電極 14 の近傍の部分に帯電している双極子モーメントの＋極が局所的なアノードとなってカソード電極 14 から電子が引き出され、その引き出された電子のうち、一部の電子がコレクタ電極 22（図 8 参照）に導かれて蛍光体 24 を励起し、外部に蛍光体発光として具現されることになる。また、前記引き出された電子のうち、一部の電子がエミッタ部 12 に衝突して、エミッタ部 12 から 2 次電子が放出され、該 2 次電子がコレクタ電極 22 に導かれて蛍光体 24 を励起することになる。なお、この第 2 の実施の形態に係る電子放出素子 10B における 2 次電子の放出

10

20

30

40

50

分布についても、図 6 と同様の特性を有することになる。従って、2 次電子は、ほとんどエネルギーがゼロに近いものが大多数であり、エミッタ部 1 2 の表面から真空中に放出されると、周囲の電界分布のみに従って運動することになる。つまり、2 次電子は、初速がほとんど 0 (m/s) の状態から周囲の電界分布に従って加速される。このため、図 8 に示すように、エミッタ部 1 2 とコレクタ電極 2 2 間に電界 E_a が発生しているとする、2 次電子は、この電界 E_a に沿って、その放出軌道が決定される。つまり、直進性の高い電子源を実現させることができる。このような初速の小さい 2 次電子は、1 次電子のクーロン衝突でエネルギーを得て、エミッタ部 1 2 の外へ飛び出した固体内電子である。

【0072】

また、1 次電子のエネルギー E_0 に相当するエネルギーをもった 2 次電子は、カソード電極 1 4 から放出された 1 次電子がエミッタ部 1 2 の表面近くで散乱したもの（反射電子）である。ここで、エミッタ部 1 2 から蛍光体へ放出される 2 次電子は、上記初速の小さい 2 次電子、つまり、1 次電子のクーロン衝突でエネルギーを得てエミッタ部 1 2 の外に飛び出した固体内電子と、オージェ電子と、反射電子の全てを含む。カソード電極 1 4 の厚みが極薄 ($\sim 10 \text{ nm}$) である場合、カソード電極 1 4 から放出された 1 次電子は、カソード電極 1 4 とエミッタ部 1 2 の界面で反射してコレクタ電極 2 2 に向かうことになる。

【0073】

ここで、図 1 3 に示すように、電界集中ポイント A での電界の強さ E_A は、局所的なアノードと局所的なカソード間の電位差を $V(l_a, l_k)$ 、局所的なアノードと局所的なカソード間の距離を d_A としたとき、 $E_A = V(l_a, l_k) / d_A$ の関係がある。この場合、局所的なアノードと局所的なカソード間の距離 d_A は非常に小さいことから、電子放出に必要な電界の強さ E_A を容易に得ることができる（電界の強さ E_A が大きくなっていることを図 1 3 上では実線矢印によって示す）。これは、電圧 V_{ak} の低電圧化につながる。

【0074】

そして、カソード電極 1 4 からの電子放出がそのまま進行すれば、ジュール熱によって蒸散して浮遊するエミッタ部 1 2 の構成原子が前記放出された電子によって正イオンと電子に電離され、この電離によって発生した電子がさらにエミッタ部 1 2 の構成原子等を電離するため、指数関数的に電子が増え、これが進行して電子と正イオンが中性的に存在すると局所プラズマとなる。なお、2 次電子も前記電離を促進させることが考えられる。前記電離によって発生した正イオンが、例えばカソード電極 1 4 に衝突することによって、カソード電極 1 4 が損傷することも考えられる。

【0075】

しかし、この第 2 の実施の形態に係る電子放出素子 10 B では、図 1 4 に示すように、カソード電極 1 4 から引き出された電子が、局所アノードとして存在するエミッタ部 1 2 の双極子モーメントの+極に引かれ、カソード電極 1 4 の近傍におけるエミッタ部 1 2 の表面の負極性への帯電が進行することになる。その結果、電子の加速因子（局所的な電位差）が緩和され、2 次電子放出に至るポテンシャルが存在しなくなり、エミッタ部 1 2 の表面における負極性の帯電がさらに進行することになる。

【0076】

そのため、双極子モーメントにおける局所的なアノードの正極性が弱められ、局所的なアノードと局所的なカソード間の電界の強さ E_A が小さくなり（電界の強さ E_A が小さくなっていることを図 1 4 上では破線矢印によって示す）、電子放出は停止することになる。

【0077】

すなわち、図 1 5 A に示すように、カソード電極 1 4 とアノード電極 1 8 間に印加される駆動電圧 V_a として、第 1 の電圧 V_{a1} を例えば $+50 \text{ V}$ 、第 2 の電圧 V_{a2} を例えば -100 V としたとき、電子放出が行われたピーク時点 P 1 におけるカソード電極 1 4 とアノード電極 1 8 間の電圧変化 ΔV_{ak} は、 20 V 以内（図 1 5 B の例では 10 V 程度）であってほとんど変化がない。そのため、正イオンの発生はほとんどなく、正イオンによ

10

20

30

40

50

るカソード電極 14 の損傷を防止することができ、電子放出素子 10 B の長寿命化において有利となる。

【0078】

ところで、エミッタ部 12 から放出された電子が再びエミッタ部 12 に衝突したり、エミッタ部 12 の表面近傍での電離等によって、該エミッタ部 12 が損傷を受け、結晶欠陥が誘発し、構造的にも脆くなるおそれがある。

【0079】

そこで、エミッタ部 12 を、真空中での蒸発温度が大きい誘電体で構成することが好ましく、例えば Pb を含まない BaTiO₃ 等にて構成するようにしてもよい。これにより、エミッタ部 12 の構成原子がジュール熱によって蒸散しにくくなり、電子による電離の促進を妨げることができる。これは、エミッタ部 12 の表面を保護する上で有効となる。 10

【0080】

次に、第 1 の実施の形態に係るディスプレイ 100 A について図 16 ～図 32 を参照しながら説明する。

【0081】

この第 1 の実施の形態に係るディスプレイ 100 A は、図 16 に示すように、画像表示しようとする大きさのマザー基板 102 と、該マザー基板 102 上に多数配列されたモジュール 104 とを有する。多数のモジュール 104 は、マザー基板 102 上に例えばマトリックス状に配列するようにしてもよい。マザー基板 102 は、例えばガラス基板が使用される。 20

【0082】

また、このディスプレイ 100 A は、図 17 に示すように、マザー基板 102 に対向して透明板 20 が配置され、マザー基板 102 と透明板 20 の周囲には例えばセラミックス製の外枠 106 が介在され、かつ、シールされて、1つの筐体 105 が構成されている。マザー基板 102 と透明板 20 との間に形成される空間 108 内は真空とされている。すなわち、筐体 105 内は真空封止されている。もちろん、マザー基板 102 と透明板 20 の間には任意の位置に 1 以上のスペーサ 110 を介在させて、少なくともマザー基板 102 と透明板 20 との間のギャップを所定距離に保持するようにしてもよい。

【0083】

透明板 20 の裏面（マザー基板 102 と対向する面）には、図示しないが、上述したように、コレクタ電極 22 と蛍光体 24（図 1 参照）が形成される。 30

【0084】

ここで、モジュール 104 の具体例について図 18 ～図 32 を参照しながら説明する。まず、第 1 の具体例に係るモジュール 104 A は、図 18 に示すように、1つのモジュール基板 112 上に、1つのエミッタ部 12 が形成され、このエミッタ部 12 の上面に、多数の第 1 の実施の形態に係る電子放出素子 10 A がマトリックス状に配列されて構成されている。つまり、1つのエミッタ部 12 の上面にカソード電極 14、アノード電極 18 及びスリット 16 を有する電子放出素子 10 A が多数マトリックス状に配列されている。モジュール基板 112 としては、例えばアルミナやジルコニア等のセラミック基板やガラス基板が用いられる。 40

【0085】

エミッタ部 12 には、上述した多数のカソード電極 14 及びアノード電極 18 のほかに、横方向（行方向）に延びる多数の行選択線 114 と、縦方向（列方向）に延びる多数の信号線 116 が形成されている。

【0086】

すなわち、水平方向に隣接する電子放出素子 10 A 間に、それぞれ 1 本の信号線 116 が配線され、垂直方向に隣接する電子放出素子 10 A 間に、それぞれ 1 本の行選択線 114 が配線されている。また、アノード電極 18 は、リード電極 32 を介して行選択線 114 に接続され、カソード電極 14 は、リード電極 30 を介して信号線 116 に接続されている。なお、行選択線 114 と信号線 116 とが交差する部分には、行選択線 114 と信 50

号線 1 1 6 間の電氣的絶縁を確保するための絶縁層 1 1 8 が介在されている。

【0087】

モジュール基板 1 1 2 の上面周囲のうち、横方向端部（図 1 8 において左端部及び右端部）には、1 つのモジュール 1 0 4 A の行選択線 1 1 4 の本数に対応した個数を有するパッド 1 2 0 が形成され、縦方向端部（図 1 8 において上端部及び下端部）には、1 つのモジュール 1 0 4 A の信号線 1 1 6 の本数に対応した個数を有するパッド 1 2 1 が形成されている。

【0088】

次に、第 2 の具体例に係るモジュール 1 0 4 B は、図 1 9 に示すように、上述した第 1 の具体例に係るモジュール 1 0 4 A とほぼ同様の構成を有するが、モジュール基板 1 1 2 上に多数の第 2 の実施の形態に係る電子放出素子 1 0 B が例えばマトリックス状に配列されている点で異なる。 10

【0089】

すなわち、1 つのモジュール基板 1 1 2 の上面にマトリックス状に多数のアノード電極 1 8 が形成され、これらアノード電極 1 8 を覆うように 1 つのエミッタ部 1 2 が形成され、該エミッタ部 1 2 の上面であって、下層に形成されたアノード電極 1 8 と対向する部分にそれぞれカソード電極 1 4 が形成されて構成されている。

【0090】

モジュール基板 1 1 2 の上面（エミッタ部 1 2 の下層）には、上述した多数のアノード電極 1 8 のほかに、横方向（行方向）に延びる多数の行選択線 1 1 4 が形成されている。行選択線 1 1 4 は、図 2 0 に示すように、アノード電極 1 8 から離れた位置に形成し、リード電極 3 2 を介して接続するようにしてもよいし、図 2 1 に示すように、アノード電極 1 8 の例えば中央を通るように形成してもよい。 20

【0091】

エミッタ部 1 2 の上面には、上述した多数のカソード電極 1 4 のほかに、縦方向（列方向）に延びる多数の信号線 1 1 6 が形成されている。信号線 1 1 6 は、図 2 0 に示すように、カソード電極 1 4 から離れた位置に形成し、リード電極 3 0 を介して接続するようにしてもよいし、図 2 1 に示すように、カソード電極 1 4 の例えば中央を通るように形成してもよい。

【0092】

次に、第 3 の具体例に係るモジュール 1 0 4 C は、図 2 2 に示すように、上述した第 1 の具体例に係るモジュール 1 0 4 A とほぼ同様の構成を有するが、エミッタ部 1 2 が電子放出素子 1 0 A の数分に応じて分離されている点と、行選択線 1 1 4 と信号線 1 1 6 が共にモジュール基板 1 1 2 の上面に形成されている点で異なる。つまり、この例では、モジュール基板 1 1 2 上に電子放出素子 1 0 A の数分に応じたブロック 1 2 2 A がマトリックス状に配列され、かつ、各ブロック 1 2 2 A が、1 つのエミッタ部 1 2 と、該エミッタ部 1 2 の上面に形成されたカソード電極 1 4 と、アノード電極 1 8 と、これらカソード電極 1 4 とアノード電極 1 8 によるスリット 1 6 とを有する。 30

【0093】

従って、水平方向に隣接するブロック 1 2 2 A 間には、それぞれ 1 本の信号線 1 1 6 が配線され、垂直方向に隣接するブロック 1 2 2 A 間には、それぞれ 1 本の行選択線 1 1 4 が配線されている。また、アノード電極 1 8 は、リード電極 3 2 を介して行選択線 1 1 4 に接続され、カソード電極 1 4 は、リード電極 3 0 を介して信号線 1 1 6 に接続されている。なお、行選択線 1 1 4 と信号線 1 1 6 とが交差する部分には行選択線 1 1 4 と信号線 1 1 6 間の電氣的絶縁を確保するための絶縁層 1 1 8 が介在されている。 40

【0094】

次に、第 4 の具体例に係るモジュール 1 0 4 D は、図 2 3 に示すように、上述した第 2 の具体例に係るモジュール 1 0 4 B とほぼ同様の構成を有するが、エミッタ部 1 2 が電子放出素子 1 0 B の数分に応じて分離されている点と、行選択線 1 1 4 と信号線 1 1 6 が共にモジュール基板 1 1 2 の上面に形成されている点で異なる。つまり、この例では、モジ 50

ジュール基板 112 上に電子放出素子 10B の数分に応じたブロック 122B がマトリックス状に配列され、かつ、各ブロック 122B が、1つのエミッタ部 12と、該エミッタ部 12の下層に形成されたアノード電極 18と、エミッタ部 12の上面に形成されたカソード電極 14とを有する。なお、アノード電極 18は、リード電極 32を介して行選択線 114に接続され、カソード電極 14は、リード電極 30を介して信号線 116に接続されている。

【0095】

第5の具体例に係るモジュール 104Eは、図24に示すように、上述した第4の具体例に係るモジュール 104Dとほぼ同様の構成を有するが、1つのブロック 122Cに対して2つの電子放出素子 10Bが割り当てられ、かつ、水平方向に配列されている点で異なる。すなわち、1つのブロック 122Cは、1つのエミッタ部 12と、該エミッタ部 12の下層に形成された2つのアノード電極 18と、エミッタ部 12の上面に形成された2つのカソード電極 14とを有する。

10

【0096】

この場合、水平方向に隣接するブロック 122C間には、それぞれ2本の信号線 116が配線され、垂直方向に隣接するブロック 122C間には、それぞれ1本の行選択線 114が配線されている。

【0097】

ここで、 m 行 n 列のブロック 122Cに注目したとき、該ブロック 122Cの左側の電子放出素子 10Bは、 $2n-1$ 列目のドットに対応し、右側の電子放出素子 10Bは、 $2n$ 列目のドットに対応する。そして、 m 行 n 列のブロック 122Cと、該ブロック 122Cに隣接する例えば m 行 $n-1$ 列のブロック 122Cとの間に配線された2本の信号線 116は、左側の信号線 116が m 行 $n-1$ 列のブロック 122Cに対応し、右側の信号線 116が m 行 n 列のブロック 122Cに対応している。

20

【0098】

また、例えば m 行 n 列目のブロック 122Cにおいて、2つのアノード電極 18は、それぞれリード電極 32を介して行選択線 114に接続され、 m 行 $2n-1$ 列目のカソード電極 14は、リード電極 30を介して左側の信号線 116 (m 行 $2n-1$ 列目の信号線)に接続され、 m 行 $2n$ 列目のカソード電極 14は、リード電極 30を介して右側の信号線 116 (m 行 $2n$ 列目の信号線)に接続されている。なお、行選択線 114と信号線 116とが交差する部分には行選択線 114と信号線 116間の電氣的絶縁を確保するための絶縁層 118が介在されている。

30

【0099】

次に、第6の具体例に係るモジュール 104Fは、図25に示すように、上述した第4の具体例に係るモジュール 104Dとほぼ同様の構成を有するが、1つのブロック 122Dに対して、例えば赤色、緑色及び青色に対応させて3つの電子放出素子 10Bが割り当てられ、かつ、水平方向に配列されている点で異なる。

【0100】

この場合、ジュール基板 112の上面には、後述するように、行選択線 114と信号線 116との絶縁を確保するための絶縁層 124 (誘電体層)が形成されている。そして、1つのブロック 122Dは、図26に示すように、絶縁層 124の上面に形成された3つのアノード電極 18と、該3つのアノード電極 18を覆うように形成されたエミッタ部 12と、該エミッタ部 12の上面に形成された3つのカソード電極 14とを有する。

40

【0101】

ジュール基板 112の上面 (絶縁層 124の下層)には、縦方向 (行方向)に延びる多数の信号線 116が形成されている。信号線 116は、図25に示すように、各ブロック 122Dにおける3つのカソード電極 14の中央部分に対応した位置にそれぞれ配線されている。

【0102】

絶縁層 124の上面のうち、垂直方向に隣接するブロック 122D間には、それぞれ1

50

本の行選択線 114 が配線されている。そして、各ブロック 122D において、3つのアノード電極 18 は、例えば共通のリード電極 32 を介して行選択線 114 に接続されている。3つのカソード電極 14 は、それぞれ対応する信号線に個別のリード電極 30 を介して接続されている。

【0103】

そして、図 16 に示すように、上述した第 1～第 6 の具体例に係るモジュール 104A～104F をマザー基板 102 上に多数配列することによって、第 1 の実施の形態に係るディスプレイ 100A が構成される。この場合、マザー基板 102 の上面周囲のうち、例えば横方向端部（図 16 において右端部）には、ディスプレイ 100A 全体の行選択線 114 の本数に対応した個数を有するパッド 126 が形成され、縦方向端部（図 16 において下端部）には、ディスプレイ 100A 全体の信号線 116 の本数に対応した個数を有するパッド 128 が形成されている。 10

【0104】

そして、図 27 に示すように、モジュール 104 間で隣接するパッド 120 同士を例えばボンディングワイヤ 130 で接続し、モジュール 104 間で隣接するパッド 121 同士を例えばボンディングワイヤ 132 で接続する。また、横方向端部に位置するモジュール 104 のパッド 120 とマザー基板 102 のパッド 126 とをボンディングワイヤ 134 で接続し、縦方向端部に位置するモジュール 104 のパッド 121 とマザー基板 102 のパッド 128 とをボンディングワイヤ 136 で接続する。マザー基板 102 の各パッド 126 及び 128 は、例えば ACF（Anisotropic Conductive Film）で構成することができ 20
この場合、パッド 126 を介して直接行選択線用の FPC（Flexible Printed Circuit）や TAB（Tape Automated Bonding）等のケーブル 138 が接続され、パッド 128 を介して直接信号線用の FPC や TAB 等のケーブル 140 が接続される。

【0105】

この第 1 の実施の形態に係るディスプレイ 100A の周辺回路 142 は、図 28 に示すように、行選択線 114 に選択的に選択信号 S_s を供給して、1行単位に電子放出素子 10A（10B）を順次選択する垂直シフト回路 144 と、信号線 116 に平行に画素信号 S_d を出力して、垂直シフト回路 144 にて選択された行（選択行）にそれぞれ画素信号 S_d を供給する水平シフト回路 146 と、入力される映像信号 S_v 及び同期信号 S_c に基づいて垂直シフト回路 144 及び水平シフト回路 146 を制御する信号制御回路 14 30
8 とを有する。

【0106】

ここで、第 1 の実施の形態に係るディスプレイ 100A の動作について説明する。以下の説明では、電子放出素子 10A 及び 10B を一括して電子放出素子 10 と記す。

【0107】

まず、全ての電子放出素子 10 について選択を行っていない場合は、全電子放出素子 10 のアノード電極 18 に行選択線 114 を通じて例えば 0V が印加される。また、図 29 A 及び図 30 A に示すように、非選択期間 T_n にある電子放出素子 10 のアノード電極 18 に対しても行選択線 114 を通じて 0V が印加される。

【0108】

その後、例えば 1 行目に関する複数の電子放出素子 10 が選択される場合は、該 1 行目の選択期間 T_s の直前（リセット期間 T_r ）に、1 行目の行選択線 114 を通じて、前記 1 行目に関する複数の電子放出素子 10 の各アノード電極 18 に $-100V$ が印加される。このとき、1 行目のリセット期間 T_r においては、最終行に関する各電子放出素子 10 のカソード電極 14 に対し、信号線 116 を通じて ON 又は OFF についての電圧（例えば $-50V$ 又は $-15V$ ）が印加されていることから、この 1 行目の各電子放出素子 10 のカソード電極 14 にも信号線 116 を通じて例えば $-50V$ 又は $-15V$ が印加されている。 40

【0109】

従って、1 行目に関する各電子放出素子 10 のカソード電極 14 とアノード電極 18 間 50

には、50 V又は85 Vが印加され、1行目に関する各電子放出素子10のエミッタ部12は、一方向に分極される。

【0110】

その後、1行目に関する複数の電子放出素子10が選択される場合、すなわち、選択期間Tsにおいては、1行目の行選択線114を通じて、前記1行目に関する複数の電子放出素子10の各アノード電極18に50 Vが印加される。そして、これら1行目に関する複数の電子放出素子10のうち、ONとされる電子放出素子10の各カソード電極14に、図29Bに示すように、対応する信号線116を通じて-50 Vが印加され、OFFとされる電子放出素子の各カソード電極に、図30Bに示すように、対応する信号線116を通じて-15 Vが印加される。

10

【0111】

その結果、1行目に関する複数の電子放出素子10のうち、ONとされる電子放出素子10については、図29Cに示すように、1行目の選択期間Tsにわたってカソード電極14とアノード電極18間に、電子放出される程度の電圧（例えば-100 V）が印加される。これによって、ONとされる電子放出素子10から電子の放出が行われ、蛍光体発光が行われる。

【0112】

1行目に関する複数の電子放出素子10のうち、OFFとされる電子放出素子10については、図30Cに示すように、1行目の選択期間Tsにわたってカソード電極14とアノード電極18間に、電子放出されない程度の電圧（例えば-65 V）が印加される。これによって、OFFとされる電子放出素子10からは電子の放出は行われず、消光状態となる。

20

【0113】

非選択行の各電子放出素子10のカソード電極14には、信号線116を通じて-15 Vあるいは-50 Vが印加されるが、図29A及び図30Aに示すように、非選択行の各電子放出素子10のアノード電極18には、行選択線114を通じて0 Vが印加されている。つまり、これら非選択行に関する電子放出素子10には、それぞれ電子放出されない程度の電圧（-50 V以上）が印加されることから、これら非選択行に関する電子放出素子10からは、電子の放出は行われない。

【0114】

そして、水平同期信号に同期させて順次に1行、2行、3行、・・・、n行というように選択していき、垂直同期信号に同期させて帰線させていくことで、ディスプレイ100Aの画面（透明板20の表面）から静止画像あるいは動画像が表示されることになる。

30

【0115】

このように、第1の実施の形態に係るディスプレイ100Aにおいては、マザー基板102上に複数のモジュール104（多数の電子放出素子10が配列されたモジュール）を配列し、モジュール104同士を電氣的に接続し、さらに全体を真空封止するようにしたので、容易にディスプレイ100Aの大画面化を実現させることができる。

【0116】

また、上述の例では、隣接するモジュール104間の電氣的接続、最端部のモジュール104とマザー基板102のパッドとの電氣的接続をボンディングワイヤで行った場合を示したが、その他、図31に示すように、スクリーン印刷、インクジェット法、薄膜形成プロセス等を用いて導電体や配線パターン150を形成することでこれらの電氣的接続を行うようにしてもよい。この場合、大量の電氣的接続部分を一括で形成することができ、ディスプレイ100Aの製造に当たってのスループットの向上、低コスト化に寄与することができる。

40

【0117】

また、図32に示すように、各モジュール104において、パッド120及び121が形成される部分にスルーホール152を形成し、マザー基板102の上面のうち、モジュール104のスルーホール152と対応する部分にスクリーン印刷、インクジェット法、

50

薄膜形成プロセス等を用いて導電体や配線パターン154を形成することで、隣接するモジュール104間の電氣的接続、最端部のモジュール104とマザー基板102のパッドとの電氣的接続を行うことができる。この場合においても、大量の電氣的接続部分を一括で形成することができ、ディスプレイ100Aの製造に当たってのスループットの向上、低コスト化に寄与することができる。

【0118】

次に、第2の実施の形態に係るディスプレイ100Bについて図33及び図34を参照しながら説明する。

【0119】

この第2の実施の形態に係るディスプレイ100Bは、図33に示すように、マザー基板102と、該マザー基板102上に多数配列されたチップ160とを有する。各チップ160は例えば接着剤を介してマザー基板102に固着される。 10

【0120】

そして、各チップ160は、例えば図22に示す第3の具体例に係るモジュール104Cにて形成されたブロック122Aをチップ化したものを使用することができる。もちろん、図示しないが、図23～図25に示す第4～第6の具体例に係るモジュール104D～104Fにて形成されたブロック122B～Dをチップ化したものを使用するようにしてもよい。

【0121】

また、このディスプレイ100Bは、図34に示すように、マザー基板102に対向して透明板20が配置され、マザー基板102と透明板20の周囲には外枠106が介在され、かつ、シールされている。マザー基板102と透明板20との間に形成される空間108内は真空とされている。もちろん、マザー基板102と透明板20の間には任意の位置に1以上のスペーサ110を介在させて、少なくともマザー基板102と透明板20との間のギャップを所定距離に保持するようにしてもよい。 20

【0122】

このように、第2の実施の形態に係るディスプレイ100Bにおいては、マザー基板102上に複数のチップ160（1つの電子放出素子10が形成されたチップ）を配列し、チップ160同士を電氣的に接続し、さらに全体を真空封止するようにしたので、容易にディスプレイ100Bの大画面化を実現させることができる。 30

【0123】

次に、第3の実施の形態に係るディスプレイ100Cについて図35～図42を参照しながら説明する。

【0124】

この第3の実施の形態に係るディスプレイ100Cは、図35に示すように、マザー基板102の上面のほぼ全面に1つのエミッタ部12が形成され、このエミッタ部12の上面に、多数の第1の実施の形態に係る電子放出素子10Aがマトリックス状に配列されて構成されている。つまり、1つのエミッタ部12の上面にカソード電極14、アノード電極18及びスリット16を有する電子放出素子10Aが多数マトリックス状に配列されている。ほかの構成は、図18に示す第1の具体例に係るモジュール104Aを大型化させた構成と同じであるため、その詳細説明を省略する。 40

【0125】

そして、このディスプレイ100Cは、図36に示すように、マザー基板102に対向して透明板20が配置され、マザー基板102と透明板20の周囲には外枠106が介在され、かつ、シールされている。マザー基板102と透明板20との間に形成される空間108内は真空とされている。もちろん、マザー基板102と透明板20の間には任意の位置に1以上のスペーサ110を介在させてもよい。

【0126】

このように、第3の実施の形態に係るディスプレイ100Cにおいては、マザー基板102上に直接膜形成して多数の電子放出素子10Aと配線パターン（行選択線114及び 50

信号線 116 等) を形成したので、多数の電子放出素子 10A 並びに大量の電氣的接続部分を一括で形成することができ、ディスプレイ 100C の製造に当たってのスループットの向上、低コスト化に寄与することができる。

【0127】

エミッタ部 12 等の膜形成においてペーストを使用する場合は、ペースト形成後に焼成する必要があるため、マザー基板 102 がガラス基板のときは融点が低いことから、ペーストとして低温焼成タイプのものを使用することが好ましい。

【0128】

次に、上述した第 3 の実施の形態に係るディスプレイ 100C のいくつかの変形例について図 37 及び図 38 を参照しながら説明する。

10

【0129】

第 1 の変形例に係るディスプレイ 100Ca は、図 37 及び図 38 に示すように、マザー基板 102 上に、ディスプレイ 100Ca の各行に対応して横方向に延びる行選択線 114 が形成され、ディスプレイ 100C の各列に対応して縦方向に延びる信号線 116 が形成される。行選択線 114 と信号線 116 とが交差する部分には行選択線 114 と信号線 116 間の電氣的絶縁を確保するための絶縁層 118 が介在されている。

【0130】

行選択線 114 は、それぞれ所要位置において縦方向に張り出すカソード電極 14 が一体に形成されている。従って、信号線 116 は、各カソード電極 14 と横方向において対向する部分が存在することになる。そこで、以下の説明では、信号線 116 のうち、各カ

20

【0131】

そして、各電子放出素子 10A は、カソード電極 14 とアノード電極 18 とこれらカソード電極 14 とアノード電極 18 の下部に形成されたエミッタ部 12 とを有して構成される。

【0132】

各電子放出素子 10A において、カソード電極 14 とアノード電極 18 との間は、スリット 16 が形成され、下部のエミッタ部 12 が該スリット 16 を通して露出するようになっている。

【0133】

次に、第 2 の変形例に係るディスプレイ 100Cb は、図 39 に示すように、上述した第 3 の実施の形態に係るディスプレイ 100C とほぼ同様の構成を有するが、マザー基板 102 上に多数の第 2 の実施の形態に係る電子放出素子 10B が例えばマトリックス状に配列されている点で異なる。

30

【0134】

すなわち、マザー基板 102 の上面にマトリックス状に多数のアノード電極 18 が形成され、これらアノード電極 18 を覆うように 1 つのエミッタ部 12 が形成され、該エミッタ部 12 の上面であって、下層に形成されたアノード電極 18 と対向する部分にそれぞれカソード電極 14 が形成されて構成されている。

【0135】

マザー基板 102 の上面 (エミッタ部 12 の下層) には、上述した多数のアノード電極 18 のほかに、横方向 (行方向) に延びる多数の行選択線 114 が形成されている。エミッタ部 12 の上面には、上述した多数のカソード電極 14 のほかに、縦方向 (列方向) に延びる多数の信号線 116 が形成されている。もちろん、行選択線 114 及び信号線 116 は、上述したように、図 20 又は図 21 に示す配線形態を採用することができる。

40

【0136】

次に、第 3 の変形例に係るディスプレイ 100Cc は、図 40 に示すように、上述した第 2 の変形例に係るディスプレイ 100Cb とほぼ同様の構成を有するが、第 2 の実施の形態に係る電子放出素子 10B がマトリックス状に配列された構成を有する点と、エミッタ部 12 が電子放出素子 10B の数分に応じて分離されている点と、行選択線 114 と信

50

号線 1 1 6 が共にマザー基板 1 0 2 の上面に形成されている点で異なる。

【0 1 3 7】

つまり、この例では、マザー基板 1 0 2 上に、例えば図 2 3 に示す第 4 の具体例に係るモジュール 1 0 4 D にて形成されたブロック 1 2 2 B が電子放出素子 1 0 B の数分だけマトリックス状に配列された構成を有する。なお、アノード電極 1 8 は、リード電極 3 2 を介して行選択線 1 1 4 に接続され、カソード電極 1 4 は、リード電極 3 0 を介して信号線 1 1 6 に接続されている。

【0 1 3 8】

次に、第 4 の変形例に係るディスプレイ 1 0 0 C d は、図 4 1 に示すように、マザー基板 1 0 2 上に、例えば図 2 4 に示す第 5 の具体例に係るモジュール 1 0 4 E にて形成されたブロック 1 2 2 C がマトリックス状に配列された構成を有する。 10

【0 1 3 9】

この場合、水平方向に隣接するブロック 1 2 2 C 間には、それぞれ 2 本の信号線 1 1 6 が配線され、垂直方向に隣接するブロック 1 2 2 C 間には、それぞれ 1 本の行選択線 1 1 4 が配線されている。

【0 1 4 0】

次に、第 5 の変形例に係るディスプレイ 1 0 0 C e は、図 4 2 に示すように、マザー基板 1 0 2 上に、例えば図 2 5 に示す第 6 の具体例に係るモジュール 1 0 4 F にて形成されたブロック 1 2 2 D がマトリックス状に配列された構成を有する。

【0 1 4 1】

マザー基板 1 0 2 の上面（絶縁層 1 2 4 の下層）には、縦方向（行方向）に延びる多数の信号線 1 1 6 が形成されている。信号線 1 1 6 は、各ブロック 1 2 2 D における 3 つのカソード電極 1 4 の中央部分に対応した位置にそれぞれ配線されている。 20

【0 1 4 2】

絶縁層 1 2 4 の上面のうち、垂直方向に隣接するブロック 1 2 2 D 間には、それぞれ 1 本の行選択線 1 1 4 が配線されている。そして、各ブロック 1 2 2 D において、3 つのアノード電極 1 8 は、例えば共通のリード電極 3 2 を介して行選択線 1 1 4 に接続されている。3 つのカソード電極 1 4 は、それぞれ対応する信号線 1 1 6 に個別のリード電極 3 0 を介して接続されている。

【0 1 4 3】

次に、第 4 の実施の形態に係るディスプレイ 1 0 0 D について図 4 3 を参照しながら説明する。 30

【0 1 4 4】

この第 4 の実施の形態に係るディスプレイ 1 0 0 D は、図 4 3 に示すように、画像表示しようとする大きさのマザー基板 1 0 2 と、該マザー基板 1 0 2 上に多数配列された真空封止モジュール 1 7 0 とを有する。各真空封止モジュール 1 7 0 は、図 1 8 ～図 2 6 で示す第 1 ～第 6 の具体例に係るモジュール 1 0 4 A ～1 0 4 F を用いることができる。つまり、図 4 3 に示すように、第 1 ～第 6 の具体例に係るモジュール 1 0 4 A ～1 0 4 F において、モジュール基板 1 1 2 に対向して透明板 2 0 を配置し、モジュール基板 1 1 2 と透明板 2 0 の周囲には外枠 1 7 2 を介在させ、かつ、シールを行い、さらに、モジュール基板 1 1 2 と透明板 2 0 との間に形成される空間 1 0 8 内を真空とすることで真空封止モジュール 1 7 0 を構成することができる。 40

【0 1 4 5】

そして、各真空封止モジュール 1 7 0 において、パッド 1 2 0 及び 1 2 1 が形成される部分にスルーホール 1 5 2 を形成し、マザー基板 1 0 2 の上面のうち、真空封止モジュール 1 7 0 の前記スルーホール 1 5 2 と対応する部分にスクリーン印刷、インクジェット法、薄膜形成プロセス等を用いて導電体や配線パターン 1 5 4 を形成することで、隣接する真空封止モジュール 1 7 0 間の電氣的接続、最端部の真空封止モジュール 1 7 0 とマザー基板 1 0 2 のパッド 1 2 6 及び 1 2 8 との電氣的接続を行うことができる。

【0 1 4 6】

あるいは、図44に示すように、真空封止モジュール170のパッド120及び121から端面に延びる端面電極174を予め形成しておき、各真空封止モジュール170の端面電極174同士を直接または導電体や配線パターン150を介して接続することで隣接する真空封止モジュール170間の電氣的接続を実現することができる。もちろん、最端部の真空封止モジュール170の端面電極174とマザー基板102のパッド126及び128とを導電体や配線パターン150を介して電氣的に接続することもできる。

【0147】

また、真空封止モジュール170内の真空度を数百Paという低真空とすれば、シール構造を簡単にでき、封止スペースを省スペース化することができるため、図45に示すように、真空封止モジュール170を並べる場合に、画素ピッチPを真空封止モジュール170内と真空封止モジュール170間でほぼ等しいピッチにすることができ、その結果、真空封止モジュール170間の継ぎ目が目立ちにくくなる。

【0148】

次に、第1～第4の実施の形態に係るディスプレイ100A～100Dの構成要素の好ましい材質等について説明する。

【0149】

まず、エミッタ部12は誘電体にて構成される。誘電体は、好適には、比誘電率が比較的高い、例えば1000以上の誘電体を採用することができる。このような誘電体としては、チタン酸バリウム他に、ジルコン酸鉛、マグネシウムニオブ酸鉛、ニッケルニオブ酸鉛、亜鉛ニオブ酸鉛、マンガンニオブ酸鉛、マグネシウムタンタル酸鉛、ニッケルタンタル酸鉛、アンチモンスズ酸鉛、チタン酸鉛、マグネシウムタングステン酸鉛、コバルトニオブ酸鉛等、又はこれらの任意の組み合わせを含有するセラミックスや、主成分がこれらの化合物を50重量%以上含有するものや、前記セラミックスに対してさらにランタン、カルシウム、ストロンチウム、モリブデン、タングステン、バリウム、ニオブ、亜鉛、ニッケル、マンガン等の酸化物、もしくはこれらのいずれかの組み合わせ、又は他の化合物を適切に添加したもの等を挙げることができる。

【0150】

例えば、マグネシウムニオブ酸鉛(PMN)とチタン酸鉛(PT)の2成分系 $n\text{PMN}-m\text{PT}$ (n, m をモル数比とする)においては、PMNのモル数比を大きくすると、キュリー点が下げられて、室温での比誘電率を大きくすることができる。

【0151】

特に、 $n=0.85\sim 1.0$ 、 $m=1.0-n$ では比誘電率3000以上となり好ましい。例えば、 $n=0.91$ 、 $m=0.09$ では室温の比誘電率15000が得られ、 $n=0.95$ 、 $m=0.05$ では室温の比誘電率20000が得られる。

【0152】

次に、マグネシウムニオブ酸鉛(PMN)、チタン酸鉛(PT)、ジルコン酸鉛(PZ)の3成分系では、PMNのモル数比を大きくする他に、正方晶と擬立方晶又は正方晶と菱面体晶のモルフォトロピック相境界(MPB: Morphotropic Phase Boundary)付近の組成とすることが比誘電率を大きくするのに好ましい。例えば、 $\text{PMN}:\text{PT}:\text{PZ}=0.375:0.375:0.25$ にて比誘電率5500、 $\text{PMN}:\text{PT}:\text{PZ}=0.5:0.375:0.125$ にて比誘電率4500となり、特に好ましい。さらに、絶縁性が確保できる範囲内でこれらの誘電体に白金のような金属を混入して、誘電率を向上させるのが好ましい。この場合、例えば、誘電体に白金を重量比で20%混入させるとよい。

【0153】

また、エミッタ部12は、上述したように、圧電/電歪層や反強誘電体層等を用いることができるが、エミッタ部12として圧電/電歪層を用いる場合、該圧電/電歪層としては、例えば、ジルコン酸鉛、マグネシウムニオブ酸鉛、ニッケルニオブ酸鉛、亜鉛ニオブ酸鉛、マンガンニオブ酸鉛、マグネシウムタンタル酸鉛、ニッケルタンタル酸鉛、アンチモンスズ酸鉛、チタン酸鉛、チタン酸バリウム、マグネシウムタングステン酸鉛、コバルトニオブ酸鉛等、又はこれらのいずれかの組み合わせを含有するセラミックスが挙げられ

る。

【0154】

主成分がこれらの化合物を50重量%以上含有するものであってもよいことはいうまでもない。また、前記セラミックスのうち、ジルコン酸鉛を含有するセラミックスは、エミッタ部12を構成する圧電／電歪層の構成材料として最も使用頻度が高い。

【0155】

また、圧電／電歪層をセラミックスにて構成する場合、前記セラミックスに、さらに、ランタン、カルシウム、ストロンチウム、モリブデン、タングステン、バリウム、ニオブ、亜鉛、ニッケル、マンガン等の酸化物、もしくはこれらのいずれかの組み合わせ、又は他の化合物を、適宜、添加したセラミックスを用いてもよい。

10

【0156】

例えば、マグネシウムニオブ酸鉛とジルコン酸鉛及びチタン酸鉛とからなる成分を主成分とし、さらにランタンやストロンチウムを含有するセラミックスを用いることが好ましい。

【0157】

圧電／電歪層は、緻密であっても、多孔質であってもよく、多孔質の場合、その気孔率は40%以下であることが好ましい。

【0158】

エミッタ部12として反強誘電体層を用いる場合、該反強誘電体層としては、ジルコン酸鉛を主成分とするもの、ジルコン酸鉛とスズ酸鉛とからなる成分を主成分とするもの、さらにはジルコン酸鉛に酸化ランタンを添加したもの、ジルコン酸鉛とスズ酸鉛とからなる成分に対してジルコン酸鉛やニオブ酸鉛を添加したものが望ましい。

20

【0159】

また、この反強誘電体層は、多孔質であってもよく、多孔質の場合、その気孔率は30%以下であることが望ましい。

【0160】

さらに、エミッタ部12にタンタル酸ビスマス酸ストロンチウムを用いた場合、分極反転疲労が小さく好ましい。このような分極反転疲労が小さい材料は、層状強誘電体化合物で、 $(\text{BiO}_2)^{2+}(\text{A}_{m-1}\text{B}_m\text{O}_{3m+1})^{2-}$ という一般式で表される。ここで、金属Aのイオンは、 Ca^{2+} 、 Sr^{2+} 、 Ba^{2+} 、 Pb^{2+} 、 Bi^{3+} 、 La^{3+} 等であり、金属Bのイオンは、 Ti^{4+} 、 Ta^{5+} 、 Nb^{5+} 等である。

30

【0161】

また、圧電／電歪／反強誘電体セラミックスに、例えば鉛ホウケイ酸ガラス等のガラス成分や、他の低融点化合物（例えば酸化ビスマス等）を混ぜることによって、焼成温度を下げるができる。これにより、エミッタ部12をマザー基板102上に形成する際に有利となる。

【0162】

また、エミッタ部12に非鉛系の材料を使用する等により、エミッタ部12を融点もしくは蒸散温度の高い材料とすることで、電子もしくはイオンの衝突に対し損傷しにくくなる。

40

【0163】

そして、マザー基板102やモジュール基板112の上にエミッタ部12を形成する方法としては、スクリーン印刷法、ディッピング法、塗布法、電気泳動法等の各種厚膜形成法や、イオンビーム法、スパッタリング法、真空蒸着法、イオンプレーティング法、化学気相成長法（CVD）、めっき等の各種薄膜形成法を用いることができる。

【0164】

この実施の形態においては、マザー基板102上やモジュール基板112上にエミッタ部12を形成するにあたっては、スクリーン印刷法やディッピング法、塗布法、電気泳動法等による厚膜形成法が好適に採用される。

【0165】

50

これらの方法は、平均粒径 $0.01 \sim 5 \mu\text{m}$ 、好ましくは $0.05 \sim 3 \mu\text{m}$ の圧電セラミックスの粒子を主成分とするペーストやスラリー、又はサスペンション、エマルジョン、ゾル等を用いて形成することができ、良好な圧電作動特性が得られるからである。

【0166】

特に、電気泳動法は、膜を高い密度で、かつ、高い形状精度で形成することができることをはじめ、「電気化学および工業物理化学 Vol. 53, No. 1 (1985), p. 63~68 安斎和夫著」あるいは「第1回電気泳動法によるセラミックスの高次成形法 研究討論会 予稿集 (1998), p. 5~6, p. 23~24」等の技術文献に記載されるような特徴を有する。また、圧電／電歪／反強誘電体をシート状に成形したもの、もしくはその積層体、もしくはこれらを他の支持基板に積層又は接着したものをを用いてもよい。このように、要求精度や信頼性等を考慮して、適宜、方法を選択して用いるとよい。

【0167】

カソード電極14は、以下に示す材料にて構成される。すなわち、スパッタ率が小さく、真空中での蒸発温度が大きい導体が好ましい。例えば、 Ar^+ で600Vにおけるスパッタ率が2.0以下で、蒸気圧 $1.3 \times 10^{-3} \text{Pa}$ となる温度が1800K以上のものが好ましく、白金、モリブデン、タングステン等がこれに当たる。また、高温酸化雰囲気に対して耐性を有する導体、例えば金属単体、合金、絶縁性セラミックスと金属単体との混合物、絶縁性セラミックスと合金との混合物等によって構成され、好適には、白金、イリジウム、パラジウム、ロジウム、モリブデン等の高融点貴金属や、銀-パラジウム、銀-白金、白金-パラジウム等の合金を主成分とするものや、白金とセラミック材料とのサーメット材料によって構成される。さらに好適には、白金のみ又は白金系の合金を主成分とする材料によって構成される。また、電極として、カーボン、グラファイト系の材料、例えば、ダイヤモンド薄膜、ダイヤモンドライクカーボン、カーボンナノチューブも好適に使用される。なお、電極材料中に添加されるセラミック材料の割合は、5~30体積%程度が好適である。

【0168】

さらに、焼成後に薄い膜が得られる有機金属ペースト、例えば白金レジネートペースト等の材料を用いることが好ましい。また、分極反転疲労を抑制する酸化物電極、例えば酸化ルテニウム、酸化イリジウム、ルテニウム酸ストロンチウム、 $\text{La}_{1-x}\text{Sr}_x\text{CoO}_3$ (例えば $x=0.3$ や 0.5)、 $\text{La}_{1-x}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{1-x}\text{Ca}_x\text{Mn}_{1-y}\text{Co}_y\text{O}_3$ (例えば $x=0.2$ 、 $y=0.05$)、もしくはこれらを例えば白金レジネートペーストに混ぜたものが好ましい。

【0169】

カソード電極14は、上記材料を用いて、スクリーン印刷、スプレー、コーティング、ディッピング、塗布、電気泳動法等の各種の厚膜形成法や、スパッタリング法、イオンビーム法、真空蒸着法、イオンプレーティング法、化学気相成長法(CVD)、めっき等の各種の薄膜形成法による通常の膜形成法に従って形成することができ、好適には、前者の厚膜形成法によって形成するとよい。

【0170】

アノード電極18は、カソード電極14と同様の材料及び方法によって形成されるが、好適には上記厚膜形成法によって形成する。

【0171】

一方、マザー基板102及びモジュール基板112は、カソード電極14に電氣的に接続した配線と、アノード電極18に電氣的に接続した配線とを電氣的に分離するため、電氣的な絶縁材料で構成するのが好ましい。

【0172】

従って、マザー基板102及びモジュール基板112を、ガラス、又は高耐熱性の金属、あるいはその金属表面をガラス等のセラミック材料によって被覆したホーローのような材料により構成することができるが、セラミックスで構成するのが最適である。

【0173】

マザー基板102及びモジュール基板112を構成するセラミックスとしては、例えば、安定化された酸化ジルコニウム、酸化アルミニウム、酸化マグネシウム、酸化チタン、スピネル、ムライト、窒化アルミニウム、窒化珪素、ガラス、これらの混合物等を使用することができる。その中でも、酸化アルミニウム及び安定化された酸化ジルコニウムが、強度及び剛性の観点から好ましい。安定化された酸化ジルコニウムは、機械的強度が比較的高いこと、靱性が比較的高いこと、カソード電極14及びアノード電極18との化学反応が比較的小さいこと等の観点から特に好適である。なお、安定化された酸化ジルコニウムとは、安定化酸化ジルコニウム及び部分安定化酸化ジルコニウムを包含する。安定化された酸化ジルコニウムでは、立方晶等の結晶構造をとるため、相転移が生じない。

10

【0174】

一方、酸化ジルコニウムは、1000℃前後で単斜晶と正方晶との間を相転移し、このような相転移の際にクラックが発生するおそれがある。安定化された酸化ジルコニウムは、酸化カルシウム、酸化マグネシウム、酸化イットリウム、酸化スカンジウム、酸化イッテルビウム、酸化セリウム、希土類金属の酸化物等の安定剤を、1～30モル%含有する。なお、マザー基板102の機械的強度を向上させるために、安定化剤が酸化イットリウムを含有すると好適である。この場合、酸化イットリウムを、好適には1.5～6モル%、さらに好適には2～4モル%含有し、さらに0.1～5モル%の酸化アルミニウムを含有することが好ましい。

【0175】

20

また、結晶相を、立方晶＋単斜晶の混合相、正方晶＋単斜晶の混合相、立方晶＋正方晶＋単斜晶の混合相等とすることができるが、その中でも、主たる結晶相を、正方晶又は正方晶＋立方晶の混合相としたものが、強度、靱性及び耐久性の観点から最適である。

【0176】

マザー基板102及びモジュール基板112をセラミックスから構成した場合、比較的多数の結晶粒がマザー基板102及びモジュール基板112を構成するが、マザー基板102及びモジュール基板112の機械的強度を向上させるためには、結晶粒の平均粒径を、好適には0.05～2μmとし、さらに好適には0.1～1μmとするとよい。

【0177】

エミッタ部12、カソード電極14及びアノード電極18をそれぞれ形成するたびに熱処理（焼成処理）してマザー基板102やモジュール基板112と一体構造にすることができ、また、これらエミッタ部12、カソード電極14及びアノード電極18を形成した後、同時に焼成処理して、これらを同時にマザー基板102やモジュール基板112に一体に結合することもできる。なお、カソード電極14及びアノード電極18の形成方法によっては、一体化のための熱処理（焼成処理）を必要としない場合もある。

30

【0178】

マザー基板102やモジュール基板112と、エミッタ部12、カソード電極14及びアノード電極18とを一体化させるための焼成処理に係る温度としては、500～1400℃の範囲、好適には、1000～1400℃の範囲とするとよい。さらに、膜状のエミッタ部12を熱処理する場合、高温時にエミッタ部12の組成が不安定にならないように、エミッタ部12の蒸発源と共に雰囲気制御を行いながら焼成処理を行うことが好ましい。

40

【0179】

また、エミッタ部12を適切な部材によって被覆し、エミッタ部12の表面が焼成雰囲気に直接露出しないようにして焼成する方法を採用してもよい。この場合、被覆部材としては、マザー基板102やモジュール基板112と同様の材料を用いることが好ましい。

【0180】

なお、電子放出素子10Aの他の例としては、例えば図46及び図47に示す第1の変形例に係る電子放出素子10Aaのように、カソード電極14のうち、アノード電極18と対向する部分が鋭角状の角部180を有し、アノード電極18で該角部180を取り囲

50

むようにしてもよい。この場合、電子の放出を良好に行うために、カソード電極 14 とアノード電極 18 との間のスリット 16 の幅 d を $500\text{ }\mu\text{m}$ 以下にするとよい。

【0181】

次に、第 2 の変形例に係る電子放出素子 10Ab は、図 48 及び図 49 に示すように、反強誘電材料によって構成されたエミッタ部 12 と、その一方の面にそれぞれ形成された櫛歯形状のカソード電極 14 及びアノード電極 18 とを有する。

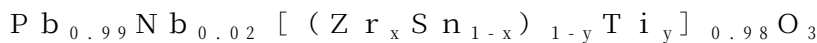
【0182】

この第 2 の変形例に係る電子放出素子 10Ab は、図 49 に示すように、マザー基板 102 やモジュール基板 112 上にスペーサ層 182 を介して形成されたシート層 184 上に配置される。これによって、エミッタ部 12、カソード電極 14、アノード電極 18、シート層 184 及びスペーサ層 182 は、それぞれアクチュエータ 186 を構成することになる。

10

【0183】

エミッタ部 12 を構成する反強誘電材料としては、ジルコン酸鉛を主成分とするもの、ジルコン酸鉛とスズ酸鉛とからなる成分を主成分とするもの、ジルコン酸鉛に酸化ランタンを添加したもの、ジルコン酸鉛とスズ酸鉛とからなる成分に対してジルコン酸鉛やニオブ酸鉛を添加したものをを用いるのが好適である。特に、低電圧で駆動させる場合には、ジルコン酸鉛とスズ酸鉛とからなる成分を含む反強誘電材料を用いるのが好適である。この組成は、以下のようになる。



20

但し、 $0.5 < x < 0.6$, $0.05 < y < 0.063$, $0.01 < \text{Nb} < 0.03$

【0184】

また、反強誘電材料を多孔質にすることもでき、この場合、気孔率を 30% 以下にするのが好適である。

【0185】

エミッタ部 12 を形成するに当たり、上記厚膜形成法を用いて形成するのが好適であり、微細な印刷を廉価に行うことができるという理由から、スクリーン印刷法が特に好適に用いられる。なお、エミッタ部 12 の厚さとしては、低い駆動電圧で大きな変位を得る等の理由から、好適には $50\text{ }\mu\text{m}$ 以下であり、さらに好適には、 $3\sim 40\text{ }\mu\text{m}$ である。

【0186】

30

このような厚膜形成法によって、平均粒子径が $0.01\sim 7\text{ }\mu\text{m}$ 程度、好適には $0.05\sim 5\text{ }\mu\text{m}$ 程度の反強誘電材料のセラミック粒子を主成分とするペーストやスラリーを用いて、シート層 156 の表面上に膜形成することができ、良好な素子特性が得られる。

【0187】

シート層 184 は、薄肉に形成され、外部応力に対して振動を受け易い構造となっている。シート層 184 を、好適には高耐熱性材料で構成する。その理由は、端子をシート層 184 に直接接合するに当たり、有機接着剤等の耐熱性の低い材料を使用することなく、シート層 184 を直接支持する構造をとる場合、少なくともエミッタ部 12 の形成時にシート層 184 が変質するのを防止するためである。なお、シート層 184 をセラミックスで構成する場合、マザー基板 102 やモジュール基板 112 と同様の材料で構成することが好ましい。

40

【0188】

スペーサ層 182 は、好適にはセラミックスにて構成される。この場合、シート層 184 を構成するセラミック材料と同一としてもよいし、異なるセラミック材料としてもよい。このようなセラミックスとしては、シート層 184 を構成するセラミック材料と同様に、例えば安定化された酸化ジルコニウム、酸化アルミニウム、酸化マグネシウム、酸化チタン、スピネル、ムライト、窒化アルミニウム、窒化珪素、ガラス、これらの混合物等を使用することができる。

【0189】

マザー基板 102 やモジュール基板 112、並びにスペーサ層 182 及びシート層 18

50

4を構成するセラミック材料と異なるセラミック材料としては、酸化ジルコニウムを主成分とする材料、酸化アルミニウムを主成分とする材料、これらの混合物を主成分とする材料等が好適に採用される。その中でも、酸化ジルコニウムを主成分としたものが特に好ましい。

【0190】

なお、焼結助剤として粘土等を添加することもあるが、酸化珪素、酸化ホウ素等のガラス化し易いものが過剰に含まれないように、助剤成分を調整する必要がある。その理由は、これらガラス化し易い材料は、エミッタ部12との接合の観点からは有利であるが、エミッタ部12との反応を促進し、エミッタ部12が所定の組成を維持するのが困難となり、その結果、素子特性を低下させる原因となるからである。

10

【0191】

すなわち、マザー基板102やモジュール基板112、スペーサ層182及びシート層184に含まれる酸化珪素等を、重量比で3%以下、好適には1%以下となるように制限するのが好ましい。ここで、主成分とは、重量比で50%以上の割合で存在する成分をいう。

【0192】

マザー基板102やモジュール基板112、スペーサ層182及びシート層184を3層の積層体として構成するのが好適であり、この場合、例えば、一体同時焼成、ガラスや樹脂によって各層を接合一体化又は後付けを行う。なお、4層以上の積層体とすることもできる。

20

【0193】

エミッタ部12を反強誘電材料によって構成した場合、電界が加えられない状態では、図49において右側のエミッタ部12のように平坦形状となる。それに対して、電界が加えられると、図49において左側のエミッタ部12のように凸状に屈曲変位する。このように凸状に屈曲変位することによって、電子放出素子10Abとそれに対向するコレクタ電極22との間の間隔が狭くなるため、矢印で示したように発生する電子の直進性がさらに良好になる。したがって、この屈曲変位量によってコレクタ電極22に到達する放出電子量を制御することが可能である。

【0194】

そして、上述した第1～第4の実施の形態に係るディスプレイ100A～100Dは、30
以下のような効果を奏することができる。

【0195】

(1) CRTと比して超薄型（パネルの厚み＝数mm）にすることができる。

【0196】

(2) 蛍光体24による自然発光のため、LCD（液晶表示装置）やLED（発光ダイオード）と比してほぼ180°の広視野角を得ることができる。

【0197】

(3) 面電子源を利用しているため、CRTと比して画像歪みがない。

【0198】

(4) LCDと比して高速応答が可能であり、μsecオーダーの高速応答で残像のない40
動画表示が可能となる。

【0199】

(5) 40インチ換算で100W程度であり、CRT、PDP（プラズマディスプレイ）、LCD及びLEDと比して低消費電力である。

【0200】

(6) PDPやLCDと比して動作温度範囲が広い（-40～+85℃）。ちなみに、LCDは低温で応答速度が低下する。

【0201】

(7) 大電流出力による蛍光体の励起が可能であるため、従来のFED方式のディスプレイと比して高輝度化が可能である。

50

【0202】

(8) 圧電体材料の分極反転特性及び膜厚により駆動電圧を制御可能であるため、従来のFED方式のディスプレイと比して低電圧駆動が可能である。

【0203】

このような種々の効果から、以下に示すように、様々なディスプレイ用途を実現させることができる。

【0204】

(1) 高輝度化と低消費電力化が実現できるという面から、30～60インチディスプレイのホームユース（テレビジョン、ホームシアター）やパブリックユース（待合室、カラオケ等）に最適である。

【0205】

(2) 高輝度化、大画面、フルカラー、高精細度が実現できるという面から、顧客吸引力（この場合、視覚的な注目）に効果が大であり、横長、縦長等の異形状ディスプレイや、展示会での使用、情報案内板用のメッセージボードに最適である。

【0206】

(3) 高輝度化、蛍光体励起に伴う広視野角化、真空モジュール化に伴う広い動作温度範囲が実現できるという面から、車載用ディスプレイに最適である。車載用ディスプレイとしての仕様は、15：9等の横長8インチ（画素ピッチ0.14mm）、動作温度が-30～+85℃、斜視方向で500～600cd/m²が必要である。

【0207】

また、上述の種々の効果から、以下に示すように、様々な光源用途を実現させることができる。

【0208】

(1) 高輝度化、低消費電力化が実現できるという面から、輝度仕様として2000ルーメンが必要なプロジェクタ用の光源に最適である。

【0209】

(2) 高輝度二次元アレー光源を容易に実現できることと、動作温度範囲が広く、屋外環境でも発光効率に変化がないことから、LEDの代替用途として有望である。例えば信号機等の二次元アレーLEDモジュールの代替として最適である。なお、LEDは、25℃以上で許容電流が低下し、低輝度となる。

【0210】

なお、本発明に係るディスプレイは、上述の実施の形態に限らず、本発明の要旨を逸脱することなく、種々の構成を採り得ることはもちろんである。

【図面の簡単な説明】

【0211】

【図1】第1の実施の形態に係る電子放出素子を示す構成図である。

【図2】第1の実施の形態に係る電子放出素子の電極部分を示す平面図である。

【図3】カソード電極とアノード電極間に印加される駆動電圧を示す波形図である。

【図4】カソード電極とアノード電極間に第1の電圧を印加した際の作用を示す説明図である。

【図5】図5Aは、カソード電極とアノード電極間に第2の電圧を印加した際の作用（1次電子の放出）を示す説明図であり、図5Bは、放出された1次電子に基づいて2次電子が放出される原理を示す説明図である。

【図6】放出された2次電子のエネルギーと2次電子の放出量の関係を示す特性図である。

【図7】第1の実施の形態に係る電子放出素子の変形例を示す構成図である。

【図8】第2の実施の形態に係る電子放出素子を示す構成図である。

【図9】第2の実施の形態に係る電子放出素子の電極部分を示す平面図である。

【図10】第2の実施の形態に係る電子放出素子の第1の変形例における電極部分を示す平面図である。

10

20

30

40

50

【図 1 1】第 2 の実施の形態に係る電子放出素子の第 2 の変形例における電極部分を示す平面図である。

【図 1 2】カソード電極とアノード電極間に第 1 の電圧を印加した際の作用を示す説明図である。

【図 1 3】カソード電極とアノード電極間に第 2 の電圧を印加した際の電子放出作用を示す説明図である。

【図 1 4】エミッタ部の表面での負極性帯電に伴って電子放出の自己停止の作用を示す説明図である。

【図 1 5】図 1 5 A は、駆動電圧の一例を示す波形図であり、図 1 5 B は、第 2 の実施の形態に係る電子放出素子におけるアノード電極とカソード電極間の電圧の変化を示す波形図である。 10

【図 1 6】第 1 の実施の形態に係るディスプレイの概略構成を示す斜視図である。

【図 1 7】第 1 の実施の形態に係るディスプレイを一部省略して示す縦断面図である。

【図 1 8】第 1 の具体例に係るモジュールを一部省略して示す平面図である。

【図 1 9】第 2 の具体例に係るモジュールを一部省略して示す平面図である。

【図 2 0】アノード電極と行選択線との接続、並びにカソード電極と信号線との接続の形態様を示す説明図である。

【図 2 1】アノード電極と行選択線との接続、並びにカソード電極と信号線との接続の他の形態様を示す説明図である。

【図 2 2】第 3 の具体例に係るモジュールを一部省略して示す平面図である。 20

【図 2 3】第 4 の具体例に係るモジュールを一部省略して示す平面図である。

【図 2 4】第 5 の具体例に係るモジュールを一部省略して示す平面図である。

【図 2 5】第 6 の具体例に係るモジュールを一部省略して示す平面図である。

【図 2 6】第 6 の具体例に係るモジュールの要部を拡大して示す斜視図である。

【図 2 7】第 1 の実施の形態に係るディスプレイの配線形態の一例を示す説明図である。

【図 2 8】第 1 の実施の形態に係るディスプレイの周辺回路を示すブロック図である。

【図 2 9】図 2 9 A は行選択線に供給される選択信号を示す波形図であり、図 2 9 B は信号線に供給されるデータ信号、特に、ON を示すデータ信号を示す波形図であり、図 2 9 C はカソード電極とアノード電極間に印加される駆動電圧を示す波形図である。

【図 3 0】図 3 0 A は行選択線に供給される選択信号を示す波形図であり、図 3 0 B は信号線に供給されるデータ信号、特に、OFF を示すデータ信号を示す波形図であり、図 3 0 C はカソード電極とアノード電極間に印加される駆動電圧を示す波形図である。 30

【図 3 1】第 1 の実施の形態に係るディスプレイの配線形態の他の例を示す説明図である。

【図 3 2】第 1 の実施の形態に係るディスプレイの配線形態のさらに他の例を示す説明図である。

【図 3 3】第 2 の実施の形態に係るディスプレイを一部省略して示す平面図である。

【図 3 4】第 2 の実施の形態に係るディスプレイを一部省略して示す縦断面図である。

【図 3 5】第 3 の実施の形態に係るディスプレイを一部省略して示す平面図である。

【図 3 6】第 3 の実施の形態に係るディスプレイを一部省略して示す縦断面図である。 40

【図 3 7】第 3 の実施の形態に係るディスプレイの第 1 の変形例を一部省略して示す斜視図である。

【図 3 8】第 3 の実施の形態に係るディスプレイの第 1 の変形例を一部省略して示す平面図である。

【図 3 9】第 3 の実施の形態に係るディスプレイの第 2 の変形例を一部省略して示す平面図である。

【図 4 0】第 3 の実施の形態に係るディスプレイの第 3 の変形例を一部省略して示す平面図である。

【図 4 1】第 3 の実施の形態に係るディスプレイの第 4 の変形例を一部省略して示す平面図である。

【図 4 2】第 3 の実施の形態に係るディスプレイの第 5 の変形例を一部省略して示す平面図である。

【図 4 3】第 4 の実施の形態に係るディスプレイを一部省略して示す縦断面図である。

【図 4 4】第 4 の実施の形態に係るディスプレイの配線形態の一例を示す説明図である。

【図 4 5】第 4 の実施の形態に係るディスプレイの画素ピッチを説明するための図である。

。

【図 4 6】第 1 の実施の形態に係る電子放出素子の第 1 の変形例を示す平面図である。

【図 4 7】図 4 6 における X X X X V I I - X X X X V I I 線上の断面図である。

【図 4 8】第 1 の実施の形態に係る電子放出素子の第 2 の変形例を示す平面図である。

【図 4 9】図 4 8 における X X X X I X - X X X X I X 線上の断面図である。

10

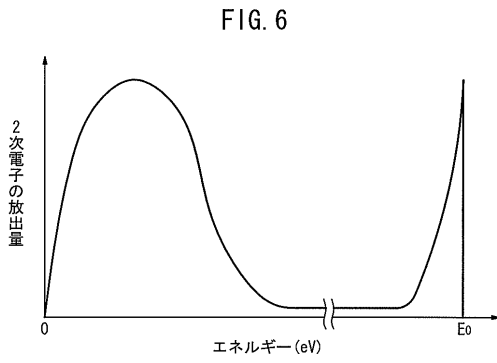
【符号の説明】

【0 2 1 2】

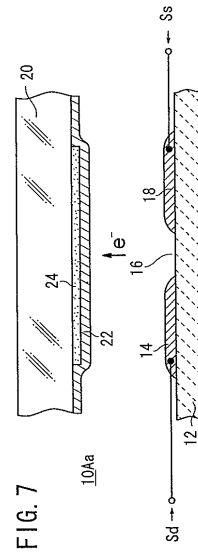
1 0、1 0 A、1 0 A a、1 0 A b、1 0 B、1 0 B a、1 0 B b … 電子放出素子	
1 2 … エミッタ部	1 4 … カソード電極
1 6 … スリット	1 8 … アノード電極
2 0 … 透明板	2 2 … コレクタ電極
2 4 … 蛍光体	3 0、3 2 … リード電極
1 0 4、1 0 4 A ~ 1 0 4 F … モジュール	1 0 5 … 筐体
1 0 6、1 7 2 … 外枠	1 1 0 … スペーサ
1 1 2 … モジュール基板	1 1 4 … 行選択線
1 1 6 … 信号線	1 1 8 … 絶縁層
1 2 0、1 2 1、1 2 6、1 2 8 … パッド	
1 2 2 A ~ 1 2 2 D … ブロック	1 3 8、1 4 0 … ケーブル
1 5 0、1 5 4 … 導電体又は配線パターン	1 5 2 … スルーホール
1 6 0 … チップ	1 7 0 … 真空封止モジュール

20

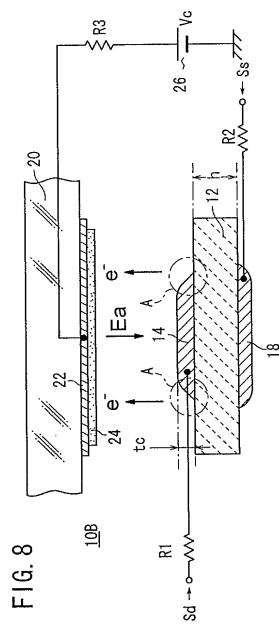
【図 6】



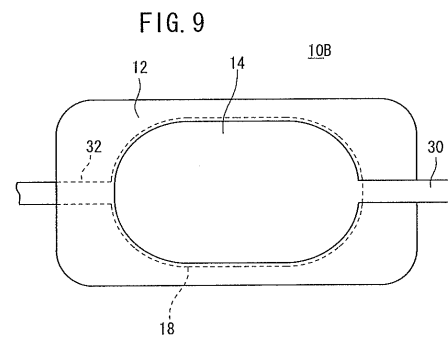
【図 7】



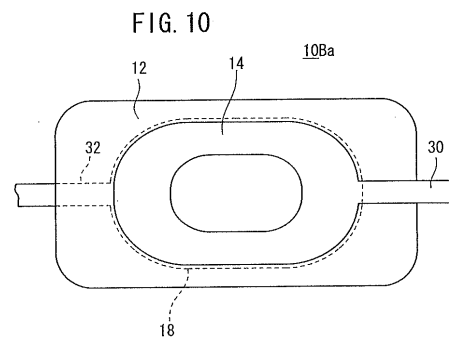
【図 8】



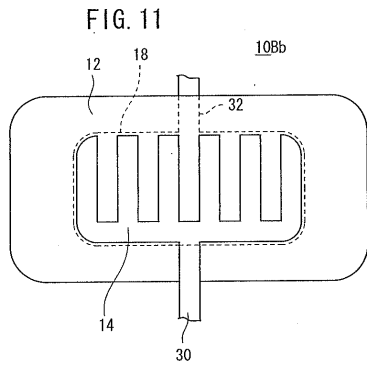
【図 9】



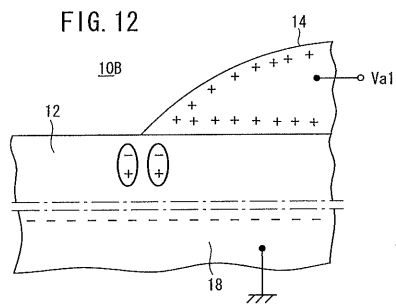
【図 10】



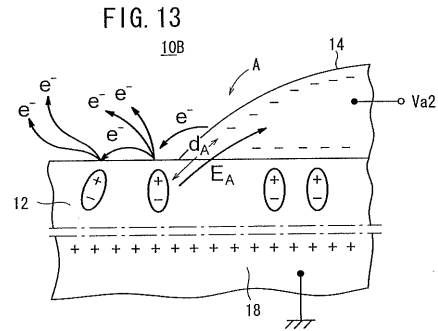
【図 1 1】



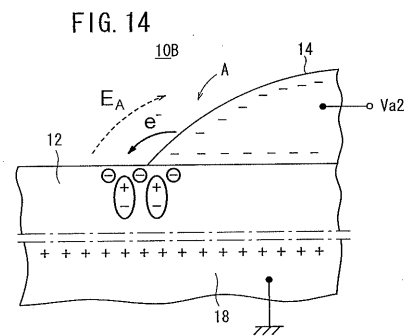
【図 1 2】



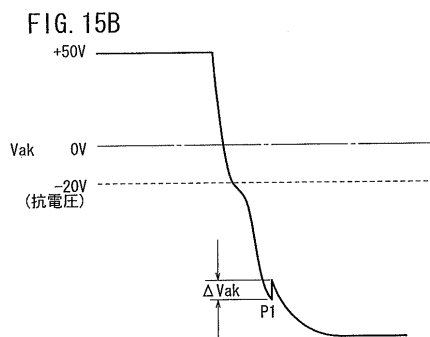
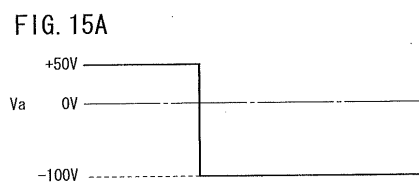
【図 1 3】



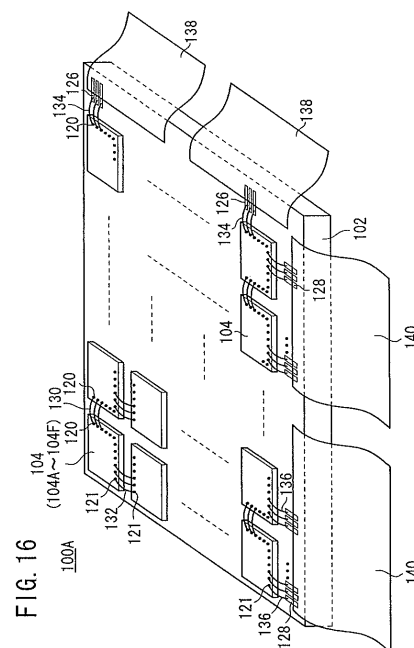
【図 1 4】



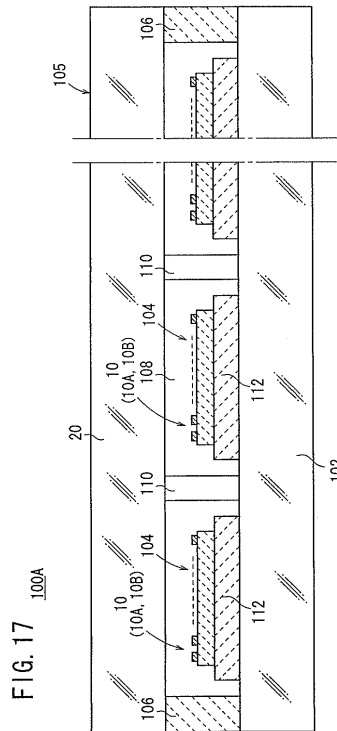
【図 1 5】



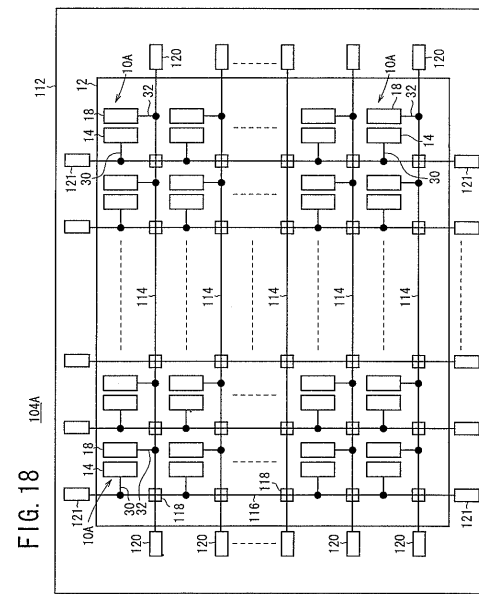
【図 1 6】



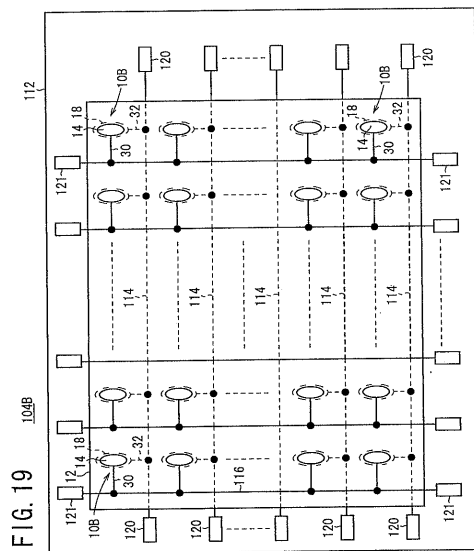
【図 17】



【図 18】

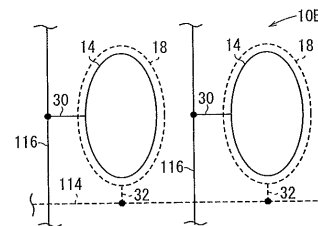


【図 19】



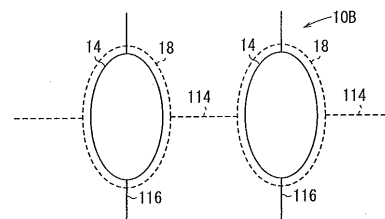
【図 20】

FIG. 20

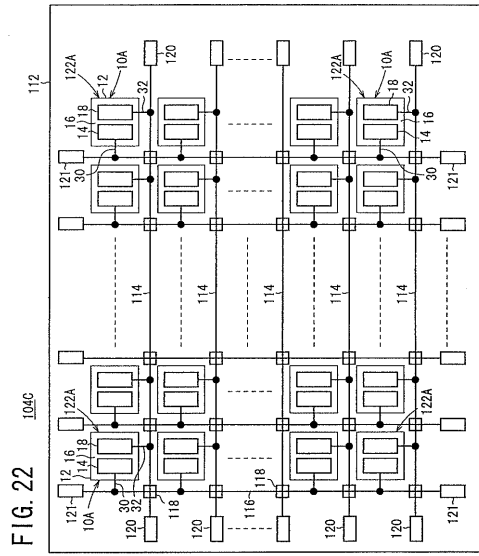


【図 21】

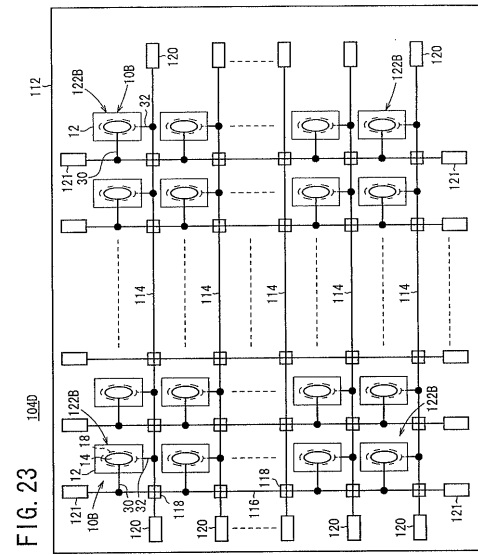
FIG. 21



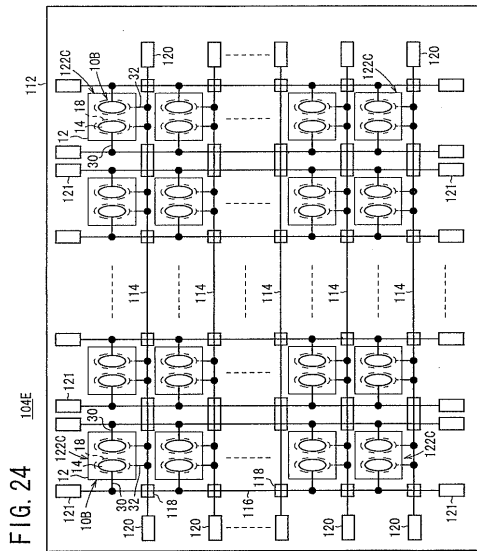
【図 2 2】



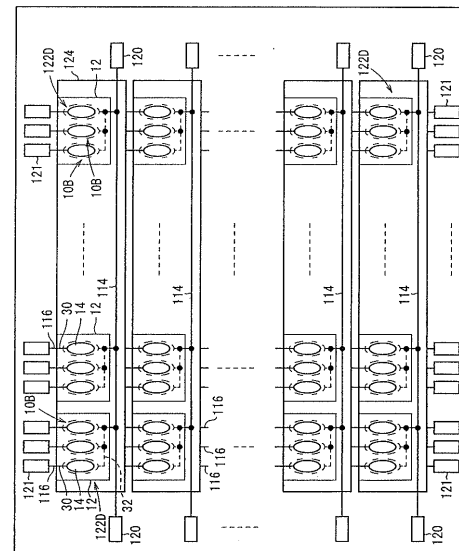
【図 2 3】



【図 2 4】



【図 2 5】



【図 26】

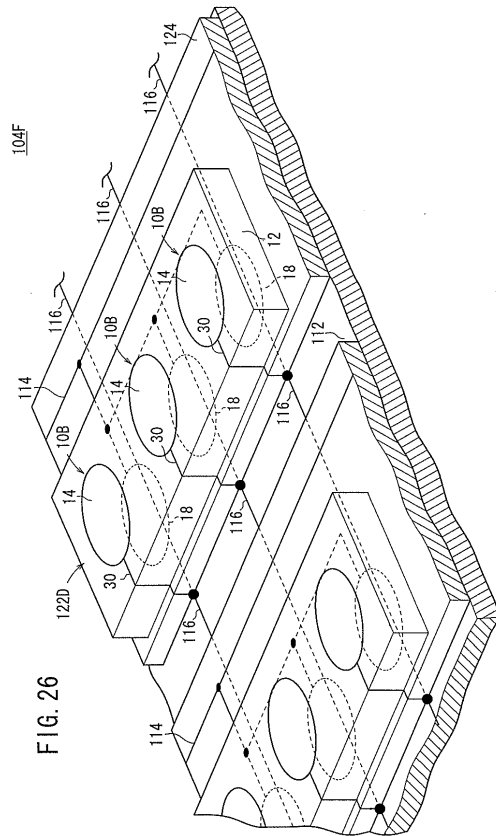


FIG. 26

【図 27】

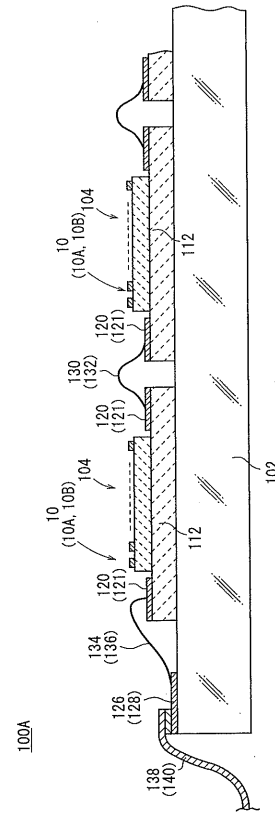


FIG. 27

【図 28】

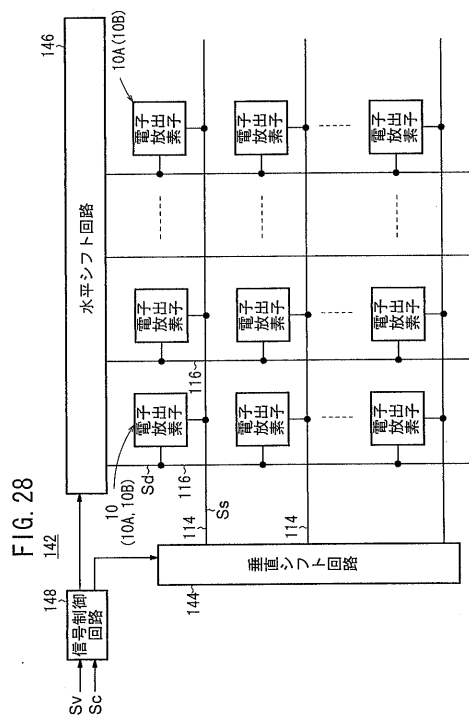


FIG. 28

【図 29】

FIG. 29A

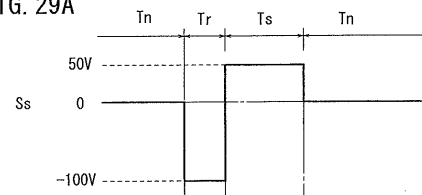


FIG. 29B

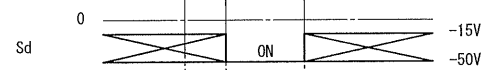
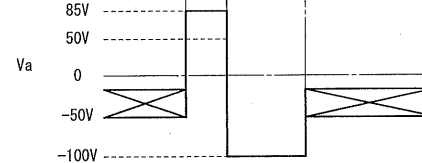


FIG. 29C



【図 30】

FIG. 30A

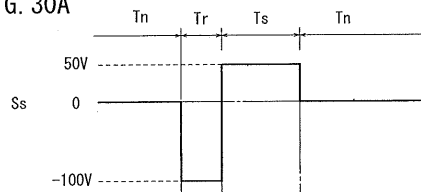


FIG. 30B

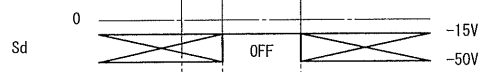
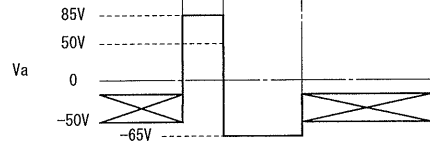
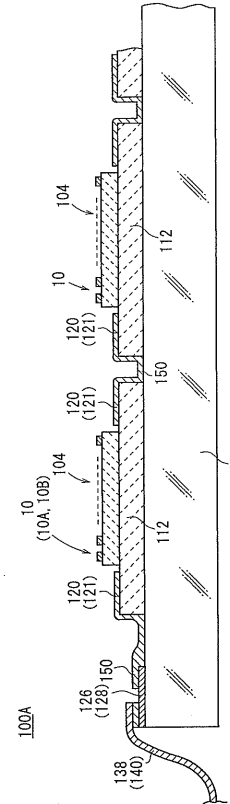


FIG. 30C



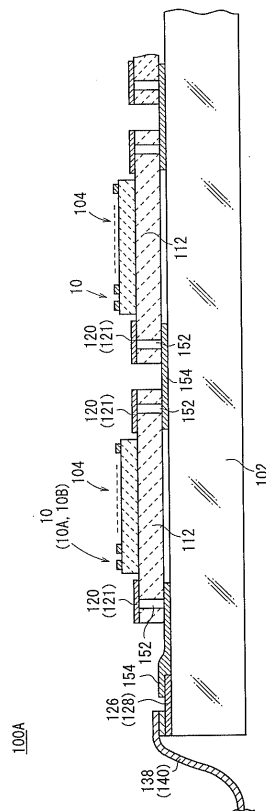
【図 31】

FIG. 31



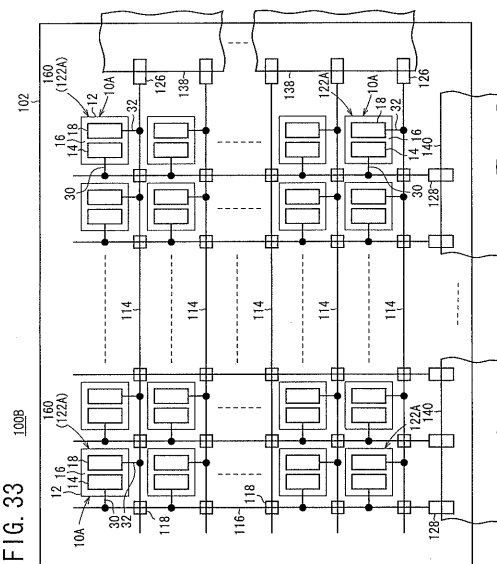
【図 32】

FIG. 32

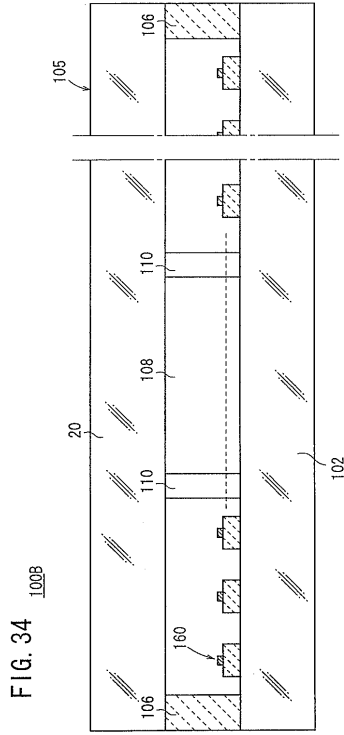


【図 33】

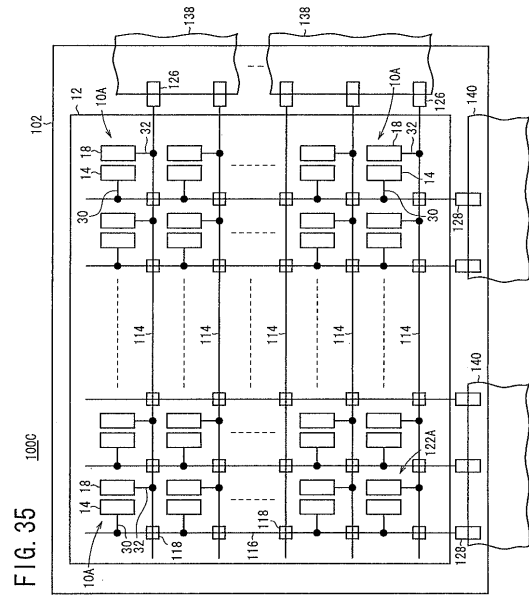
FIG. 33



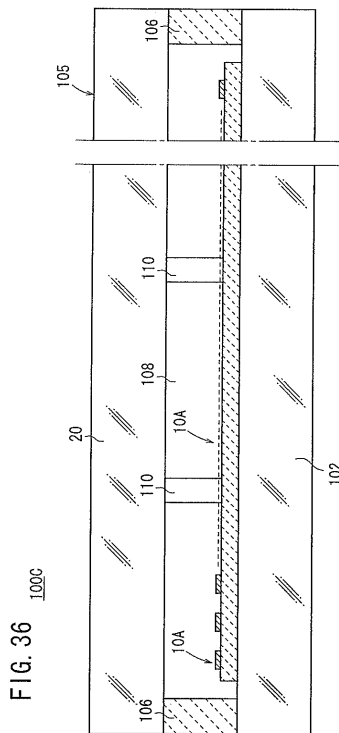
【図 3 4】



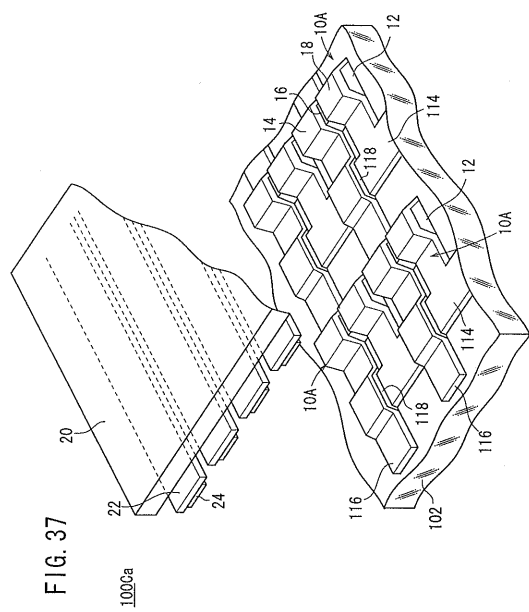
【図 3 5】



【図 3 6】

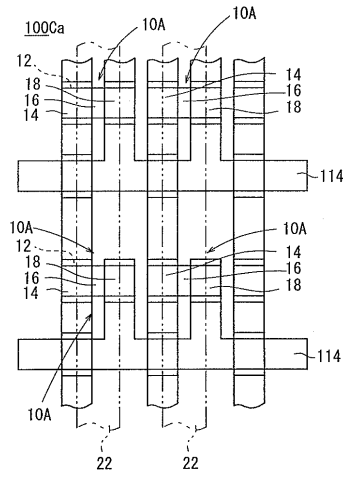


【図 3 7】



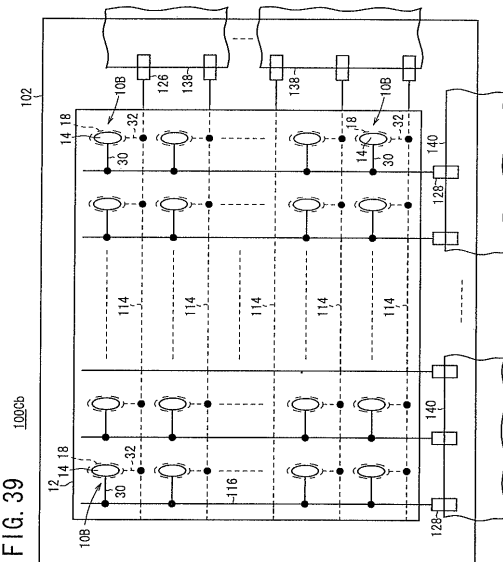
【図 38】

FIG. 38



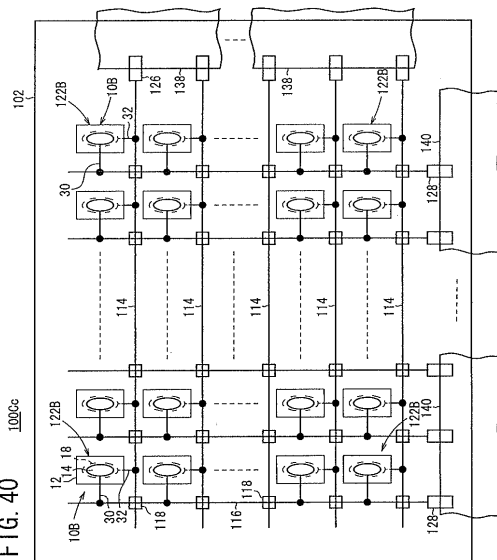
【図 39】

FIG. 39



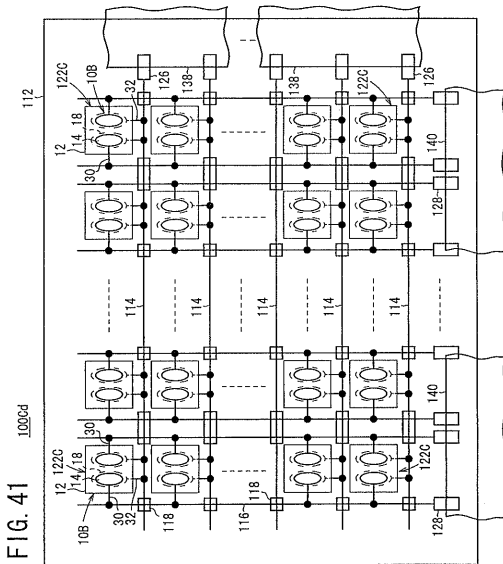
【図 40】

FIG. 40



【図 41】

FIG. 41



【図 4 2】

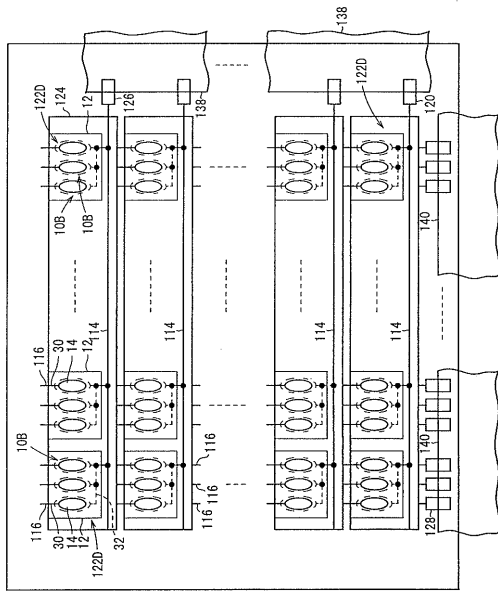


FIG. 42

【図 4 3】

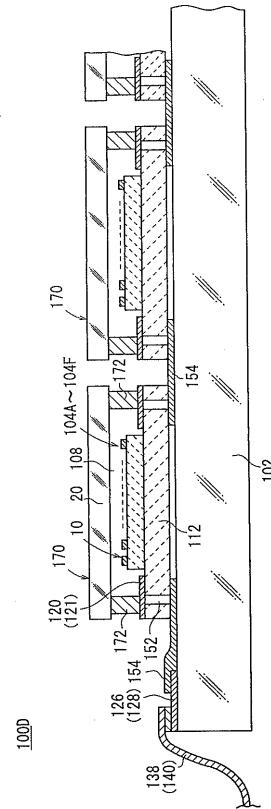


FIG. 43

【図 4 4】

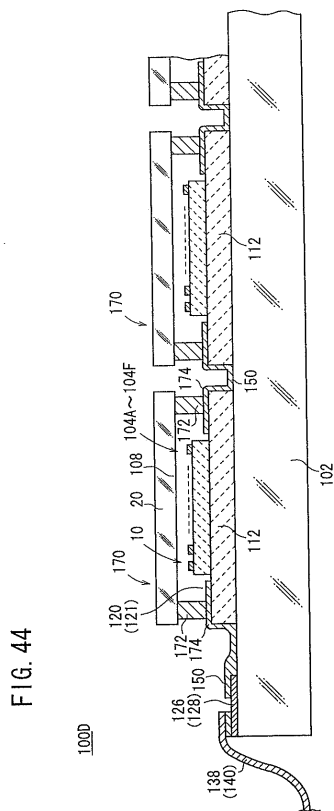


FIG. 44

【図 4 5】

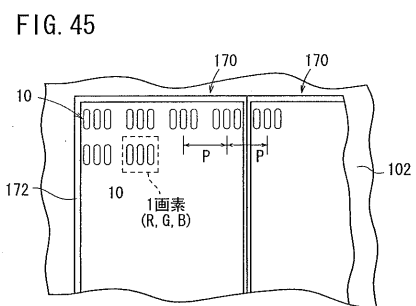


FIG. 45

【図 4 6】

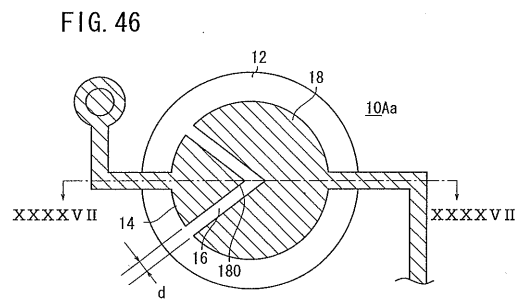
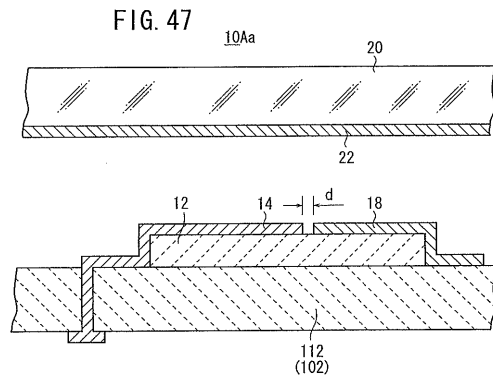
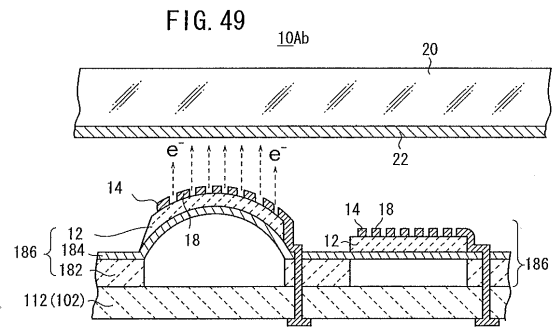


FIG. 46

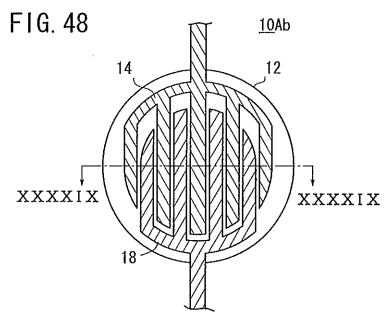
【図 4 7】



【図 4 9】



【図 4 8】



フロントページの続き

(72)発明者 大和田 巖

愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内

(72)発明者 古久根 伸征

愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内

Fターム(参考) 5C031 DD17

5C036 EE03 EE14 EF01 EF06 EF14 EG12 EG13 EH04