



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

表示装置および電子機器

技術分野

[0001] 本発明は、液晶表示装置等のアクティブマトリクス型表示装置およびそれを用いた電子機器に関するものである。

背景技術

[0002] 近年、携帯電話機やPDA(Personal Digital Assistants)などの携帯端末の普及がめざましい。これら携帯端末の急速な普及の要因の一つとして、その出力表示部として搭載されている液晶表示装置が挙げられる。その理由は、液晶表示装置が原理的に駆動するための電力を要しない特性を持ち、低消費電力の表示デバイスであるためである。

[0003] 近年、画素のスイッチング素子としてポリシリコンTFT(Thin Film Transistor:薄膜トランジスタ)を用いたアクティブマトリクス型表示装置において、画素がマトリクス状に配置されてなる表示エリア部と同一基板上にデジタルインタフェース駆動回路を一体的に形成する傾向にある。

この駆動回路一体型表示装置は、有効表示部の周辺部(額縁)に水平駆動系や垂直駆動系が配され、これら駆動系が低温ポリシリコンTFTを用いて画素エリア部と共に同一基板上に一体的に形成される。

[0004] 図1は、一般的な駆動回路一体型表示装置の概略構成を示す図である(たとえば、特許文献1参照)。

[0005] この液晶表示装置は、図1に示すように、透明絶縁基板、たとえばガラス基板1上に、液晶セルを含む複数の画素がマトリクス状に配置された有効表示部2、図1において有効表示部2の上下に配置された一対の水平駆動回路(Hドライバ)3U、3D、図1において有効表示部2の側部に配置された垂直駆動回路(Vドライバ)4、複数の基準電圧を発生する一つの基準電圧発生回路(REF.DRV)5、およびデータ処理回路(DATAPRC)6等が集積されている。

[0006] このように、図1の駆動回路一体型表示装置は、2つの水平駆動回路3U、3Dを有

効画素部2の両サイド(図1では上下)に配置しているが、これは、データ線の奇数ラインと偶数ラインとに分けて駆動するためである。

[0007] 図2は、奇数ラインと偶数ラインとを別々に駆動する図1の水平駆動回路3U, 3Dの構成例を示すブロック図である。

[0008] 図2に示すように、奇数ライン駆動用の水平駆動回路3Uと偶数ライン駆動用の水平駆動回路3Dは同様の構成を有している。

具体的には、水平転送クロックHCK(図示せず)に同期して各転送段から順次シフトパルス(サンプリングパルス)を出力するシフトレジスタ(HSR)群3HSRU, 3HSRDと、シフトレジスタ31U, 31Dから与えられるサンプリングパルスによりデジタル画像データを順次サンプリングしてラッチするサンプリングラッチ回路群3SMPLU, 3SMPLDと、サンプリングラッチ回路32U, 32Dの各ラッチデータを線順次化する線順次化ラッチ回路群3LTCU, 3LTCDと、線順次化ラッチ回路33U, 33Dで線順次化されたデジタル画像データをアナログ画像信号に変換するデジタル／アナログ変換回路(DAC)群3DACU, 3DACDと、を有する。

なお、通常、DAC34U, 34Dの入力段には、レベルシフト回路が配置され、レベルアップさせたデータがDAC34に入力される。

特許文献1:特開2002-175033号公報

発明の開示

発明が解決しようとする課題

[0009] ところで、図1等の液晶表示装置は、たとえば外部から所定レベルのマスタクロックMCKや水平同期信号Hsync等をRGBインタフェース回路において、レベルシフト回路でパネル内ロジックレベルにレベルシフトして絶縁基板上に形成された所望の回路に供給するように構成される。

[0010] 一般的に、レベルシフト回路は、入力段に低電源電圧(パネル入力電圧、セット出力電圧)が供給されるCMOSインバータを配置し、次段以降の高電源電圧(パネル内ロジック駆動電圧)が供給されるレベルシフトステージでレベルシフトするように構成されるが、これでは、以下のような不利益がある。

[0011] 現行の低温ポリシリコンTFTではしきい値電圧 V_{th} が再上昇時に1.5V程度まで

上昇する。

したがって、上記形式のレベルシフタ回路では、たとえば入力電源電圧が1.8V程度まで低下してくると、インバータを構成するトランジスタTrのしきい値電圧 V_{th} 付近までゲート電圧が落ちてしまうために、高周波信号に対しては回路を動作させることが困難となる。

そのため、駆動回路一体型表示パネルを商品化する際、セット側から出力される信号振幅が小さい場合は、セットとパネルの間に外付けのレベル変換用チップ(Chip)が必要となるため、コスト面・信頼性・外形面での大きな不利益となっている。

[0012] 本発明は、高いしきい値電圧を持ち、バラツキが大きい低温ポリシリコンを使用して、ICの電源電圧と同じ入力電圧を増幅することができる表示装置およびそれ用いた電子機器を提供することにある。

課題を解決するための手段

[0013] 本発明の第1の観点は、少なくともマスタクロックが供給される駆動回路一体型表示装置であって、上記マスタクロックの入力時の第1レベルを内部駆動電圧レベルの第2レベルに変換して所定回路に出力するレベル変換回路を有し、上記レベル変換回路は、定期的リセット動作が必要な形式のL個のレベルシフタと、レベルシフトされた水平同期信号Hsyncに基づいて、N水平期間の周期を持つ上記MCKレベルシフタ用のリセットパルス、各レベルシフタに対してM水平期間(但し、 $M < N$)位相をずらして入力する信号を出力する論理回路と、最終出力信号としてM水平期間毎にL個のレベルシフタの出力の内、リセット動作を行っていない回路を選択して、レベルシフトされたマスタクロックを出力する機能と、を含む。

[0014] 好適には、上記レベルシフタは、上記内部駆動電圧レベル電位と基準電位との間に接続されたインバータと、第1ノードと、上記インバータの入力に接続された第2ノードと、上記インバータの出力に接続された第3ノードと、上記第1ノードと上記第2ノード間に接続されたキャパシタと、リセット期間のみ上記マスタクロックの入力を阻止して、上記第1レベル電位と基準電位との中間電位であるリファレンス電圧を上記第1ノードに供給し、かつ、上記第2ノードと上記第3ノードを導通状態とする回路と、を含む。

- [0015] 好適には、上記第2ノードと上記第3ノードはスイッチングトランジスタにより接続され、当該スイッチングトランジスタは、非導通時にはゲート電位が負電位に保持される。
- [0016] 好適には、上記インバータは基準電位の代わりに負電位に接続されている。
- [0017] 本発明の第2の観点は、少なくともマスタクロックが供給される駆動回路一体型表示装置を備えた電子機器であって、上記表示装置は、上記マスタクロックの入力時の第1レベルを内部駆動電圧レベルの第2レベルに変換して所定回路に出力するレベル変換回路を有し、上記レベル変換回路は、定期的のリセット動作が必要な形式のL個のレベルシフタと、レベルシフトされた水平同期信号Hsyncに基づいて、N水平期間の周期を持つ上記MCKレベルシフタ用のリセットパルスを、各レベルシフタに対してM水平期間(但し、 $M < N$)位相をずらして入力する信号を出力する論理回路と、最終出力信号としてM水平期間毎にL個のレベルシフタの出力の内、リセット動作を行っていない回路を選択して、レベルシフトされたマスタクロックを出力する機能と、を含む。

発明の効果

- [0018] 本発明によれば、外付けICの費用を節約することが可能となり、外付け部品点数を削減することができる。

また、外付け部品が不要になるため、モジュールの薄型化に貢献することが可能となる。

図面の簡単な説明

- [0019] [図1]図1は、一般的な駆動回路一体型表示装置の概略構成を示す図である。
- [図2]図2は、奇数ラインと偶数ラインとを別々に駆動する図1の水平駆動回路の構成例を示すブロック図である。
- [図3]図3は、本発明の実施形態に係る駆動回路一体型表示装置の配置構成を示す図である。
- [図4]図4は、本発明の実施形態に係る駆動回路一体型表示装置の回路機能を示すシステムブロック図である。
- [図5]図5は、液晶表示装置の有効表示部の構成例を示す回路図である。
- [図6]図6は、本実施形態の第1および第2の水平駆動回路の基本的な構成例を示す

サブブロック図である。

[図7]図7は、本実施形態に係るインタフェース回路におけるマスタクロックのレベル変換回路の構成例を示す図である。

[図8]図8は、図7のレベルシフタの具体的な構成例を示す回路図である。

[図9]図9は、図7の論理回路の具体的な構成例を示す回路図である。

[図10]図10は、図7のリファレンス電圧生成回路の構成例を示す回路図である。

[図11]図11は、図7のリファレンス電圧生成回路の他の構成例を示す回路図である。

[図12]図12は、図7のレベル変換回路の全体的なタイミングチャートを示す図である。

[図13]図13は、図8のレベルシフタのタイミングチャートを示す図である。

[図14]図14A～図14Cは、本実施形態に係るインタフェース回路の特徴を説明するための図である。

[図15]図15は、本実施形態に係るMCKレベルシフタの他の構成例を示す回路図である。

[図16]図16は、本実施形態に係るMCKレベルシフタのさらに他の構成例を示す回路図である。

[図17]図17は、本発明の実施形態に係る携帯端末である携帯電話機の構成の概略を示す外観図である。

符号の説明

- [0020] 10・・・液晶表示装置、11・・・ガラス基板、12・・・有効表示部、13・・・水平駆動回路、13U・・・第1の水平駆動回路、13D・・・第2の水平駆動回路、13SMPL・・・サンプリングラッチ回路群、131・・・第1ランプリングラッチ回路、132・・・第2サンプリングラッチ回路、133・・・第3サンプリングラッチ回路、134・・・第1ラッチ回路、135・・・第2ラッチ回路、136・・・第3ラッチ回路、137・・・第1ラッチ系列、138・・・第2ラッチ系列、13OSEL・・・ラッチ出力選択スイッチ、13DAC・・・デジタルアナログ変換回路、13ABUD・・・アナログバッファ、13LSEL・・・ラインセクタ、14・・・垂直駆動回路、15・・・データ処理回路、16・・・電源回路、17・・・インタフェース回路、17LSMCK・・・レベル変換回路、171-1, 171-2・・・MCK用レベルシフタ、172・・・非同期型

レベルシフト回路、173・・・論理回路、174・・・リファレンス電圧生成回路、175、176・・・スイッチ回路、177・・・インバータ177、18・・・タイミングジェネレータ。

発明を実施するための最良の形態

[0021] 以下、本発明の実施の形態について図面に関連付けて詳細に説明する。

[0022] 図3および図4は、本発明の実施形態に係る駆動回路一体型表示装置の構成例を示す概略構成図であって、図3は本実施形態に係る駆動回路一体型表示装置の配置構成を示す図であり、図4は本実施形態に係る駆動回路一体型表示装置の回路機能を示すシステムブロック図である。

ここでは、たとえば、各画素の電気光学素子として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明する。

[0023] この液晶表示装置10は、図3に示すように、透明絶縁基板、たとえばガラス基板11上に、液晶セルを含む複数の画素がマトリクス状に配置された有効表示部(ACDSP)12、図3において有効表示部12の上下に配置された一対の第1および第2の水平駆動回路(Hドライバ、HDRV)13U、13D、図1において有効表示部2の側部に配置された垂直駆動回路(Vドライバ、VDRV)14、データ処理回路(DATAPRC)15、DC-DCコンバータにより形成された電源回路(DC-DC)16、インタフェース回路(I/F)17、タイミングジェネレータ(TG)18、および複数の駆動基準電圧を水平駆動回路13U、13D等に供給する基準電圧駆動回路(REFDRV)19等が集積されている。

また、ガラス基板11の第2の水平駆動回路13Dの配置位置の近傍の縁部にはデータ等の入力パッド20が形成されている。

[0024] ガラス基板11は、能動素子(たとえば、トランジスタ)を含む複数の画素回路がマトリクス状に配置形成される第1の基板と、この第1の基板と所定の間隙をもって対向して配置される第2の基板とによって構成される。そして、これら第1、第2の基板間に液晶が封入される。

絶縁基板に形成される回路群は、低温ポリシリコンTFTプロセスにより形成されている。すなわち、この駆動回路一体型表示装置10は、有効表示部12の周辺部(額縁)に水平駆動系や垂直駆動系が配され、これら駆動系がポリシリコンTFTを用いて

画素エリア部と共に同一基板上に一体的に形成される。

[0025] 本実施形態の駆動回路一体型液晶表示装置10は、2つの水平駆動回路13U、13Dを有効画素部12の両サイド(図3では上下)に配置しているが、これは、データ線の奇数ラインと偶数ラインとに分けて駆動するためである。

2つの水平駆動回路13U、13Dにおいては、3つのデジタルデータを、サンプリングラッチ回路にそれぞれ格納し、一水平期間(H)中に共用のデジタルアナログ変換回路で3回アナログデータへの変換処理を行い、3つのアナログデータを水平期間内で時分割的に選択してデータライン(信号線)に出力することによりRGBセレクト方式を採用している。

本実施形態においては、3つのデジタル画像データR、G、Bのうち、デジタルRデータを第1デジタルデータ、デジタルBデータを第2デジタルデータ、デジタルGデータを第3デジタルデータとして説明する。

[0026] 以下、本実施形態の液晶表示装置10の各構成要素の構成並びに機能について順を追って説明する。

[0027] 有効表示部12は、液晶セルを含む複数の画素がマトリクス状に配列されている。

そして、有効表示部12は、水平駆動回路13U、13D、並びに垂直駆動回路14により駆動されるデータラインおよび垂直走査ラインがマトリクス状に配線されている。

[0028] 図5は、有効表示部12の具体的な構成の一例を示す図である。

ここでは、図面の簡略化のために、3行($n-1$ 行 $\sim n+1$ 行)4列($m-2$ 列 $\sim m+1$ 列)の画素配列の場合を例に採って示している。

図4において、表示部12には、垂直走査ライン $\cdots, 121n-1, 121n, 121n+1, \cdots$ と、データライン $\cdots, 122m-2, 122m-1, 122m, 122m+1, \cdots$ とがマトリクス状に配線され、それらの交点部分に単位画素123が配置されている。

[0029] 単位画素123は、画素トランジスタである薄膜トランジスタTFT、液晶セルLCおよび保持容量Csを有する構成となっている。ここで、液晶セルLCは、薄膜トランジスタTFTで形成される画素電極(一方の電極)とこれに対向して形成される対向電極(他方の電極)との間で発生する容量を意味する。

[0030] 薄膜トランジスタTFTは、ゲート電極が垂直走査ライン $\cdots, 121n-1, 121n, 121$

$n+1, \dots$ に接続され、ソース電極がデータライン $\dots, 122m-2, 122m-1, 122m, 122m+1, \dots$ に接続されている。

液晶セルLCは、画素電極が薄膜トランジスタTFTのドレイン電極に接続され、対向電極が共通ライン124に接続されている。保持容量Csは、薄膜トランジスタTFTのドレイン電極と共通ライン124との間に接続されている。

共通ライン124には、ガラス基板11に駆動回路等と一体的に形成されるVCOM回路21により所定の交流電圧がコモン電圧Vcomとして与えられる。

[0031] 垂直走査ライン $\dots, 121n-1, 121n, 121n+1, \dots$ の各一端は、図3に示す垂直駆動回路14の対応する行の各出力端にそれぞれ接続される。

垂直駆動回路14は、たとえばシフトレジスタを含んで構成され、垂直転送クロックVCK(図示せず)に同期して順次垂直選択パルスを発生して垂直走査ライン $\dots, 121n-1, 121n, 121n+1, \dots$ に与えることによって垂直走査を行う。

[0032] また、表示部12において、たとえば、データライン $\dots, 122m-1, 122m+1, \dots$ の各一端が図3に示す第1の水平駆動回路13Uの対応する列の各出力端に、各他端が図3に示す第2の水平駆動回路13Dの対応する列の各出力端にそれぞれ接続される。

[0033] 第1の水平駆動回路13Uは、Rデータ、Bデータ、およびGデータの3つのデジタルデータを、サンプリングラッチ回路にそれぞれ格納し、一水平期間(H)中に3回アナログデータへの変換処理を行い、3つのデータを水平期間内で時分割的に選択して対応するデータラインに出力する。

第1の水平駆動回路13Uは、このRGBセクタ方式の採用に伴い、第1および第2サンプリングラッチ回路にラッチされたRデータとBデータを時分割的に第1ラッチ回路、さらには第2ラッチ回路に転送し、このRデータとBデータのラッチ回路への時分割的な転送処理の間に第3サンプリングラッチ回路にラッチされたGデータを第3ラッチ回路に転送し、第2ラッチ回路および第3ラッチ回路にラッチされるR、B、Gデータを1水平期間内で選択的に出力してアナログデータに変換し、3つのアナログデータを水平期間内で時分割的に選択して対応するデータラインに出力する。

すなわち、本実施形態の水平駆動回路13Uにおいては、RGBセクタシステムを

実現するために、2つのデジタルR、Bデータ用の第1ラッチ系列と、1つのデジタルGデータ用の第2ラッチ系列とを並列的に配置し、セクタ以降のデジタルアナログ変換回路(DAC)、アナログバッファ、ラインセクタを共有するように構成することにより、狭額縁化、低消費電力化を図っている。

第2の水平駆動回路13Dは、基本的には第1の水平駆動回路13Uと同様の構成を有する。

[0034] 図6は、本実施形態の第1の水平駆動回路13Uと第2の水平駆動回路13Dの基本的な構成例を示すブロック図である。以下では水平駆動回路13として説明する。

なお、この水平駆動回路は、3つのデジタルデータに対応した基本的な構成を示しており、実際には、同様の構成が並列的に複数配列される。

[0035] 水平駆動回路13は、図6に示すように、シフトレジスタ(HSR)群13HSR、サンプリングラッチ回路群13SMPL、ラッチ出力選択スイッチ13OSEL、デジタルアナログ変換回路13DAC、アナログバッファ13ABUF、およびラインセクタ13LSELを有する。

[0036] シフトレジスタ群13HSRは、水平転送クロックHCK(図示せず)に同期して各列に対応する各転送段から順次シフトパルス(サンプリングパルス)をサンプリングラッチ回路群13SMPLに出力する複数のシフトレジスタ(HSR)を有する。

[0037] サンプリングラッチ回路群13SMPLは、第1デジタルデータであるRデータを順次サンプリングしてラッチする第1サンプリングラッチ回路131と、第2デジタルデータであるBデータを順次サンプリングしてラッチし、また、第1サンプリングラッチ回路131にラッチされたRデータを所定のタイミングでラッチする第2サンプリングラッチ回路132と、第3デジタルデータであるGデータを順次サンプリングしてラッチする第3サンプリングラッチ回路133と、第2サンプリングラッチ回路132にラッチされたデジタルデータRまたはBデータをシリアルに転送するための第1ラッチ回路134と、第1ラッチ回路134にラッチされデジタルRまたはBデータをより高い電圧振幅に変換してラッチするレベルシフト機能を有する第2ラッチ回路135と、第3サンプリングラッチ回路133にラッチされたデジタルGデータをより高い電圧振幅に変換してラッチするレベルシフト機能を有する第3ラッチ回路136と、を有する。

このような構成を有するサンプリングラッチ回路群13SMPLにおいて、第1サンプリングラッチ回路131、第2サンプリングラッチ回路132、第1ラッチ回路134、および第2ラッチ回路135により第1ラッチ系列137が形成され、第3サンプリングラッチ回路133および第3ラッチ回路136により第2ラッチ系列138が形成されている。

[0038] 本実施形態においては、データ処理回路15から各水平駆動回路13U, 13Dに入力されるデータは0-3V(2.9V)系のレベルで供給される。

そして、サンプリングラッチ回路群13SMPLの出力段である第2および第3ラッチ回路135, 136のレベルシフト機能により、たとえば-2.3V~4.8V系にレベルアップされる。

[0039] ラッチ出力選択スイッチ13OSELは、サンプリングラッチ回路群13SMPLの出力を選択的に切り替えてデジタルアナログ回路13DACに出力する。

デジタルアナログ変換回路13DACは、一水平期間中に3回デジタル・アナログ変換を行う。すなわち、デジタルアナログ変換回路13DACは、一水平期間中に3つのデジタルR, B, Gデータをアナログデータに変換する。

アナログバッファ13ABUFは、デジタルアナログ変換回路13DACでアナログ信号に変換されたR, B, Gデータをバッファリングしてラインセクタ13LSELに出力する。

ラインセクタ13LSELは、一水平期間において3つのアナログR, B, Gデータを選択して、対応するデータラインDTL-R, DTL-B, DTL-Gに出力する。

[0040] ここで、水平駆動回路13における動作について説明する。

[0041] 水平駆動回路13において、連続する画像データをサンプリングする際、第1、第2、および第3サンプリングラッチ回路131, 132, 133に格納する。

水平方向1ラインすべてのデータの第1、第2、および第3サンプリングラッチ回路131~133への格納が完了すると、水平方向ブランキング期間に第2サンプリングラッチ回路132内のデータを第1ラッチ回路134に転送し、すぐに第2ラッチ回路135に転送し格納する。

次に、第1サンプリングラッチ回路131内のデータを第2サンプリングラッチ132に転送し、すぐに第1ラッチ回路134に転送し格納する。また同期間に第3サンプリングラ

ッチ回路133内のデータを第3ラッチ回路136に転送する。

そして次の水平方向1ラインのデータを、第1、第2、および第3サンプリングラッチ回路131, 132, 133に格納していく。

次の水平方向1ラインのデータを格納している間に、第2ラッチ回路135および第3ラッチ回路136に格納されているデータを、ラッチ出力選択スイッチ13OSELが切替わることによりデジタルアナログ変換回路13DACに出力する。

その後、第1ラッチ回路134に格納されているデータを第2ラッチ回路135に転送し格納する。そのデータをラッチ出力選択スイッチ13OSELが切替わることによりデジタルアナログ変換回路13DACに出力する。

このサンプリングラッチ方式により、3つのデジタルデータをデジタルアナログ変換回路13DACに出力するため、高精細化・狭額縁化を実現することが可能となる。

また、第3デジタルデータは、水平方向1ラインのデータを格納している間転送作業を伴わないこと、RGBセクタ駆動の場合はB (Blue) → G (Green) → R (Red) の順で書き込むことが、液晶のVT特性などから良いことから、人間の眼に最も影響を与えやすい色のデータ、つまりGデータにすることにより、画質ばらつきに強くなる。

[0042] データ処理回路15は、外部より入力されたパラレルのデジタルR, G, Bデータのレベルを0-3V (2.9V) 系から6V系にシフトするレベルシフタ151、レベルシフトされたR, G, Bデータを位相調整や周波数を下げるために、シリアルデータからパラレルデータに変換するシリアル・パラレル変換回路152、パラレルデータを6V系から0-3V (2.9V) 系にダウンシフトして奇数データ (odd-data) を水平駆動回路13Uに出力し、偶数データ (even-data) を水平駆動回路13Dに出力するダウンコンバータ153を有する。

[0043] 電源回路16は、DC-DCコンバータを含み、たとえば外部から液晶電圧VDD1 (たとえば2.9V) が供給され、この電圧をインタフェース回路17から供給されるマスタクロックMCKや水平同期信号Hsyncに同期して、あるいは内蔵されている発振回路により、周波数が低く (遅く)、発振周波数にばらつきのあるクロックを所定の補正システムで補正した補正クロックおよび水平同期Hsyncに基づいて2倍の6V系の内部パネル電圧VDD2 (たとえば5.8V) に昇圧し、パネル内部の各回路に供給する。

また、電源回路16は、内部パネル電圧として負電圧であるVSS2(たとえば−1.9 V)、VSS3(たとえば−3.8V)を生成してパネル内部の所定回路(インタフェース回路等)に供給する。

- [0044] インタフェース回路17は、外部から供給されるマスタクロックMCK、水平同期信号Hsync、垂直同期信号Vsyncのレベルをパネル内部ロジックレベル(たとえばVDD2レベル)までレベルシフトし、レベルシフト後のマスタクロックMCK、水平同期信号Hsync、垂直同期信号Vsyncをタイミングジェネレータ18に供給し、また、水平同期信号Hsyncを電源回路16に供給する。

インタフェース回路17は、電源回路16がマスタクロックを用いずに内蔵の発振回路のクロックを補正した補正クロックに基づいて昇圧を行う構成の場合には、マスタクロックMCKの電源回路16への供給は行わないように構成可能である。あるいはインタフェース回路17から電源回路16へマスタクロックMCKの供給ラインをそのまま、電源回路16側でマスタクロックMCKを昇圧に使用しないように構成することも可能である。

- [0045] 本実施形態においては、高周波の信号であるマスタクロックMCKのレベルシフト系においては、高いしきい値 V_{th} を持ち、バラツキが大きい低温ポリシリコンを使用して、ICの電源電圧と同じ入力電圧を増幅することができるレベル変換回路を採用している。

以下に、本実施形態のインタフェース回路におけるレベル変換回路の具体的な構成および機能について説明する。

- [0046] 図7は、本実施形態に係るインタフェース回路におけるマスタクロックのレベル変換回路の構成例を示す図である。

- [0047] インタフェース回路17のマスタクロックのレベル変換回路17LSMCKは、図7に示すように、RGBパラレルインターフェースのマスタクロックMCKの入力ラインに対して並列に接続され、定期的にリセット動作が必要な形式のL個(本実施形態では $L=2$)のレベルシフタ(LSMCK1, LSMCK2)171-1、171-2と、水平同期信号Hsyncの入力ラインに対して接続された非同期型レベルシフト回路(L/S)172と、レベルシフトされた水平同期信号Hsyncを使用して、N水平期間の周期を持つMCKレベ

ルシフタ171-1, 171-2用のリセットパルスを、各レベルシフタ171-1, 171-2に対してM水平期間(但し、 $M < N$)位相をずらして入力する信号を出力する論理回路173と、レベルシフタ171-1, 171-2にリファレンス電圧VREFを供給するリファレンス電圧生成回路174と、最終出力信号としてM水平期間毎にL個のMCKレベルシフタ171-1, 171-2の出力の内、リセット動作を行っていない回路を選択して、レベルシフトされたマスタクロックLSMCKを出力する機能を実現するためのスイッチ回路175, 176、およびインバータ177と、を有する。

[0048] 図8は、図7のレベルシフタ171(-1, -2)の具体的な構成例を示す回路図である。

[0049] 図8のレベルシフタ171は、外部入力MCKをパネル内ロジック電圧までレベルシフトするいわゆるチョッパ型コンパレータ形式のレベルシフタとして構成されている。

具体的には、レベルシフタ171は、nチャネルトランジスタNT1711~NT1715、pチャネルトランジスタPT1711, PT1712、インバータINV1711、およびキャパシタC171を有している。さらに、図8において、NDAは第1ノードを、NABは第2ノードを、NDCは第3ノードを示している。

[0050] トランジスタNT1711はそのソース、ドレインがマスタクロックMCKの入力端子inとノードNDAにそれぞれ接続され、ゲートがインバータINV1711の出力端子に接続されている。インバータINV1711の入力端子はリセット信号rstの入力ラインに接続されている。

トランジスタNT1712はそのソース、ドレインがリファレンス電圧VREFの入力端子VrefとノードNDAに接続され、ゲートがリセット信号rstの入力ラインに接続されている。

トランジスタPT1711のソースがパネル内駆動電圧(第2の電源電圧)VDD2の供給ラインに接続され、ドレインがトランジスタNT1713のドレインに接続され、トランジスタNT1713のソースが基準電位VSS(GND)に接続されている。そして、トランジスタPT1711のゲートとトランジスタNT1713のゲート同士が接続されてノードNDBが形成されている。このトランジスタPT1711とNT1713によりインバータINV1712が

形成されている。

トランジスタPT1712のソースがパネル内駆動電圧(第2の電源電圧)VDD2の供給ラインに接続され、ドレインがトランジスタNT1714のドレインに接続され、トランジスタNT1714のソースが基準電位VSS(GND)に接続されている。トランジスタPT1712とNT1714のドレイン同士の接続点が出力端子outと接続されている。

そして、トランジスタPT1712のゲートとトランジスタNT1715のゲート同士が接続され、このゲート同士の接続点と、トランジスタPT1711とトランジスタNT1713のドレイン同士の接続点とが接続されてノードNDCが形成されている。

トランジスタNT1715(スイッチングトランジスタ)はそのソース、ドレインがノードNDBとノードNDCに接続され、ゲートがリセット信号rstの入力ラインに接続されている。

キャパシタC171の第1電極がノードNDAに接続され、第2電極がノードNDBに接続されている。

[0051] 論理回路173は、外部入力Hsyncを非同期にパネル内ロジック電圧(VDD2)までレベルシフトすることのできる非同期型レベルシフタ回路172でレベルシフトされた水平同期信号Hsyncを使用して、MCKレベルシフタ171-1, 171-2のリセット信号rst-1, rst-2を生成する論理回路を有する。

[0052] 図9は、図7の論理回路173の具体的な構成例を示す回路図である。

論理回路173は、図9に示すように、インバータINV1731、INV1732、T型フリップフロップFF173、および2入力ANDゲートAG1731, AG1732を有する。

[0053] インバータINV1731の入力端子がレベルシフトされた水平同期信号Hsyncの入力端子inに接続され、出力端子がT型フリップフロップFF173の入力端子in、ANDゲートAG1731の一方の入力端子、およびANDゲートAG1732の一方の入力端子に接続されている。

ANDゲートAG1731の他方の入力端子はインバータINV1732の出力端子に接続されている。そして、インバータINV1732の入力端子およびANDゲートAG1732の他方の入力端子がT型フリップフロップFF173の出力端子outに接続されている。また、T型フリップフロップFF173の出力端子outからスイッチ175, 176を切り替えるための選択パルスSEL MCKが出力される。

[0054] リファレンス電圧生成回路174は、電圧VDD0(たとえば1.8V)の半分のVDD0/2のリファレンス電圧VREFを生成し、レベルシフタ171-1, 171-2のリファレンス電圧入力端子Vrefに供給する。

[0055] 図10および図11は、図7のリファレンス電圧生成回路174の構成例を示す回路図である。

[0056] 図10のリファレンス電圧生成回路174Aは、電圧VDD0の供給ラインと基準電位VSS(GND)との間に抵抗素子R1741、R1742が直列に接続され、両抵抗素子の接続中点からVDD0/2のリファレンス電圧VREFを出力するように構成されている。

[0057] 図11のリファレンス電圧生成回路174Bは、図10の構成に加えて接地側の抵抗素子T1741の一端と基準電位VSSとの間に、ゲートがリセット信号rstの供給ラインに接続されたnチャネルトランジスタNT1741のドレイン、ソースを接続した構成を有する。

図11のリファレンス電圧生成回路174Bは、リセット動作時のみに抵抗素子に電流を流すためのスイッチとしてトランジスタNT1741を設け、定電流化を実現し、パネル内消費電流の低減を実現している。

[0058] ここで、本実施形態に係るレベル変換回路17LSMCKの動作を図12および図13のタイミングチャートに関連付けて説明する。

図12は図7のレベル変換回路の全体的なタイミングチャートを示し、図13は図8のレベルシフタのタイミングチャートを示している。

[0059] RGBパラレルインターフェース信号として、マスタクロックMCKと水平同期信号Hsyncが入力される。

水平同期信号Hsyncはレベルシフタ172で、入力電圧レベル(VDD0振幅)からパネル内ロジック電圧(VDD2振幅)にレベル変換される。レベル変換された水平同期信号Hsyncは論理回路173に入力される。

論理回路173においては、2水平期間の周期を持つリセットパルスrst-1、rst-2と最終出力切り替え用SWの選択パルスSEL_MCKが生成される。ここで、リセットパルスrst-1、rst-2の位相は1水平期間分だけずらしたタイミングで出力が行われる。

リセットパルスrst-1、rst-2の信号は、それぞれレベルシフタ171-1, 171-2に

入力される。これにより、レベルシフタ171-1, 171-2は、2水平期間の周期でリセットがかかる。

最終出力信号LSMCKは、レベルシフタ171-1, 171-2の出力信号から選択した一の信号として出力される。レベルシフタ171-1, 171-2の出力の際は、リセット動作を行っていない方の回路が選択されるように選択パルスSEL_MCKの位相が決められる。

[0060] レベルシフタ171-1, 171-2内部の動作を図13に関連付けてさらに詳細に説明する。

[0061] リセット期間においては、トランジスタNT1711がオフし、トランジスタNT1712、NT1715がオンし、図8のCMOSインバータINV1712がバイパス(ノードNDBとNDCが短絡)されるため、ノードNDBおよびノードNDCはインバータINV1712の動作点電圧となる。

一方、ノードNDAはVREF(=VDD0/2)電位となる。

駆動状態においては、トランジスタNT1711がオンし、トランジスタNT1712、NT1715がオフし、ノードNDAは外部入力パルスMCKの電位となる。

ノードNDBは、キャパシタC171によりCカップリングされて、インバータINV1712の動作点を中心としてVDD0の電圧で振幅する。

インバータINV1712は動作点付近にあるため、ゲート電位の振幅が微小であっても後段のゲート容量を十分に駆動できるだけの電流が流れる。そのため、out出力はMCKをVDD0からVDD2電位に増幅した信号となる。

[0062] このような構成を有するインタフェース回路17においては、以下の特徴を有する。

既存の表示装置では、図14Aに示すように、マスタクロックMCK、水平同期信号Hsyncの入力パルスに対して非同期型のレベルシフタL/Sが接続されており、パネル内のロジック電圧まで昇圧された後、タイミングジェネレータ18に出力されていた。

これに対して、本実施形態のインタフェース回路17によれば、図14Bおよび図14Cに示すように、マスタクロックMCKに対してはリセットが必要なレベルシフタ171が接続されており、そのリセット信号は非同期型レベルシフタ172でレベル変換された水平同期信号Hsyncを使用して生成される。水平同期信号Hsyncは、パラレルRGB

インタフェースに必須のパルスなため、いずれのシステムを用いても同じタイミングの出力波形を得ることが可能である。また、水平同期信号HsyncをマスタクロックMCKのリセットに使用したとしても、システムの機能を制限することはない。

[0063] なお、MCK用レベルシフタ171は、図8の構成に限定されることはなく、たとえば図15および図16の回路構成を採用することも可能である。

[0064] 図15のレベルシフタ171Aは、ノードNDBとノードNDC間を選択的に接続するスイッチとしてのトランジスタNT1715のゲートに印加される電圧の負側をレベル変換する変換部1711を設け、これにより、駆動状態におけるノードNDBのオフリーク電流を低減することが可能となる。ノードNDBのオフリークによる蓄積電位の変化は、この回路の動作を著しく劣化させるため、オフリーク電流の低減は非常に重要な技術である。

[0065] 図16のレベルシフタ171Bが図15の回路構成と異なる点は、インバータINV1712の負側の電位レベルVSS2を下げていることにある。

この変更により、インバータINV1712の特性が向上するため、レベルシフタのダイナミックレンジが増大する。

[0066] タイミングジェネレータ18は、インタフェース回路17により供給されたマスタクロックMCK、水平同期信号Hsync、垂直同期信号Vsyncに同期して、水平駆動回路13U、13Dのクロックとして用いられる水平スタートパルスHST、水平クロックパルスHCK(HCKX)、垂直駆動回路14のクロックとして用いられる垂直スタートパルスVST、垂直クロックVCK(VCKX)を生成し、水平スタートパルスHST、水平クロックパルスHCK(HCKX)を水平駆動回路13U、13Dに供給し、垂直スタートパルスVST、垂直クロックVCK(VCKX)を垂直駆動回路14に供給する。

[0067] 次に、上記構成による動作を説明する。

[0068] インタフェース回路17に対して、RGBパラレルインターフェース信号として、マスタクロックMCKと水平同期信号Hsyncが入力される。

インタフェース回路17において、水平同期信号Hsyncはレベルシフタ172で、入力電圧レベル(VDD0振幅)からパネル内ロジック電圧(VDD2振幅)にレベル変換される。レベル変換された水平同期信号Hsyncは論理回路173に入力される。

論理回路173においては、2水平期間の周期を持つリセットパルスrst-1、rst-2と最終出力切り替え用SWの選択パルスSEL_MCKが生成される。ここで、リセットパルスrst-1、rst-2の位相は1水平期間分だけずらしたタイミングで出力が行われる。

リセットパルスrst-1、rst-2の信号は、それぞれレベルシフタ171-1、171-2に入力される。これにより、レベルシフタ171-1、171-2は、2水平期間の周期でリセットがかかる。

そして、最終出力信号LSMCKが、レベルシフタ171-1、171-2の出力信号から選択した一の信号として出力される。

[0069] 外部より入力された平行のデジタルデータは、ガラス基板11上のデータ処理回路15で位相調整や周波数を下げるための平行変換が行われ、Rデータ、Bデータ、およびGデータが第1および第2の水平駆動回路13U、13Dに出力される。

第1および第2の水平駆動回路13U、13Dでは、データ処理回路15より入力されたデジタルGデータが第3サンプリングラッチ回路133で1Hかけて順次サンプリングし保持される。その後、水平のブランキング期間に第3ラッチ回路136に転送される。

これと並行して、RデータとBデータが別々に1Hかけてサンプリングされて第1および第2サンプリングラッチ回路131、132に保持され、次の水平ブランキング期間にそれぞれの第1ラッチ回路134に転送される。

水平方向1ラインすべてのデータの第1、第2、および第3サンプリングラッチ回路131～133への格納が完了すると、水平方向ブランキング期間に第2サンプリングラッチ回路132内のデータが第1ラッチ回路134に転送され、すぐに第2ラッチ回路135に転送され格納される。

次に、第1サンプリングラッチ回路131内のデータが第2サンプリングラッチ132に転送され、すぐに第1ラッチ回路134に転送されて格納される。また同期間に第3サンプリングラッチ回路133内のデータが第3ラッチ回路136に転送される。

そして次の水平方向1ラインのデータが、第1、第2、および第3サンプリングラッチ回路131、132、133に格納されていく。

次の水平方向1ラインのデータを格納している間に、第2ラッチ回路135および第3ラッチ回路136に格納されているデータが、ラッチ出力選択スイッチ13OSELが切替

わることによりデジタルアナログ変換回路13DACに出力される。

その後、第1ラッチ回路134に格納されているデータが第2ラッチ回路135に転送されて格納される。そのデータがラッチ出力選択スイッチ13OSELが切替わることによりデジタルアナログ変換回路13DACに出力される。

次の1H期間にデジタルアナログ変換回路13DACでアナログデータに変換されたR, B, Gデータがアナログバッファ13ABUFに保持され、1H期間が3分割された形態で各アナログR, B, Gデータが対応するデータラインに選択的に出力される。

なお、G、R、Bの処理の順番は切り替わっても実現可能である。

[0070] 以上説明したように、本実施形態によれば、インタフェース回路17のマスタクロックのレベル変換回路17LSMCKは、RGBパラレルインターフェースのマスタクロックMCKの入力ラインに対して並列に接続され、定期的リセット動作が必要な形式のL個(本実施形態では $L=2$)のレベルシフタ171-1、171-2と、水平同期信号Hsyncの入力ラインに対して接続された非同期型レベルシフト回路172と、レベルシフトされた水平同期信号Hsyncを使用して、N水平期間の周期を持つMCKレベルシフタ171-1、171-2用のリセットパルス、各レベルシフタ171-1、171-2に対してM水平期間(但し、 $M < N$)位相をずらして入力する信号を出力する論理回路173と、レベルシフタ171-1、171-2にリファレンス電圧VREFを供給するリファレンス電圧生成回路174と、最終出力信号としてM水平期間毎にL個のMCKレベルシフタ171-1、171-2の出力の内、リセット動作を行っていない回路を選択して、レベルシフトされたマスタクロックLSMCKを出力する機能を実現するためのスイッチ回路175、176、およびインバータ177と、を有することから、以下の効果を得ることができる。

すなわち、セット側から出力されたパラレルRGB入力信号を直接受け取ることができるため、外付けICの費用を節約することが可能となる。

外付け部品点数を削減することができ、ひいては信頼性の向上を図ることができる。

また、外付け部品が不要になるため、モジュールの薄型化に貢献することが可能となる。

[0071] また、本実施形態によれば、第1デジタルデータ(R)および第2デジタルデータ(B)用のサンプリングラッチ回路131、132、第1ラッチ回路134、および第2ラッチ回路135を縦続接続してシリアル転送する第1ラッチ系列137と、第3デジタルデータ用のサンプリングラッチ回路133および第3ラッチ回路136を縦続接続した第2ラッチ系列138とを有し、共用のデジタルアナログ(DA)変換回路13DAC、アナログバッファ回路13ABUF、一水平期間(H)中に3つのアナログデータ(R, B, G)を選択的に対応するデータラインに出力するラインセクタ13LSELを有することから、以下の効果を得ることができる。

この構成にすることにより、既存システムよりも同ドットピッチの幅で必要となるDA変換回路・アナログバッファ回路の数が減り、狭額縁化を実現することが可能となる。

また、第1および第2デジタルデータ用と第3デジタルデータ用のサンプリングラッチ回路からデータ処理回路を構成することにより、高精細化を実現することが可能となる。

すなわち、本システムにより、絶縁基板上に高精細化と狭額縁化された3ラインセクタシステム、およびこれを用いた駆動回路一体型表示装置を実現できる。

また、水平駆動回路の回路数を削減可能なため、低消費電力な3ラインセクタシステム、およびこれを用いた駆動回路一体型表示装置を実現できる。

さらに、1水平期間中に3分割して信号線に出力するため、高速動作となるが、画質ばらつきに強い3ラインセクタシステム、およびこれを用いた駆動回路一体型表示装置を実現できる。

[0072] なお、上記実施形態では、アクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、これに限定されるものではなく、エレクトロルミネッセンス(EL)素子を各画素の電気光学素子として用いたEL表示装置などの他のアクティブマトリクス型表示装置にも同様に適用可能である。

[0073] またさらに、上記実施形態に係るアクティブマトリクス型液晶表示装置に代表されるアクティブマトリクス型表示装置は、パーソナルコンピュータ、ワードプロセッサ等のOA機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の小型化、コンパクト化が進められている携帯電話機やPDAなどの携帯端末の表示部

として用いて好適なものである。

[0074] 図17は、本発明が適用される携帯端末、たとえば携帯電話機の構成の概略を示す外観図である。

[0075] 本例に係る携帯電話機200は、装置筐体210の前面側に、スピーカ部220、表示部230、操作部240、およびマイク部250が上部側から順に配置された構成となっている。

このような構成の携帯電話機において、表示部230にはたとえば液晶表示装置が用いられ、この液晶表示装置として、先述した実施形態に係るアクティブマトリクス型液晶表示装置が用いられる。

[0076] このように、携帯電話機などの携帯端末において、先述した実施形態に係るアクティブマトリクス型液晶表示装置を表示部230として用いることにより、この液晶表示装置に搭載される各回路において、外付けICの費用を節約することが可能となり、外付け部品点数を削減することができ、また、外付け部品が不要になるため、モジュールの薄型化に貢献することが可能となる。

また、狭ピッチ化が可能で、狭額縁化を実現でき、また表示装置の低消費電力化を図ることができ、よって端末本体の低消費電力化が可能になる。

産業上の利用可能性

[0077] 本発明の表示装置および電子機器は、高いしきい値電圧を持ち、バラツキが大きい低温ポリシリコンを使用して、ICの電源電圧と同じ入力電圧を増幅することができることから、パーソナルコンピュータ、ワードプロセッサ等のOA機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の小型化、コンパクト化が進められている携帯電話機やPDAなどの携帯端末の表示部として適用可能である。

請求の範囲

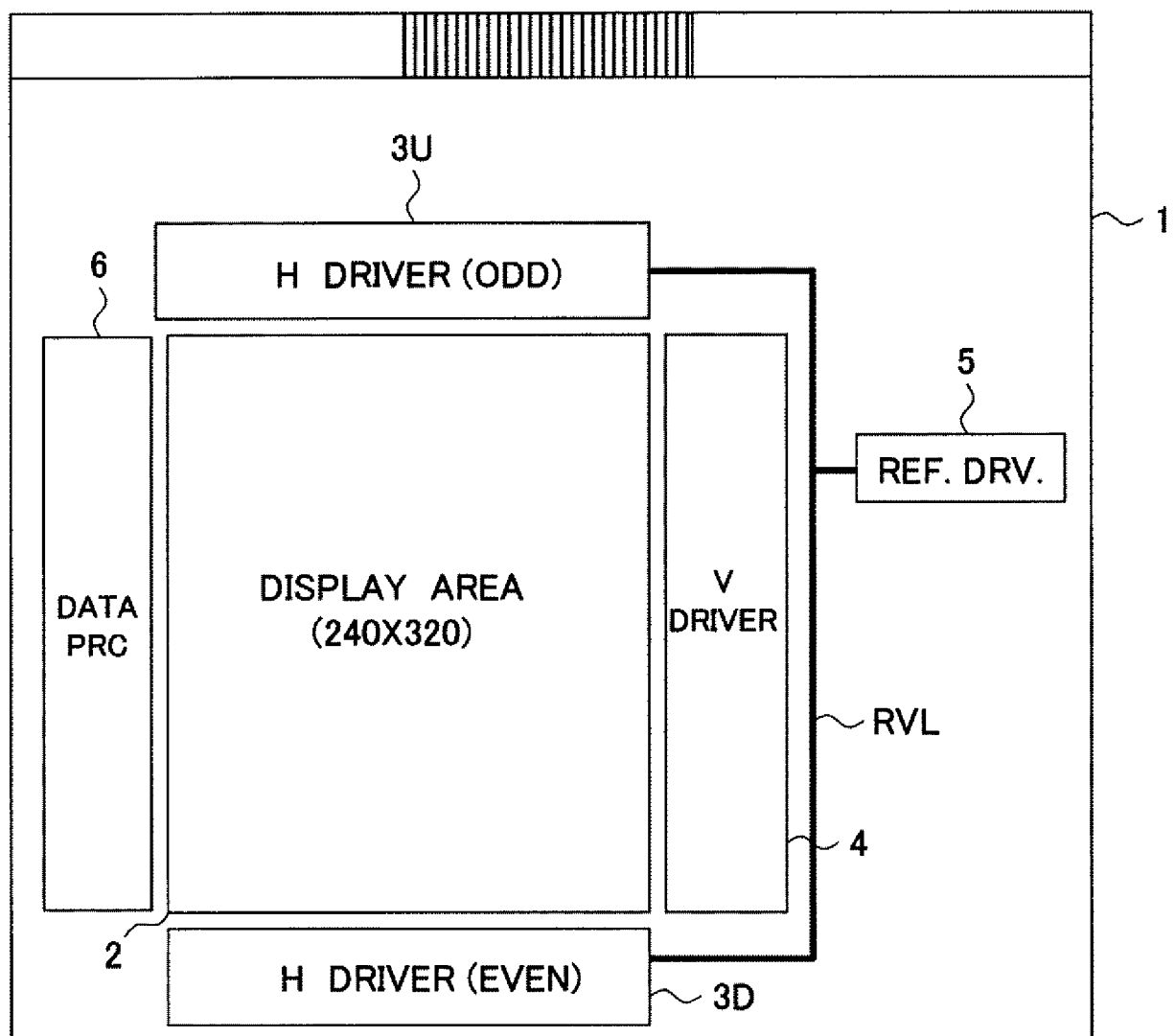
- [1] 少なくともマスタクロックが供給される駆動回路一体型表示装置であつて、
上記マスタクロックの入力時の第1レベルを内部駆動電圧レベルの第2レベルに変換して所定回路に出力するレベル変換回路を有し、
上記レベル変換回路は、
定期的にリセット動作が必要な形式のL個のレベルシフタと、
レベルシフトされた水平同期信号Hsyncに基づいて、N水平期間の周期を持つ上記MCKレベルシフタ用のリセットパルスを、各レベルシフタに対してM水平期間(但し、 $M < N$)位相をずらして入力する信号を出力する論理回路と、
最終出力信号としてM水平期間毎にL個のレベルシフタの出力の内、リセット動作を行っていない回路を選択して、レベルシフトされたマスタクロックを出力する機能と、を含む
表示装置。
- [2] 上記レベルシフタは、
上記内部駆動電圧レベル電位と基準電位との間に接続されたインバータと、
第1ノードと、
上記インバータの入力に接続された第2ノードと、
上記インバータの出力に接続された第3ノードと、
上記第1ノードと上記第2ノード間に接続されたキャパシタと、
リセット期間のみ上記マスタクロックの入力を阻止して、上記第1レベル電位と基準電位との中間電位であるリファレンス電圧を上記第1ノードに供給し、かつ、上記第2ノードと上記第3ノードを導通状態とする回路と、を含む
請求項1記載の表示装置。
- [3] 上記第2ノードと上記第3ノードはスイッチングトランジスタにより接続され、当該スイッチングトランジスタは、非導通時にはゲート電位が負電位に保持される
請求項2記載の表示装置。
- [4] 上記インバータは基準電位の代わりに負電位に接続されている
請求項2記載の表示装置。

- [5] 少なくともマスタクロックが供給される駆動回路一体型表示装置を備えた電子機器であって、
- 上記表示装置は、
- 上記マスタクロックの入力時の第1レベルを内部駆動電圧レベルの第2レベルに変換して所定回路に出力するレベル変換回路を有し、
- 上記レベル変換回路は、
- 定期的にリセット動作が必要な形式のL個のレベルシフタと、
- レベルシフトされた水平同期信号Hsyncに基づいて、N水平期間の周期を持つ上記MCKレベルシフタ用のリセットパルスを、各レベルシフタに対してM水平期間（但し、 $M < N$ ）位相をずらして入力する信号を出力する論理回路と、
- 最終出力信号としてM水平期間毎にL個のレベルシフタの出力の内、リセット動作を行っていない回路を選択して、レベルシフトされたマスタクロックを出力する機能と、を含む
- 電子機器。
- [6] 上記レベルシフタは、
- 上記内部駆動電圧レベル電位と基準電位との間に接続されたインバータと、
- 第1ノードと、
- 上記インバータの入力に接続された第2ノードと、
- 上記インバータの出力に接続された第3ノードと、
- 上記第1ノードと上記第2ノード間に接続されたキャパシタと、
- リセット期間のみ上記マスタクロックの入力を阻止して、上記第1レベル電位と基準電位との中間電位であるリファレンス電圧を上記第1ノードに供給し、かつ、上記第2ノードと上記第3ノードを導通状態とする回路と、を含む
- 請求項5記載の電子機器。
- [7] 上記第2ノードと上記第3ノードはスイッチングトランジスタにより接続され、当該スイッチングトランジスタは、非導通時にはゲート電位が負電位に保持される
- 請求項6記載の電子機器。
- [8] 上記インバータは基準電位の代わりに負電位に接続されている

請求項6記載の電子機器。

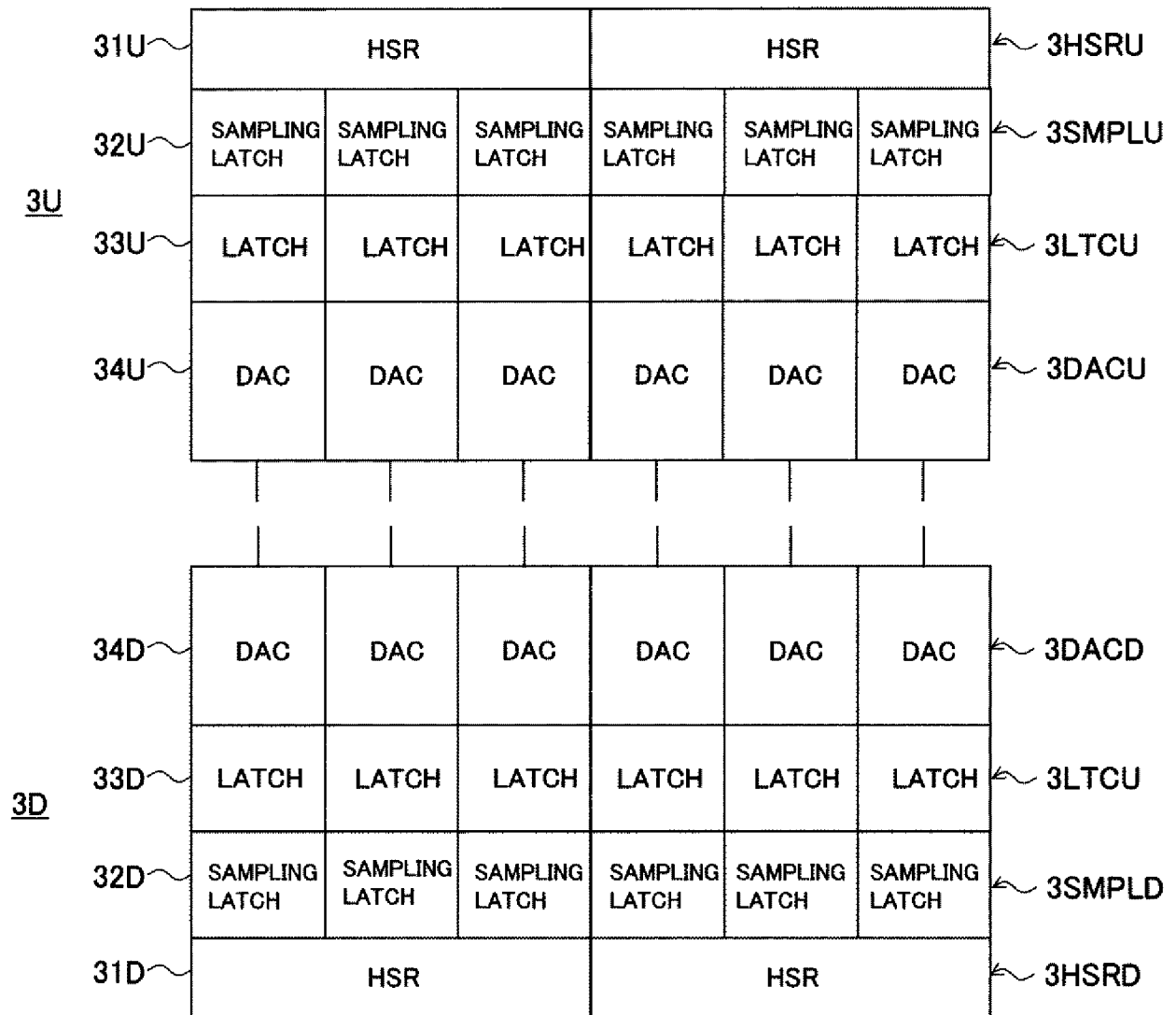
[図1]

FIG. 1



[図2]

FIG. 2



[図3]

FIG. 3

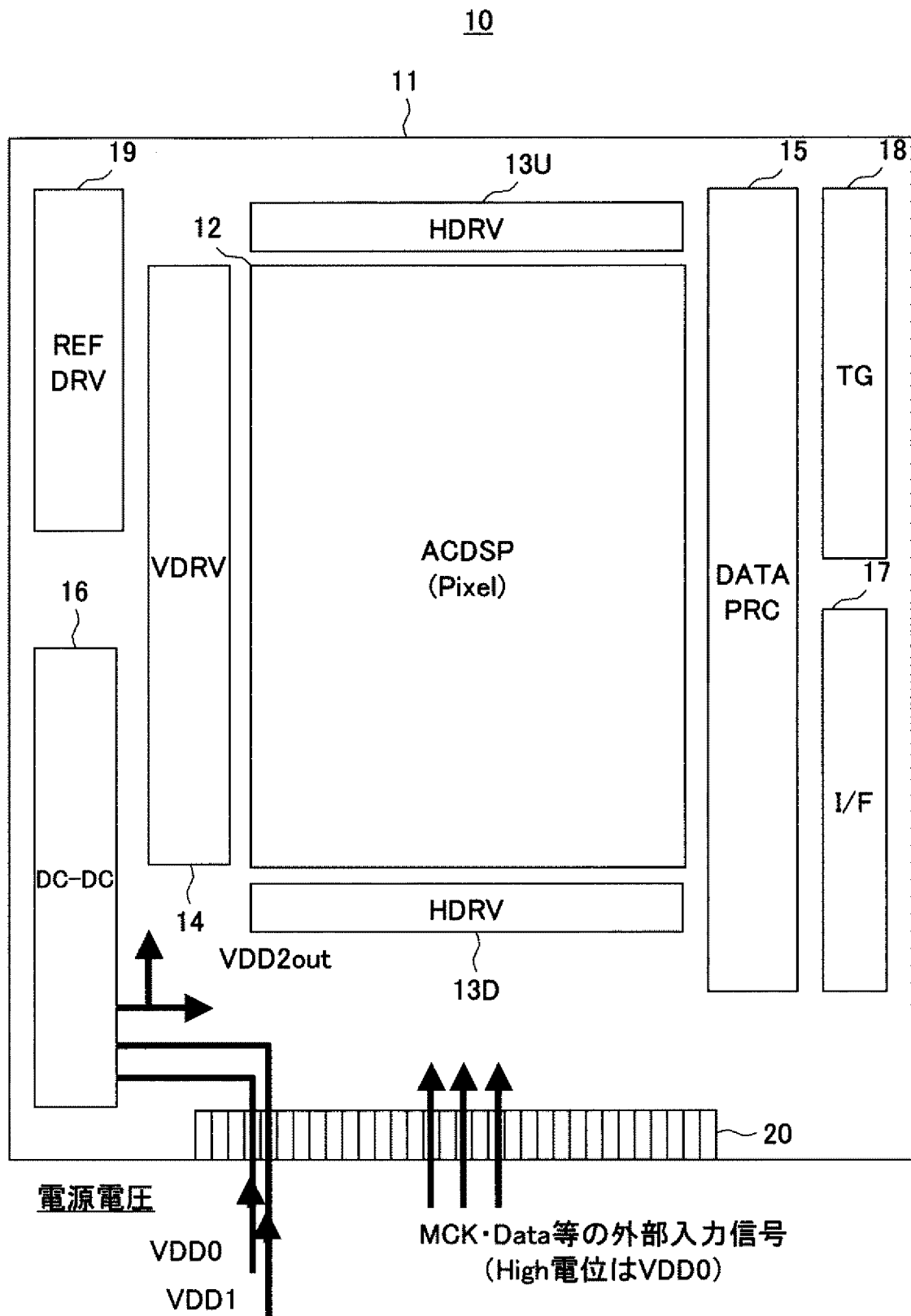
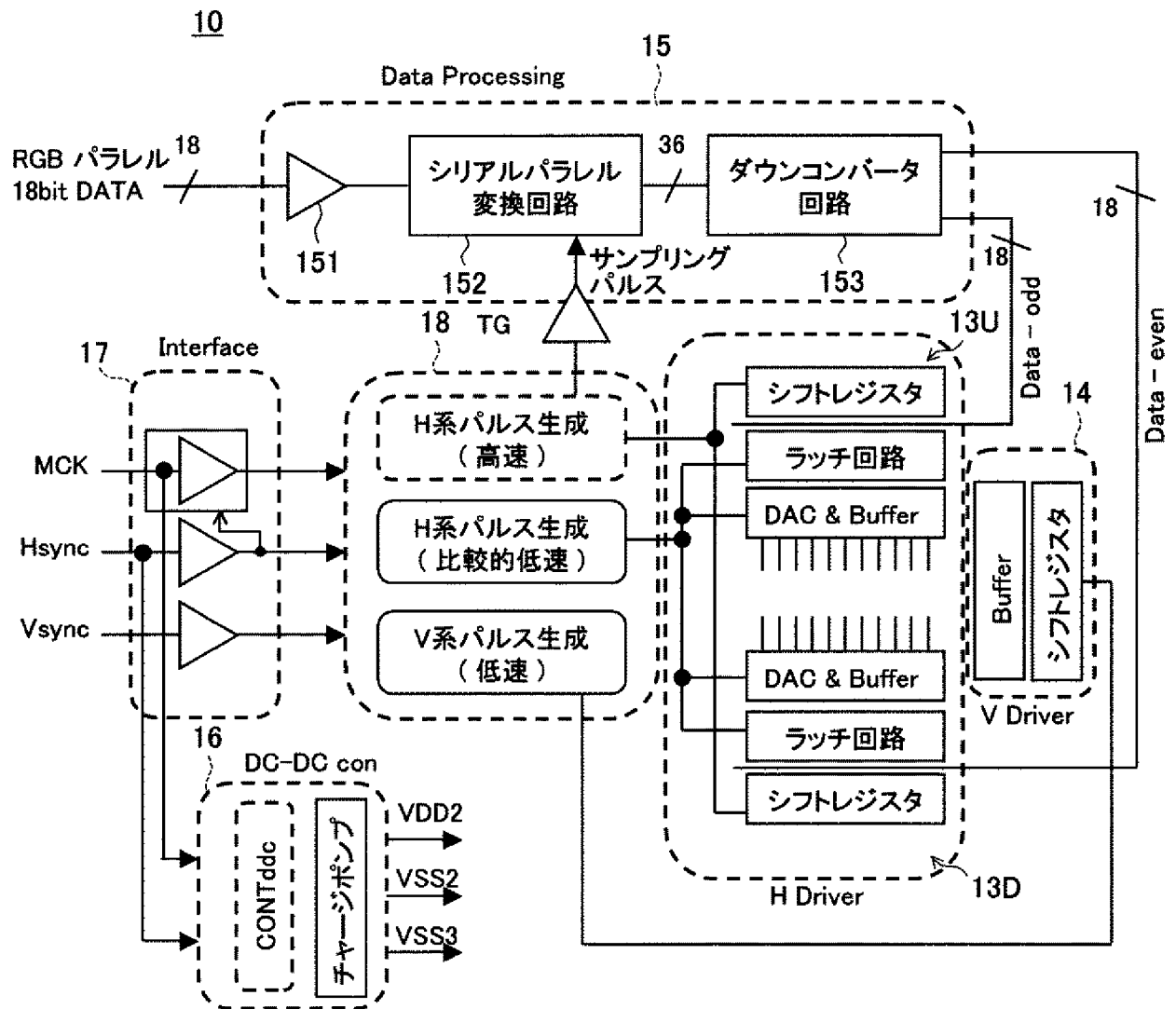
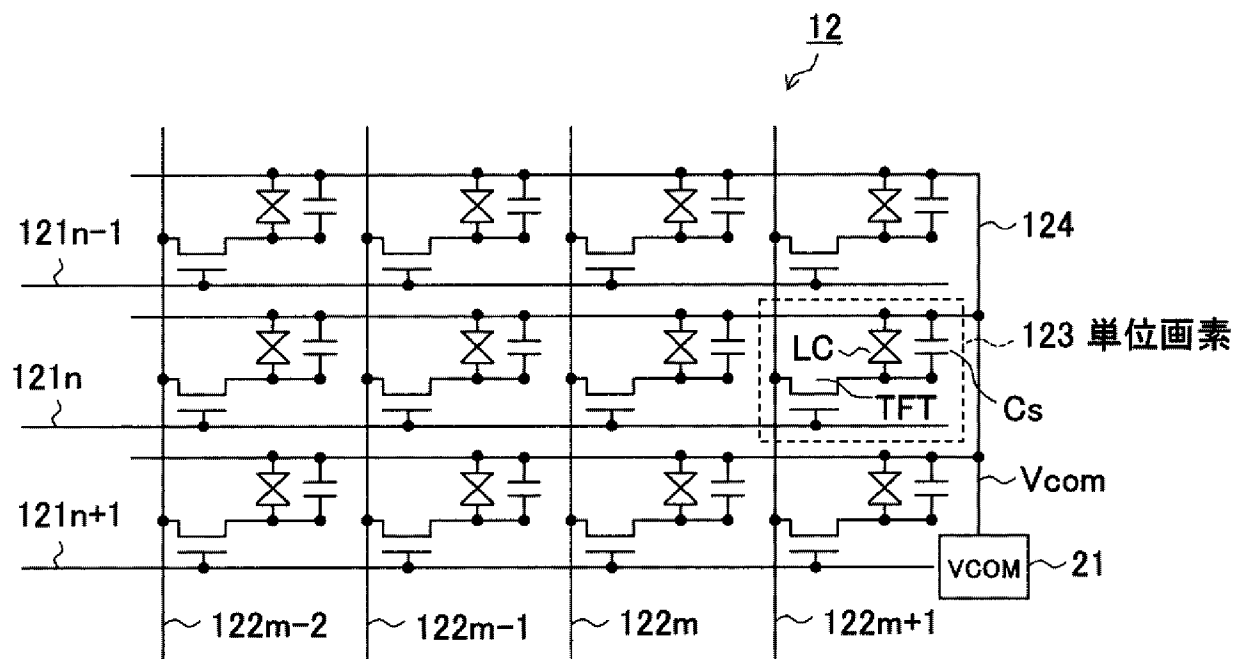


FIG. 4



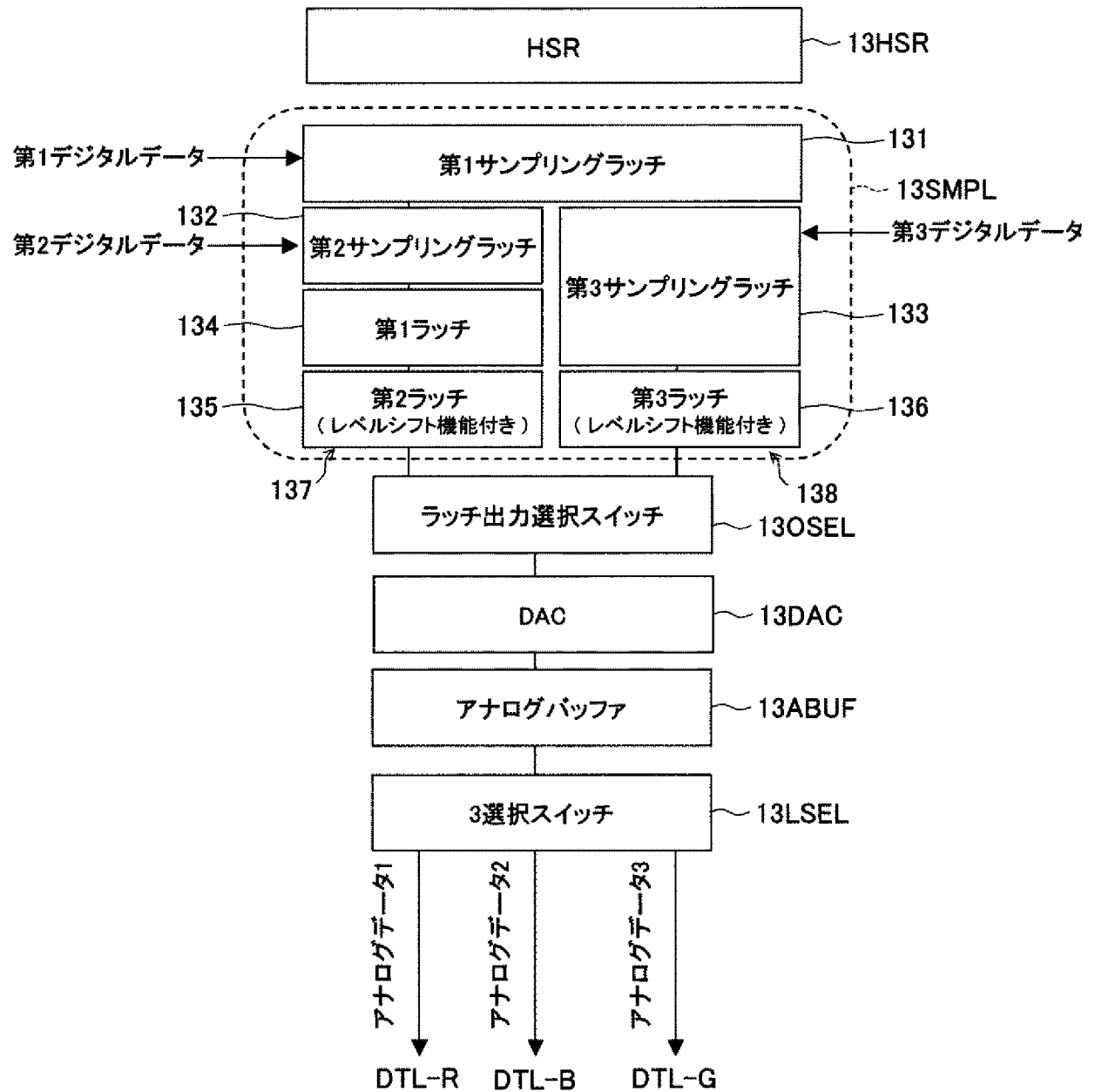
[図5]

FIG. 5



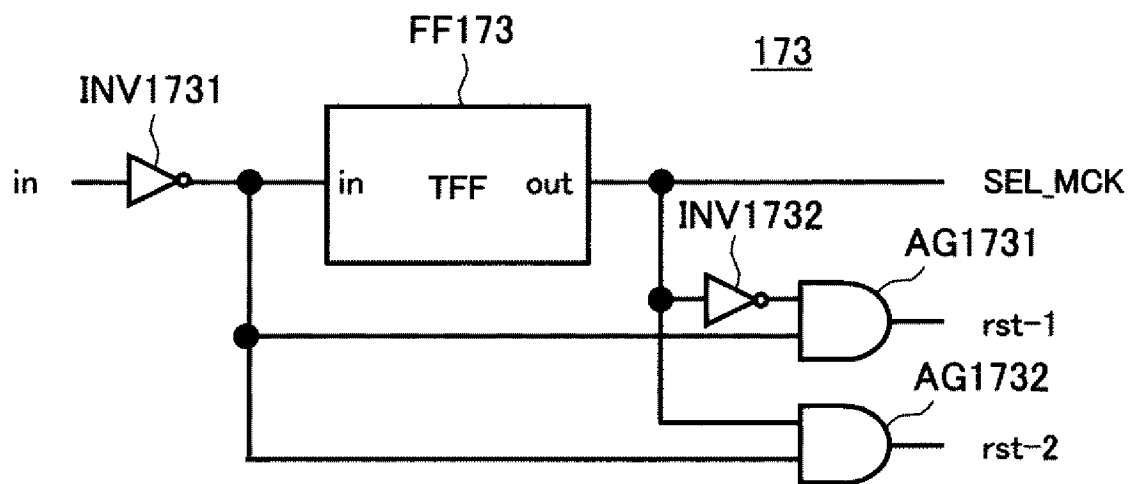
[図6]

FIG. 6



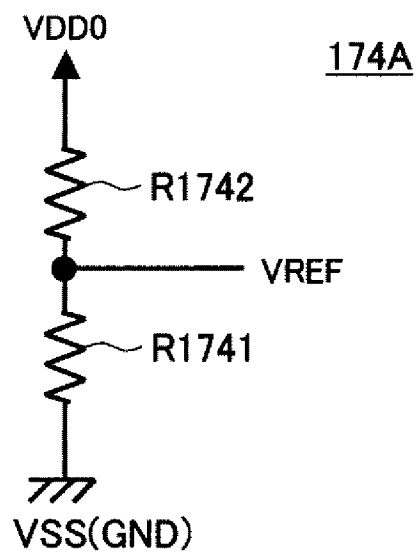
[図9]

FIG. 9



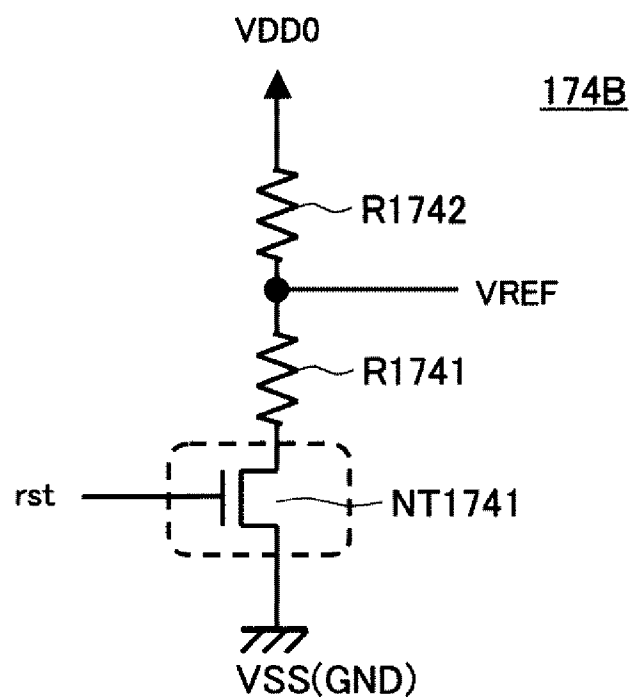
[図10]

FIG. 10



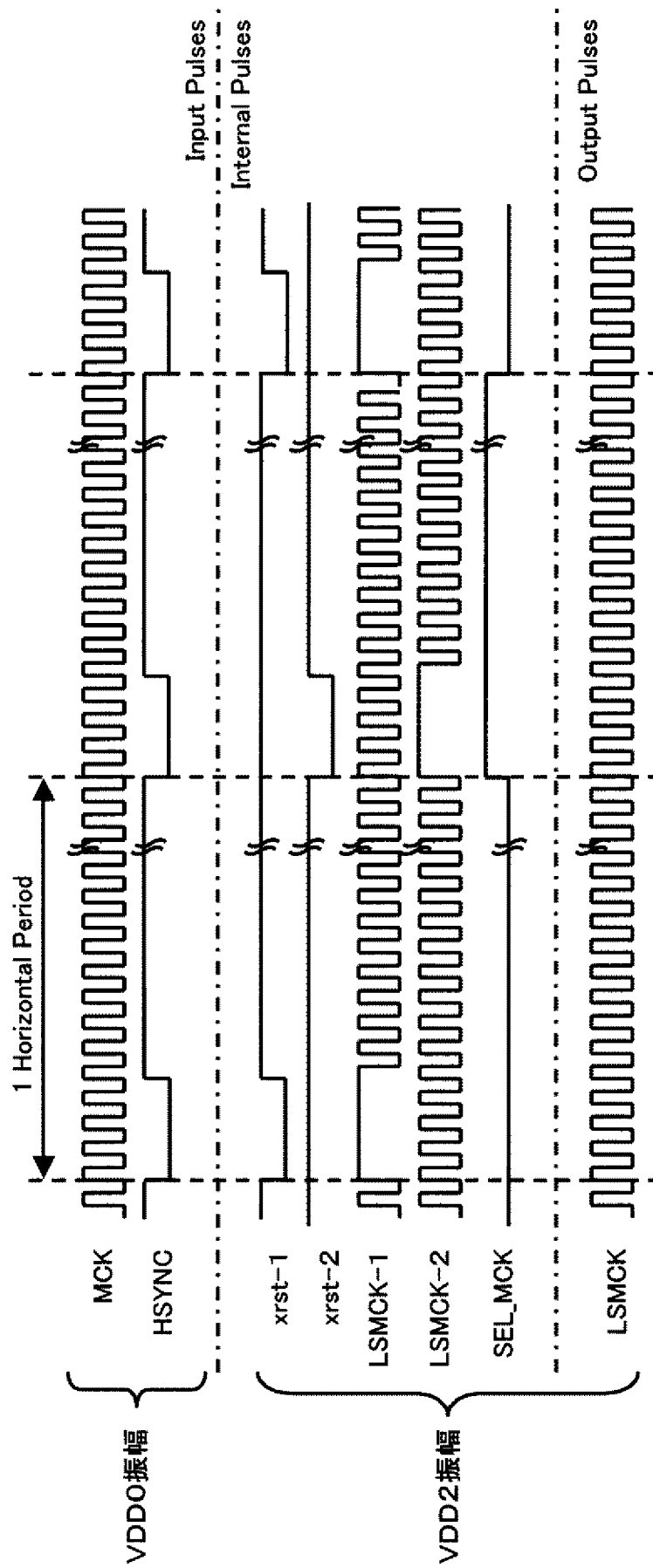
[図11]

FIG. 11



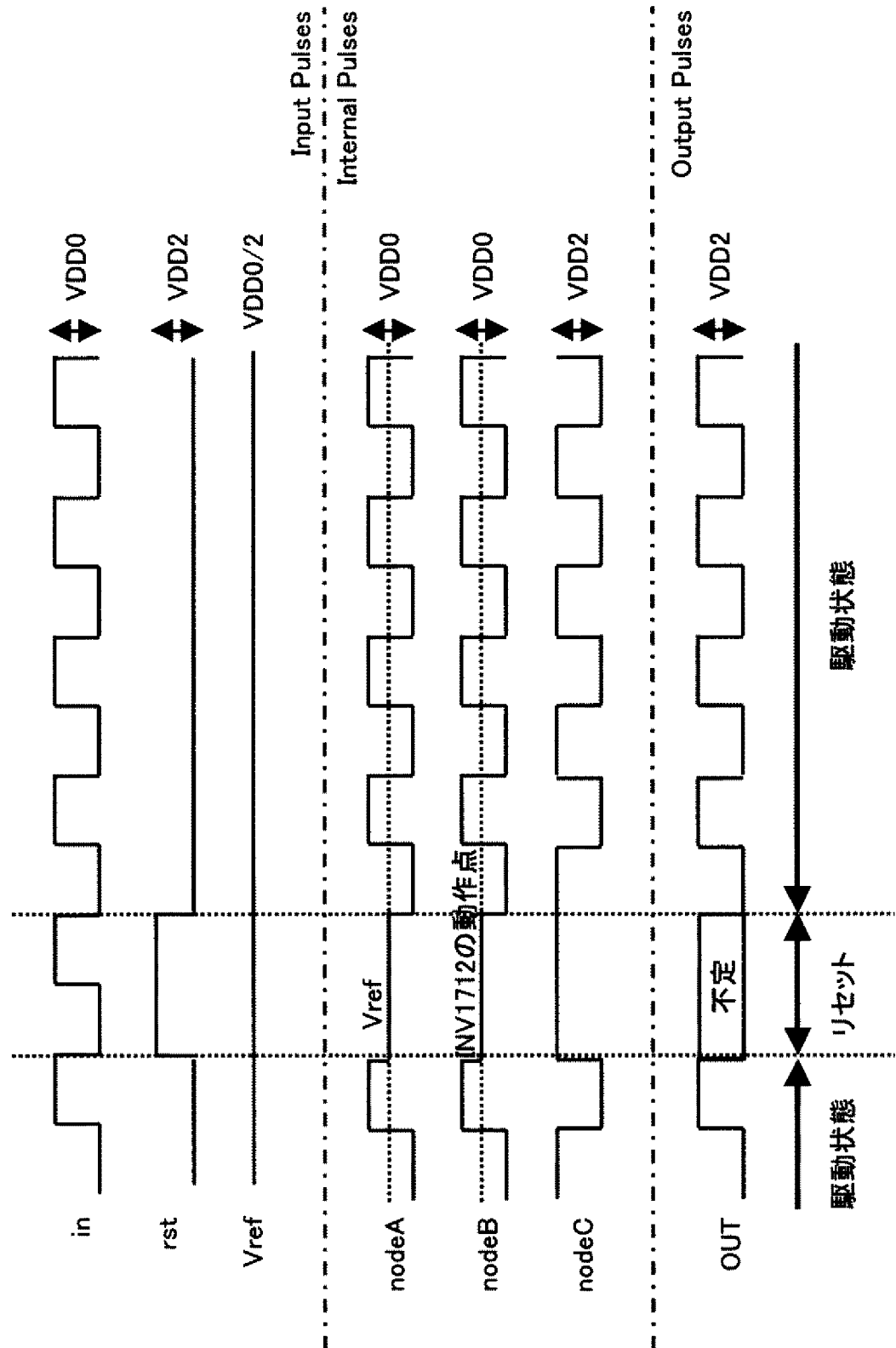
[図12]

FIG. 12



[図13]

FIG. 13



[図14]

通常回路を使用したシステムの構成

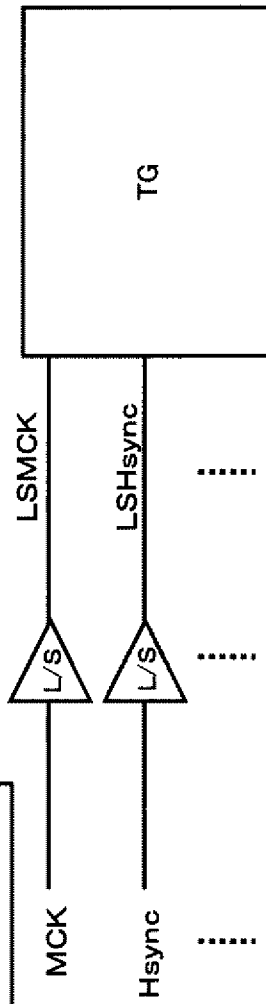
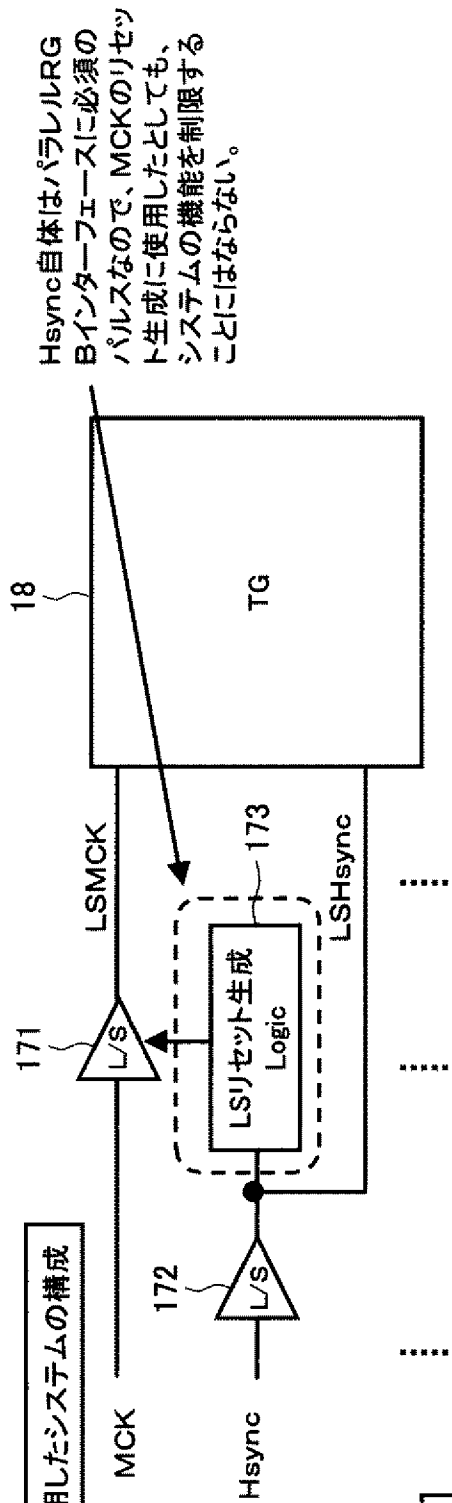


FIG. 14A



Hsync自体はパラレルRG
Bインターフェースに必須の
パルスなので、MCKのリセッ
ト生成に使用したとしても、
システムの機能を制限する
ことにはならない。

FIG. 14B

入出力信号

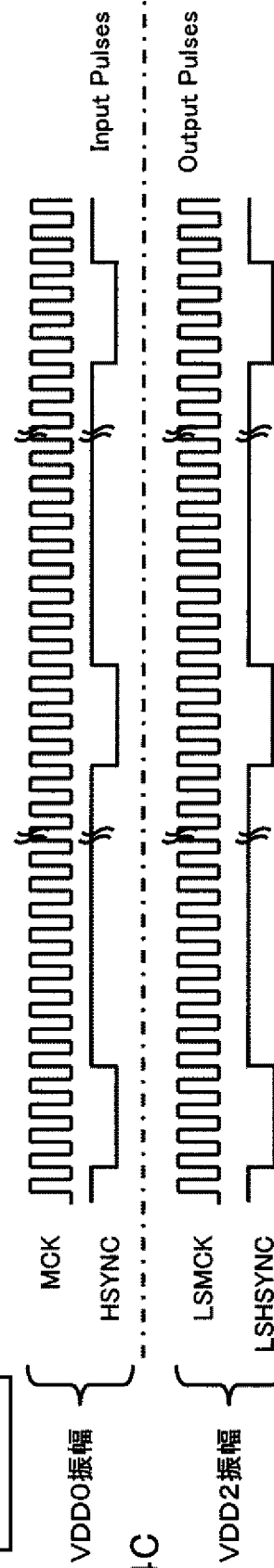
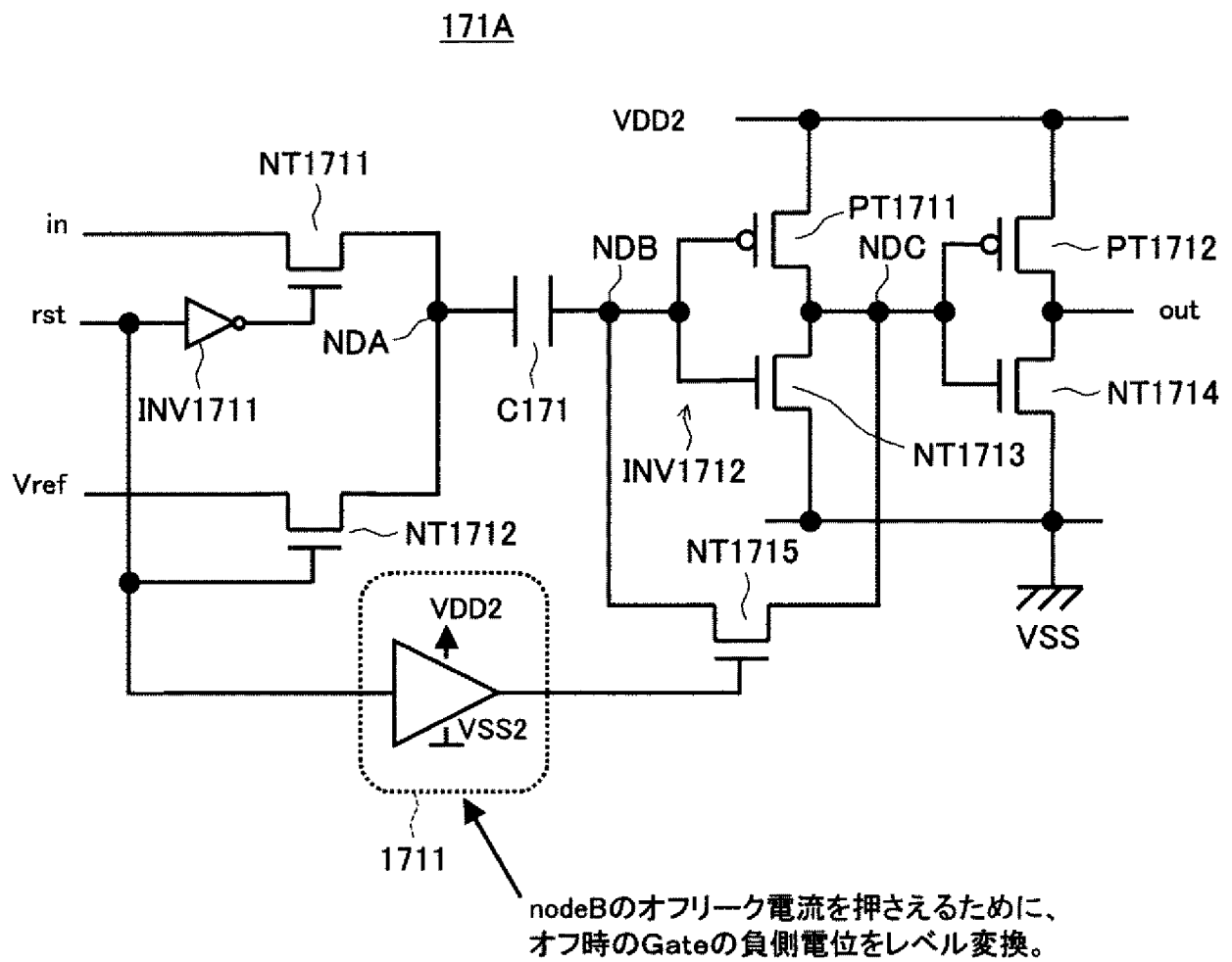


FIG. 14C

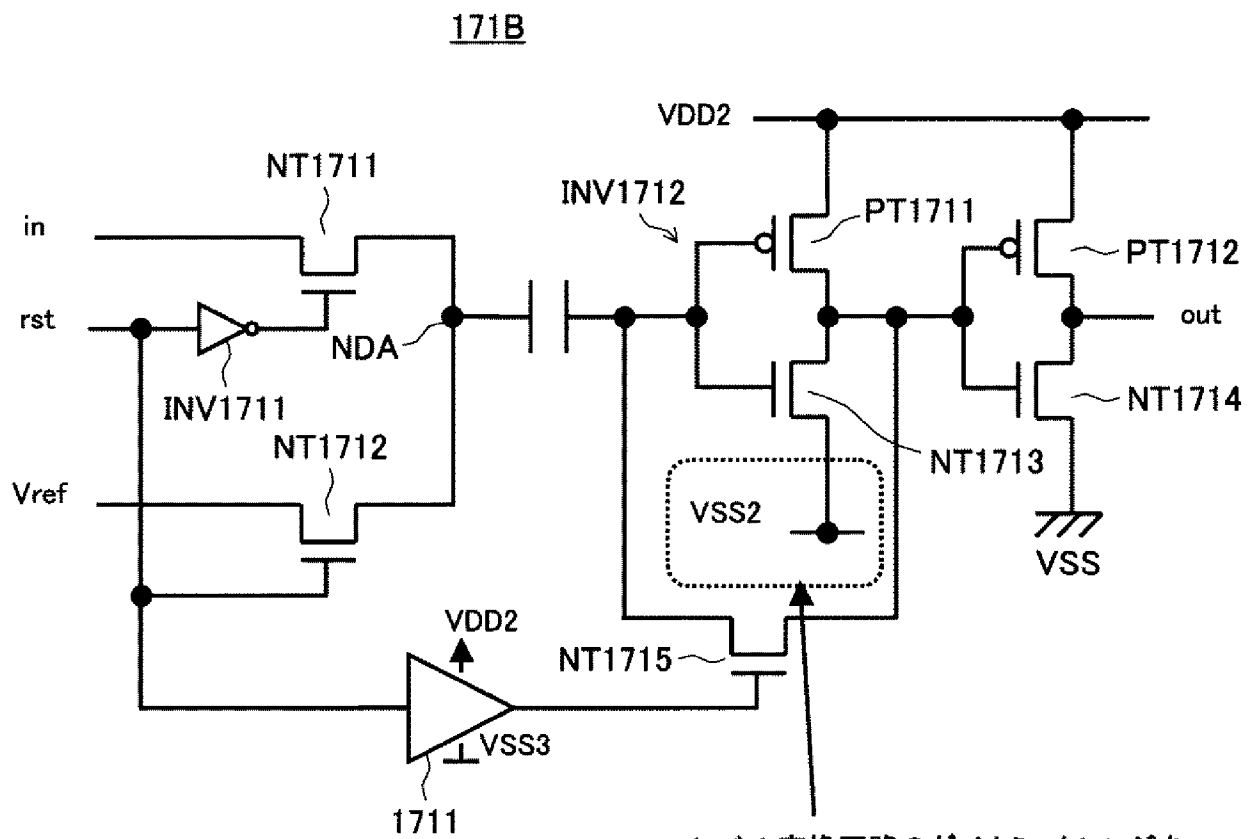
[図15]

FIG. 15



[図16]

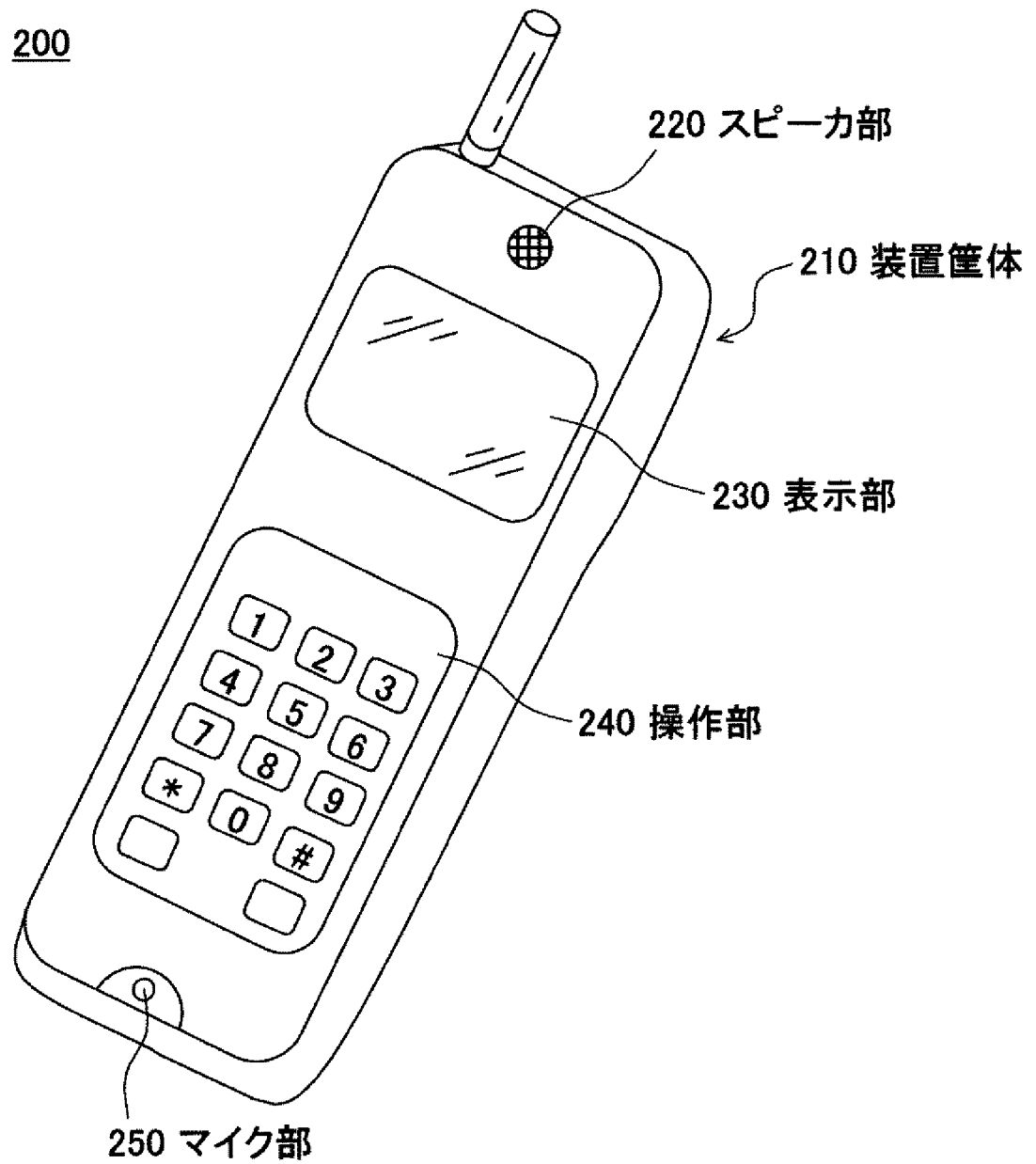
FIG. 16



レベル変換回路のダイナミックレンジを
上げるために、増幅段のInverterの
特性を向上。

[図17]

FIG. 17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/050791

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G02F1/1345(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G02F1/1345, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2004/057760 A1 (Semiconductor Energy Laboratory Co., Ltd.), 08 July, 2004 (08.07.04), Full text; all drawings & US 2004/0202276 A1 & EP 1575167 A1	1-8
A	JP 2002-196732 A (Toshiba Corp.), 12 July, 2002 (12.07.02), Par. Nos. [0048] to [0051]; Fig. 10 & US 2001/0035862 A1 & EP 1150274 A2	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 March, 2007 (26.03.07)

Date of mailing of the international search report
03 April, 2007 (03.04.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1345(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. G09G3/36, G02F1/133, G02F1/1345, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2007年
 日本国実用新案登録公報 1996-2007年
 日本国登録実用新案公報 1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 2004/057760 A1（株式会社半導体エネルギー研究所）2004.07.08, 全文全図 & US 2004/0202276 A1 & EP 1575167 A1	1-8
A	J P 2002-196732 A（株式会社東芝）2002.07.12, 段落【0048】-【0051】, 図10 & US 2001/0035862 A1 & EP 1150274 A2	1-8

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献
--	---

国際調査を完了した日 26.03.2007	国際調査報告の発送日 03.04.2007		
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 濱本 慎広	2 G	9 5 0 9
	電話番号 03-3581-1101 内線 3226		