

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年5月9日(09.05.2019)



(10) 国際公開番号

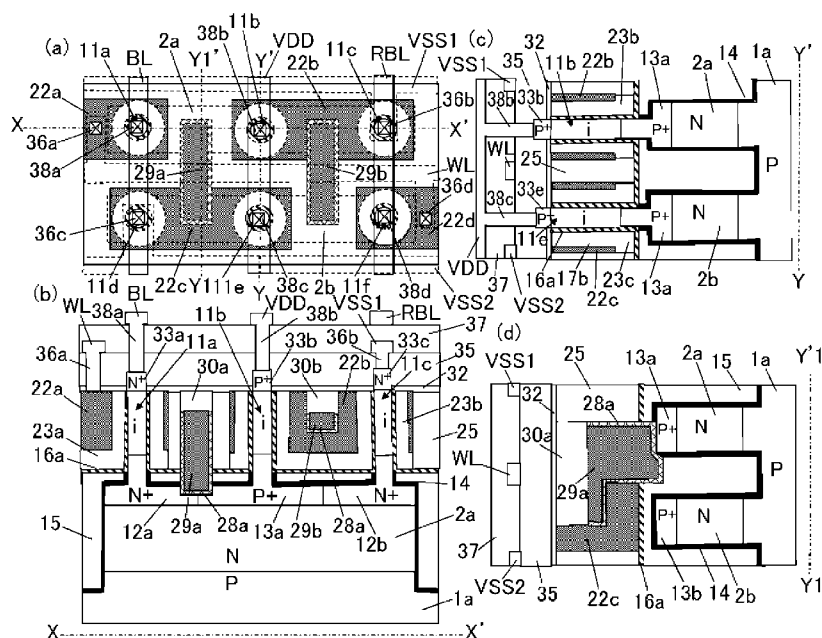
WO 2019/087328 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 国際出願番号: PCT/JP2017/039538
(22) 国際出願日: 2017年11月1日(01.11.2017)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(71) 出願人(USを除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポ
ール プライベート リミテッド(UNISANTIS
ELECTRONICS SINGAPORE PTE. LTD.) [SG/
SG]; 179098 ノースブリッジロード 1
1 1、ペニンシュラ プラザ # 1 6
- 0 4 Singapore (SG).

(72) 発明者; および
(71) 出願人(US についてののみ): 舩岡 富士雄
(MASUOKA Fujio) [JP/JP]; 〒1020083 東京都
千代田区麹町1丁目3番7号 日月館麹町ビ
ル5階 Semicon Consulting
g株式会社内 Tokyo (JP). 原田 望(HARADA
Nozomu) [JP/JP]; 〒1020083 東京都千代田区麹
町1丁目3番7号 日月館麹町ビル5階 Se
micon Consulting株式会
社内 Tokyo (JP). 中村 広記(NAKAMURA Hiroki)
[JP/JP]; 〒1020083 東京都千代田区麹町1丁目
3番7号 日月館麹町ビル5階 Semicon Consulting株式会
社内 Tokyo (JP). 金 敏洙(KIM Min Soo) [KR/BE]; 3001 ル
ーバン カペルドレーフ 7 5 Leuven (BE).

(54) Title: COLUMNAR SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 柱状半導体装置と、その製造方法



(57) Abstract: According to the present invention, in an SRAM cell circuit, when seen in a plan view, first gate connection W layers 22c, which are disposed between first gate connection W layers 22a, 22b respectively connected to gate TiN layers 23a, 23b, and which are connected to bottom portions of Si columns 11a, 11b, connected to a horizontally extending N+ layer 12a and P+ layer 13a and the gate TiN layers 23a and 23b, and extend in the horizontal direction, are connected via a second gate connection W layer 29a. In addition, a bottom portion of the

陶 鍾(TAO Zheng) [CN/BE]; 3001 ルーバン カ
ペルドレーフ 7 5 Leuven (BE).

(74) 代理人: 田中 伸一郎, 外(TANAKA Shinichiro
et al.); 〒1008355 東京都千代田区丸の内 3
丁目 3 番 1 号 新東京ビル 中村合同特
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

second gate connection W layer 29a is disposed in the first gate connection W layer 22c, and the upper surface position of the second gate connection W layer 29a is formed lower than the upper surface positions of gate TiN layers 23a-23f, and the upper surface positions of first gate connection W layers 22a-22d.

(57) 要約: S R A Mセル回路において、平面視において、ゲート T i N 層 2 3 a、2 3 b に繋がった第 1 のゲート接続 W 層 2 2 a、2 2 b 間の、S i 柱 1 1 a、1 1 b の底部に繋がり、且つ水平方向に延びている N⁺層 1 2 a、P⁺層 1 3 a と、ゲート T i N 層 2 3 a、2 3 b に繋がり、且つ水平方向に延びている第 1 のゲート接続 W 層 2 2 c とが、第 2 のゲート接続 W 層 2 9 a を介して繋がっている。そして、第 2 のゲート接続 W 層 2 9 a の底部が第 1 のゲート接続 W 層 2 2 c 内にあり、且つその上表面位置が、ゲート T i N 層 2 3 a ~ 2 3 f、及び第 1 のゲート接続 W 層 2 2 a ~ 2 2 d の上表面位置より低く形成されている。

明 細 書

発明の名称：柱状半導体装置と、その製造方法

技術分野

[0001] 本発明は、柱状半導体装置と、その製造方法に関する。

背景技術

[0002] 近年、代表的な柱状半導体装置であるSGT (Surrounding Gate Transistor) は、高集積な半導体装置を提供する半導体素子として注目されている。また、SGTを有する半導体メモリ装置の更なる高集積化、高性能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャネルが半導体基板の上表面に沿う水平方向に存在する。これに対して、SGTのチャネルは、半導体基板の上表面に対して垂直な方向に存在する（例えば、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図10に、NチャネルSGTの構造模式図を示す。P型又はi型（真性型）の導電型を有するSi柱100（以下、シリコン半導体柱を「Si柱」と称する。）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN⁺領域101a、101b（以下、ドナー不純物を高濃度で含む半導体領域を「N⁺領域」と称する。）が形成されている。このソース、ドレインとなるN⁺領域101a、101b間のSi柱100の部分がチャネル領域102となる。このチャネル領域102を囲むようにゲート絶縁材料層103が形成されている。このゲート絶縁材料層103を囲むようにゲート導体層104が形成されている。SGTでは、ソース、ドレインとなるN⁺領域101a、101b、チャネル領域102、ゲート絶縁材料層103、ゲート導体層104が、単一のSi柱100内に形成される。このため、平面視において、SGTの占有面積は、プレナー型MOSトランジスタの単一のソース又はドレインN⁺領域の占有面積に相当する。そのため、SGTを有する回路

チップは、プレナー型MOSトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化が実現できる。

[0005] 実際のLSI回路チップ上には図10に示したSGTが多数形成されている。各SGTのソース、ドレイン、ゲート導体層は、他のSGTのソース、ドレイン、ゲート導体層、または外部回路に繋がる配線と、回路設計に従って、接続されている。この接続方法は、LSI回路チップの集積度、性能、製造の容易性に大きく影響を与える。

先行技術文献

非特許文献

[0006] 非特許文献1: Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)
非特許文献2: H.Itoh, T.Moriya, and M.Kashiwagi: " Selective CVD of tungsten and its applications to MOSLSI ", Solid-State Techn., November, pp.83 (1986)

発明の概要

発明が解決しようとする課題

[0007] SGTを用いたLSI回路の高密度化、高性能化、低コスト化の実現が求められている。

課題を解決するための手段

[0008] 本発明の第1の観点に係る、柱状半導体装置は、
基板上に、垂直方向に配置される第1の半導体柱と、
前記第1の半導体柱の下方にある第1の不純物領域と、
前記第1の不純物領域に繋がり、且つ水平方向に延びている、半導体または導体よりなる第1不純物領域接続層と、
前記第1の半導体柱の上方にある第2の不純物領域と、
前記第1の不純物領域と、前記第2の不純物領域の間にある前記第1の半

導体柱を囲んだ第 1 のゲート絶縁層と、

前記第 1 の絶縁層を囲んだ第 1 のゲート導体層と、

前記基板上に、垂直方向に配置される第 2 の半導体柱と、

前記第 2 の半導体柱の下方にある第 3 の不純物領域と、

前記第 2 の半導体柱の上方にある第 4 の不純物領域と、

前記第 3 の不純物領域と、前記第 4 の不純物領域の間にある前記第 2 の半導体柱を囲んだ第 2 のゲート絶縁層と、

前記ゲート絶縁層を囲んだ第 2 のゲート導体層と、

前記第 2 のゲート導体層に繋がり、且つ水平方向に延びている導体よりなる第 2 ゲート接続導体層と、

前記第 1 不純物領域接続層と、前記第 2 ゲート接続導体層と、に繋がり、且つ、平面視において、少なくとも前記第 2 ゲート接続導体層に重なる部分の底部の垂直方向での位置が、前記第 2 のゲート導体層と、前記第 2 ゲート接続導体層と、の上表面位置より低い第 1 のコンタクトホールと、

前記第 1 のコンタクトホール内に前記第 1 の不純物領域と、前記第 2 ゲート接続導体層と、に繋がる第 1 の接続導体層を有する、

ことを特徴とする。

[0009] 前記柱状半導体装置において、前記第 1 の接続導体層の上表面位置が、垂直方向において、前記第 2 のゲート導体層、及び前記第 2 ゲート接続導体層の上表面位置より下にある、

ことが望ましい。

前記柱状半導体装置において、前記第 2 のゲート導体層と、前記第 2 ゲート接続導体層と、が同じ材料層よりなる、

ことが望ましい。

[0010] 前記柱状半導体装置において、平面視において、前記第 1 のコンタクトホールが、

前記第 1 不純物領域接続層上または前記第 2 ゲート接続導体層上にある第 2 のコンタクトホールと、

前記第2のコンタクトホールが前記第1不純物領域接続層上にある場合は、前記第2ゲート接続導体層とに繋がり、前記第2のコンタクトホールが前記第2ゲート接続導体層上にある場合は、前記第1不純物領域接続層に繋がる、第3のコンタクトホールと、よりなり、

前記第3のコンタクトホールの底部が、前記第2のゲート導体層、及び前記第2ゲート接続導体層の上表面位置より下にあり、

前記第1の接続導体層が、前記第2のコンタクトホール内にある第2の接続導体層と、前記第2の接続導体層に繋がり、且つ前記第3のコンタクトホール内にある第3の接続導体層と、よりなる、

ことが望ましい。

[0011] 前記柱状半導体装置において、前記第1のゲート導体層に繋がり、且つ水平方向に延びている第1ゲート接続導体層と、

前記第1ゲート接続導体層と、前記第2ゲート接続導体層との側面を囲んだ第1の層間絶縁層と、

前記第1の層間絶縁層側面を囲んだ、前記第1の層間絶縁層と異なる材料であり、且つ前記第1のコンタクトホール形成のための第2の層間絶縁層とを有する、

ことが望ましい。

[0012] 前記柱状半導体装置において、前記第1ゲート接続導体層側面と、前記第2ゲート接続導体層の側面と、前記第1の接続導体層側面と、の間にシリコン酸化膜の誘電率より低い誘電率の第3の層間絶縁層を有する、

ことが望ましい。

[0013] 前記柱状半導体装置において、前記第1ゲート接続導体層側面と、前記第2ゲート接続導体層の側面と、の片方または両方と、前記第1の接続導体層側面と、の間に、空孔がある第4の層間絶縁層を有する、

ことが望ましい。

[0014] 前記柱状半導体装置において、前記第3のコンタクトホールの底に繋がり、且つ前記第3のコンタクトホールより下方にある半導体、または導電層で

ある材料層まで繋がった第4のコンタクトホールと、

前記第4のコンタクトホール内に、第4の接続導体層を有する、

ことが望ましい。

[0015] 前記柱状半導体装置において、前記第1のコンタクトホールの底部が前記第1の不純物領域の内部にある、ことが望ましい。

[0016] 本発明の第2の観点に係る、柱状半導体装置の製造方法は、

第1の不純物領域、第1の半導体柱及び第2の不純物領域が、基板上に垂直方向に階層的に配置されると共に、第3の不純物領域、第2の半導体柱及び第4の不純物領域が、基板上に垂直方向に階層的に配置されており、

前記第1の不純物領域は、前記第1の半導体柱の下方に配置されており、

前記第3の不純物領域は、前記第2の半導体柱の下方に配置されており、

半導体または導体の第1不純物領域接続層が、前記第1の不純物領域に繋がりを、且つ水平方向に延びており、

前記第1の半導体柱を囲むように第1のゲート絶縁層を形成する工程と、

前記第2の半導体柱を囲むように第2のゲート絶縁層を形成する工程と、

前記第1のゲート絶縁層を囲むように第1のゲート導体層を形成する工程と、

前記第2のゲート絶縁層を囲むように第2のゲート導体層を形成する工程と、

前記第2のゲート導体層に繋がりを、且つ水平方向に延びた第2ゲート接続導体層を形成する工程と、

前記第1不純物領域接続層と、前記第2ゲート接続導体層と、に繋がりを、
且つ、平面視において、少なくとも前記第2のゲート導体層に重なる部分の底部の垂直方向での位置が、前記第2のゲート導体層、及び前記第2ゲート接続導体層の上表面位置より低い第1のコンタクトホールを形成する工程と、

前記第1のコンタクトホール内に前記第1の不純物領域と、前記第2ゲート接続導体層と、に繋がる第1の接続導体層を形成する工程を有する、

ことを特徴とする。

[0017] 前記方法において、前記第1の接続導体層の上表面位置が、垂直方向において、前記第2のゲート導体層、及び前記第2ゲート接続導体層の、上表面位置より下になるように形成する、

ことが望ましい。

前記方法において、前記第2のゲート導体層と、前記第2ゲート接続導体層と、を同じ材料層で形成する、ことが望ましい。

[0018] 前記方法において、前記第1不純物領域接続層上に、第2のコンタクトホールを形成する工程と、

前記第2のコンタクトホール内に第2の接続導体層を形成する工程と、

前記第2のコンタクトホール上と、前記第2ゲート接続導体層上と、に繋がる第3のコンタクトホールを形成する工程と、

第3のコンタクトホール内に第3の接続導体層を形成する工程を有し、

前記第2のコンタクトホールと、前記第3のコンタクトホールとが、合わさって前記第1のコンタクトホールであり、

前記第2の接続導体層と、第3の接続導体層と、が合わさって前記第1の接続導体層となっている、

ことが望ましい。

[0019] 前記方法において、前記第2ゲート接続導体層上に、第4のコンタクトホールを形成する工程と、

前記第4のコンタクトホール内に第4の接続導体層を形成する工程と、

前記第4のコンタクトホール上と、前記第1不純物接続層上と、に繋がる第5のコンタクトホールを形成する工程と、

前記第5のコンタクトホール内に第5の接続導体層を形成する工程を有し、

前記第4のコンタクトホールと、前記第5のコンタクトホールとが、合わさって前記第1のコンタクトホールであり、

前記第4の接続導体層と、第5の接続導体層と、が合わさって前記第1の

接続導体層となっている、

ことが望ましい。

[0020] 前記方法において、前記第1ゲート接続導体層と、前記第2ゲート接続導体層との側面を囲んだ第1の層間絶縁層を形成する工程と、

前記第1の層間絶縁層側面を囲み、前記第1の層間絶縁層と異なる材料であり、且つ前記第1のコンタクトホール形成のためのエッチング種が前記第1の層間絶縁層より高いエッチング速度である第2の層間絶縁層を形成する工程とを有する、

ことが望ましい。

[0021] 前記方法において、前記第1の接続導体層側面を囲み、且つ比誘電率がシリコン酸化膜より低い第3の層間絶縁層を形成する工程を有する、

ことが望ましい。

[0022] 前記方法において、前記第1の接続導体層を囲み、且つその中に空孔がある第4の層間絶縁層を形成する工程を有する、ことが望ましい。

[0023] 前記方法において、前記第3のコンタクトホールの底に繋がり、且つ前記第3のコンタクトホールより下方にある半導体、または導電層である材料層まで繋がった第6のコンタクトホールを形成する工程と、

前記第3のコンタクトホールと、前記第6のコンタクトホールとの内側に、第6の接続導体層を有する、

ことが望ましい。

[0024] 前記方法において、前記第4のコンタクトホールの底に繋がり、且つ前記第4のコンタクトホールより下方にある半導体、または導電層である材料層まで繋がった第7のコンタクトホールを形成する工程と、

前記第4のコンタクトホールと、前記第7のコンタクトホールとの内側に、第7の接続導体層を形成する工程を有する、

ことが望ましい。

[0025] 前記方法において、前記第1のコンタクトホールの底部が、前記第1不純物領域接続層の内部にある、ことが望ましい。

発明の効果

[0026] 本発明によれば、SGTを有する柱状半導体メモリ装置において、1つのメモリセルが少なくとも3個の半導体柱より形成され、且つ少ない数のメモリセル内の配線層を繋ぐコンタクトホールにより形成される。これにより、高密度のSRAMセル回路が実現できる。

図面の簡単な説明

[0027] [図1]本発明の第1実施形態に係るSGTを有する柱状半導体メモリ装置を説明するためのSRAMセル回路図である。

[図2A]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図2B]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図2C]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図2D]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図2E]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図2F]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図2G]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2H]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2I]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

。

[図2J]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である

。

[図2K]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である

。

[図3A]本発明の第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図3B]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である

。

[図3C]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である

。

[図3D]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である

。

[図3E]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である

。

[図4A]本発明の第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図4B]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である

。

[図5A]本発明の第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図5B]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図6A]本発明の第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図6B]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図7A]本発明の第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図7B]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図8A]本発明の第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図8B]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図9A]第1実施形態に係るSGTを有するインバータチェーン回路装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図9B]第1実施形態に係るSGTを有するインバータチェーン回路装置の製

造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図9C]第1実施形態に係るSGTを有するインバータチェーン回路装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図9D]第1実施形態に係るSGTを有するインバータチェーン回路装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図9E]本発明の第2実施形態に係るSGTを有するインバータチェーン回路装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図10]従来例のSGTを示す模式構造図である。

発明を実施するための形態

[0028] 以下、本発明の実施形態に係る、SGTを有する柱状半導体メモリ装置の製造方法について、図面を参照しながら説明する。

[0029] （第1実施形態）

以下、図1、図2A～図2Kを参照しながら、本発明の第1実施形態に係る、SGTを有する柱状半導体メモリ装置であるSRAMセルの製造方法について説明する。

[0030] 図1に、本実施形態のSRAMセル構造の等価回路図を示す。本SRAMセル回路は2個のインバータ回路を含んでいる。1つのインバータ回路は負荷トランジスタとしてのPチャネルSGT_{Pc1}と、駆動トランジスタとしてのNチャネルSGT_{Nc1}と、から構成されている。もう1つのインバータ回路は負荷トランジスタとしてのPチャネルSGT_{Pc2}と、駆動トランジスタとしてのNチャネルSGT_{Nc2}と、から構成されている。PチャネルSGT_{Pc1}のゲートとNチャネルSGT_{Nc1}のゲートが接続されている。PチャネルSGT_{Pc2}のドレインとNチャネルSGT_{Nc2}のドレインが接続されている。PチャネルSGT_{Pc2}のゲートとNチャネルS

GT_Nc2のゲートが接続されている。PチャンネルSGT_Pc1のドレインとNチャンネルSGT_Nc1のドレインが接続されている。

[0031] 図1に示すように、PチャンネルSGT_Pc1、Pc2のソースは電源端子Vddに接続されている。そして、NチャンネルSGT_Nc1、Nc2のソースはグランド端子Vssに接続されている。選択NチャンネルSGT_SN1、SN2が2つのインバータ回路の両側に配置されている。選択NチャンネルSGT_SN1、SN2のゲートはワード線端子WLtに接続されている。選択NチャンネルSGT_SN1のソース、ドレインはNチャンネルSGT_Nc1、PチャンネルSGT_Pc1のドレインとビット線端子BLtに接続されている。選択NチャンネルSGT_SN2のソース、ドレインはNチャンネルSGT_Nc2、PチャンネルSGT_Pc2のドレインと反転ビット線端子BLRtに接続されている。このように、本実施形態のSRAMセルを有する回路（以下、「SRAMセル回路」という。）は、2個のPチャンネルSGT_Pc1、Pc2と、4個のNチャンネルSGT_Nc1、Nc2、SN1、SN2とからなる合計6個のSGTから構成されている。

[0032] 以下に、図1に示すSRAMセルの等価回路に係る、第1実施形態のSRAMセル構造の製造フローを説明する。

まず、図2Aに示すように、P層基板1上にエピタキシャル成長法によりN層2を形成する。そして、N層2表層に例えばイオン注入法により、N⁺層3a、3b、P⁺層4を形成する。そして、N⁺層3a、3b、P⁺層4上にエピタキシャル成長法によりi層5を形成する。そして、i層5上に酸化シリコン（SiO₂）層（図示せず）と、窒化シリコン（SiN）層（図示せず）と、SiO₂層（図示せず）と、よりなる絶縁材料層6を形成する。なお、N層2は、P層基板1に含まれているアクセプタ不純物濃度よりも、多くのドナー不純物濃度を含んでいるのが望ましい。そして、N⁺層3a、3b、P⁺層4はSGTのソース、またはドレインとなるので、出来るだけ高い濃度のドナー、またはアクセプタ不純物を含んでいることが望ましい。そして、i層5はアクセプタ、及びドナー不純物を含まない固有形（Intrinsic conductivit

y type)だけでなく、ドナーまたはアクセプタ不純物を含んだP層、またはN層であってもよい。

[0033] 次に、図2Bに示すように、リソグラフィ法と、絶縁材料層6のRIE (Reactive Ion Etching) 法により、i層5上に絶縁材料層6a、6bを形成する。そして、絶縁材料層6a、6bをマスクにして、i層5、N⁺層3a、3b、P⁺層4、N層2、P層1をエッチングして、絶縁材料層6aの下にi層5a、N⁺層3aa、3bb、P⁺層4a、N層2a、P層基板1aよりなるSi柱台と、絶縁材料層6bの下にi層5b、N⁺層3cc (図示せず)、3dd (図示せず)、P⁺層4b、N層2b、P層基板1aよりなるSi柱台と、を形成する。

[0034] 次に、図2Cに示すように、リソグラフィ法とRIE法とを用いて、絶縁材料層6aをパターンニングして、絶縁材料層10a、10b、10c、10d (図示せず)、10e、10fを形成する。そして、絶縁材料層10a～10fをマスクにして、絶縁材料層6a、6b、i層5a、5b、N⁺層3aa、3bb、3cc、3ddをエッチングして、Si柱11a、11b、11c、11d、11e、11fを形成する。Si柱11a～11fの底部にN⁺層12a、12b、12c (図示せず)、12d (図示せず)、P⁺層13a、13bが形成される。そして、N⁺層12a、12b下において、P層基板1a上にN層2aが形成される。そして、N⁺層12c、12d下のP層基板1a上にN層2bが形成される。そして、薄いSiO₂層 (図示せず) を全体に形成した後、全体にSiN層 (図示せず) を被覆する、そして、Si柱11a～11fの外周部に、上表面の位置が、N⁺層12a、12b、12c、12d、P⁺層13a、13bの上表面より、上にあるSiO₂層15を形成する。そして、SiO₂層15の上表面より、上部のSi柱11a～11fを囲んだSiN層と、SiO₂層を除去する。そして、例えば化学洗浄 (Chemical Cleaning) により、薄いSiO₂層 (図示せず) をSi柱11a～11fの側面に形成した後に、全体にゲート絶縁材料層である酸化ハフニウム (HfO₂) 層16を、ALD (Atomic Layer Deposition) 法を用いて、形成する

。そして、全体にゲート導体層である窒化チタン（TiN）層17を形成する。

[0035] 次に、図2Dに示すように、タングステン（W）膜（図示せず）を、その上表面位置が絶縁材料層10a～10fより上になるように形成する。そして、CMP（Chemical Mechanical Polish）法により、W層と、TiN層17を研磨して、上表面位置が絶縁材料層10a～10fの上表面位置と同じくなるW層20とTiN層17a、HfO₂層16aを形成する。

[0036] 次に、図2Eに示すように、RIE（Reactive Ion Etching）法を用いて、W層20とTiN層17aをエッチバック（Etch Back）して、W層20aとTiN層17bを形成する。

[0037] 次に、図2Fに示すように、リソグラフィ法とRIE法とを用いて、平面視において、Si柱11aを囲むW層22a、TiN層23aと、Si柱11b、11cとを囲むW層22b、TiN層23bと、Si柱11d、11eとを囲むW層22c、TiN層23cと、Si柱11fとを囲むW層22d、TiN層23d（図示せず）を形成する。

[0038] 次に、図2Gに示すように、全体にSiO₂層（図示せず）を被覆した後に、CMP法によりSiO₂層の上表面位置が絶縁層10a～10fの上表面位置と同じくなるように研磨してSiO₂層25を形成する。そして、全体にSiN層26を形成する。そして、リソグラフィ法とRIE法を用いて、SiN層26とSiO₂層25をエッチングして、底部がW層22a～22dの上表面となる、平面視において、N⁺層12a、P⁺層13aと、W層22cに繋がる空孔27aと、N⁺層12d、P⁺層13bと、W層22bに繋がる空孔27bと、を形成する。なお、SiO₂層25上の空孔27a、27bの底部は、SiO₂層25のオーバーエッチングにより、W層22a～22dの上表面より下になる。

[0039] 次に、図2Hに示すように、更にW層22a～22dのエッチングを進める。そして、更にSiO₂層25のエッチングを進める。これにより、底部がW層22cの上表面より下にあり、且つ平面視において、N⁺層12aとP⁺層

1 3 aと境界上あり、且つその底部がN⁺層1 2 a、P⁺層1 3 aの上表面位置、またはN⁺層1 2 a、P⁺層1 3 aの内部になるように形成したコンタクトホール2 7 a aを形成する。同じく、底部がW層2 2 bの上表面より下にあり、且つ平面視においてN⁺層1 2 dと、P⁺層1 3 bとの境界上にあり、且つその底部がN⁺層1 2 d、P⁺層1 3 bの上表面位置、またはN⁺層1 2 d、P⁺層1 3 bの内部になるように形成したコンタクトホール2 7 a aを形成する。

[0040] 次に、図2 Iに示すように、ALD法を用いてコンタクトホール2 7 a a、2 7 b b内に、例えばTiとTiNとからなるバリヤ導体層（図示せず）を形成する。そして、続けて全体にW層（図示せず）を、その上表面位置が、絶縁材料層1 0 a～1 0 f、SiO₂層2 5の上表面位置より高く形成する。そして、CMP法により、SiO₂層2 5上の、W層とバリヤ導体層を研磨して除去する。そして、コンタクトホール2 7 a a、2 7 b b内のW層とバリヤ導体層との上部をエッチングして、バリヤ導体層2 8 a、2 8 b、W層2 9 a、2 9 bを形成する。これにより、バリヤ導体層2 8 a、W層2 9 aを介して、N⁺層1 2 a、P⁺層1 3 aと、W層2 2 cとが接続される。同様に、バリヤ導体層2 8 b、W層2 9 bを介して、N⁺層1 2 d、P⁺層1 3 bと、W層2 2 bとが接続される。そして、全体にSiO₂層（図示せず）を、その上表面位置が絶縁材料層1 0 a～1 0 fの上表面位置より高く形成する。そして、CMP法により、上表面位置が絶縁材料層1 0 a～1 0 fの上表面位置と同じになるようにSiO₂層を研磨して、コンタクトホール2 7 a a、2 7 b b内の、バリヤ導体層2 8 a、2 8 b、W層2 9 a、2 9 b上にSiO₂層3 0 a、3 0 bを形成する。

[0041] 次に、図2 Jに示すように、RIE法によりSiO₂層2 5、3 0 a、3 0 bの上層をエッチングする。そして、Si柱1 1 a～1 1 fの外周部にSiO₂層3 2を形成する。そして、リソグラフィ法とイオン注入法により、Si柱1 1 a、1 1 c、1 1 d、1 1 fの頂部にN⁺層3 3 a、3 3 c、3 3 d（図示せず）、3 3 f（図示せず）と、Si柱1 1 b、1 1 eの頂部にP⁺層3 3 b、3 3 eを形成する。なお、N⁺層3 3 a、3 3 c、3 3 d、3 3 fと、

P⁺層33b、33eとは、SGTのソース、またはドレインになるので、できるだけ多くのドナー、またはアクセプタ不純物を含んでいることが望ましい。

[0042] 次に、図2Kに示すように、全体にSiO₂層35を形成する。そして、リソグラフィ法とRIエッチング法により、W層22a、22d上にコンタクトホール36a、36dと、Si柱11c、11d上にコンタクトホール36b、36dと、を形成する。そして、SiO₂層35上に、コンタクトホール36a、36bを介して、W層22a、22dと繋がったワード配線金属層WLと、コンタクトホール36b、36cを介して、N⁺層33c、33dに繋がったグランド配線金属層Vss1、Vss2を形成する。そして、全体にSiO₂層37を形成する。そして、リソグラフィ法とRIエッチング法を用いて、Si柱11a、11b、11e、11f上にコンタクトホール38a、38b、38c、38dを形成する。そして、SiO₂層37上に、コンタクトホール38aを介してN⁺層33aに繋がったビット配線金属層BLと、コンタクトホール38b、38cを介して、P⁺層33b、33eに繋がった電源配線金属層VDDと、コンタクトホール38dを介して、N⁺層33fに繋がった反転ビット配線金属層RBLと、を形成する。これにより、P層基板1a上に、SRAMセル回路が形成される。

[0043] 本実施形態では、以下のような特徴が供せられる。

1. 本実施形態では、N⁺層12a、P⁺層13aと、ゲートTiN層17bに繋がったW層22cと、がW層29aを介して接続されている。W層29aは、W層22c内では、コンタクトホール27aaに埋め込まれた構造になっている。同様に、W層29bは、W層22b内では、コンタクトホール27bbに埋め込まれた構造になっている。これにより、この埋め込みがない場合と比べて、W層22cとW層29aと、が確実に接続される。そして、W層22cとW層29aの接続面積を大きくできるため、この埋め込みがない場合と比べて、W層22cとW層29aと、の接続抵抗を小さくできる。これは、W層22bとW層29bにおいても同様である。

2. 本実施形態では、W層29a、29bの上表面位置が、ゲートTiN層23a、23b、23c、23dの上面位置、およびゲートTiN層23a、23b、23c、23dに繋がるW層22a、22b、22c、22dの上表面位置とより低くなっている。これにより、W層29a、29bの上表面位置が、ゲートTiN層23a、23b、23c、23d、およびW層22a、22b、22c、22dの上表面位置より確実に低くできるので、W層29a、29bと、SiO₂層35上に形成されたワード配線金属層WL、グランド配線金属層VSS1、VSS2との電氣的短絡不良を確実に防止できる。そして、W層29a、29bと、例えばゲートTiN層23a～23d、W層22a～22dと、の結合容量を小さく出来る。これにより、駆動電圧の低減による低消費電力化を図ることができる。

3. 本実施形態では、コンタクトホール27aaの底部は、W層22cの上表面より下にあり、且つ平面視において、N⁺層12aとP⁺層13aと境界上あり、且つその底部がN⁺層12a、P⁺層13aの上表面位置、またはN⁺層12a、P⁺層13aの内部になるように形成した。コンタクトホール27aaの底部がN⁺層12a、P⁺層13aの内部になるように形成することにより、W層29aと、N⁺層12a、P⁺層13aとの接触面積を広くすることができる。これにより、W層29aと、N⁺層12a、P⁺層13aとの接続抵抗を低くできる。この接続抵抗減少効果は、平面視におけるコンタクトホール27aaの面積が小さくなるほど大きい。このため、SGT回路の高集積化に対して有効となる。

[0044] (第2実施形態)

以下、図3A～図3Eを参照しながら、本発明の第2実施形態に係る、SGTを有する柱状半導体メモリ装置であるSRAMセルの製造方法について説明する。

[0045] 図3Aに示すように、図2Gにおける空孔27a、27bを形成する前までを第1実施形態と同じ工程を行った後、リソグラフィ法と、SiN層26、SiO₂層25のRIEエッチング法により、平面視において、N⁺層12a

とP⁺層13aの境界を含む領域上と、N⁺層12dとP⁺層13bの境界を含む領域上と、にコンタクトホール40a、40bを形成する。

[0046] 次に、図3Bに示すように、コンタクトホール40a、40b内に、その上表面位置が、W層22a～22dの上表面位置より低くなるように、バリア導体層41a、41b（図示せず）と、W層42a、42b（図示せず）と、を形成する。そして、W層42a、42bと、バリア導体層41a、41bとの上であって、且つコンタクトホール40a、40b内にSiO₂層43a、43bを形成する。

[0047] 次に、図3Cに示すように、全体にSiN層45を形成した後、平面視において、コンタクトホール40aと、W層22cに繋がるコンタクトホール46aと、コンタクトホール40bと、W層22bに繋がるコンタクトホール46bを、リソグラフィ法と、SiN層45、SiO₂層25のRIEエッチング法により、形成する。この場合、コンタクトホール46aの底部は、W層42a、22cの上表面になっており、コンタクトホール46bの底部は、W層42b、22bの上表面になっている。

[0048] 次に、図3Dに示すように、続けてW層42a、42b、22c、22b、バリア導体層41a、41bをエッチングする。これにより、W層22c、22b上表面から内部に繋がる凹みをもつコンタクトホール46aa、46bbが形成される。

[0049] 次に、図3Eに示すように、コンタクトホール46aa、46bb内とSiN層45上にバリア導体層（図示せず）とW層（図示せず）を形成し、CMP法によりバリア導体層とW層をSiO₂層25の上表面まで研磨する。そして、バリア導体層とW層をRIE法によりエッチングする。そして、バリア導体層41a、41bとW層42a、42bとの上に、その上表面位置が、ゲートW層22a～22dの上表面位置より低い、バリア導体層48a、48bとW層49a、49bとを形成する。そして、バリア導体層48a、48bとW層49a、49b上のコンタクトホール46aa、46bb内にSiO₂層50a、50bを形成する。そして、図2I～図2Kと同じ工程を

行うことにより、P層基板1a上にSRAM回路が形成される。

[0050] 本実施形態では、以下のような特徴が供せられる。

第1実施形態では、N⁺層12a、P⁺層13aとW層22cとの接続、及びN⁺層12d、P⁺層13bと、W層22bとの接続を、一度のリソグラフィ法とRIEエッチング法により形成したコンタクトホール27aa、27bbを介して行った(図2H参照)。これに対して、本実施形態では、最初のコンタクトホール40a、40bは、N⁺層12a、12d、P⁺層13a、13bの上面に形成され、且つ2回目目のコンタクトホール46aa、46bbは、最初のコンタクトホール40a、40b内を、上面位置がW層22a～22dの上表面位置までWを埋め込んだ後に形成した。このため、2回目目のコンタクトホール46aa、46bbは、W層42a、42bと、W層22b、22cとの上で同じ深さに形成することができる。これにより、W層49a、49bを確実に形成することができる。

[0051] (第3実施形態)

以下、図4A、図4Bを参照しながら、本発明の第3実施形態に係る、SGTを有する柱状半導体メモリ装置であるSRAMセルの製造方法について説明する。

[0052] 図4Aに示すように、第2実施形態の図3Dに示した工程までを行い、バリア導体層41a、41bとW層42a、42bとの上であって、且つコンタクトホール46aa、46bbの底部にWの選択エピタキシャル法を用いてW層51a、51bとを形成する。Wの選択成長法(非特許文献2を参照)では、絶縁材料層であるSiO₂層25と絶縁材料層10a～10fとの表面にはW原子が付着せず、コンタクトホール46aaの底部のW層42a、22c上、バリア導体層41a上と、コンタクトホール46bbの底部のW層42b、22b上、バリア導体層41b上と、に形成される。そして、更にWの成長を進めて、Wの水平方向の成長を行うことによって、W層42aと、W層22cとに繋がったW層51aと、W層22bとW層42bとに繋がったW層51bと、が形成される。

[0053] 次に図4Bに示すように、第2実施形態の図3Eで示したと同様に、W層51a、51b上にあつて、その上表面位置がSiO₂層25と、絶縁材料層10a～10fの上表面位置と同じとなるSiO₂層52a、52bをコンタクトホール46aa、46bb内に形成する。そして、その後、第1実施形態の図2J、2Kで示した工程を行うことによって、P層基板1a上にSRAM回路を形成することができる。

[0054] 本実施形態では、以下のような特徴が供せられる。

第2実施形態では、図3D、図3Eを用いて説明したように、コンタクトホール46aa、46bb内とSiN層45上にバリヤ導体層（図示せず）とW層（図示せず）を形成し、CMP法によりバリヤ導体層とW層をSiO₂層25の上表面まで研磨する。そして、バリヤ導体層とW層をRIE法によりエッチングする。そして、バリヤ導体層48a、48bとW層49a、49bとの上のコンタクトホール46aa、46bbの底部にバリヤ導体層48a、48bとW層49a、49bとを形成した。これに対して、本実施形態では、CMP法、そしてRIE法を用いなくて、直接Wの選択成長法により、直接に、41a、41bとW層42a、42bとの上に、W層51a、51bを形成した。これにより、製造工程が簡略化される。

[0055] （第4実施形態）

以下、図5A、図5Bを参照しながら、本発明の第4実施形態に係る、SGTを有する柱状半導体メモリ装置であるSRAMセルの製造方法について説明する。

[0056] 図5Aに示すように、図3Aにおけるコンタクトホール40a、40bを形成するまでの工程を行い、その後に、全体にCVD（Chemical Vapor Deposition）法、またはALD法でSiO₂層（図示せず）を堆積し、そしてRIE法によりSiO₂層をエッチングして、コンタクトホール40a、40bの側面にSiO₂層53a、53bを形成する。

[0057] 次に、図5Bに示すように、図3Bと同様に、コンタクトホール40a、40b内にバリヤ材料層54a、54bと、W層55a、55bと、を形成

する。そして、第2実施形態と同じ工程を行うことによって、P層基板1a上にSRAM回路を形成することができる。

[0058] 本実施形態では、以下のような特徴が供せられる。

本実施形態では、W層55a、55bとW層22a～22dとの間に、絶縁材料層であるSiO₂層53a、53bが存在する。これによって、コンタクトホール40a、40bの形成時でのリソグラフィ法におけるマスク合せズレによって、発生するW層55a、55bとW層22a～22dとの間の電氣的短絡不良を防止することができる。

[0059] (第5実施形態)

以下、図6A、図6Bを参照しながら、本発明の第5実施形態に係る、SGTを有する柱状半導体メモリ装置であるSRAMセルの製造方法について説明する。

[0060] 図6Aに示すように、第1実施形態の図2Fに示した工程まで行い、次に全体にSiN層56をALD法により形成する。

[0061] 図6Bに示すように、リソグラフィ法とRIE法によりN⁺層12a、12d、P⁺層13a、13bと、W層22c、22bとの上にコンタクトホール27aa、27bbを形成する。そして、図2I～図2Kで示した工程を行うことによって、P層基板1a上にSRAM回路を形成することができる。

[0062] 本実施形態では、以下のような特徴が供せられる。

本実施形態ではコンタクトホール27aa、27bbとW層22a～22dとの間にはSiN層56と、SiO₂層25がある。コンタクトホール27aa、27bb形成はSiO₂層25のRIE法によるエッチングによりなされる。この場合、SiN層56はSiO₂層25のエッチングに対するエッチングストッパーの役割をおこなう。これにより、コンタクトホール27aa、27bbの形成時におけるリソグラフィ法のマスク合せズレによるW層22a～22dとW層29a、29bとの電氣的短絡不良を防止することができる。

(第6実施形態)

以下、図 7 A、図 7 B を参照しながら、本発明の第 6 実施形態に係る、S G T を有する柱状半導体メモリ装置である S R A M セルの製造方法について説明する。

[0063] 図 7 A に示すように、第 1 実施形態における図 2 F までの工程を行い、そして、その上表面位置が W 層 2 2 a ~ 2 2 d の上表面位置と同じくなる低誘電率材料である例えばカーボン含有 S i O₂ (S i O C : Carbon-incorporated Silicon Oxide) 層 6 0 を形成する。この S i O C 層 6 0 は、全体に S i O C 層 (図示せず) を上表面位置が、絶縁材料層 1 0 a ~ 1 0 f の上表面より上になるように堆積し、そして、CMP 法により、上表面を平坦にした後に、R I E エッチング法により、上表面位置が W 層 2 2 a ~ 2 2 d の上表面位置になるようにエッチングして形成する。

[0064] 次に、S i 柱の外周を囲んで S i O₂ 層 6 1 を形成する。そして、第 1 実施形態における図 2 H と同様に、全体に S i N 層 2 6 を形成する。そして、図 7 B に示すように、底部が W 層 2 2 c の上表面より下にあり、且つ N⁺層 1 2 a、P⁺層 1 3 a 上にあるコンタクトホール 2 7 a a と、底部が W 層 2 2 b の上表面より下にあり、且つ N⁺層 1 2 d、P⁺層 1 3 b 上にあるコンタクトホール 2 7 b b と、を形成する。そして、図 2 I ~ 図 2 K の工程を行うことにより、P 層基板 1 a 上に S R A M 回路を形成することができる。

[0065] 本実施形態では、以下のような特徴が供せられる。

本実施形態では、第 1 実施形態における S i O₂ 層 2 5 (比誘電率: 3. 9 ~ 4. 3) に替えて低い比誘電率を有する S i O C 層 6 0 (比誘電率: 2. 7 ~ 2. 9) が用いられる。これにより、S R A M 回路として完成すると、低誘電率 S i O C 層 6 0 の両側にあるゲート導体層である W 層 2 2 a ~ 2 2 d と、接続配線導体層である W 層 2 9 a、2 9 b との結合容量を、第 1 実施形態と比べて小さくすることができる。これにより、駆動電圧の低減による低消費電力化を図ることができる。

[0066] (第 7 実施形態)

以下、図 8 A、図 8 B を参照しながら、本発明の第 7 実施形態に係る、S

G Tを有する柱状半導体メモリ装置であるS R A Mセルの製造方法について説明する。

[0067] 第1実施形態の2 A～図2 Iで説明した工程を行ったあと、図8 Aに示すように、S i O₂層2 5、3 0 a、3 0 bを除去する。これにより、W層2 2 a～2 2 dとW層2 9 aとの間に狭い部分を含む空間6 3が形成される。

[0068] そして、C V D法によりS i O₂層6 4を形成する。このS i O₂層6 4の形成において、W層2 2 a～2 2 dとW層2 9 a、2 9 bとの間に狭い部分に空孔6 5 a、6 5 b、6 5 c、6 5 dが形成される。

そして、第1実施形態における図2 J、図2 Kと同じ工程を行うことにより、P層基板1 a上にS R A M回路が形成される。

[0069] 本実施形態では、以下のような特徴が供せられる。

本実施形態では、ゲート導体層であるW層2 2 a～2 2 dと、接続配線導体層であるW層2 9 a、2 9 bとの間に非誘電率が1である空孔6 5 a、6 5 b、6 5 cが存在することにより、ゲート導体層であるW層2 2 a～2 2 dと、接続配線導体層であるW層2 9 a、2 9 bとの間の結合容量を、全体に非誘電率が3. 9～4. 3のS i O₂層2 5を用いている第1実施形態と比べて小さくすることができる。これにより、駆動電圧の低減による低消費電力化を図ることができる。

[0070] (第8実施形態)

以下、図9 A～図9 Eを参照しながら、本発明の第8実施形態に係る、S G Tを有するC M O Sインバータチェーン回路の製造方法について説明する。

[0071] 図9 Aに示すように、N⁺層基板7 0上に、S i エピタキシャル成長法を用いて、下から順番にi層7 1、N⁺層7 2、P⁺層7 3、i層7 4を形成する。

[0072] 次に図9 Bに示すように、例えばS i O₂層とS i N層よりなるマスク材料層7 5 a、7 5 b、7 5 cを形成する。そして、マスク材料層をエッチングマスクにして、S i 柱7 6 a、7 6 b、7 6 cを形成する。これにより、S i 柱7 6 a、7 6 b、7 6 c内にN⁺層7 2 a、7 2 b、7 2 cと、P⁺層7 3

a、73b、73cを形成する。そして、Si柱76a、76b、76cを囲んで、ゲート絶縁材料層である例えばHfO₂層（図示せず）を形成する。そして、HfO₂層を囲んで、ゲート導体層である、例えばTiN層（図示せず）とW層（図示せず）を形成する。そして、W層の外周部に上表面位置がN⁺層72a、72b、72cの下端に位置したSiN層90aを形成する。そして、垂直方向において、下端をN⁺層72a、72b、72cの下端とし、上端をP⁺層73a、73b、73cの上端とした、W層、TiN層、HfO₂層79a、79b、79cを水平方向に貫通してN⁺層72a、72b、72cと、P⁺層73a、73b、73cと、の側面に至る孔を開ける。これによりHfO₂層、TiN層、W層が上下に分離されて、HfO₂層78、79a、79b、79c、TiN層80a、80b、80c、81a、81b、81c、W層82a、82b、82c、83a、83b、83cが形成される。平面視において、Y-Y'線に沿って形成されたSi柱76a、76cを囲むTiN層80a、81a、80c、81c、W層82a、82c、83a、83cと、Si柱76bを囲むTiN層80b、81b、W層82b、83bとは、上下方向に入れ違って配置される。そして、孔の上下側面にSiO₂層85a、85b、85c、86a、86b、86cを形成する。そして、N⁺層72a、P⁺層73aの側面に繋がった、例えばNiSi層88aと、N⁺層72b、P⁺層73bの側面に繋がった、NiSi層88bと、N⁺層72c、P⁺層73cの側面に繋がった、NiSi層88cと、を形成する。平面視において、NiSi層88a、88b、88cと、TiN層80a、80b、80c、81a、81b、81c、W層82a、82b、82c、83a、83b、83cとは、Si柱76a、76b、76cのそれぞれにおいて、Y-Y'方向において、上下に入れ違って配置される。そして、上表面位置がW層83a、83b、83cの上表面に位置するSiO₂層90bを形成する。そして、上表面位置がマスク材料層75a、75b、75cの上表面位置と同じSiO₂層90cを形成する。

[0073] 次に、図9Cに示すように、SiO₂層90c、W層83a、SiO₂層86

a、 SiO_2 層90b、 SiO_2 層85aを貫通し、その底部がW層82a内部まで達したコンタクトホール93aと、 SiO_2 層90c、W層83b、 SiO_2 層86b、 SiO_2 層90b、 SiO_2 層85bを貫通し、その底部がW層82b内部まで達したコンタクトホール93bと、 SiO_2 層90c、W層83c、 SiO_2 層86c、 SiO_2 層90b、 SiO_2 層85cを貫通し、その底部がW層82c内部まで達したコンタクトホール93aと、を形成する。そして、コンタクトホール93a、93b、93cの内部に、その上表面位置がW層83a、83b、83cの上表面位置より低いバリヤ導体層91a、91b、91cと、W層92a、92b、92cと、を形成する。

[0074] 次に、図9Dに示すように、 SiO_2 層90c、 SiO_2 層90bを貫通し、底部がNiSi層88a上とW層83b内部とに繋がってあるコンタクトホール97aと、底部がNiSi層88b上とW層83c内部とに繋がってあるコンタクトホール97bと、底部がNiSi層88c上とW層（図示せず）内部とに繋がってあるコンタクトホール97cと、を形成する。そして、コンタクトホール97a、97b、97cの内部に、その上表面位置がW層83a、83b、83cの上表面位置より低いバリヤ導体層95a、95b、95cと、W層96a、96b、96cと、を形成する。

[0075] 次に、図9Eに示すように、RIE法によりTiN層81a、81b、81c、 HfO_2 層79a、79b、79cの上部と、 SiO 層90c、マスク材料層75a、75b、75cを除去する。そして、例えばイオン注入法により、Si柱76aの頂部に P^+ 層98aと、Si柱76bの頂部に P^+ 層98bと、Si柱76cの頂部に P^+ 層98cと、を形成する。そして、コンタクトホール97a、97b、97cを埋めて、且つ全体に、上表面が平坦な SiO_2 層99を形成する。そして、W層92a上にコンタクトホール100aと、 P^+ 層98a、98b、98c上にコンタクトホール100b、100c、100dと、を形成する。そして、コンタクトホール100aを介して、W層82a、83aに繋がる入力配線金属層VINと、コンタクトホール100b、100c、100dを介して P^+ 層98a、98b、98cに繋が

る電源配線金属層V d dと、を形成する。そして、底部のN⁺層基板7 0 aは、外部でグランド配線金属層（図示せず）に接続される。これにより、N⁺層基板7 0 a上にCMOSインバータチエーン回路が形成される。

[0076] 本実施形態では、以下のような特徴が供せられる。

本実施形態では、S i 柱7 6 a、7 6 b、7 6 cの上下に2個のS G Tが形成されている構造において、垂直方向において、3つの層に分かれて形成されているN i S i 層8 8 aと、ゲート導体層であるW層8 2 bと、W層8 3 bとが、接続導体層であるW層9 6 a、9 2 bを介して接続されている。第2実施形態を参照すると、N⁺層1 2 a、P⁺層1 3 aがN i S i 層8 8 aに対応し、ゲートのW層2 2 cがゲートのW層8 3 bに対応し、接続導体層であるW層4 2 aが接続導体層のW層9 2 aに対応し、接続導体層であるW層4 9 aが接続導体層のW層9 6 aに対応している。ただ、第1実施形態では、接続導体層であるW層4 2 aの底部が、ゲートのW層2 2 cの内部に止まっているのに対して、本実施形態では、接続導体層であるW層9 2 aが、ゲートのW層8 2 bと、ゲートのW層8 3 bとが、垂直方向に繋がって形成される。これは、平面視において、重なった層間に接続を高密度に形成できることを示している。これにより、S G Tを用いた回路の高密度化ができる。

[0077] なお、第1実施形態では、P層基板1 a上にS R A M回路を形成した場合について説明したが、例えばS O I（Silicon On Insulator）などの他の基板を用いてもよい。このことは、他の実施形態においても同様である。

[0078] また、第1実施形態では、S R A Mセル回路を形成する場合について説明したが、他のS G Tを用いた回路に適用してもよい。第1実施形態では、1つのS i 柱1 1 aの底部にあるN⁺層1 2 aと、別のS i 柱1 1 dのゲートW層2 2 cとを、W層2 9 aにより接続している。また、1つのS i 柱1 1 aの底部にあるN⁺層1 2 aと、別のS i 柱1 1 eのゲートW層2 2 cとを、W層2 9 aにより接続している。同様に、1つのS i 柱1 1 bの底部にあるP⁺層1 3 aと、別のS i 柱1 1 d、1 1 eのゲートW層2 2 cとを、W層2 9 aにより接続している。このように、本発明は、1つのS G Tが形成されて

いるS i 柱の底部にある不純物層と、別のS G Tが形成されているS i 柱のゲート導体層との接続に適用される。従って、本発明は、1つのM O S 電界効果トランジスタのソースまたはドレインと、別のM O S 電界効果トランジスタのゲートと、を繋げる回路、例えば各種フリップフロップ回路、ラッチ回路、D R A M (Random Access Memory) のセンス回路などにも適用できる。これにより、これら回路の高集積化が図れる。このことは、他の実施形態においても同様である。

[0079] また、第1実施形態では、各S i 柱1 1 a～1 1 fに1個のS G Tを形成した場合について説明したが、各S i 柱1 1 a～1 1 fに2個以上のS G Tを形成した場合にも、本発明は適用される。このことは、他の実施形態においても同様である。

[0080] また、第1実施形態では、ゲートT i N層2 3 a～2 3 dと、これに接続してW層2 2 a～2 2 dを形成した。これに対し、ゲートT i N層2 3 a～2 3 dと、W層2 2 a～2 2 dとは他の材料層であってもよい。また、ゲートT i N層2 3 a～2 3 dと、W層2 2 a～2 2 dとは同じ材料層より形成されてもよい。また、バリア金属層を含めて、ゲートT i N層2 3 a～2 3 dと、W層2 2 a～2 2 dとは、複数層よりなる導体層であってもよい。このことは、他の実施形態においても同様である。

[0081] また、第1実施形態では、S i 柱1 1 a～1 1 fの底部のN⁺層1 2 a～1 2 d、P⁺層1 3 a、1 3 bは、S i 柱1 1 a～1 1 fの底部に繋がって水平方向に延びて形成されている。N⁺層1 2 a～1 2 d、P⁺層1 3 a、1 3 bの中で、水平に延びている領域は、この領域上に接続W層2 9 a、2 9 bを形成するための不純物領域接続層としての役割を有する。この水平方向に延びている不純物領域接続層は、他の半導体、または導体材料層で形成されてもよい。このことは、他の実施形態においても同様である。

[0082] また、第1実施形態では、ゲート導体層であるT i N層2 3 a～2 3 dに繋がって、W層2 2 a～2 2 dが水平方向に延びている。W層2 2 a～2 2 dは、W層2 2 a～2 2 d上に接続W層2 9 a、2 9 bを形成するためのゲ

ート接続導体層の役割を有する。この水平方向に延びているゲート接続導体層は、ゲート導体層と同じ導体材料層であっても、また異なる導体材料層であってもよい。このことは、他の実施形態においても同様である。

[0083] また、第1実施形態では、コンタクトホール27aa、27bbは、N⁺層12a、22d、P⁺層13a、13b上に形成された。これに対し、コンタクトホール27aa、27bbは、N⁺層12a、22d、P⁺層13a、13b上に形成したシリサイド層または金属層上に形成してもよい。また、Si柱11a～11fの下部にN⁺層またはP⁺層を形成し、これらN⁺層又はP⁺層側面に繋がった低抵抗の半導体層または導体層上にコンタクトホール27aa、27bbが形成されてもよい。なお、このN⁺層又はP⁺層側面に繋がった低抵抗の半導体層は、同じ半導体層が繋がって形成されてもよく、または異なった半導体層より形成されてもよい。このことは、他の実施形態においても同様である。

[0084] また、第1実施形態では、ゲート絶縁膜としてHfO₂層16aを用いたが、他の材料層を用いてもよい。また、複数の材料層よりゲート絶縁材料層を形成してもよい。このことは、他の実施形態においても同様である。

[0085] また、第1実施形態では、Siを材料とするSi柱11a～11f、N⁺層12a～12d、33a、33c、33d、33f、P⁺層13a、13b、33b、33eを用いたが、他の半導体材料を用いてもよい。このことは、他の実施形態においても同様である。

[0086] また、第1実施形態では、SGTのソース及びドレインは、同じ導電性より形成されている。これに対して、ソース及びドレインの導電性が異なるトンネル型SGTを用いてもよい。このことは、他の実施形態においても同様である。

[0087] また、第1実施形態では、リソグラフィ法を用いて、各材料層のパターニングを行っている。このリソグラフィ法では、レジスト層だけのパターニングだけでなく、レジスト層の下に単層または複数層の材料を形成して、エッチングしたい材料層のマスク材料層を形成してもよい。このことは、他

の実施形態においても同様である。

- [0088] また、第2実施形態では、最初にN⁺層12a、P⁺層13a上のコンタクトホール43aと、N⁺層12d、P⁺層13b上のコンタクトホール43bを形成した。そして次に、平面視において、コンタクトホール43aとW層22cにまたがるコンタクトホール46aと、コンタクトホール43bと、W層22bにまたがるコンタクトホール46bを形成した。このコンタクトホール43a、43bと、コンタクトホール46a、46bと、の形成の順番を変えてもよい。
- [0089] また、第2実施形態では、W層42a、22b上にバリヤ導体層48a、48bを形成したが、W層42a、22bとW層49a、49bとの接続では、バリヤ導体層48a、48bは無くてもよい。W層42a、22bとW層49a、49bとに替えて他の導体材料層を用いた場合の、回路動作上、バリヤ導体層が無くてもよい場合は、このバリヤ導体層は無くてもよい。このことは、W層42a、22bとW層49a、49bとの接続のように、少なくとも2つの導体層を接続する、他の実施形態においても同様である。
- [0090] また、第3実施形態及び第4実施形態では、選択成長法によるW層51a、51b、55a、55bを形成した。W層51a、51b、55a、55bに替えて、選択成長法による他の導体材料であってもよい。
- [0091] また、第4実施形態では、コンタクトホール40a、40bの側面にSiO₂層53a、53bを形成したが、SiO₂層53a、53bに替えて他の絶縁材料層を用いてもよい。
- [0092] また、第5実施形態は、第1実施形態での工程を用いて説明したが、他の実施形態に対しても同様に適用できる。
- [0093] また、第5実施形態における、SiN層56は、コンタクトホール27a、27bを形成するときのエッチングに対して、エッチングストップとなる材料であれば、他の絶縁材料層であってもよい。
- [0094] また、第6実施形態では、低誘電率材料であるSiOC層60を用いたが、例えば、多孔質シリカ、SiOFなどの他の材料層であってもよい。

- [0095] また、第7実施形態における、 SiO_2 層64に替えて、他の絶縁層を用いてもよい。
- [0096] また、第7実施形態においては、W層29aの両側にあるW層22a、22bの間の SiO_2 層64に空孔65a、65bが形成されている。これら空孔65a～65dの形成場所は、SRAMセルまたは他の回路の設計により異なってもよい。
- [0097] また、第8実施形態では、CMOSインバータチェーン回路を形成する場合について説明したが、他のSGTを用いた回路に適用してもよい。
- [0098] また、第8実施形態では、接続導体層であるW層92bにより、ゲートW層82bとゲートW層83bとの接続を行ったが、形成回路によって、同一Si柱76bにおける、W層83bと不純物領域P⁺層73b、N⁺層72bのいずれか、もしくは両方との接続、または、不純物領域N⁺層70a接続であってもよい。
- [0099] また、第8実施形態では、W層96aは、P⁺層73a、N⁺層72aに繋がったNiSi層88aと、ゲートTiN層81bに繋がったW層83bと、を繋げている。これに対して、形成する回路によって、W層96aは、P⁺層73a、N⁺層72aのいずれかに繋がった接続導体層に繋がってもよい。また、Si柱76aにおいて、W層96aは、P⁺層73a、N⁺層72aより下部にあるW層82a、N⁺層70aのいずれか、または両方に繋がっていてもよい。これは、Si柱76a以外のSi柱76cとの関係においても同じである。また、形成する回路によっては、Si柱76bと他の複数のSi柱との間にまたがった接続においても同じである。
- [0100] また、第8実施形態では、1つのSi柱に2個のSGTを形成した回路に本発明を適用した場合について説明したが、1つのSi柱に1個、または3個以上のSGTを形成した場合にも、本発明が適用される。1つのSi柱に1個のSGTが形成された回路では、ゲート導体層と、このゲート導体層の下部にあるソースまたはドレインの不純物領域を貫通するコンタクトホールを介して繋がる導体層を有する。または、1個のSi柱に3個以上のSGT

を形成している場合、コンタクトホール93bに対応した、例えば3つ以上の導体層、または不純物領域を繋ぐ、貫通コンタクトホールが形成される。

[0101] また、第8実施形態では、垂直方向において、下端をN⁺層72a、72b、72cの下端とし、上端をP⁺層73a、73b、73cの上端とした、W層、TiN層、HfO₂層79a、79b、79cを水平方向に貫通してN⁺層72a、72b、72cと、P⁺層73a、73b、73cと、の側面に至る孔を開ける。これによりHfO₂層、TiN層、W層が上下に分離されて、HfO₂層78、79a、79b、79c、TiN層80a、80b、80c、81a、81b、81c、W層82a、82b、82c、83a、83b、83cが形成された。これに対して、最初に、HfO₂層78、TiN層80a、80b、80c、W層82a、82b、82cを形成し、そして、上下にSiO₂層85a、85b、85c、86a、86b、86cを持つNiSi層88a、88b、88cを形成し、そして、HfO₂層79a、79b、79c、TiN層81a、81b、81c、W層83a、83b、83cを形成してもよい。また、他の方法、及び材料層により各SGTのゲート絶縁層と、ゲート導体層と、N⁺層72a、72b、72c、P⁺層73a、73b、73cに繋がる導体接続層、この導体接続層の上下の絶縁層を形成してもよい。

[0102] また、第1実施形態では、コンタクトホール27aaの底部がN⁺層12a、P⁺層13aの内部になるように形成することにより、W層29aと、N⁺層12a、P⁺層13aとの接触面積を広くすることができることを述べた。これにより、W層29aと、N⁺層12a、P⁺層13aとの接続抵抗を低くできる。このことは、他の実施形態においても同様である。

[0103] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の

範囲内となる。

産業上の利用可能性

[0104] 本発明に係る、柱状半導体メモリ装置、およびその製造方法によれば、高集積度、高性能、低コストの半導体装置が得られる。

符号の説明

[0105] P c 1、P c 2 PチャネルSGT
N c 1、N c 2、N c 3、N c 4、S N 1、S N 2 NチャネルSGT
B L t ビット線端子
B L R t 反転ビット線端子
W L t ワード線端子
V s s グランド端子
V d d 電源端子G p 1、G p 2、G n 1、G n 2、G n 3、G n 4、G s
1、G s 2 ゲート
1、1 a P層基板
2、2 a、2 b N層
3 a、3 b、3 a a、3 b b、1 2 a、1 2 b、1 2 c、1 2 d、3 3 a、
3 3 c、3 3 f、7 2、7 2 a、7 2 b、7 2 c N⁺層
4、4 a、4 b、1 3 a、1 3 b、3 3 b、3 3 e、7 3、7 3 a、7 3 b
、7 3 c P⁺層
5、5 a、5 b、7 1、7 4 i層
6、6 a、6 b、1 0 a、1 0 b、1 0 c、1 0 d、1 0 e、1 0 f、7 5
a、7 5 b、7 5 c 絶縁材料層
1 1 a、1 1 b、1 1 c、1 1 d、1 1 e、1 1、7 6 a、7 6 b、7 6 c
S i 柱
1 4、2 6、4 5、5 6、9 0 a S i N層
1 5、2 5、3 0 a、3 0 b、3 2、3 5、3 6、3 7、4 3 a、4 3 b、
5 0 a、5 0 b、5 2 a、5 2 b、5 3 a、5 3 b、6 4、7 7、9 0 b、
9 0 c、9 9、8 5 a、8 5 b、8 5 c、8 6 a、8 6 b、8 6 c S i O₂

層

16、16a、78、79a、79b、79c HfO₂層

17、17a、17b、23a、23b、23c、23d、80a、80b
、80c、81a、81b、81c TiN層

20、20a、22a、22b、22c、22d、29a、29b、42a
、42b、49a、49b、51a、51b、55a、55b、82a、8
2b、82c、83a、83b、83c、92a、92b、92c、96a
、96b、96c W層

27a、27b 空孔

27aa、27bb、36a、36b、36c、36d、38a、38b、
38c、38d、40a、40b、46a、46b、46aa、46bb、
93a、93b、93c、97a、97b、97c 100a、100b、
100c、100d コンタクトホール

28a、28b、41a、41b、48a、48b、54a、54b、91
a、91b、91c、95a、95b、95c バリヤ導體層

WL ワード配線金属層

Vss1、Vss2 グランド配線金属層

BL ビット配線金属層

RBL 反転ビット配線金属層

VDD、Vdd 電源配線金属層

60 SiCO層

63 空間

65a、65b、65c 空孔

70、70a N⁺層基板

88a、88b、88c NiSi層

請求の範囲

[請求項1]

基板上に、垂直方向に配置される第1の半導体柱と、
前記第1の半導体柱の下方にある第1の不純物領域と、
前記第1の不純物領域に繋がり、且つ水平方向に延びている、半導体または導体よりなる第1不純物領域接続層と、
前記第1の半導体柱の上方にある第2の不純物領域と、
前記第1の不純物領域と、前記第2の不純物領域の間にある前記第1の半導体柱を囲んだ第1のゲート絶縁層と、
前記第1のゲート絶縁層を囲んだ第1のゲート導体層と、
前記基板上に、垂直方向に配置される第2の半導体柱と、前記第2の半導体柱の下方にある第3の不純物領域と、
前記第2の半導体柱の上方にある第4の不純物領域と、
前記第3の不純物領域と、前記第4の不純物領域の間にある前記第2の半導体柱を囲んだ第2のゲート絶縁層と、
前記第2のゲート絶縁層を囲んだ第2のゲート導体層と、
前記第2のゲート導体層に繋がり、且つ水平方向に延びている導体よりなる第2ゲート接続導体層と、
前記第1不純物領域接続層と、前記第2ゲート接続導体層と、に繋がり、且つ、平面視において、少なくとも前記第2ゲート接続導体層に重なる部分の底部の垂直方向での位置が、前記第2のゲート導体層と、前記第2ゲート接続導体層と、の上表面位置より低い第1のコンタクトホールと、
前記第1のコンタクトホール内に前記第1の不純物領域と、前記第2ゲート接続導体層と、に繋がる第1の接続導体層を有する、
ことを特徴とする柱状半導体装置。

[請求項2]

前記第1の接続導体層の上表面位置が、垂直方向において、前記第2のゲート導体層、及び前記第2ゲート接続導体層の上表面位置より下にある、

ことを特徴にする請求項 1 に記載の柱状半導体装置。

[請求項3] 前記第 2 のゲート導体層と、前記第 2 ゲート接続導体層と、が同じ材料層よりなる、

ことを特徴にする請求項 1 に記載の柱状半導体装置。

[請求項4] 平面視において、前記第 1 のコンタクトホールが、
前記第 1 不純物領域接続層上または前記第 2 ゲート接続導体層上にある第 2 のコンタクトホールと、

前記第 2 のコンタクトホールが前記第 1 不純物領域接続層上にある場合は、前記第 2 ゲート接続導体層に繋がり、前記第 2 のコンタクトホールが前記第 2 ゲート接続導体層上にある場合は、前記第 1 不純物領域接続層に繋がる、第 3 のコンタクトホールと、よりなり、

前記第 3 のコンタクトホールの底部が、前記第 2 のゲート導体層、及び前記第 2 ゲート接続導体層の上表面位置より下にあり、

前記第 1 の接続導体層が、前記第 2 のコンタクトホール内にある第 2 の接続導体層と、前記第 2 の接続導体層に繋がり、且つ前記第 3 のコンタクトホール内にある第 3 の接続導体層と、よりなる、

ことを特徴にする請求項 1 に記載の柱状半導体装置。

[請求項5] 前記第 1 のゲート導体層に繋がり、且つ水平方向に延びている第 1 ゲート接続導体層と、

前記第 1 ゲート接続導体層と、前記第 2 ゲート接続導体層との側面を囲んだ第 1 の層間絶縁層と、

前記第 1 の層間絶縁層側面を囲んだ、前記第 1 の層間絶縁層と異なる材料であり、且つ前記第 1 のコンタクトホール形成のための第 2 の層間絶縁層とを有する、

ことを特徴にする請求項 1 に記載の柱状半導体装置。

[請求項6] 前記第 1 ゲート接続導体層側面と、前記第 2 ゲート接続導体層の側面と、前記第 1 の接続導体層側面と、の間にシリコン酸化膜の誘電率より低い誘電率の第 3 の層間絶縁層を有する、

ことを特徴にする請求項 1 に記載の柱状半導体装置。

[請求項7] 前記第 1 ゲート接続導体層側面と、前記第 2 ゲート接続導体層の側面と、の片方または両方と、前記第 1 の接続導体層側面と、の間に、空孔がある第 4 の層間絶縁層を有する、

ことを特徴にする請求項 1 に記載の柱状半導体装置。

[請求項8] 前記第 3 のコンタクトホールの上に繋がり、且つ前記第 3 のコンタクトホールより下方にある半導体、または導電層である材料層まで繋がった第 4 のコンタクトホールと、

前記第 4 のコンタクトホール内に、第 4 の接続導体層を有する、

ことを特徴にする請求項 4 に記載の柱状半導体装置。

[請求項9] 前記第 1 のコンタクトホールの底部が前記第 1 の不純物領域の内部にある、

ことを特徴にする請求項 1 に記載の柱状半導体装置。

[請求項10] 柱状半導体装置の製造方法であって、

第 1 の不純物領域、第 1 の半導体柱及び第 2 の不純物領域が、基板上に垂直方向に階層的に配置されると共に、第 3 の不純物領域、第 2 の半導体柱及び第 4 の不純物領域が、基板上に垂直方向に階層的に配置されており、

前記第 1 の不純物領域は、前記第 1 の半導体柱の下方に配置されており、

前記第 3 の不純物領域は、前記第 2 の半導体柱の下方に配置されており、

半導体または導体の第 1 不純物領域接続層が、前記第 1 の不純物領域に繋がり、且つ水平方向に延びており、

前記第 1 の半導体柱を囲むように第 1 のゲート絶縁層を形成する工程と、

前記第 2 の半導体柱を囲むように第 2 のゲート絶縁層を形成する工程と、

前記第1のゲート絶縁層を囲むように第1のゲート導体層を形成する工程と、

前記第2のゲート絶縁層を囲むように第2のゲート導体層を形成する工程と、

前記第2のゲート導体層に繋がり、且つ水平方向に延びた第2ゲート接続導体層を形成する工程と、

前記第1不純物領域接続層と、前記第2ゲート接続導体層と、に繋がり、且つ、平面視において、少なくとも前記第2ゲート接続導体層に重なる部分の底部の垂直方向での位置が、前記第2のゲート導体層、及び前記第2ゲート接続導体層の上表面位置より低い第1のコンタクトホールを形成する工程と、

前記第1のコンタクトホール内に前記第1不純物領域接続層と、前記第2ゲート接続導体層と、に繋がる第1の接続導体層を形成する工程を有する、

ことを特徴とする柱状半導体装置の製造方法。

[請求項11] 前記第1の接続導体層の上表面位置が、垂直方向において、前記第2のゲート導体層、及び前記第2ゲート接続導体層の、上表面位置より下になるように形成する、

ことを特徴にする請求項10に記載の柱状半導体装置の製造方法。

[請求項12] 前記第2のゲート導体層と、前記第2ゲート接続導体層と、を同じ材料層で形成する、

ことを特徴にする請求項10に記載の柱状半導体装置の製造方法。

[請求項13] 前記第1不純物領域接続層上に、第2のコンタクトホールを形成する工程と、

前記第2のコンタクトホール内に第2の接続導体層を形成する工程と、

前記第2のコンタクトホール上と、前記第2ゲート接続導体層上と、に繋がる第3のコンタクトホールを形成する工程と、

第3のコンタクトホール内に第3の接続導体層を形成する工程を有し、

前記第2のコンタクトホールと、前記第3のコンタクトホールとが、合わさって前記第1のコンタクトホールであり、

前記第2の接続導体層と、第3の接続導体層と、が合わさって前記第1の接続導体層となっている、

ことを特徴にする請求項10に記載の柱状半導体装置の製造方法。

[請求項14]

前記第2ゲート接続導体層上に、第4のコンタクトホールを形成する工程と、

前記第4のコンタクトホール内に第4の接続導体層を形成する工程と、

前記第4のコンタクトホール上と、前記第1不純物接続層上と、に繋がる第5のコンタクトホールを形成する工程と、

前記第5のコンタクトホール内に第5の接続導体層を形成する工程を有し、

前記第4のコンタクトホールと、前記第5のコンタクトホールとが、合わさって前記第1のコンタクトホールであり、

前記第4の接続導体層と、第5の接続導体層と、が合わさって前記第1の接続導体層となっている、

ことを特徴にする請求項10に記載の柱状半導体装置の製造方法。

[請求項15]

前記第1ゲート接続導体層と、前記第2ゲート接続導体層との側面を囲んだ第1の層間絶縁層を形成する工程と、

前記第1の層間絶縁層側面を囲み、前記第1の層間絶縁層と異なる材料であり、且つ前記第1のコンタクトホール形成のためのエッチング種が前記第1の層間絶縁層より高いエッチング速度である第2の層間絶縁層を形成する工程とを有する、

ことを特徴にする請求項10に記載の柱状半導体装置の製造方法。

[請求項16]

前記第1の接続導体層側面を囲み、且つ比誘電率がシリコン酸化膜

より低い第3の層間絶縁層を形成する工程を有する、

ことを特徴にする請求項10に記載の柱状半導体装置の製造方法。

[請求項17] 前記第1の接続導体層を囲み、且つその中に空孔がある第4の層間絶縁層を形成する工程を有する、

ことを特徴にする請求項10に記載の柱状半導体装置の製造方法。

[請求項18] 前記第3のコンタクトホールの上に繋がり、且つ前記第3のコンタクトホールより下方にある半導体、または導電層である材料層まで繋がった第6のコンタクトホールを形成する工程と、

前記第3のコンタクトホールと、前記第6のコンタクトホールとの内側に、第6の接続導体層を形成する工程を有する、

ことを特徴にする請求項13に記載の柱状半導体装置の製造方法。

[請求項19] 前記第4のコンタクトホールの上に繋がり、且つ前記第4のコンタクトホールより下方にある半導体、または導電層である材料層まで繋がった第7のコンタクトホールを形成する工程と、

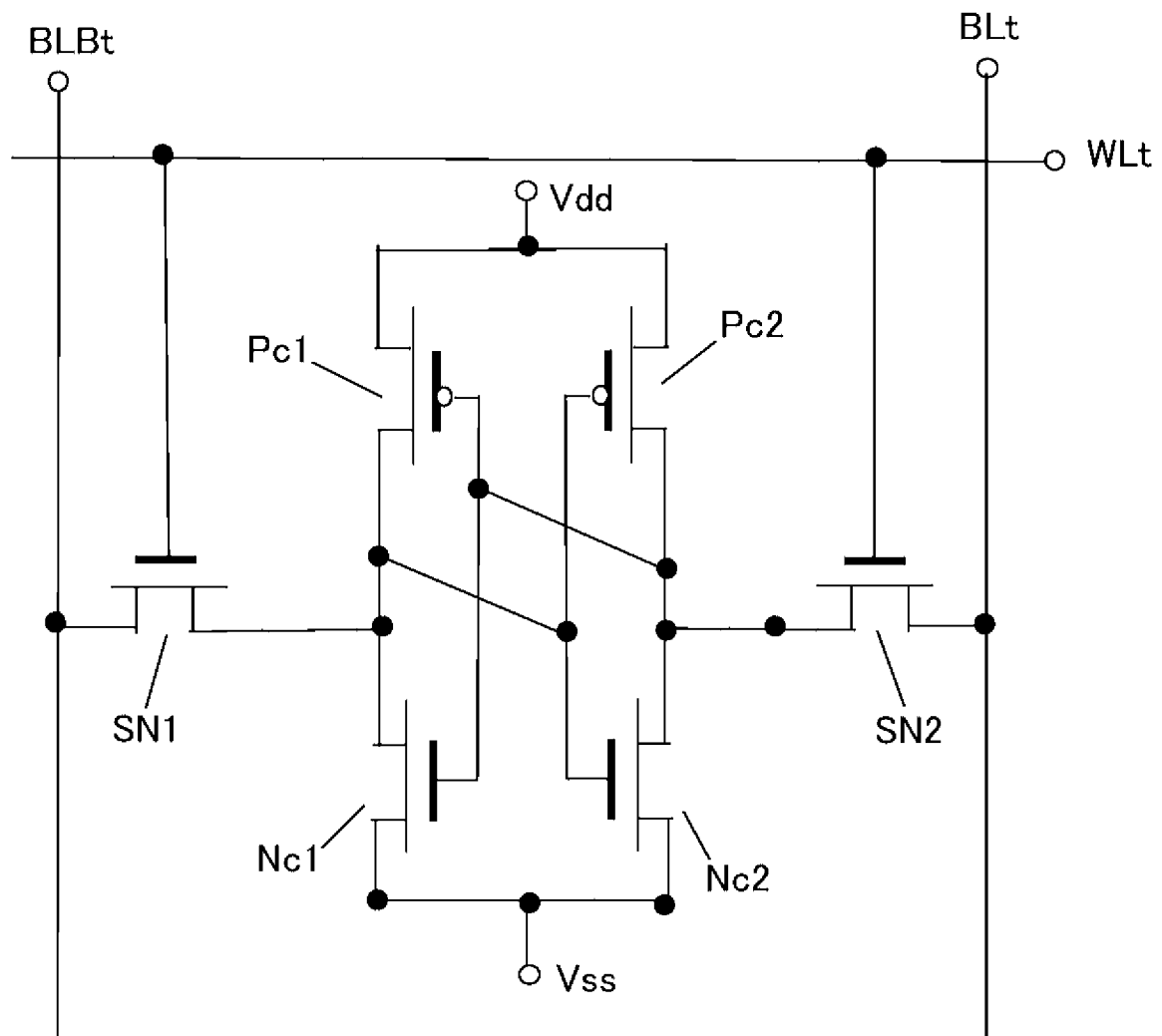
前記第4のコンタクトホールと、前記第7のコンタクトホールとの内側に、第7の接続導体層を形成する工程を有する、

ことを特徴にする請求項14に記載の柱状半導体装置の製造方法。

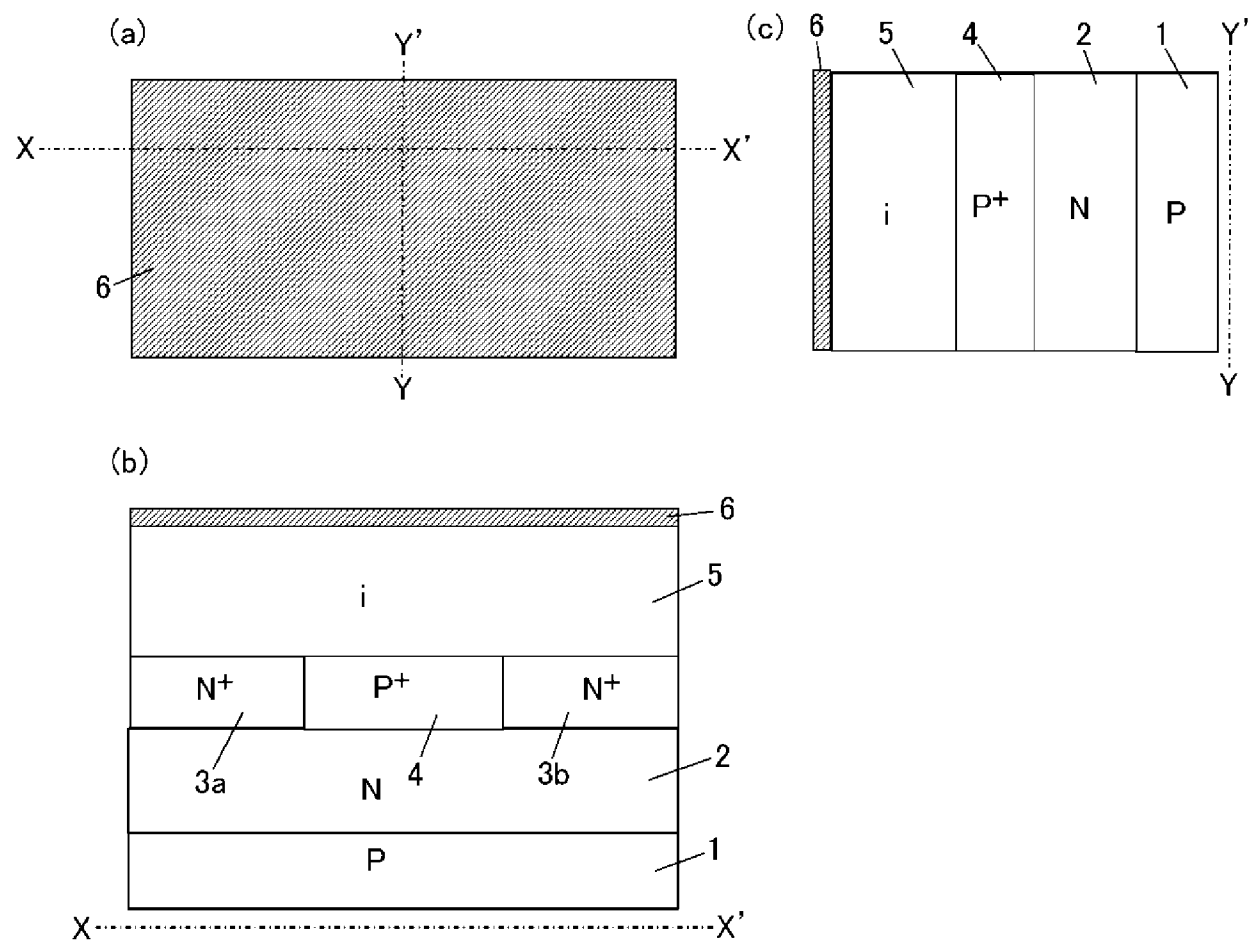
[請求項20] 前記第1のコンタクトホールが、前記第1不純物領域接続層の内部にある、

ことを特徴にする請求項10に記載の柱状半導体装置の製造方法。

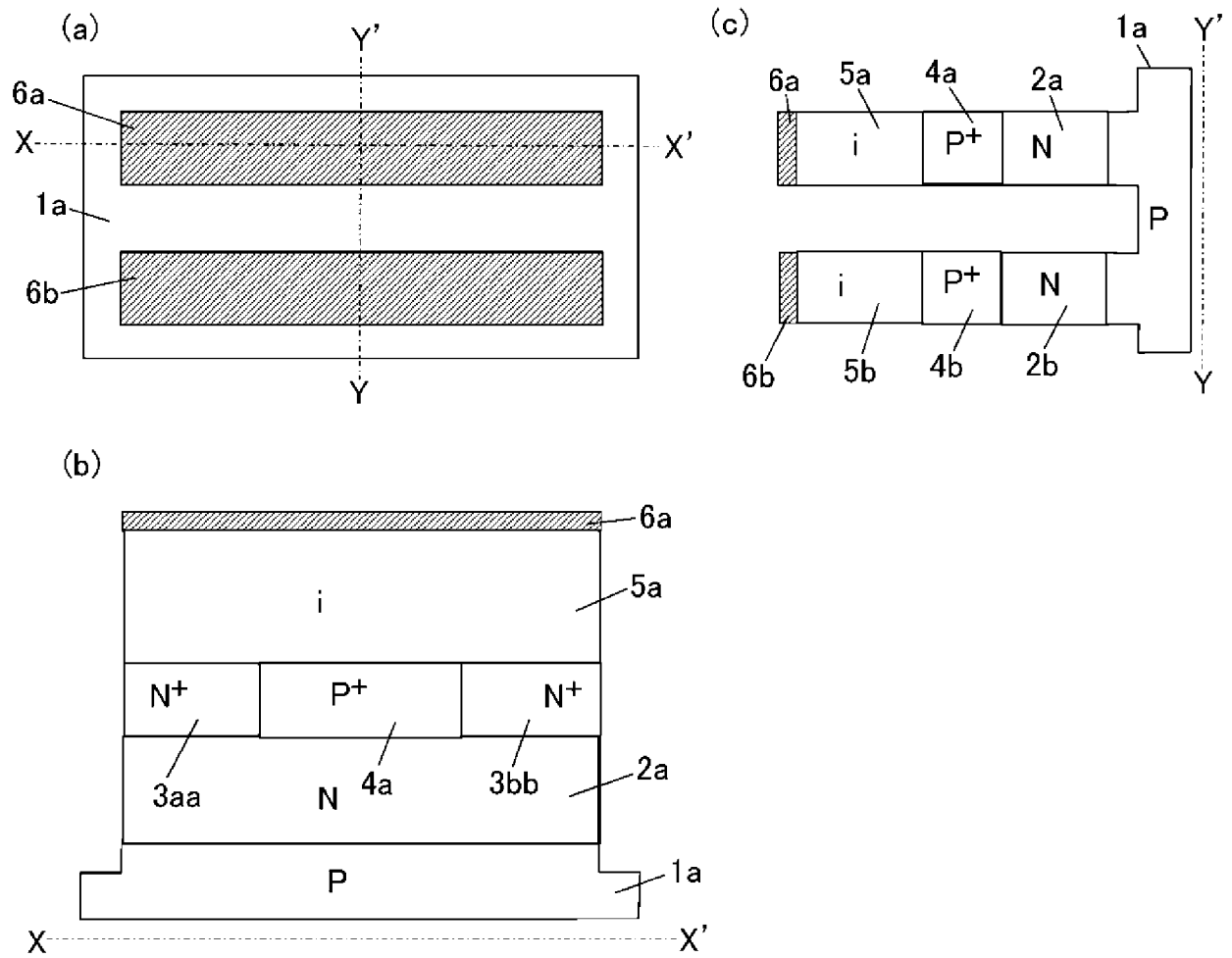
[図1]



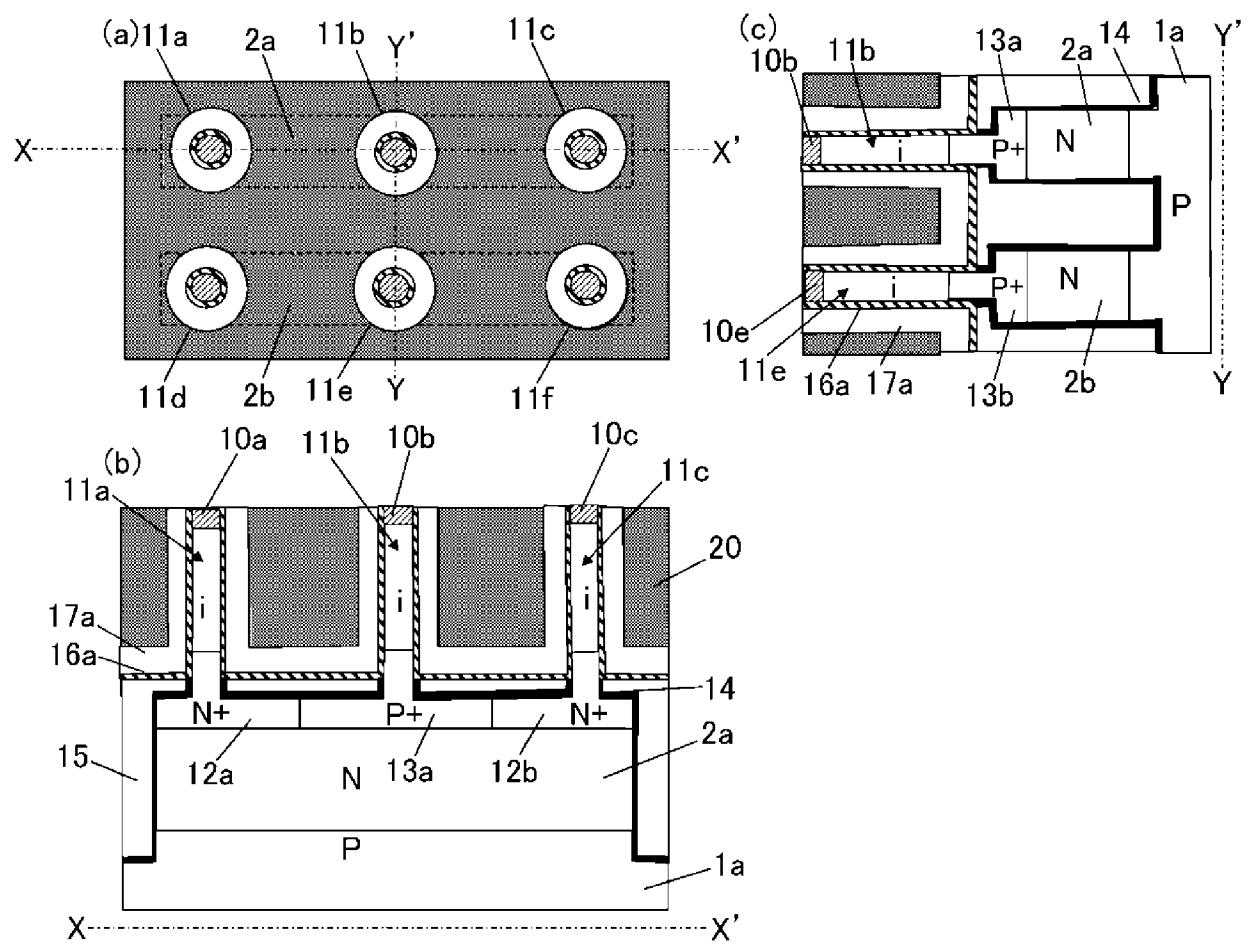
[図2A]



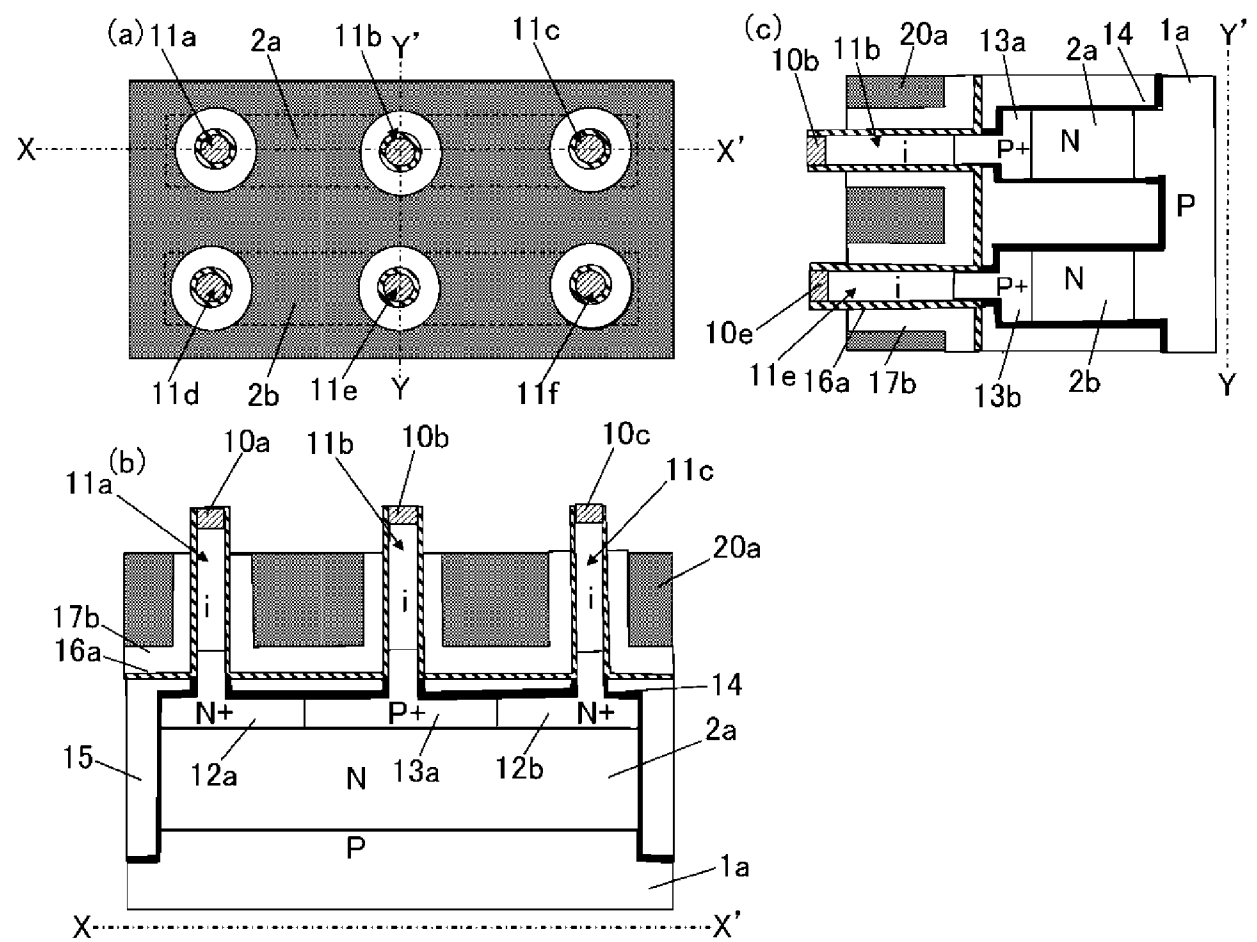
[図2B]



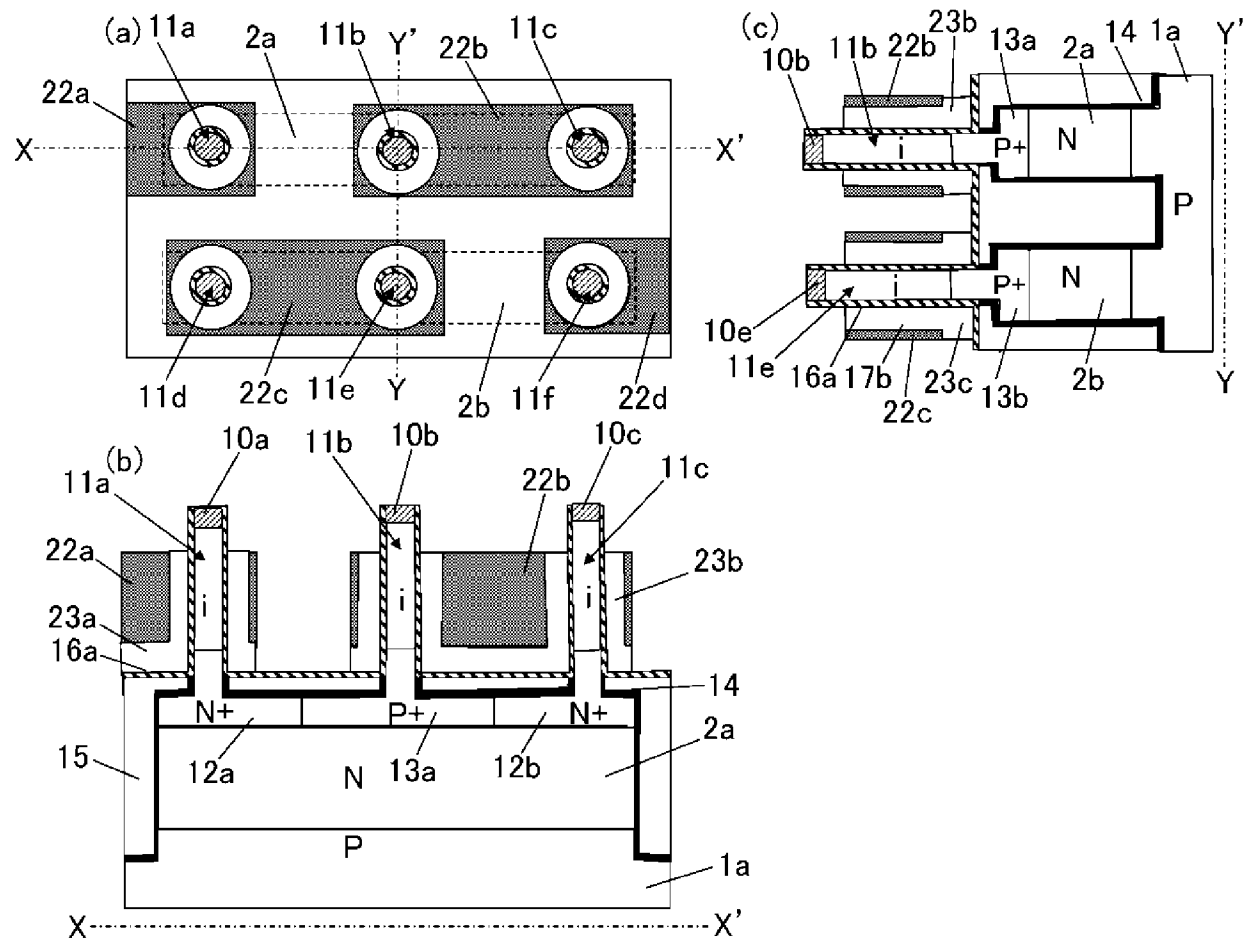
[図2D]



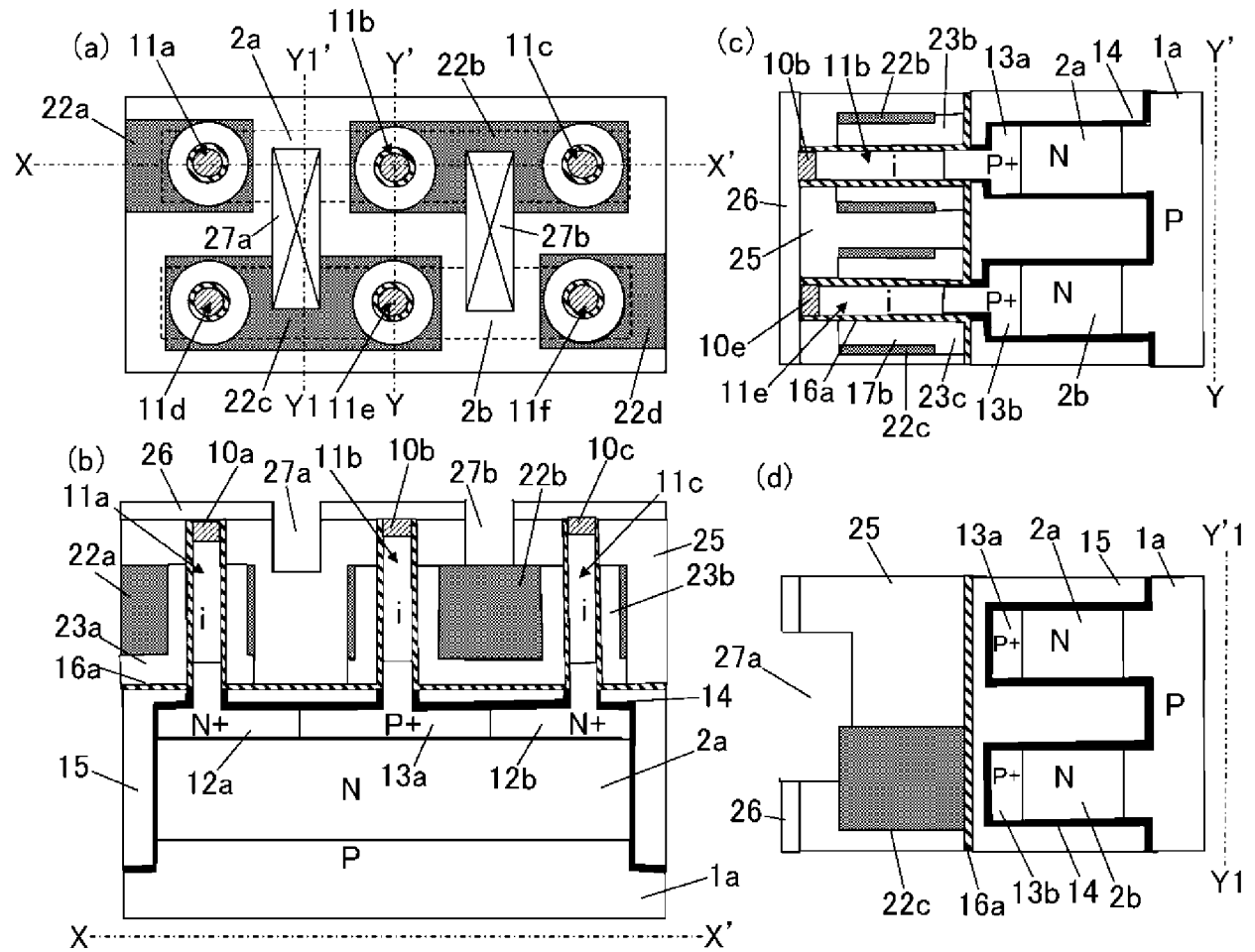
[図2E]



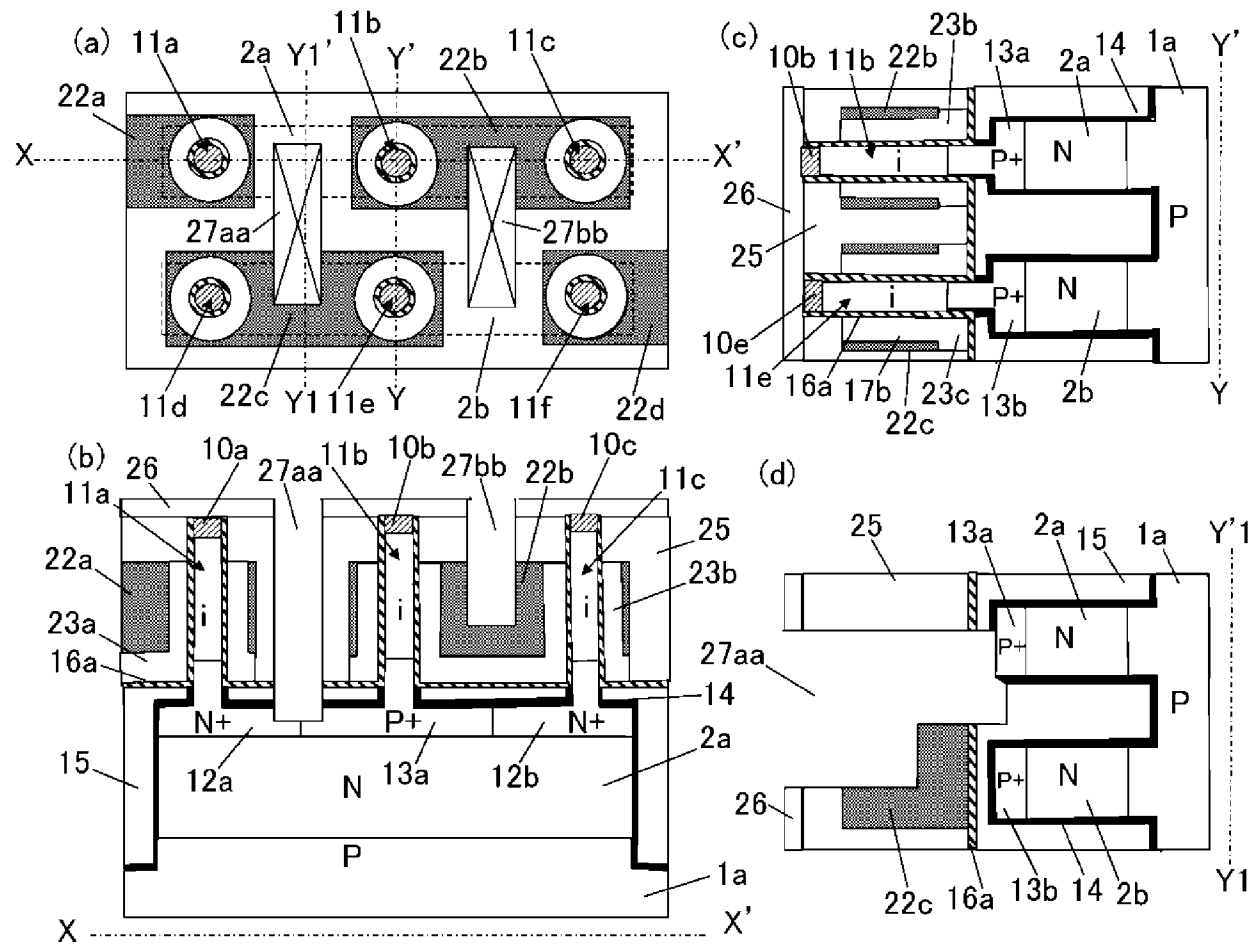
[図2F]



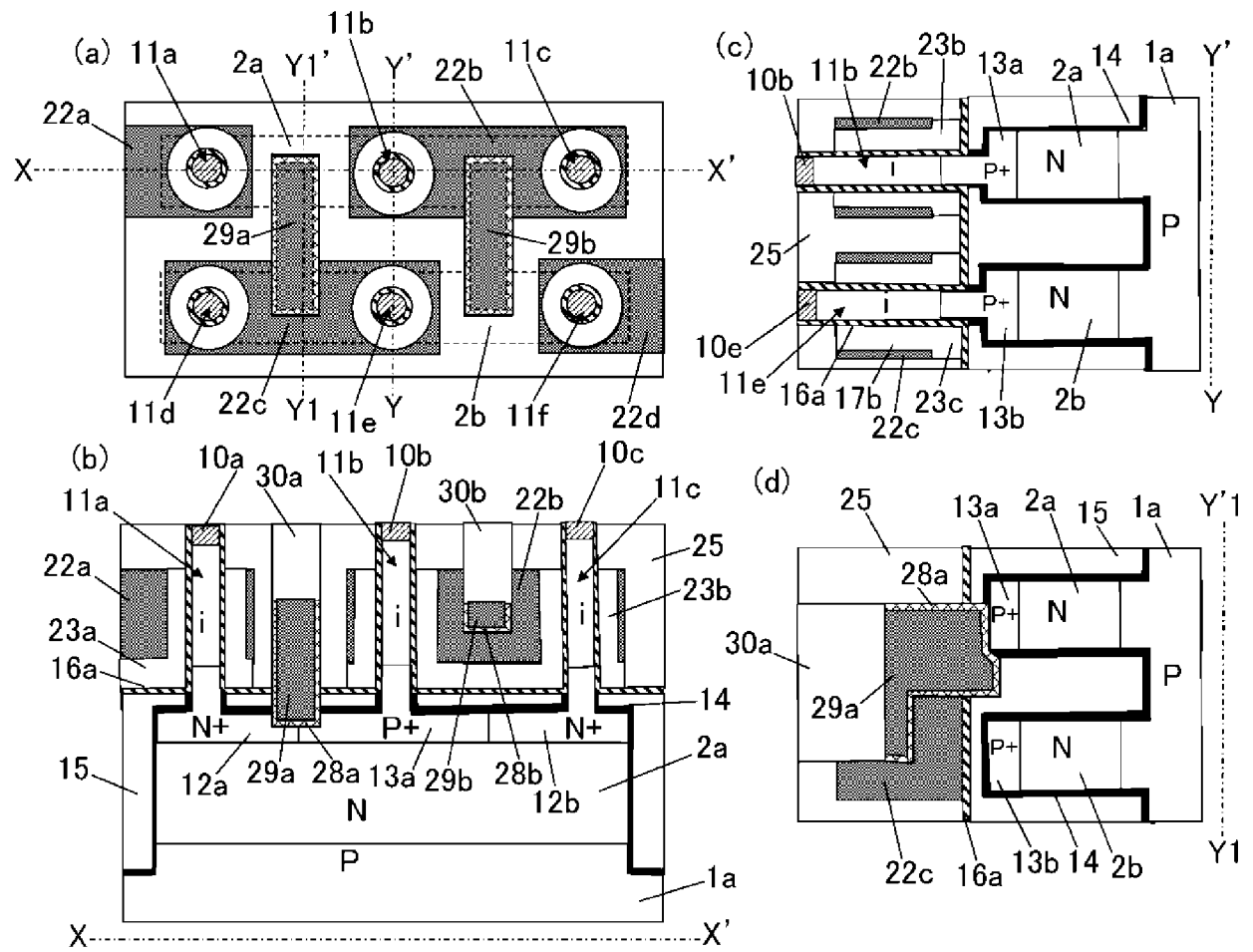
[図2G]



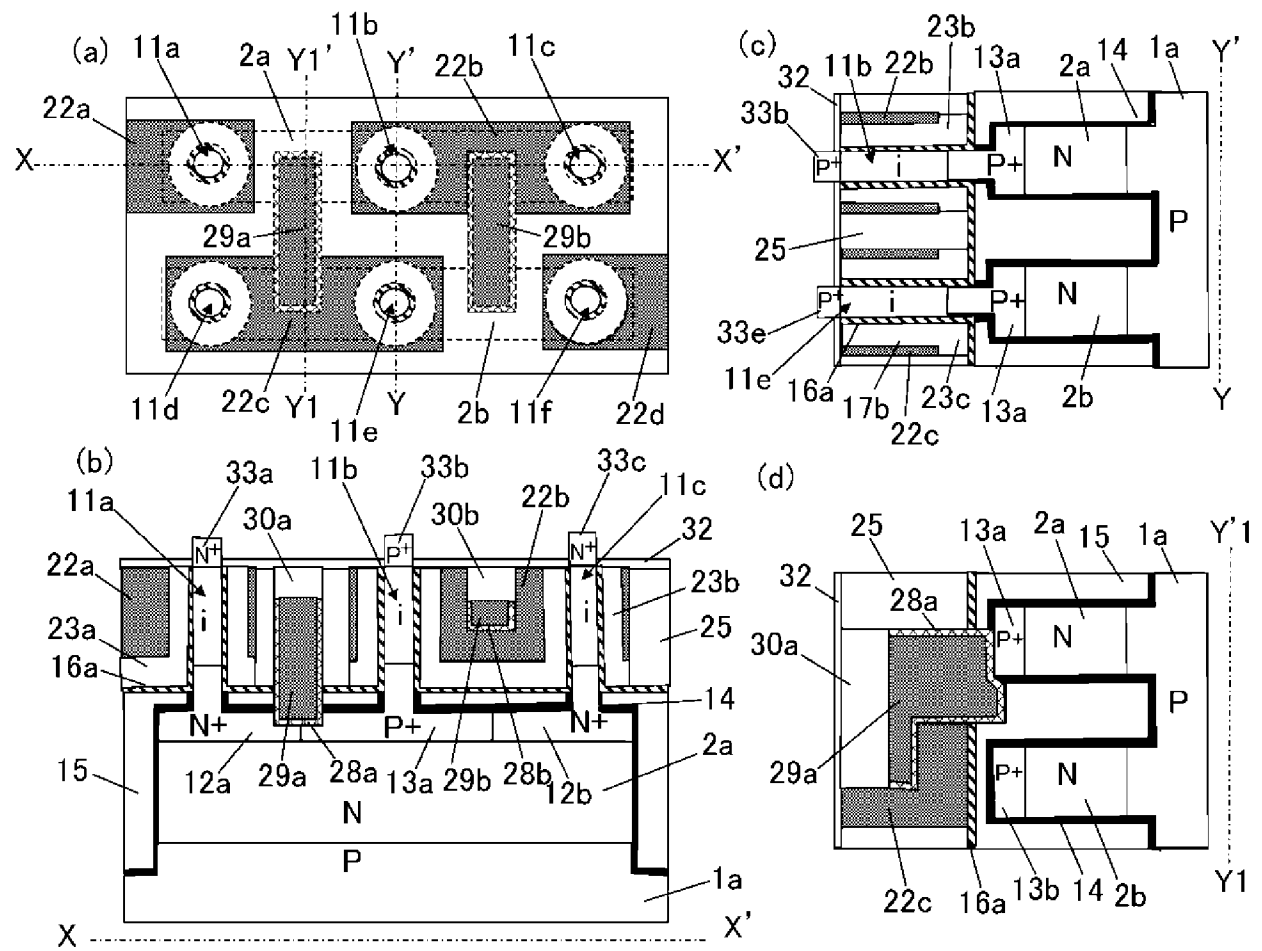
[図2H]



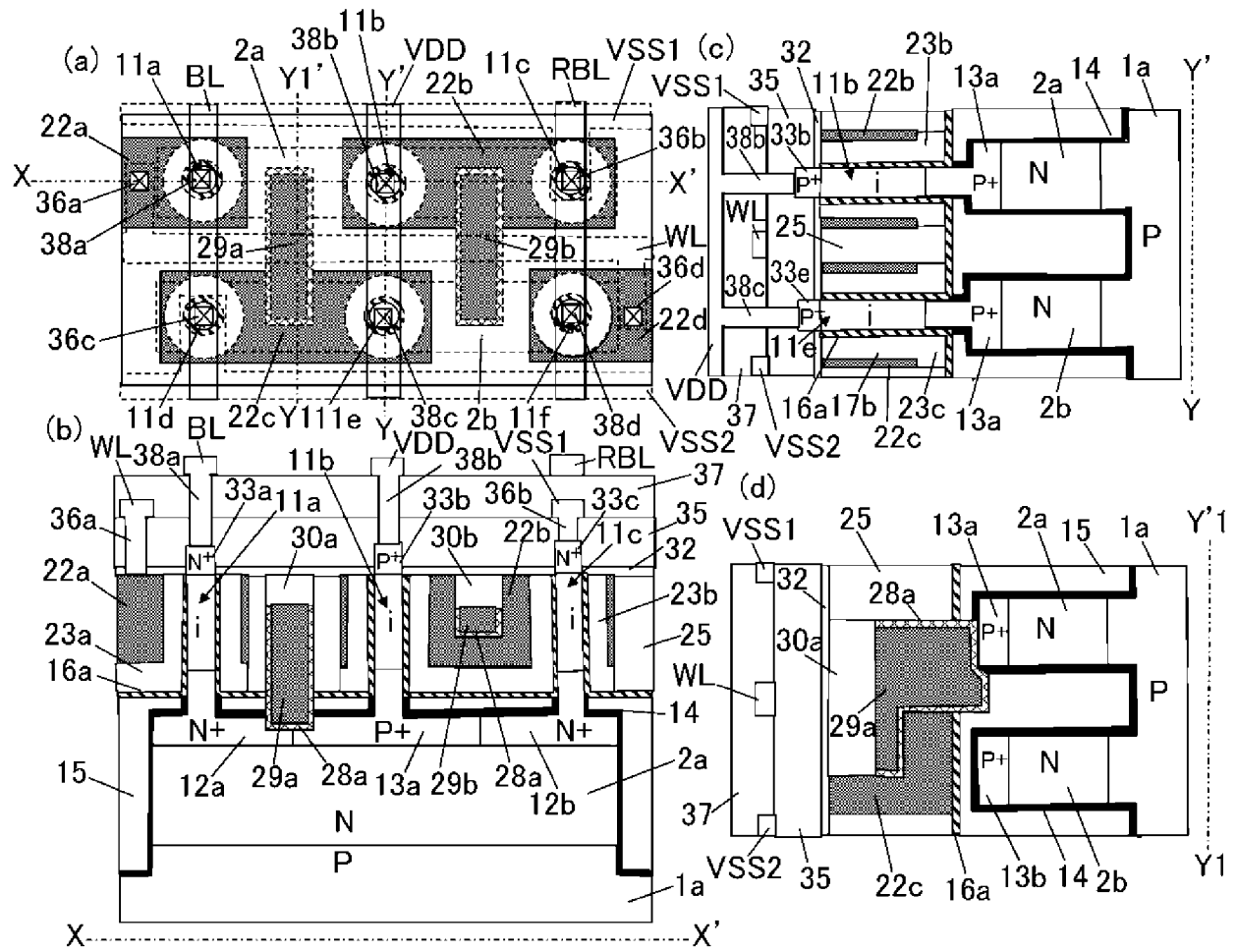
[図2I]



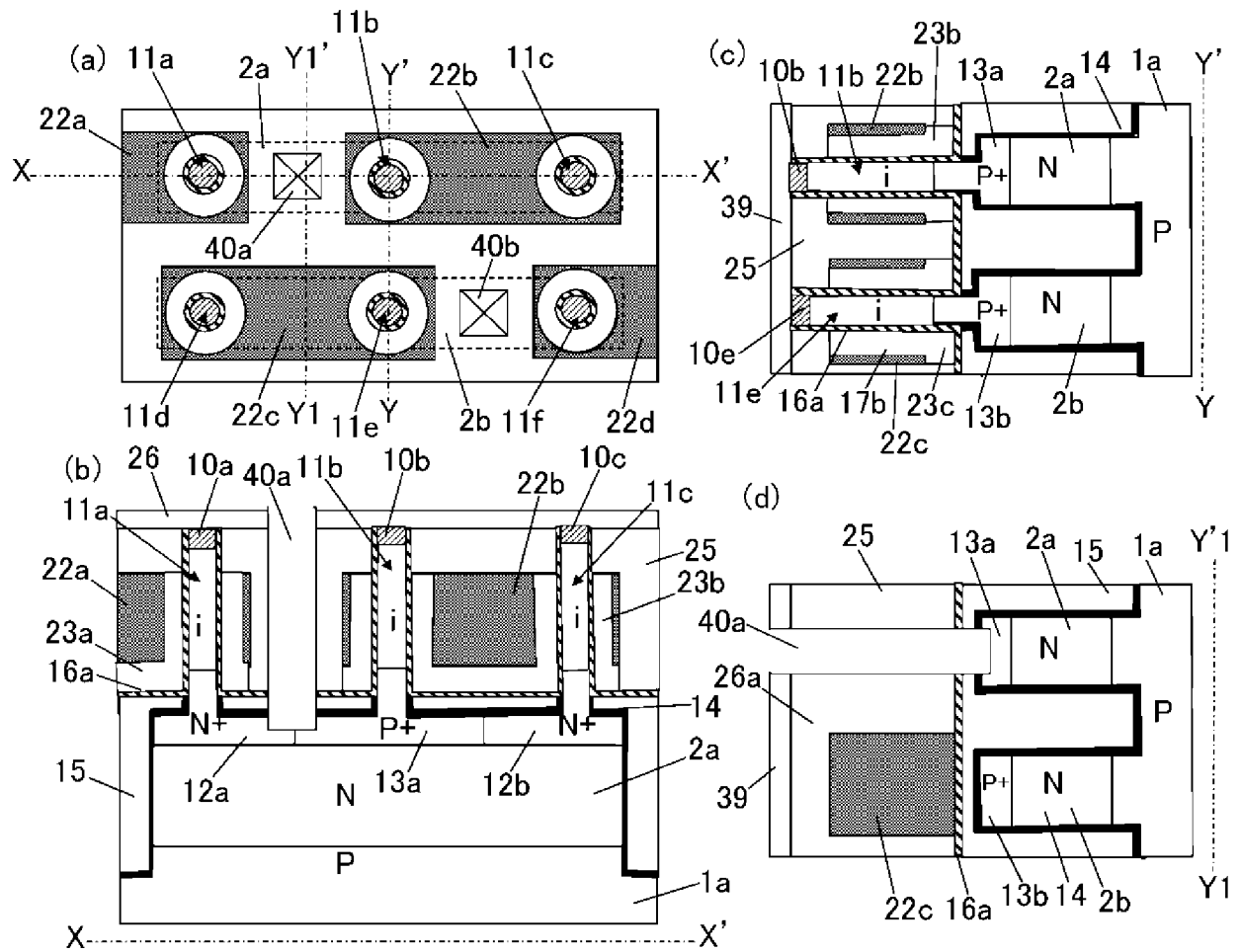
[図2J]



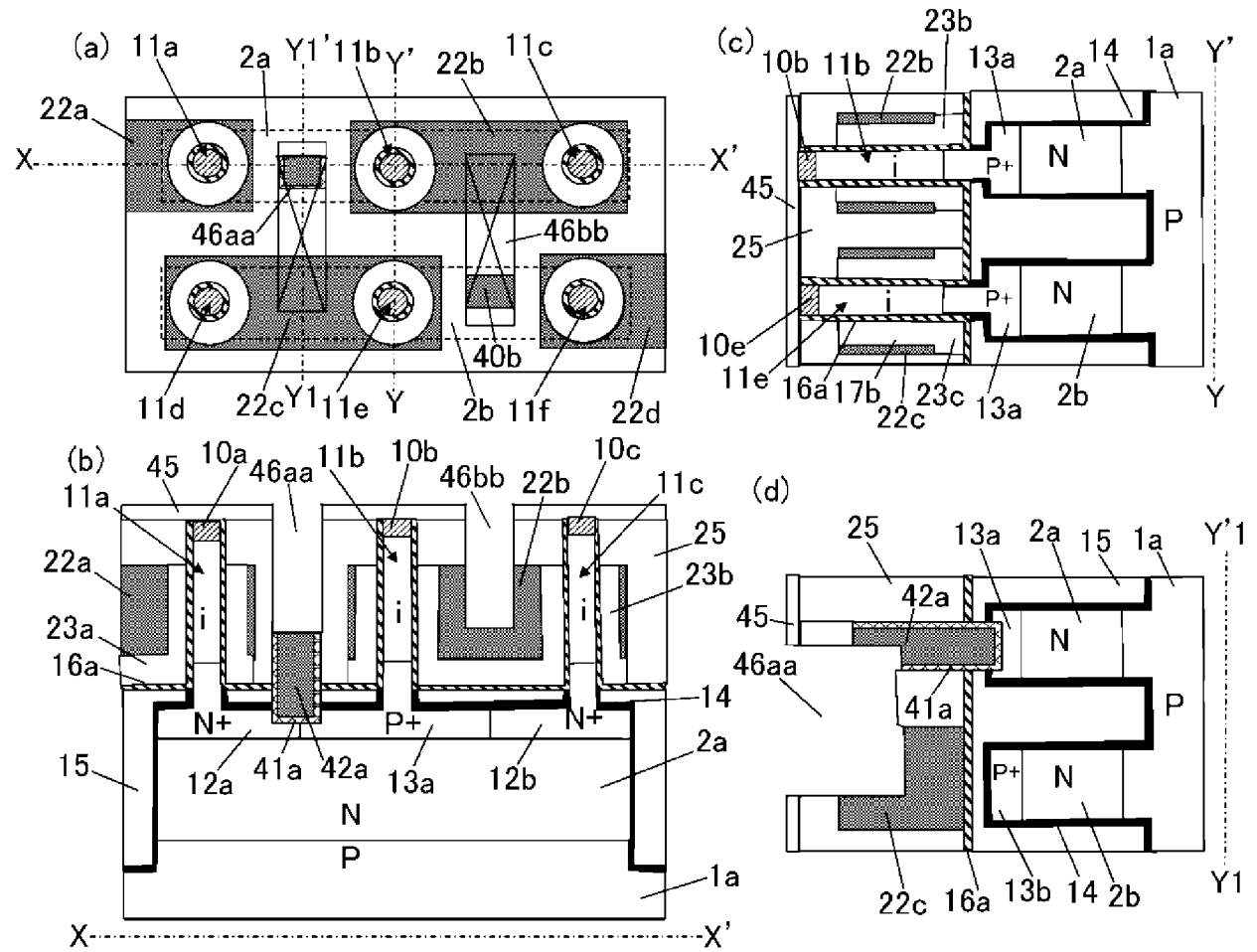
[図2K]



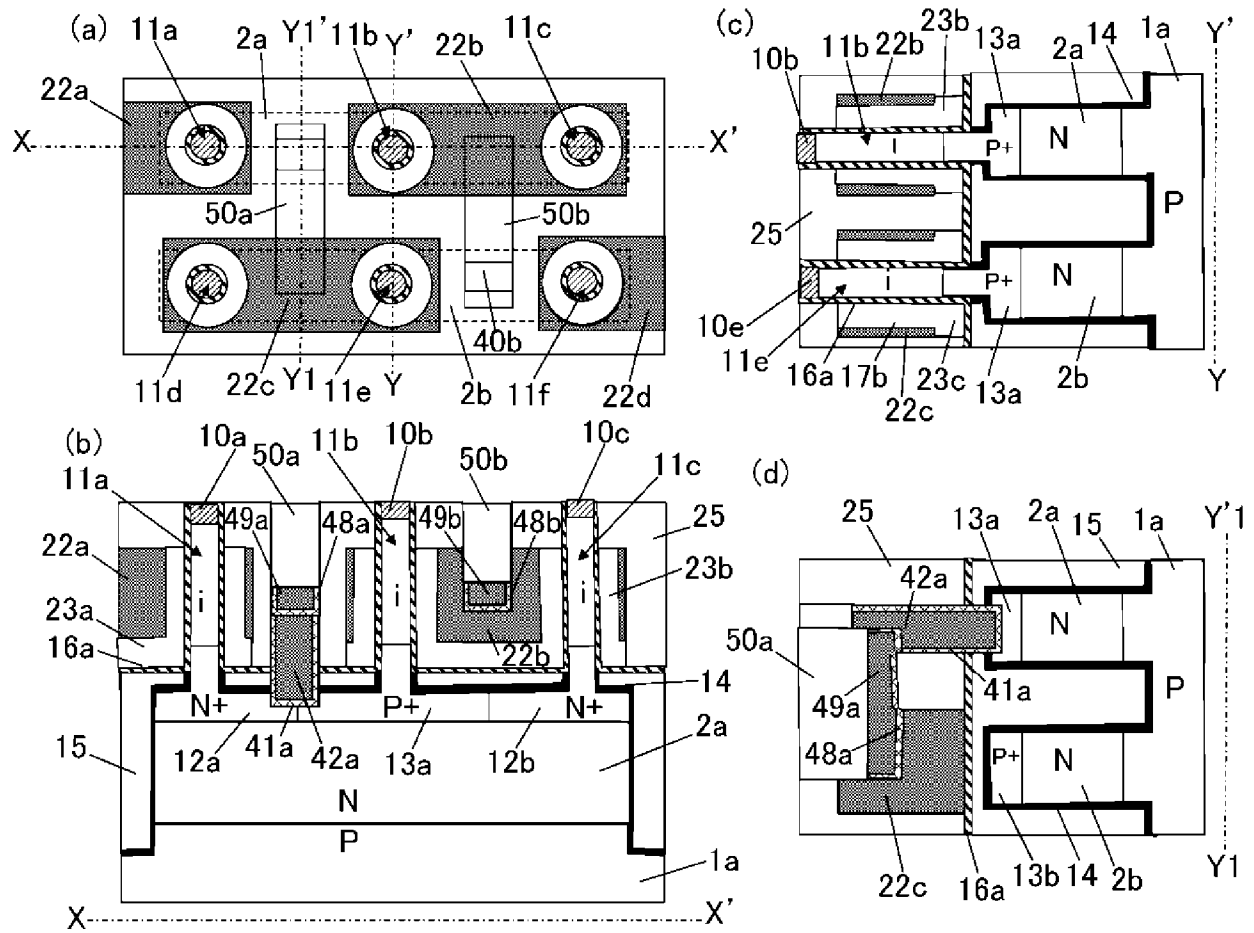
[図3A]



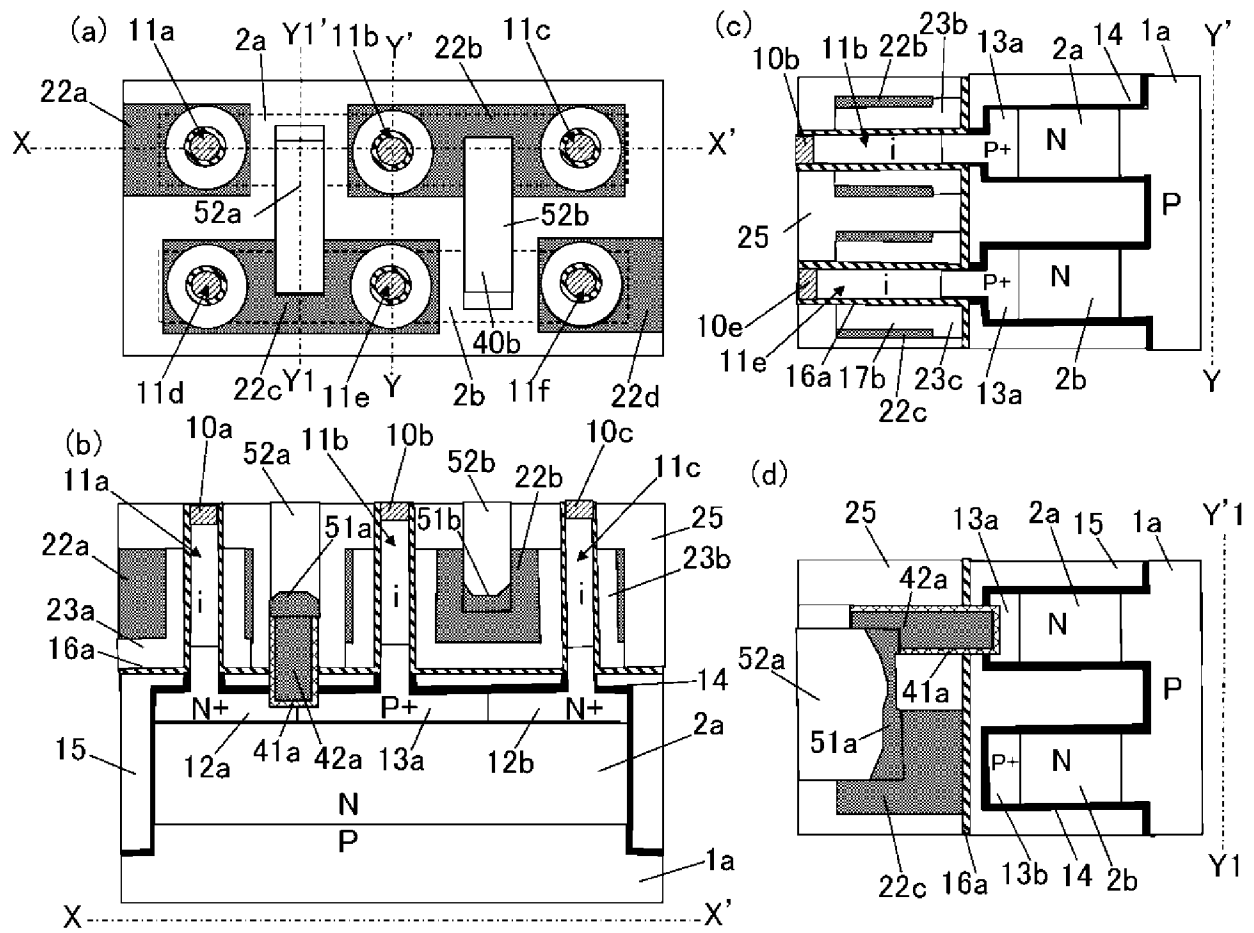
[図3D]



[図3E]



[図4B]



[図5B]

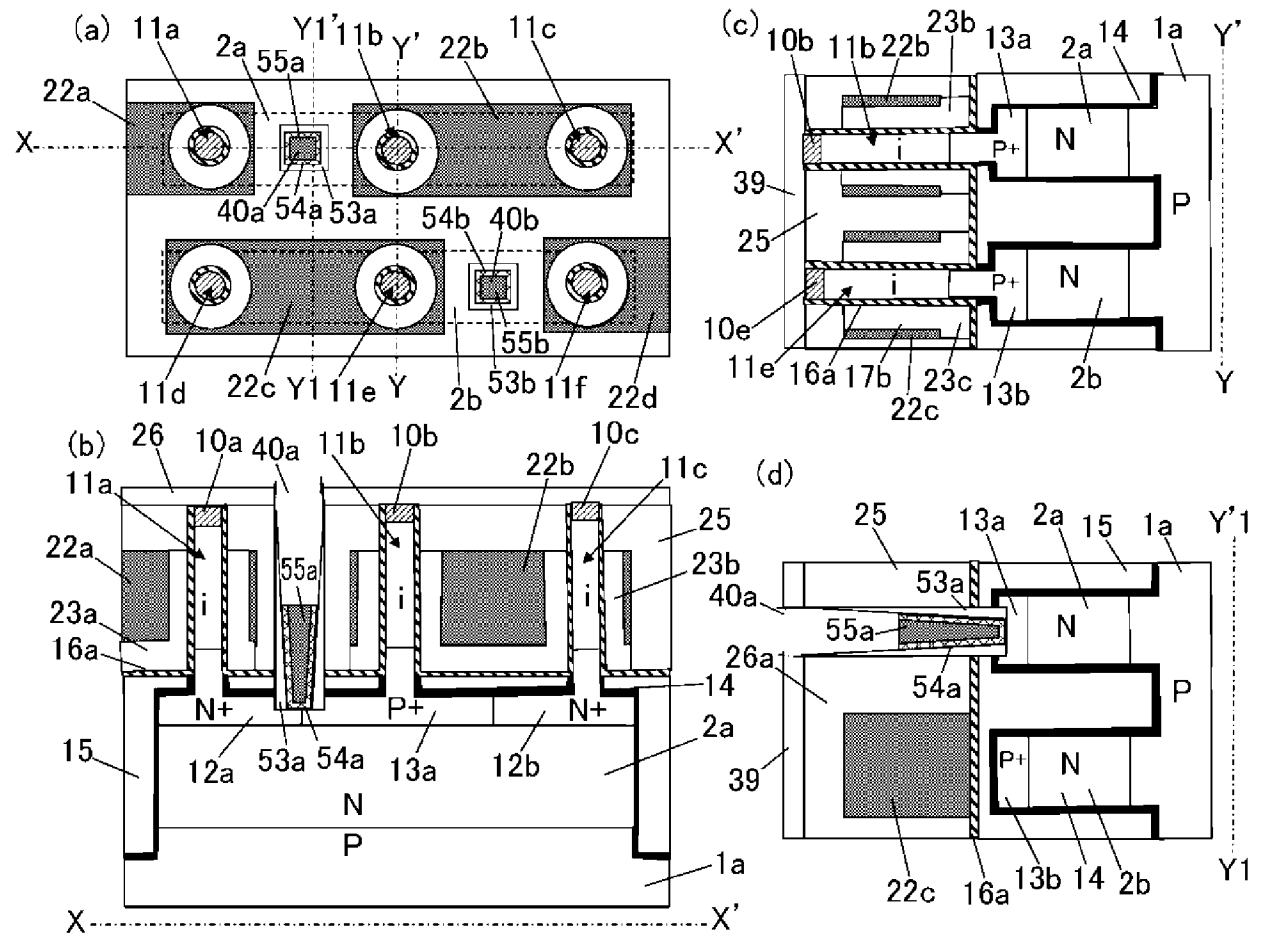
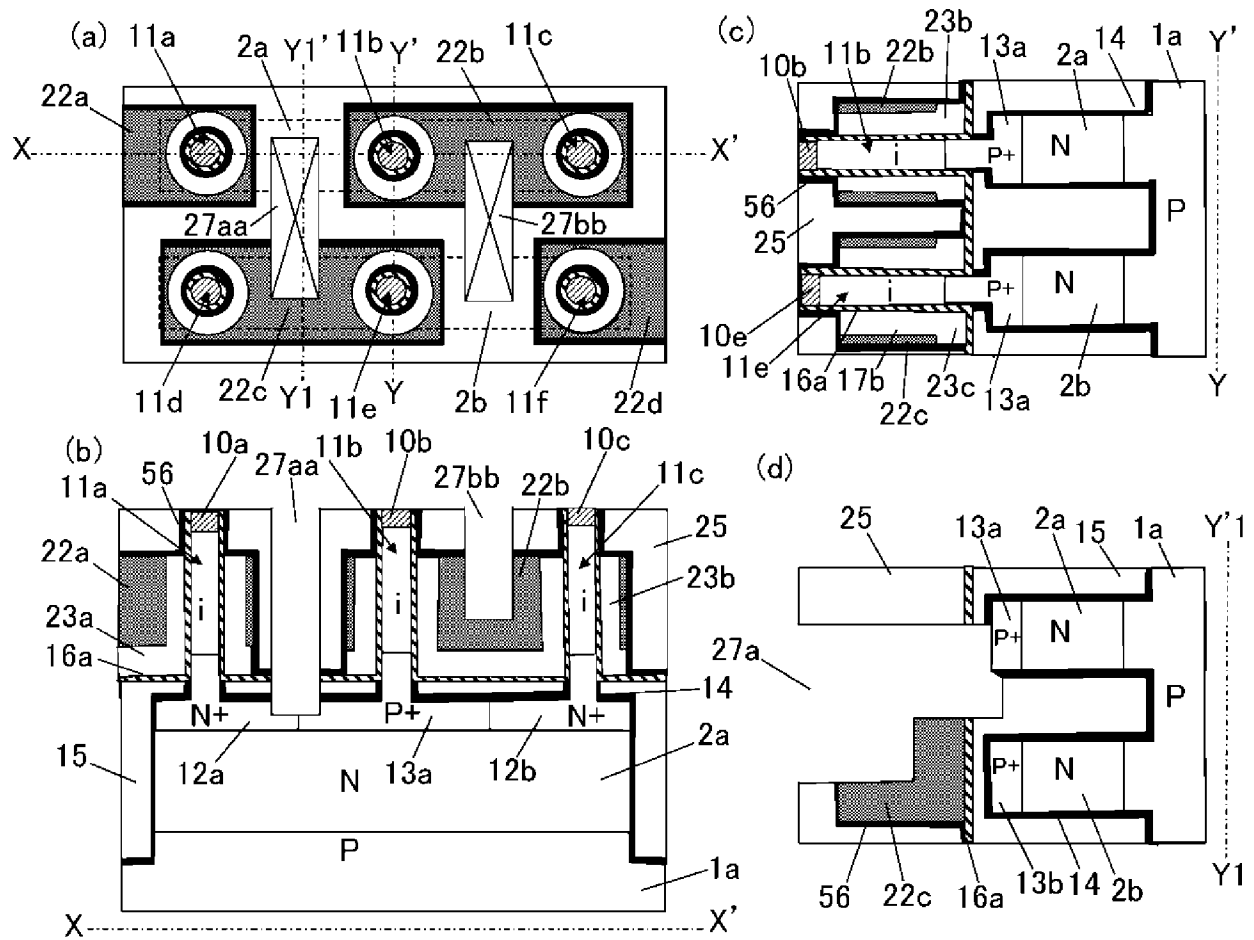
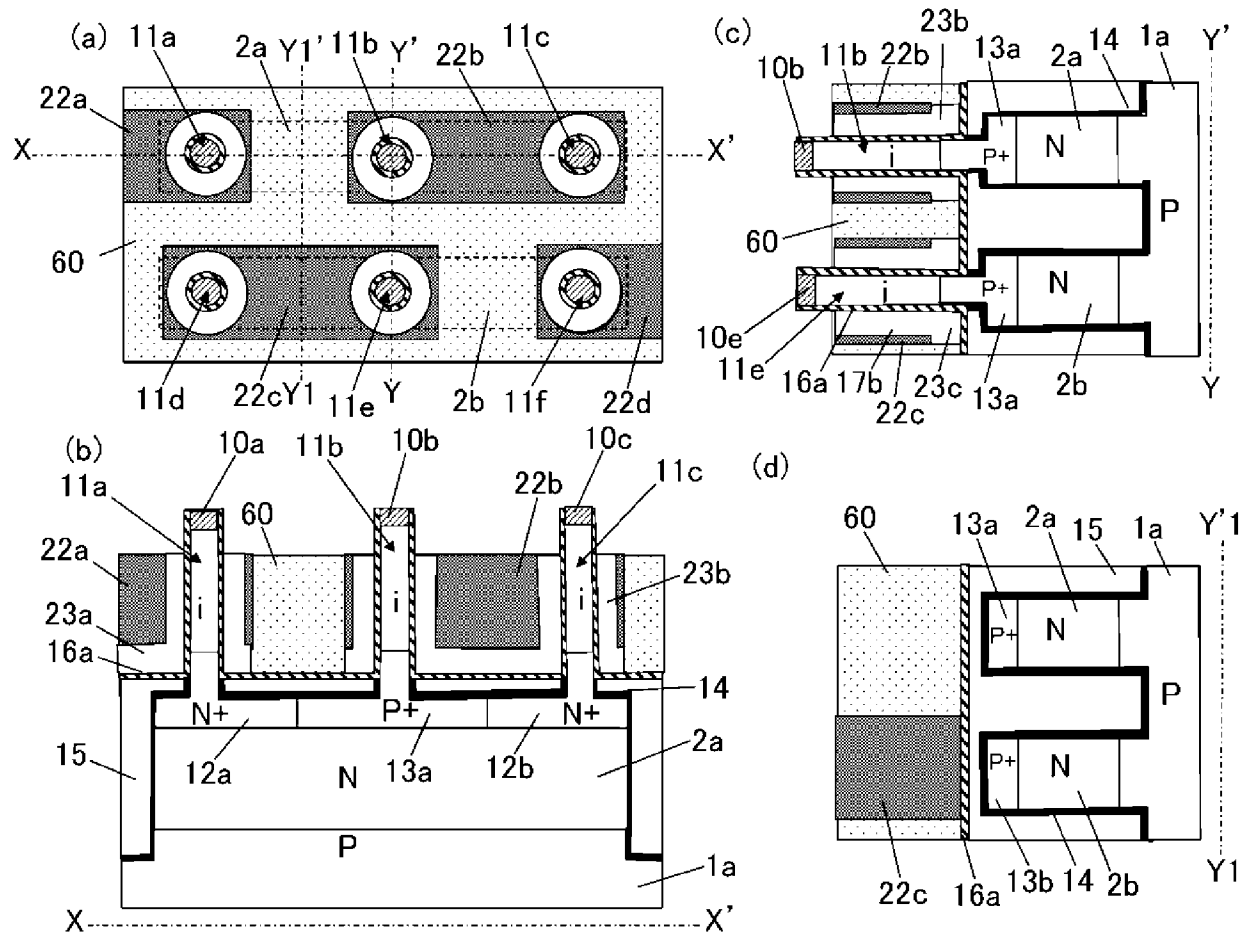


Figure 1 consists of three schematic diagrams labeled (a), (b), and (c).
 Diagram (a) is a plan view showing a rectangular substrate with two rows of circular features. The top row has three circles labeled 11a, 11b, and 11c. The bottom row has three circles labeled 11d, 11e, and 11f. Between the circles are regions labeled 2a, 2b, and 2c. A dashed horizontal line X-X' passes through the centers of the circles, and a dashed vertical line Y-Y' passes between them.
 Diagram (b) is a cross-sectional view along line X-X'. It shows a substrate with layers 1a, 2a, and 12a. On top of layer 12a are regions labeled N+, P+, and N+. Above these are layers 16a, 23a, and 22a. Vertical structures 10a, 11b, and 10c rise from the substrate, each containing a central core 56. Regions 11a, 22b, and 11c are also indicated.
 Diagram (c) is a cross-sectional view along line Y-Y'. It shows a substrate with layers 1a, 2a, and 13a. Above layer 13a are regions labeled P+ and N. Horizontal layers 10b, 11b, and 22b are shown. Other labels include 10e, 11e, 16a, 17b, 23c, and 22c.

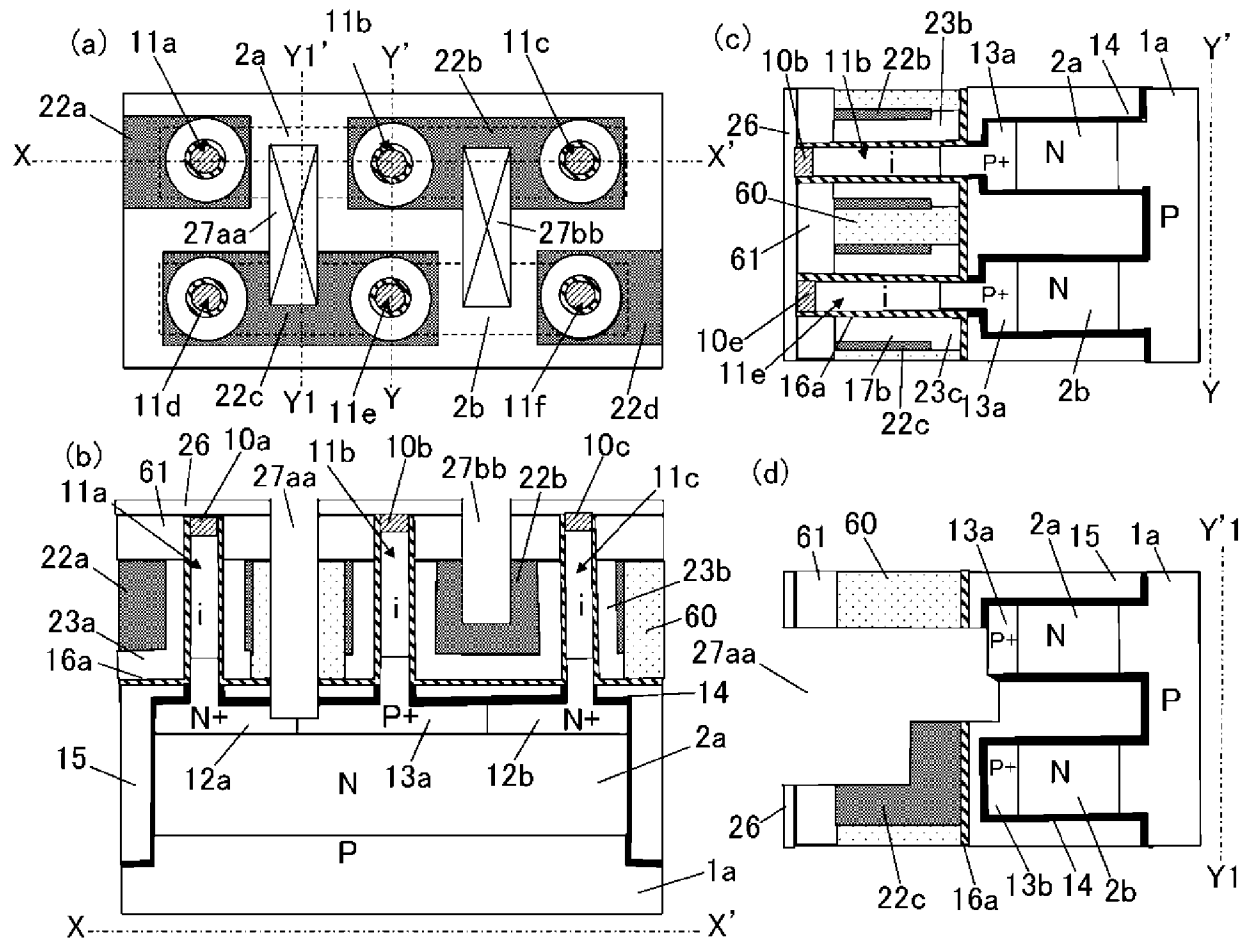
[図6B]



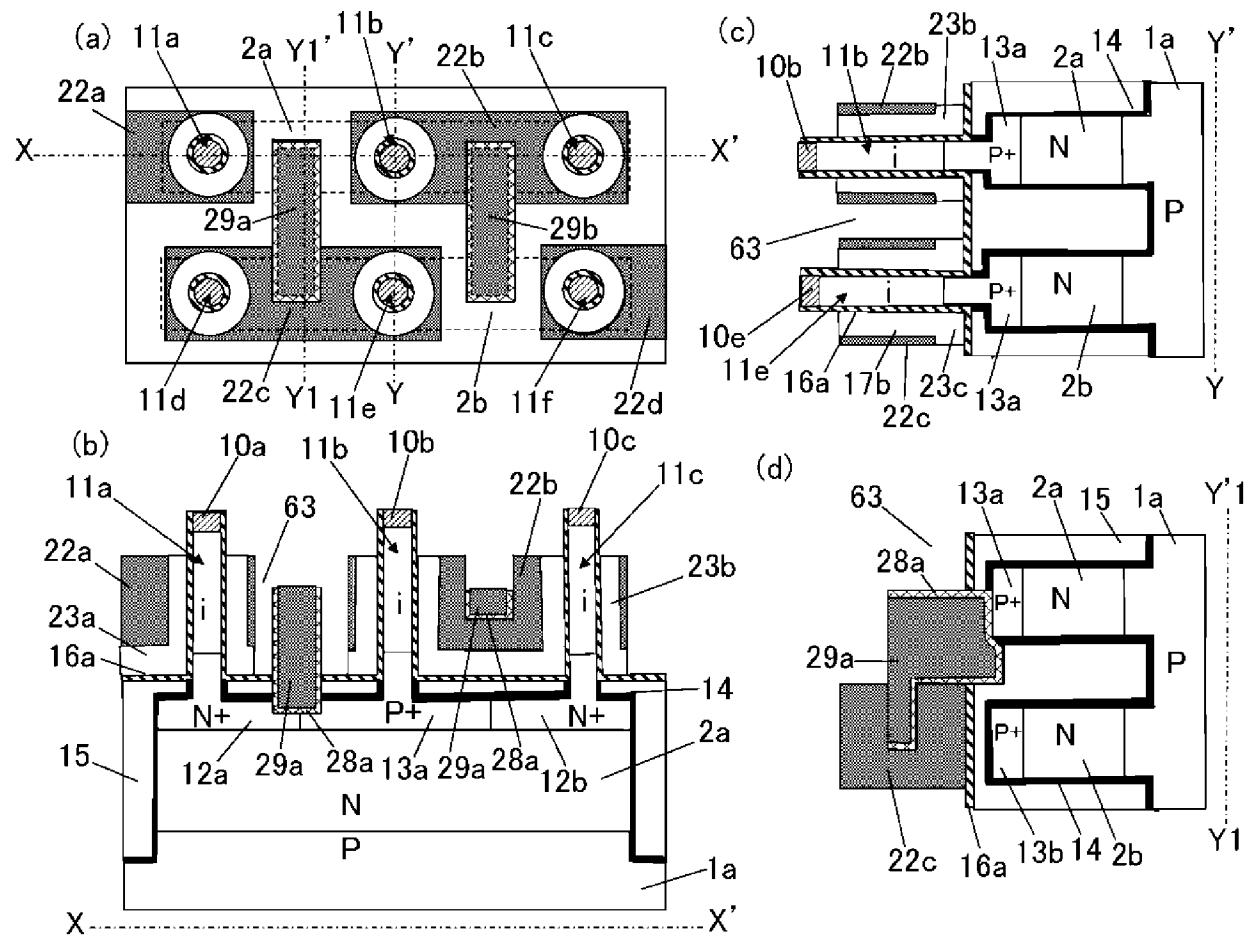
[図7A]



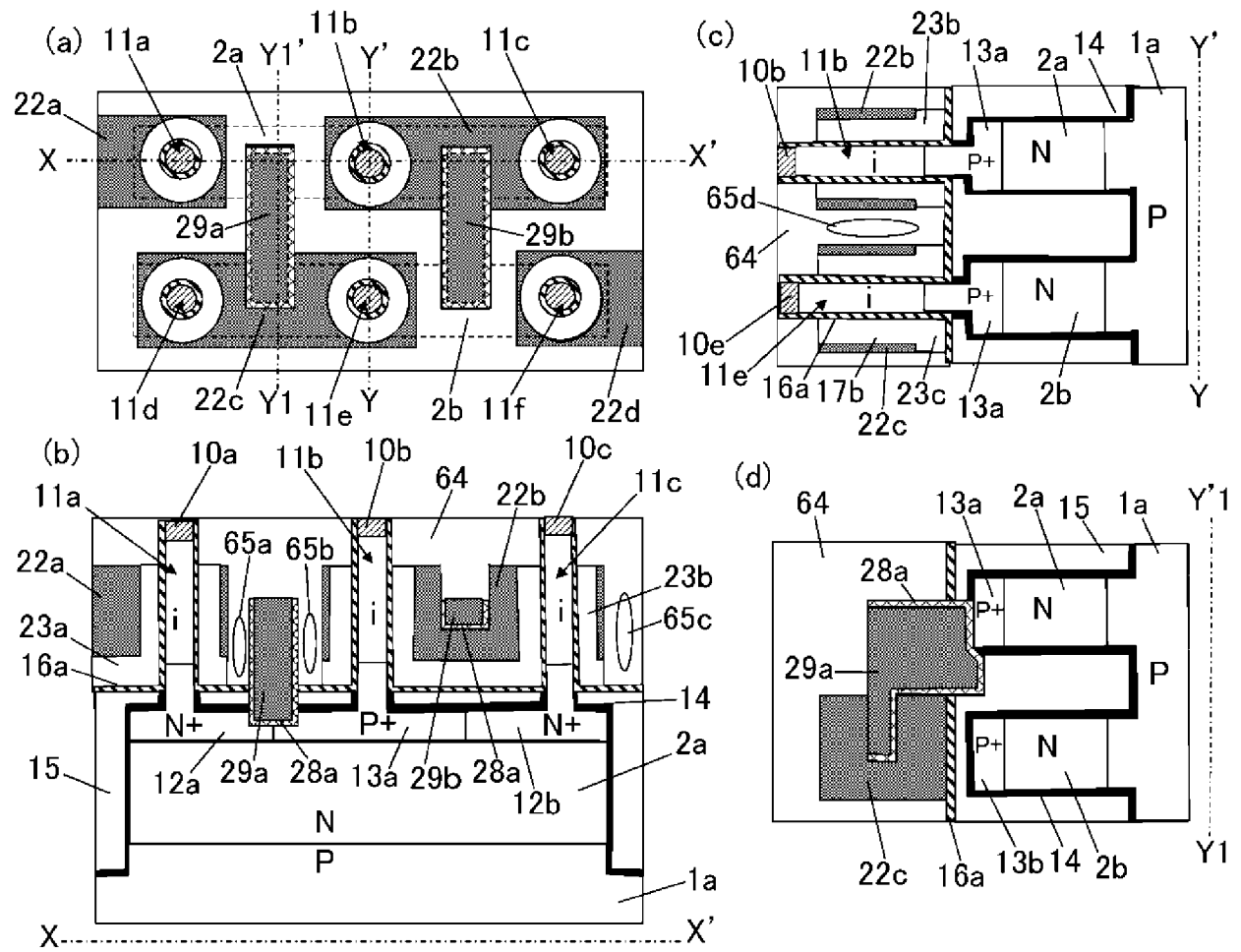
[図7B]



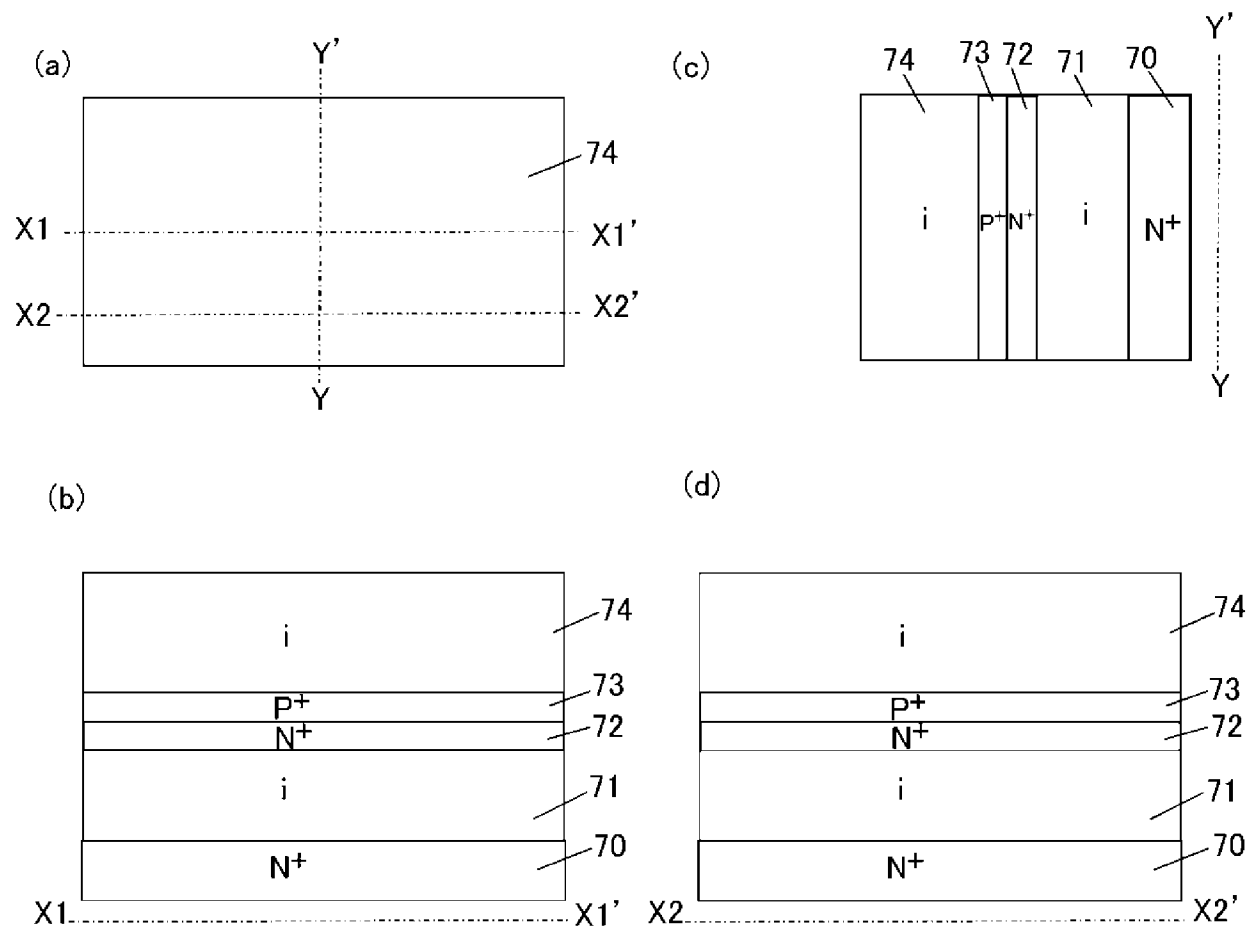
[図8A]



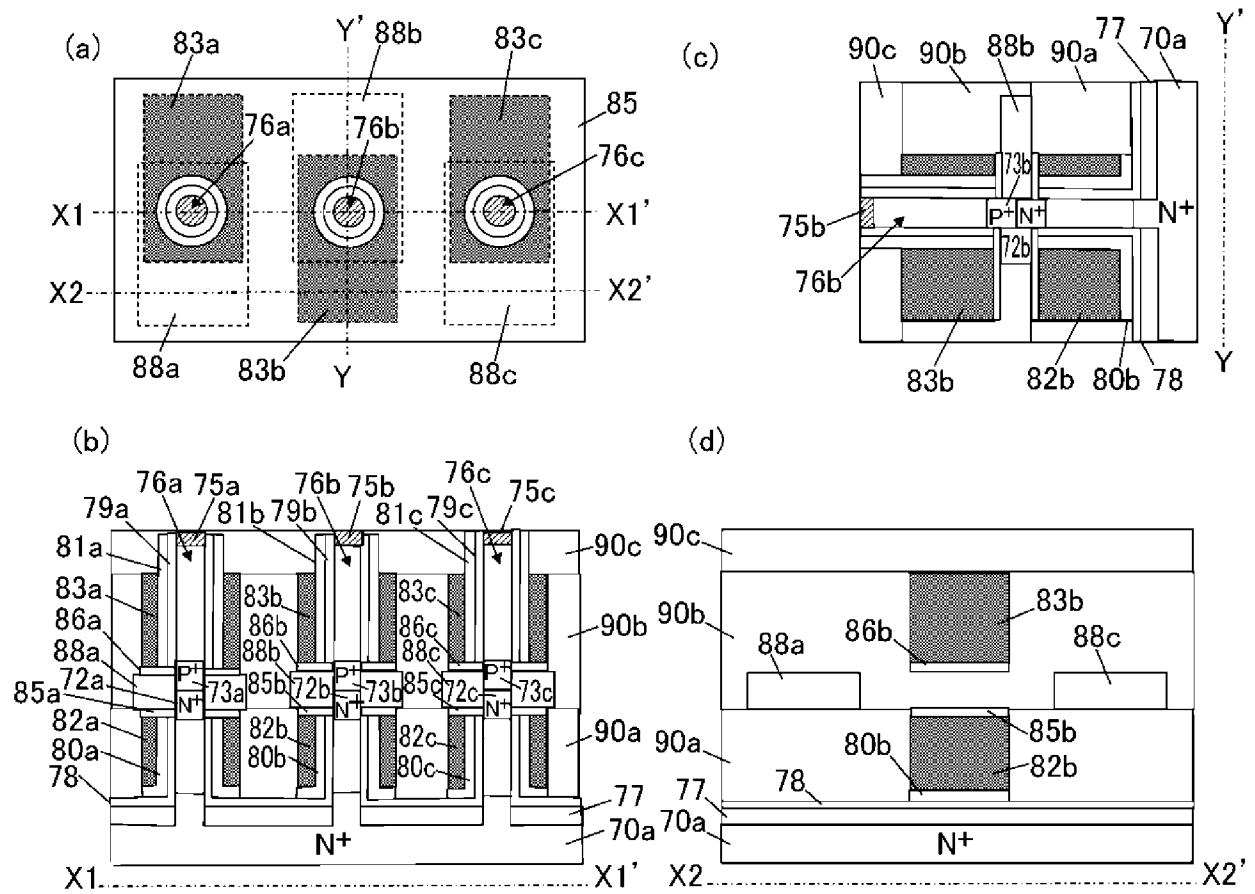
[図8B]



[図9A]



[図9B]



(d)

0c

0b

0a

77

0a

78

88a

86b

80b

92b

93b

91b

83b

88c

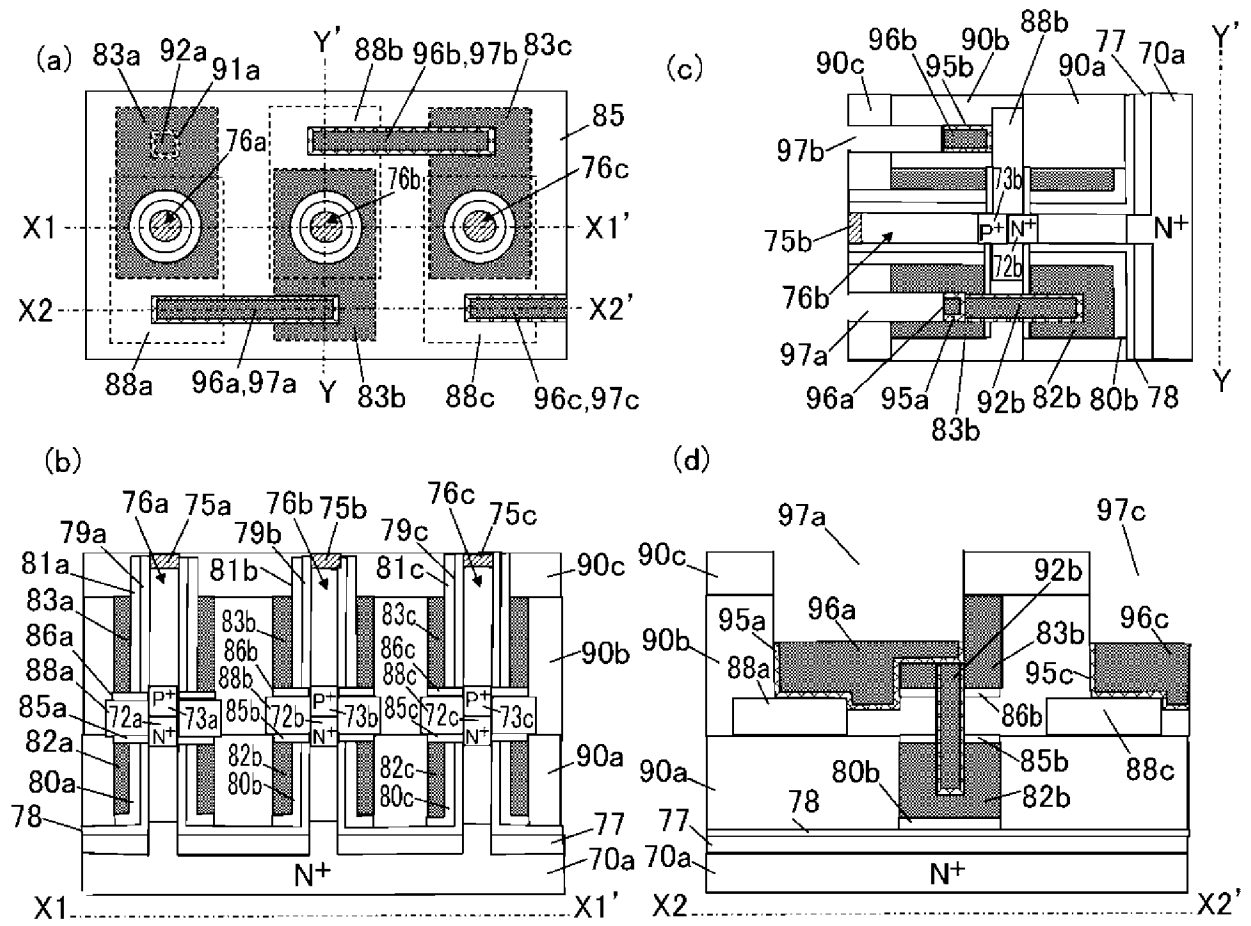
85b

82b

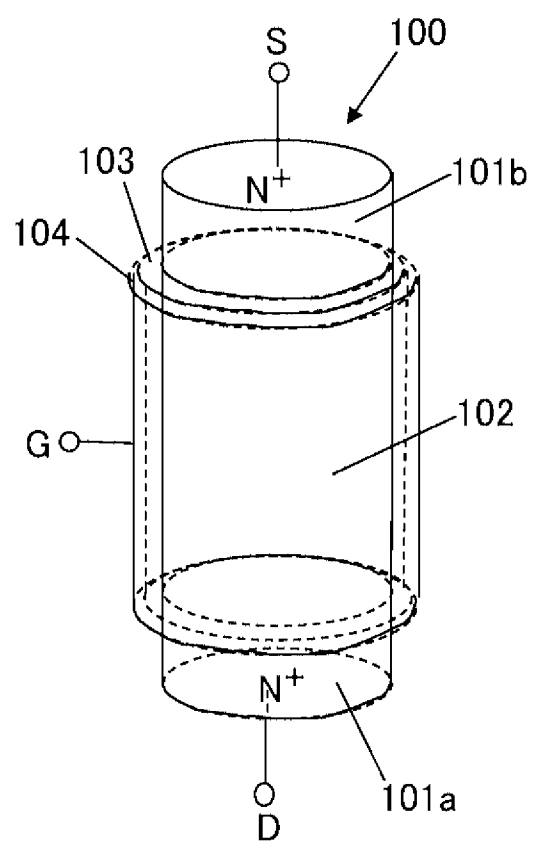
N⁺

X2'

[図9D]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/039538

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/336 (2006.01) i, H01L29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/022744 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 19 February 2015, entire text, all drawings & JP 5639318 B & US 2015/0221750 A1	1-20
A	WO 2013/171873 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 21 November 2013, entire text, all drawings & CN 103563058 A & TW 201349509 A & KR 10-2014-0015508 A	1-20
A	WO 2012/077178 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 14 June 2012, entire text, all drawings & CN 102714181 A & TW 201230304 A & KR 10-2013-0020761 A	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27.11.2017

Date of mailing of the international search report
05.12.2017

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/039538

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/096465 A1 (UNISANTIS ELECTRONICS JP LTD.) 06 August 2009, entire text, all drawings & JP 2014-3325 A & US 2010/0219483 A1 & WO 2009/095998 A1 & EP 2239771 A1 & KR 10-2010-0101008 A & CN 101933136 A & TW 200937623 A	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2015/022744 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2015.02.19, 全文, 全図 & JP 5639318 B & US 2015/0221750 A1	1-20
A	WO 2013/171873 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2013.11.21, 全文, 全図 & CN 103563058 A & TW 201349509 A & KR 10-2014-0015508 A	1-20

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

27.11.2017

国際調査報告の発送日

05.12.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2012/077178 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2012.06.14, 全文, 全図 & CN 102714181 A & TW 201230304 A & KR 10-2013-0020761 A	1-20
A	WO 2009/096465 A1 (日本ユニサンティスエレクトロニクス株式会社) 2009.08.06, 全文, 全図 & JP 2014-3325 A & US 2010/0219483 A1 & WO 2009/095998 A1 & EP 2239771 A1 & KR 10-2010-0101008 A & CN 101933136 A & TW 200937623 A	1-20