(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[4]
H01L 31/10

(45) 공고일자 1989년09월19일
(11) 공고번호 89-003384

(21) 출원번호	특1984-0007563	(65) 공개번호	특1985-0005175
(22) 출원일자	1984년11월30일	(43) 공개일자	1985년08월21일
(30) 우선권주장	58-232341 1983년12월08일 일본(JP)		
(71) 출원인 스미도모덴기고오교오 가부시기가이샤 나까하라 쯔네오
일본국 오오사까후 오오사까시 히가시구 기따하마 5죠오메 15반지

(72) 발명자 니시자와 히데아끼
일본국 오오사까후 오오사까시 고노하나구 시마야 1죠오메 1반 3고

(74) 대리인 신중훈

심사관 : 정용철 (책자공보 제1639호)

(54) 수광 다이오우드와 그 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

수광 다이오우드와 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 관한 메사형 수광 다이오우드의 종단면도.

제2도는 본 발명의 수광 다이오우드를 사파이어기판 플랫 패키지속에 수용된 상태를 표시한 종단면도.

제3도는 본 발명의 수광 다이오우드를 알루미나 기판상에 다이 본드한 상태를 표시한 종단면도.

제4도는 종래의 사파이어 기판으로의 수광 다이오우드의 상태를 표시한 종단면도.

제5도는 종래예에 관한 알루미나 기판으로의 수광 다이오우드의 본딩예를 표시한 종단면도.

* 도면의 주요부분에 대한 부호의 설명

1 : 사파이어 기판 2 : 하부틀

3 : 다이본딩용 패드 4 : 개구부

5 : 상부틀 6, 7 : 리이드

9 : 수광소자 칩 10 : n-Inp기판

11 : InGaAs 에피텍셜층 12 : Zn 확산영역

13 : p측 전극 14 : n측 전극

15 : 땜납층 16 : 수광면

[발명의 상세한 설명]

본 발명은 수광 다이오우드에 관한 것이다.

수광 다이오우드는, pin광전 다이오우드, 애벌란시 광전 다이오우드들이 있고 메사형, 플레이너 형등의 형성이 있다.

수광 다이오우드에는, 고속 응답성이 요구된다. 이 경우, 정전 용량을 줄이기 위하여, 메사형으로

해서, pn접합부의 면적을 좁게하는 것이 유효하며, 광 파이버와 결합되어서 사용되는 경우, 높은 결합 효율이 요망된다.

수광 다이오우드는, 종래에는 윗쪽에 창이 있는 헤어메틱 시일형식의 페치지에 수용되는 일이 많았다. 이 구조에서는, 수광 소자 칩의 기판 저부에 전극이 있고, 패키기 전면에 납땜된다.

칩의 상면에 광이 들어가는 수광면과, 이것을 둘러싸는 링 전극이 있다. 링 전극과, 패키지의 리이드 핀 간이 와이어 본딩되어 있다. 와이어는 상방향으로 만곡되어 있기 때문에, 와이어에 접촉하지 않도록 패키지 캡은 어느 정도의 높이가 필요하다. 이 때문에 광 파이버단과, 수광 소자 칩의 간격이 떨어져 버린다.

그래서, 저면에 수광면을 갖도록한 구조의 수광 다이오우드도 제작되게 되었다.

저면의 중앙부를 수광면으로 남겨두고, 주면에 링 전극을 붙인다. 상면에는 단순한(링이 아닌)전극을 붙여서 와이어 본딩하게 된다.

pn접합부는 기판 상방의 에피텍셜층에 있으므로, 메사형으로 하는 것이 가능하게 된다.

메사형 광전 다이오우드는, 예를들면 다음과 같은 구조를 하고 있다. n-Inp기판상에 비도우프의 InGaAs의 에피텍셜 성장층을 만들어, 상면으로부터 Zn을 확산해서, Pn접합을 만든다. 상방을 대형상으로 부식시키면 메사형이 된다.

칩 상면에는 p형 전극(Au-Zn), 저면에는 링 모양의 n형 전극(AuGeNi)을 붙인다.

이와같은 칩은 웨이퍼 공정으로 제작된다.

다수의 소자가 만들어진 후 스크라이브해서, 칩으로 분리하여 이것을 패키지에 실장해야만 된다.

제4도는 종래의 수광 다이오우드 칩(9)을 사파이어 기판(1)상에 납땜한 예를 표시한다. 사파이어 기판(1)은 투명한 것이므로, 광을 통하게 한다. 사파이어 기판(1)상에 개구부(4)를 가진 도전성의 다이 본딩용 패드(3)를 금속화한다. 다이 본딩용 패드(3)는, Au계의 재료가 주로 사용되나 이것은, 도포해야할 부분에 구멍이 있는 스크린을 기판에 겹쳐서 페이스트를 도포하는 얇은 스크린 인쇄에 의해서 도포할 수 있다. 도포시에는 평탄하지만 소성하면 페이스트가 단부에서 표면장력 때문에 융기하는 수가 있다. 이 대로의 형상을 유지해서 고체화하면, 페이스트 표면에는 제4도에 표시한 바와같은 불규칙한 요철이 생긴다. 이것을 패드로서 사용한다. 수광 다이오우드 칩(9)을 다이 본딩용 패드(3)상에 놓고 본딩한다.

패드(3)에 요철이 있으면, 칩(9)이 기울어진체로 고정된다.

제5도는 투명하지 않은 기판에 부착하는 예를 표시한다. 세라믹 기판(20)상에, 도전성 본딩 패드(21)를 증착등에 의해서 붙이고, 광 도입용 구멍(23)이 뚫려져 있다.

이 위에 링 땜납(24)을 올려놓고, 수광 다이오우드 칩(9)을 납땜한다.

이때 다음과 같은 곤란한 문제점이 있다. 그 하나는, 링 땜납(24)과 광 도입용구멍(23)과의 위치 맞춤이 어렵다는 것이다. 이 때문에, 땜납(24)이 광 도입용구멍(23)속에 비어저 나오는 (25)수가 있다.

비록, 땜납(24)을 정확한 위치에 올려 놓았다 해도, 칩(9)을 놓고 압력을 가해서 납땜하면, 땜납(24)이 비어저나오는(25)수도 있다.

땜납두께를 얇게하면 불균일을 감소시킬 수 있으나, 취급을 위하여, 땜납두께는 20~30㎛이상 필요하다.

이와같은 이유로, 땜납(24)이 칩 저면의 수광 면적을 협소화하여, 수광 다이오우드의 감도를 감쇄하는 일이 있었다.

또한, 고착 강도의 문제도 있다. 링땜납 사전성형(예를들면, 외경 500㎛, 내경 250㎛, 30㎛t의 AuSn 합금)을 사용해서, 다이본드를 행하면 사전성형이 녹은뒤, 수광 다이오우드를 다이본드 할때까지의 시간지체가 있기 때문에 수광 다이오우드 저면과 땜납이 균일하게 접촉하지 않고, 다이본드 강도에 산란이 발생하는 등의 문제가 있다.

본 발명은, 패키지의 기판쪽에 납땜하는 것이 아니라, 칩 측에 땜납층을 미리 붙여 두도록 한다.

제1도는 메사 광전 다이오우드 칩에 본 발명을 적용한 예를 표시한 단면도이다.

Sn도우프 Inp기판(10)상에 액상 에페텍셜 법으로, 비 도우프 InGaAs 에피텍셜층(11)을, Inp기판(10)에 격자 접합하는 조건하에서 성장 시킨다.

다음에, Zn확산에 의해, p형 영역(12)을 만들므로서 pn접합이 형성된다.

이뒤, AuZn을 사용해서 p측 전극(13)을 형성하고 AuGeNi를 사용해서 n측 전극(14)을 형성한다.

또한, 정전용량을 감소하기 위하여, pn접합부 근처를 양측에서 부식한다.

다음에, 알칸을 술폰산계의 도금액으로 Sn도금 패턴을 n측 전극(14)의 하측에 형성했다.

Sn도금부는 땜납으로써 작용하므로, 이후 땜납층(15)이라 부른다.

땝납층(15)과 측 전극(14)이 링 모양이 되어 칩 하면 중앙부가 노출하므로 이것이 수광면(16)이 된다.

땜납층의 두께는 1~10㎛로 한다.

이상의 공정은 모두 웨이퍼 공정에 의해서 행한다.

이뒤, 스크라이브해서 개개의 칩으로 분할한다.

땜납층(15)의 형성 방법으로, 도금법, 증착법등이 유효하다.

땜납층(15)의 소재로써는, Sn외에, Au-Sn 공정합금, Au-Si 공정합금등을 사용할 수가 있다.

이상, 주요 제조공정에 대해서 설명했다.

이와같은 수광소자 칩을, 실제로 다이본드하려면, 땜납 재로써 Sn을 사용했을때, 본드해야할 패키지를 250℃로 가열해 두고, 미리 땜납층(15)을 붙인 칩을, 패드에 대하여 위치 맞춤하면서 다이본드한다.

이때, 다른 땜납은 사용하지 않아도 된다. 칩밑의 땜납층(15)이 일시적으로 녹아서 고체화하여 납땜할 수 있다.

이 수광 소자칩을 다이본딩하면, Sn의 도금 두께가 5~10㎛의 경우, 가장 양호하게 본딩되었다.

도금의 두께가 5㎛이하에서는, 본딩강도의 상관이 있었으며 도금 두께가 10㎛이상에서는, Sn땜납이 스며나오고, 더우기 이것이 산란한다는 결점이 있었다.

두께의 최적 범위는 땜납 종류에 따라 다르나, 일반적으로 5~10㎛가 좋은것 같다.

본 발명은, 땜납층을 칩측에 붙이고 패키지의 기판에는, 이 땜납층을 이용해서, 다이본드한다.

기판, 패키지의 재질, 형상은 임의이다.

제2도에 사파이어 기판을 사용한 플랫형식의 패키지에 부착된 상태를 표시하고 있다. 이 패키지 자체는 본 출원인이 앞서 공개했다.

사파이어 기판(1)상에 사각형의 하부틀(2)이 접착(납땜)되어 있다. 사파이어 기판(1)의 중앙이는, 개구부(4)를 가진 도전성의 다이 본딩용 패드(3)가 금속화 되어 있다. 패드(3)의 일단은 하부틀(2)의 일변을 넘어서, 단부까지 뻗어 있다.

하부틀(2)상에, 사각형의 상부틀(5)이 접속된다. 다이 본딩용 패드(3)의 연장변에 리이드(6)가 납땜되어 있다.

하부틀(2)의 대향변에는, 와이어 본딩용 패드(8)가 금속화되어 있다. 이 연장변에, 리이드(7)가 납땜되어 있다.

다이 본딩용 패드(3)상에, 직접(세로히 땜납을 붙이지 않고) 제1도의 수광 수자 칩을 놓는다. 그리고 다이본드하여, n측 전극(34)과 패드(3)를 고착한다.

p측 전극(13)은 와이어 본딩(10')하여 패드(8)상에 접속한다.

광은, 사파이어 기판(1), 패드(3)의 개구부(4)를 지나서 수광면(16)에 도달한다.

여기에 표시한 바와같이, 땜납층(15)의 스며나옴과, 어긋남등이 일어나지 않는다.

제3도에 세라믹 기판 패키지에 적용한 예를 표시한다. 제5도의 패키지와 마찬가지 구조이나, 세라믹 기판에는 땜납을 붙여놓지 않는다.

칩측의 땜납층(15)이 패드(21)에 납땜작용한다.

와이어본딩, 리이드, 패키지 외형등은 도시를 생략했다.

본 발명은 수광 다이오우드 전반에 적용할 수 있는 발명이며, 메사형 광전 다이오우드외에 플레이너형 광전 다이오우드에도 적용할 수 있다.

애벌란시 광전 다이오우드(APD)에도 적용할 수가 있다.

이상 설명한 바와같이 본 발명에 의하면 다음과 같은 효과를 올릴수 있다.

① 다이본딩시에, 수광용 창이 오염되지 않는다. 광전 다이오우드의 감도가 떨어지지 않는다. 조립공정이 향상된다.

수광 다이오우드의 다이본드부의 수광용창 이외의 부분에 등의 금속화층을 일체화 형성해 있기 때문이다.

Sn등의 금속화층의 두께는, ±0.2㎛ 정도로 자유롭게 제어할 수 있으므로, 땜납은 비어져나옴등이 일어나지 않는다.

② 다이본드시에 땜납 혹은 에폭시 수지등의 다이본드 재료를 특별히 준비할 필요가 없으므로 공정이 간단하게 되고, 생산성이 향상된다.

(57) 청구의 범위

청구항 1

수광면이 있는 쪽의 면이 다이본드용 패드에 납땜되어야 할 수광 소자 칩에 있어서, 수광면 주위에 땜납층이 되어있는 것을 특징으로 하는 수광 다이오우드.

청구항 2

제1항에 있어서, 땜납층이 Sn인 수광 다이오우드.

청구항 3

제1항에 있어서, 땜납층이 Au-Sn 공정합금인 수광 다이오우드.

청구항 4

제1항에 있어서, 땜납층이 Au-Si 공정합금인 수광 다이오우드.

청구항 5

제1항에 있어서, 땜납층의 두께가 5~10㎛인 수광 다이오우드.

청구항 6

제1항에 있어서, 땜납층이 도금법으로 형성되는 수광 다이오우드.

청구항 7

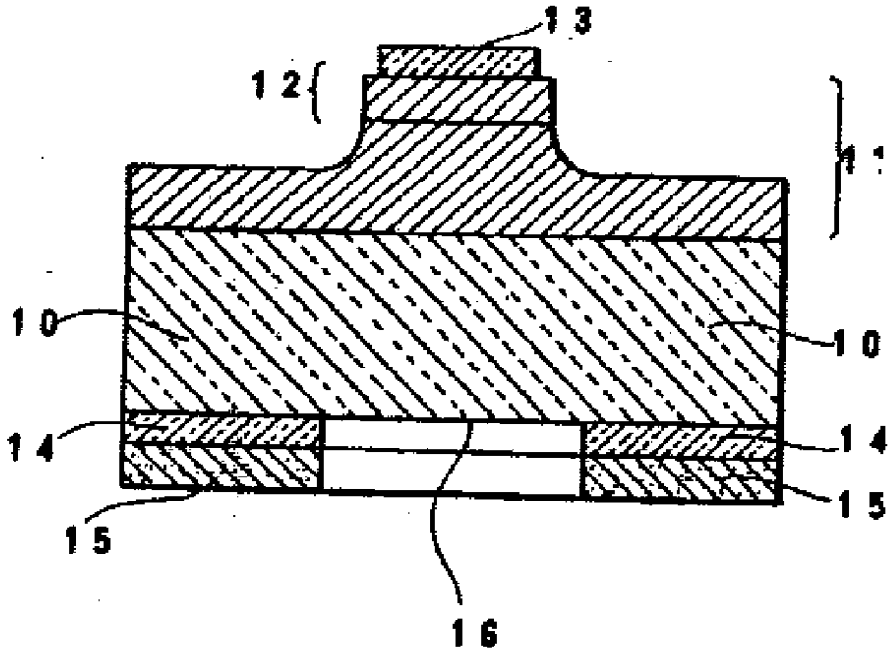
제1항에 있어서, 땜납층이 증착법으로 형성되어 있는 수광 다이오우드.

청구항 8

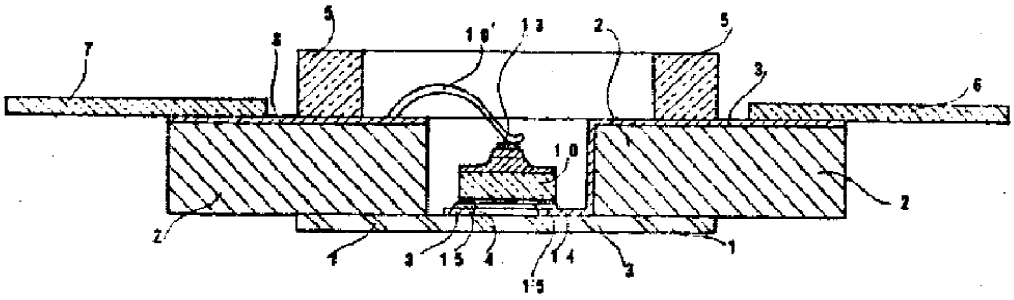
웨이퍼 공정에 의해서, 단결정 웨이퍼 상에 에피텍셜층, pn접합부, 및 수광측이 링 모양으로 된 n측 전극, p측 전극을 붙인후, 수광측의 전극상에 링 땜납층을 금속화하고, 그후, 웨이퍼를 스크라이브해서 개개의 수광 다이오우드 칩으로 분할하는 것을 특징으로 하는 수광 다이오우드의 제조 방법.

도면

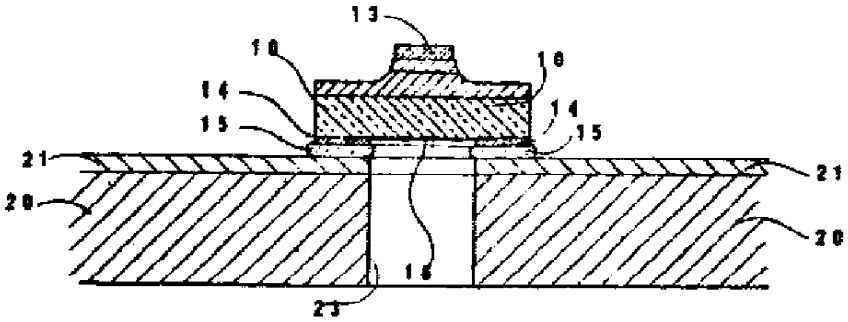
도면1



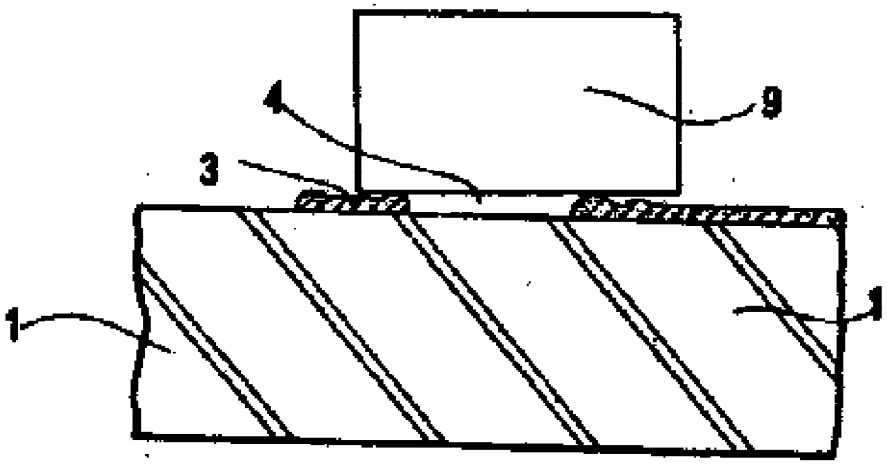
도면2


7
8
5
10'
13
2
5
3
6
10
2
2'
4
3
15
4
14
3
1
1'

도면3


13
10
10
14
15
14
15
21
21
20
20
16
23

도면4


4
9
3
1
1

도면5

