



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201220444 A1

(43)公開日：中華民國 101 (2012) 年 05 月 16 日

(21)申請案號：099137571

(22)申請日：中華民國 99 (2010) 年 11 月 02 日

(51)Int. Cl. : *H01L23/34 (2006.01)*

H01L21/50 (2006.01)

(71)申請人：創意電子股份有限公司 (中華民國) GLOBAL UNICHIP CORPORATION (TW)

新竹市新竹科學園區力行六路 10 號

(72)發明人：葉佳峰 YEH, CHIA FENG (TW)；吳忠樺 WU, CHUNG HWA (TW)；洪紹剛 HUNG, SHAO KANG (TW)

(74)代理人：黃孝惇

申請實體審查：有 申請專利範圍項數：14 項 圖式數：7 共 24 頁

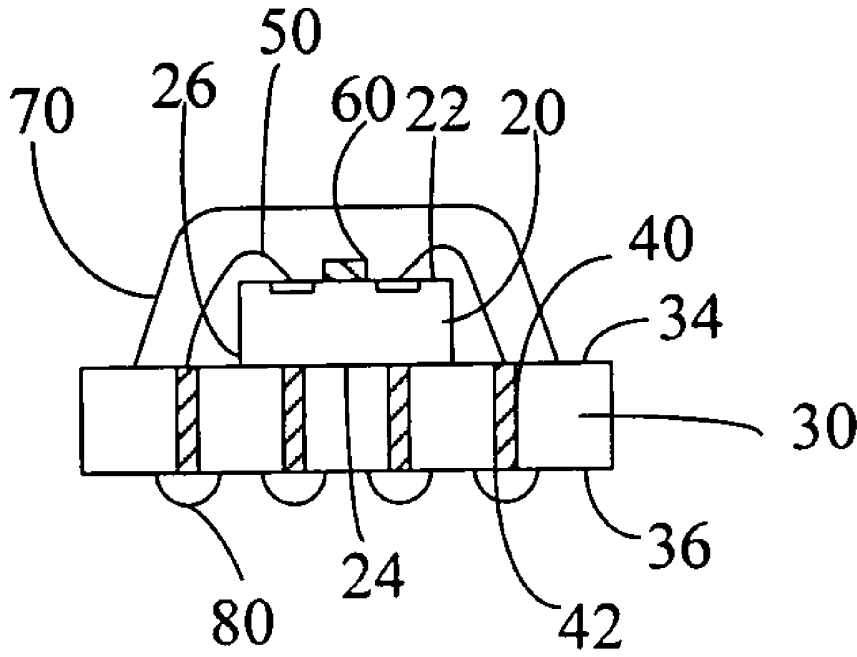
(54)名稱

具有散熱結構之半導體封裝元件及其封裝方法

SEMICONDUCTOR PACKAGE DEVICE WITH A HEAT DISSIPATION STRUCTURE AND THE PACKAGING METHOD THEREOF

(57)摘要

一種具有散熱結構之半導體封裝元件及其封裝方法，其包含：提供一晶圓，具有上表面及下表面，配置有複數個晶粒；切割晶圓以得到複數個晶粒，且每一個晶粒具有主動面及背面，且於主動面上配置有複數個焊墊；提供載板，具有上表面及下表面，於上表面配置有複數個第一連接端點及於下表面配置有相對於第一連接端點之複數個第二連接端點且於上表面設置有複數個晶片置放區；貼附每一個晶粒在載板之每一個晶粒置放區上，係將每一個晶粒之該主動面朝上將每一個晶粒之背面貼附在載板之晶粒置放區上；執行一打線製程以形成複數條導線以電性連接複數個晶粒之主動面上之複數焊墊及該載板之上表面之第一連接端點；形成一散熱結構在複數個晶粒之該主動面上且與複數個焊墊電性分離；執行一塑封步驟，以包覆複數個晶粒、散熱結構、複數條導線及載板之上表面以形成一封裝體；形成複數個連接元件在載板之下表面且與配置於下表面之第二連接端點電性連接；及切割封裝體，以形成複數個完成封裝之半導體封裝元件。



- 20：晶粒
- 22：主動面
- 24：背面
- 26：焊墊
- 30：載板
- 34：上表面
- 36：下表面
- 40：第一連接端點
- 42：第二連接端點
- 50：導線
- 60：散熱結構
- 70：封裝體
- 80：連接元件

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體封裝元件，特別是有關於一種在晶粒上設置一具高熱傳導係數之散熱結構以增加半導體封裝元件的散熱效果。

【先前技術】

請參考第 1 圖係表示習知技術之球柵式陣列封裝元件之截面示意圖。球柵式陣列封裝元件 100 具有一半導體晶粒 120 設置在載板或基板 110 上，且利用導線 130 與載板 110 形成電性連接。在相對於設置晶粒 120 的載板 110 的表面上設置複數個連接元件 150。半導體晶粒 120 的熱膨脹係數的最佳範圍大約是 $2.5 \times 10^{-6}/K$ 至 $3.5 \times 10^{-6}/K$ 。因此，一般為了散熱的緣故，係在封裝體 140 及載板 110 表面上設置一散熱裝置 160，如第 2 圖所示，藉此來增加封裝元件的散熱效率。

目前球柵式陣列塑膠封裝形式屬於常見的封裝應用，其主要散熱機制來自於印刷電路板的大型散熱面積，當大部份的熱產生並透過載板的孔洞與錫球將熱傳導至印刷電路板時，印刷電路板有足夠的空間與空氣以輻射與熱對流方式進行熱交換，進而達到散熱的目的。以散熱比例來看，晶粒產生的熱會有將近 85%~95% 由此路徑散熱。因此球柵式陣列塑膠封裝可以解決的散熱能力主要取決於印刷電路板的設計，當系統小型化的需求產生時，印刷電路板縮小將會造成此類型封裝體散熱的問題。因此，封裝體

[S]

上方增加散熱機制是系統段常見的散熱手法，特過此手法增加封裝體頂部的散熱路徑性能，並將晶粒熱源散熱比例由原先的 5%~10% 提升至 15%~25%。但是此種手段的散熱能力有限，即使增加更大的散熱器，可以帶走的熱源將會固定在一比例之下，因此這類型封裝體的散熱極限往往無法突破 10 Watts 以上的散熱需求。上述無法突破 10 Watts 以上的散熱極限是受限於封裝體厚度的關係，在打線設計規範(wire bond design rule)中有規範導線頂端與封裝體之間的距離以及導線頂端與連接至載板端的距離不得小於 4 mil。因此，晶粒上方的厚度至少要超過 8 mil。這之間填充材質其熱傳導係數大多介於 0.1 W/m-K~1.0 W/m-K。因此，造成熱傳導上的束縛，即使有改良型的具散熱結構之球柵式陣列封裝元件，其設計與應用上也無法提供間隙較高的縱向熱傳導，僅增強封裝體的平面擴散熱傳導性能，如何提升球柵式陣列塑膠封裝的散熱性能，當務之急就是解決縱向傳導上的低傳導特性。

因此，隨著製程能力提升與電子產品小型化的發展趨勢，積體電路晶片的功率增加與封裝體的散熱需求成為常需要面臨到的問題。因此，如何提供積體電路封裝體具有良好散熱性能是一項重要的課題。

【發明內容】

根據上述習知技術之問題，本發明的主要目的係提供一具有高熱傳導係數之散熱結構固定在晶粒上，以提升在半導體封裝元件中縱向傳導性能以及與減少封裝體之間的 [S]

間隙。

本發明的另一目的係提供一具高熱傳導係數之散熱結構固定在晶粒上，可以提升外部散熱器的散熱效果，藉此以減少散熱器面積且可以降低使用的成本。

本發明的再一目的係利用設置在晶粒表面上之散熱結構來增加半導體封裝元件的縱向傳導性能，使其結合外部散熱機制應用時可以提高整個封裝元件的散熱能力。

本發明的又一目的係提供一種具有散熱結構之半導體封裝元件可以增加半導體封裝元件的應用層面，當較高功率的晶粒需要評估封裝樣式時，此種形式的封裝元件的設計不需要用到覆晶球柵式陣列封裝元件(FCBGA)的樣式即可以達到與覆晶球柵式陣列封裝元件有相同的散熱效果。

本發明的更一目的係提供一種具有散熱結構之半導體封裝元件可以增加外部散熱結構的散熱效果，藉此可以減小散熱裝置面積與使用較便宜的材質。

根據上述目的，本發明揭露一種具有散熱結構之半導體封裝元件之封裝方法，其包含：提供一晶圓，具有上表面及下表面，配置有複數個晶粒；切割晶圓以得到複數個晶粒，且每一個晶粒具有主動面及背面，且於主動面上配置有複數個焊墊；提供載板，具有上表面及下表面，於上表面配置有複數個第一連接端點及於下表面配置有相對於第一連接端點之複數個第二連接端點且於上表面設置有複數個晶片置放區；貼附每一個晶粒在載板之每一個晶粒置放區上，係將每一個晶粒之該主動面朝上將每一個晶粒之

[S]

背面貼附在載板之晶粒置放區上；執行一打線製程以形成複數條導線以電性連接複數個晶粒之主動面上之複數焊墊及該載板之上表面之第一連接端點；形成一散熱結構在複數個晶粒之該主動面上且與複數個焊墊電性分離；執行一塑封步驟，以包覆複數個晶粒、散熱結構、複數條導線及載板之上表面以形成一封裝體；形成複數個連接元件在載板之下表面且與配置於下表面之第二連接端點電性連接；及切割封裝體，以形成複數個完成封裝之封裝元件。

● 根據上述之封裝方法，本發明還揭露一種具有散熱結構之半導體封裝元件，其包含：載板，具有上表面及下表面，於上表面配置有複數個第一連接端點及於下表面配置有相對於第一連接端點之複數個第二連接端點；晶粒，具有一主動面及一背面，且於主動面上配置有複數個焊墊，且以主動面朝上將晶片之背面設置在載板之上表面上；複數條導線，係用以電性連接該晶粒之主動面上之複數個焊墊及載板之第一連接端點；一散熱結構，設置在晶粒之主動面上且介於複數個焊墊之間且與複數個焊墊電性分離；一封裝體，用以包覆晶粒、複數條導線、散熱結構及載板之部份上表面；及複數個連接元件，設置在載板之下表面且與下表面之複數個第二連接端點電性連接。

● 為了讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附之圖示，做詳細說明如下。

【實施方式】

製造及使用本發明之較佳實施例係詳細說明如下。必須瞭解的是本發明提供了許多可應用的創新概念，在特定的背景技術之下可以做廣泛的實施。此特定的實施例僅以特定的方式表示，以製造及使用本發明，但並非限制本發明的範圍。

首先請參考第 3 圖，係表示一晶圓之俯視圖。在第 3 圖中，係提供一晶圓 10 其具有一上表面(未在圖中表示)其一下表面(未在圖中表示)，且配置有複數個晶粒 20。接著，利用切割刀(未在圖中表示)根據晶圓 10 上的切割線(未在圖中表示)切割該晶圓 10，以得到複數個晶粒 20，如第 4 圖所示。

在此第 4 圖實施例中，每一個晶粒 20 具有一主動面 22 及一背面 24，且每一個晶粒 20 之主動面 22 上配置有複數個焊墊 26。接著，同樣參考第 4 圖，先提供一載板 30，具有一上表面 34 及一下表面 36，在上表面 34 配置有複數個晶粒置放區(虛線區域)32，且在此晶粒置放區 32 的上表面 34 配置有複數個第一連接端點 40 及在下表面 36 具有相對應於複數個第一連接端點 40 之複數個第二連接端點 42。接著，將已經完成切割且檢測良好的每一顆晶粒 20 以主動面 22 朝上的方式，逐一置放在載板 30 的上表面 34 之晶粒設置區 32 上。在此實施例中，更包含一黏著層(未在圖中表示)設置在每一個晶粒 20 之背面 24 及載板 30 之上表面 34 之間，用以固著晶粒 20 在載板 30 之上表面 34 之上。

接著，請參考第 5 圖係表示利用導線電性連接晶粒及 [5]

載板之截面示意圖。在第 5 圖中，係利用打線製程將複數條導線 50 形成在晶粒 20 的主動面 22 的複數個焊墊 26 上，且與配置在載板 30 之上表面 34 之複數個第一連接端點 40 電性連接。

接著，請繼續參考第 6A 圖，在完成打線製程之後，在每一個晶粒 20 的主動面 22 上，且在複數個焊墊 26 之間設置一散熱結構 60，此散熱結構 60 係利用銀膠或是非導電膠固定在晶粒 20 之主動面 22 上、且設置在複數個焊墊 26 之間，並與複數個焊墊 26 彼此電性分離。使用散熱結構 60 的目的是由於散熱結構 60 本身具有高的熱傳導係數而可以提升半導體封裝元件縱向的熱傳導效能。在此實施例中，散熱結構 60 可以是金屬材料例如銅，其熱傳導係數 k 為 389 W/m-K 或是含銅之金屬化合物或是傳導係數 k 為 210 W/m-K 的鋁或是含鋁之金屬化合物。此外，在本發明的實施例中，散熱結構 60 的形狀可以是圓柱體或是方柱體也可以是非均勻的圓體或是方柱體。

接著，請參考第 6B 圖，係表示執行一塑封步驟以形成封裝體包覆晶粒及導線及部份載板之上表面之截面示意圖。在第 6B 圖中，係將一高分子材料例如環氧樹脂(epoxy resin)形成在晶粒 20 上，用以包覆住晶粒 20、複數條導線 50、散熱結構 60 及載板 30 之部份上表面 34 以形成一封裝體 70。

接著，請參考第 6C 圖，係將複數個連接元件 80 形成在載板 30 之下表面 36 且與下表面 36 之複數個第二連接端點 42 電性連接，在此連接元件 80 可以是錫球(solder [S])

ball)。接著，利用切割刀(未在圖中表示)根據該載板 30 上之切割線(sawing line)(未在圖中表示)切割該載板 30 以得到複數個已完成封裝之半導體封裝元件。

另外，在本發明中還揭露另一較佳實施例，其製程流程與前述第 3 圖至第 5 圖相同，然而不同的是在於：在完成打線製程之後，在每一個晶粒 20 的主動面 22 上，且在複數個焊墊 26 之間設置一散熱結構 62，且此散熱結構 62 的高度大於導線 50 的弧度，如第 7A 圖所示。

同樣的，如第 7A 圖所示之散熱結構 62 係利用銀膠或是非導電膠固定在在晶粒 20 之主動面 22 上且在複數個焊墊 26 之間，然而和複數個焊墊 26 電性分離。使用散熱結構 62 的目的是由於散熱結構 62 本身具有高的熱傳導係數而可以提升半導體封裝元件縱向的熱傳導效能。在此實施例中，散熱結構 62 可以是金屬材料例如銅，其熱傳導係數 k 為 389 W/m-K 或是含銅之金屬化合物或是傳導係數 k 為 210 W/m-K 的鋁或是含鋁之金屬化合物。此外，在本發明的實施例中，散熱結構 62 的形狀可以是圓柱體或是方柱體也可以是非均勻的圓體或是方柱體。

繼續如第 7B 圖所示，係將一高分子材料例如環氧樹脂(epoxy resin)形成在晶粒 20 上，用以包覆住晶粒 20、複數條導線 50、散熱結構 62 及載板 30 之部份上表面 34 以形成一封裝體 70，由於散熱結構 62 的高度大於導線 50 弧度，因此當完成塑封步驟之後，散熱結構 62 與晶粒 20 係為直接連接之狀態且有部份的散熱結構 62 會曝露在封裝體 70 外，此目的同樣是為了藉由散熱結構 60 的高度減少

[5]

與封裝體 70 之間的間隙而可以增加散熱效率，另外，散熱結構 62 可直接利用熱傳導的方式將晶粒 20 所產生的熱能向外引出，充分達到散熱之效。

最後請參考第 7C 圖，係將複數個連接元件 80 形成在載板 30 之下表面 34 且與下表面 36 之複數個第二連接端點 42 電性連接，在此連接元件 80 可以是錫球(solder ball)。接著，利用切割刀(未在圖中表示)根據該載板 30 上之切割線(sawing line)(未在圖中表示)切割該載板 30 以得到複數個已完成封裝之半導體封裝元件。

因此，根據上述實施例，此種具有散熱結構之半導體封裝元件可以應用在具散熱結構之球柵式陣列封裝元件(HSBGA, heat slug BGA)封裝元件上，其散熱效果可以達到相似於高效能覆晶晶片球柵式陣列封裝元件(HFCBGA, high performance flip chip BGA)之散熱效能。此外，相較於具有散熱結構(Heat slug)之球柵式陣列封裝元件，本發明所揭露之具有散熱結構之半導體封裝元件具有較簡單的形狀且製程簡單，於成本以及良率控制上較佳。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

第 1 圖係表示習知技術之球柵式陣列封裝元件之截面示意圖；

第 2 圖係表示習知技術之具散熱機制之球柵式陣列封裝元件之截面示意圖；

第 3 圖係根據本發明所揭露之技術，表示一晶圓之俯視圖；

第 4 圖係根據本發明所揭露之技術，表示將複數個晶粒設置在具有晶粒置放區之載板上之截面示意圖；

第 5 圖係根據本發明所揭露之技術，表示利用打線製程形成導線以電性連接晶粒與載板之截面示意圖；

第 6A 圖係根據本發明所揭露之技術，表示形成複數個散熱結構在晶粒之主動面上之截面示意圖；

第 6B 圖係根據本發明所揭露之技術，表示形成高分子材料以包覆具有散熱結構之晶粒之截面示意圖；

第 6C 圖係根據本發明所揭露之技術，表示已經完成封裝步驟之半導體封裝元件；

第 7A 圖係根據本發明所揭露之技術，表示形成複數個散熱結構在晶粒之主動面上之截面示意圖；

第 7B 圖係根據本發明所揭露之技術，表示形成高分子材料以包覆具有散熱結構之晶粒且曝露出散熱結構之截面示意圖；及

第 7C 圖係根據本發明所揭露之技術，表示已經完成封裝步驟之半導體封裝元件之截面示意圖。

【主要元件符號說明】

100 球柵式陣列封裝元件

110 載板

120 半導體晶粒

130 導線

140 封裝體

150 連接元件

160 散熱裝置

10 晶圓

20 晶粒

22 主動面

24 背面

26 焊墊

30 載板

32 晶粒置放區

34 上表面

36 下表面

40 第一連接端點

42 第二連接端點

50 導線

60 散熱結構

62 散熱結構

70 封裝體

80 連接元件

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99137571

H01L 23/34 (2006.01)

※申請日： 99.11.2

※IPC分類： H01L 21/50 (2006.01)

一、發明名稱：

具有散熱結構之半導體封裝元件及其封裝方法 /
Semiconductor package device with a heat dissipation
structure and the packaging method thereof

二、中文發明摘要：

一種具有散熱結構之半導體封裝元件及其封裝方法，其包含：提供一晶圓，具有上表面及下表面，配置有複數個晶粒；切割晶圓以得到複數個晶粒，且每一個晶粒具有主動面及背面，且於主動面上配置有複數個焊墊；提供載板，具有上表面及下表面，於上表面配置有複數個第一連接端點及於下表面配置有相對於第一連接端點之複數個第二連接端點且於上表面設置有複數個晶片置放區；貼附每一個晶粒在載板之每一個晶粒置放區上，係將每一個晶粒之該主動面朝上將每一個晶粒之背面貼附在載板之晶粒置放區上；執行一打線製程以形成複數條導線以電性連接複數個晶粒之主動面上之複數焊墊及該載板上表面之第一連接端點；形成一散熱結構在複數個晶粒之該主動面上且與複數個焊墊電性分離；執行一塑封步驟，以包覆複數個晶粒、散熱結構、複數條導線及載板上表面以形成一封裝體；形成複數個連接元件在載板之下表面且與配置於下

表面之第二連接端點電性連接；及切割封裝體，以形成複數個完成封裝之半導體封裝元件。

三、英文發明摘要：

A semiconductor package device with a heat dissipation device and the package method thereof is provided, which includes: providing a wafer having a top surface and a bottom surface and a plurality of chips is disposed thereon; sawing the wafer to obtain the plurality of chips, each chips having an active surface and a reverse surface, and a plurality of pads is disposed on the active surface; providing a carrier substrate having a top surface and a bottom surface, a plurality of first connecting points is disposed on the top surface and a plurality of second connecting points is disposed on the bottom surface correspond to the top surface, and a plurality of chip-placed areas is disposed on the top surface of the carrier substrate; mounting each the plurality of chips onto each the plurality of chip-placed areas, the active surface of each plurality of chips is faced up and the reverse surface is mounted on the chip-placed area; performing a wire bonding process to form a plurality of wires to electrically connect the plurality of pads on the active surface of the plurality chips with the plurality of first connecting points on the top surface of the carrier substrate; forming a heat dissipation device on the active surface of the plurality of chips and is electrically isolated from the plurality of pads; performing a molding process to encapsulate the plurality of chips, the heat

dissipation device, the plurality of wires and the top surface of the carrier substrate to form a package body; forming a plurality of connecting elements on the bottom surface of the carrier substrate and electrically connected the plurality of second connecting points; and sawing the package body to obtain a plurality of semiconductor package device.

七、申請專利範圍：

1. 一種具有散熱結構之半導體封裝元件之封裝方法，包含：

提供一晶圓，具有一上表面及一下表面，且配置有複數個晶粒；

切割該晶圓，以得到該些晶粒，且每一晶粒具有一主動面及一背面，且於該主動面上配置有複數個焊墊；

提供一載板，具有一上表面及一下表面，於該上表面配置有複數個第一連接端點及於該下表面配置有相對於該些第一連接端點之複數個第二連接端點且於該上表面設置有複數個晶粒置放區；

貼附每一該些晶粒在該載板之每一該晶粒置放區上，係將該些晶粒之該主動面朝上將該些晶粒之該背面貼附在該載板之該晶粒置放區上；

執行一打線製程以形成複數條導線以電性連接該些晶粒之該主動面上之該些焊墊及該載板之該上表面之該些第一連接端點；

形成一散熱結構在該些晶粒之該主動面上且與該些焊墊電性分離；

執行一塑封步驟，形成一高分子材料以包覆該些晶粒、該散熱結構、該些導線及該載板之該上表面以形成一封裝體；

形成複數個連接元件在該載板之該下表面且與配置於該下表面之該些第二連接端點電性連接；以及

切割該封裝體，以形成複數個完成封裝之封裝元

件。

2. 如申請專利範圍第 1 項所述之封裝方法，其中該載板為印刷電路板。
3. 如申請專利範圍第 1 項所述之封裝方法，更包含一導電膠在該載板之該上表面與該晶片之該背面之間。
4. 如申請專利範圍第 1 項所述之封裝方法，更包含一銀膠在該導電元件及該晶粒之該主動面之間。
5. 如申請專利範圍第 1 項所述之封裝方法，更包含一非導電膠在該導電元件及該晶片之該主動面之間。
6. 如申請專利範圍第 1 項所述之封裝方法，其中該散熱結構與該晶粒直接接觸。
7. 如申請專利範圍第 1 項所述之封裝方法，其中該散熱結構突出於該封裝體外部。
8. 一種具有散熱結構之半導體封裝元件，包含：

一載板，具有一上表面及一下表面，於該上表面配置有複數個第一連接端點及於該下表面配置有相對於該些第一連接端點之複數個第二連接端點；

一晶粒，具有一主動面及一背面，且於該主動面上配置有複數個焊墊，且以該主動面朝上將該晶片之該背面設置在該載板之該上表面上；

複數條導線，係用以電性連接該晶粒之該主動面上之該些焊墊及該載板之該些第一連接端點；

一散熱結構，設置在該晶粒之該主動面上且介於該些焊墊之間且與該些焊墊電性分離；

一封裝體，用以包覆該晶粒、該些導線、該散熱結

[S]

構及該載板之部份該上表面；以及

複數個連接元件，設置在該載板之該下表面且與該下表面之該些第二連接端點電性連接。

9. 如申請專利範圍第 8 項所述之半導體封裝元件，其中該載板為印刷電路板。

10. 如申請專利範圍第 8 項所述之半導體封裝元件，更包含一導電膠在該載板之該上表面與該晶片之該背面之間。

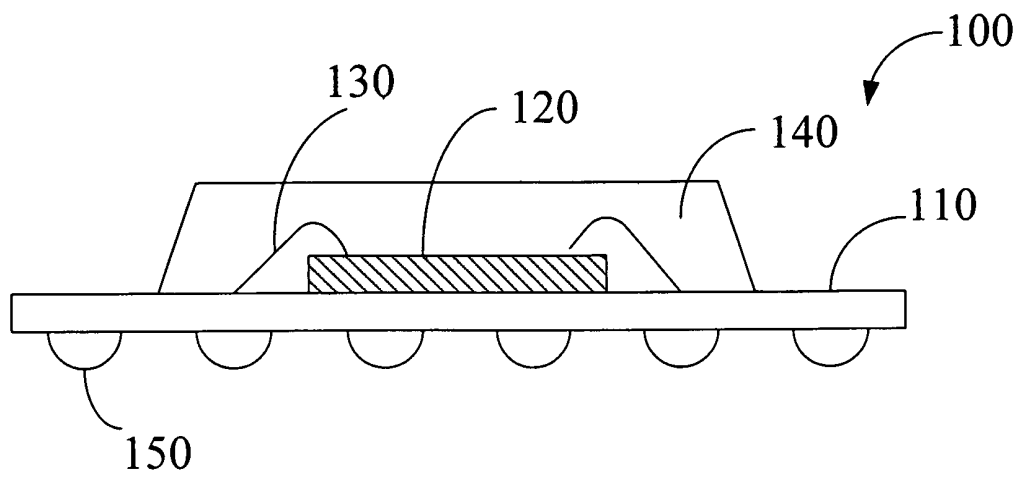
11. 如申請專利範圍第 8 項所述之半導體封裝元件，更包含一銀膠在該散熱結構及該晶片之該主動面之間。

12. 如申請專利範圍第 8 項所述之半導體封裝元件，更包含一非導電膠在該散熱結構及該晶片之該主動面之間。

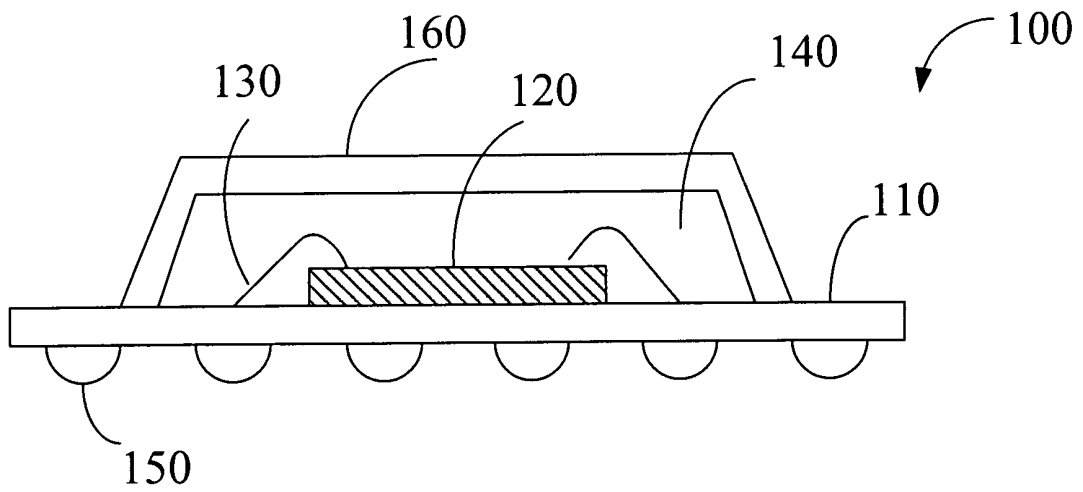
13. 如申請專利範圍第 8 項所述之半導體元件，其中該散熱結構與該晶粒直接接觸。

14. 如申請專利範圍第 8 項所述之半導體元件，其中該散熱結構突出於該封裝體外部。

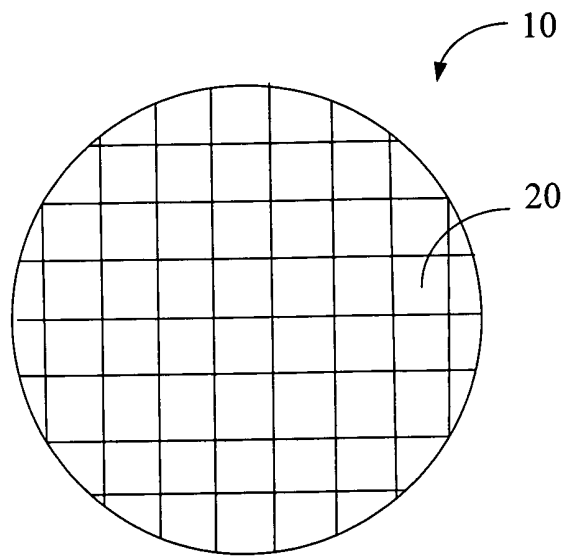
八、圖式：



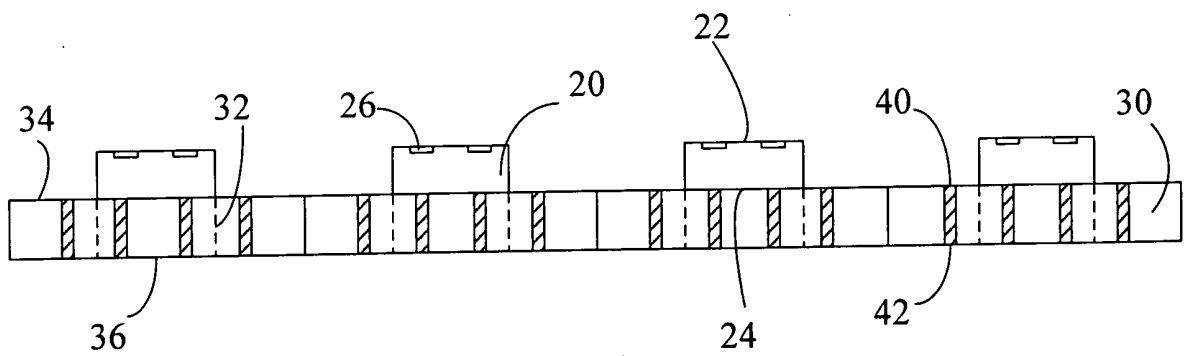
第1圖(習知技術)



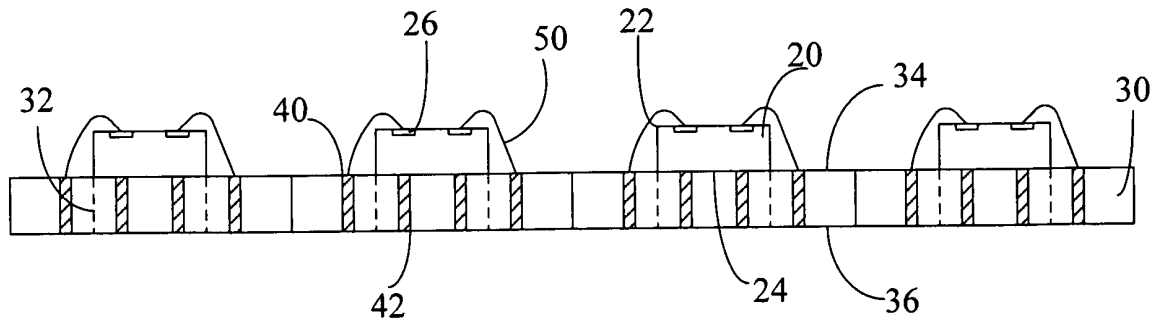
第2圖(習知技術)



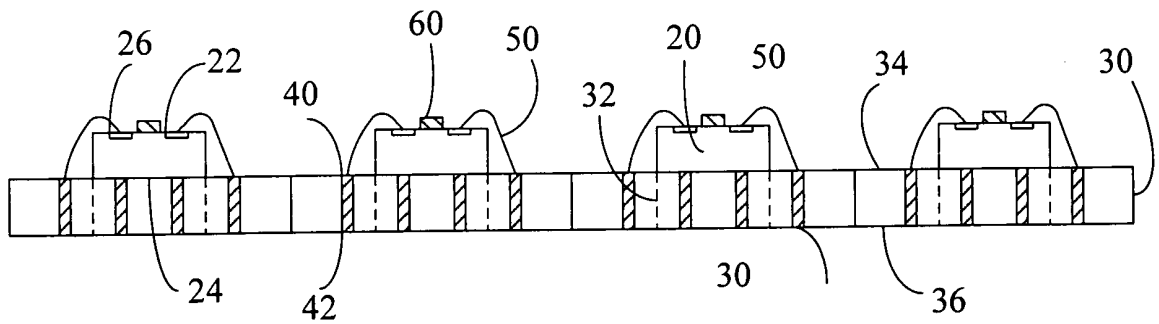
第3圖



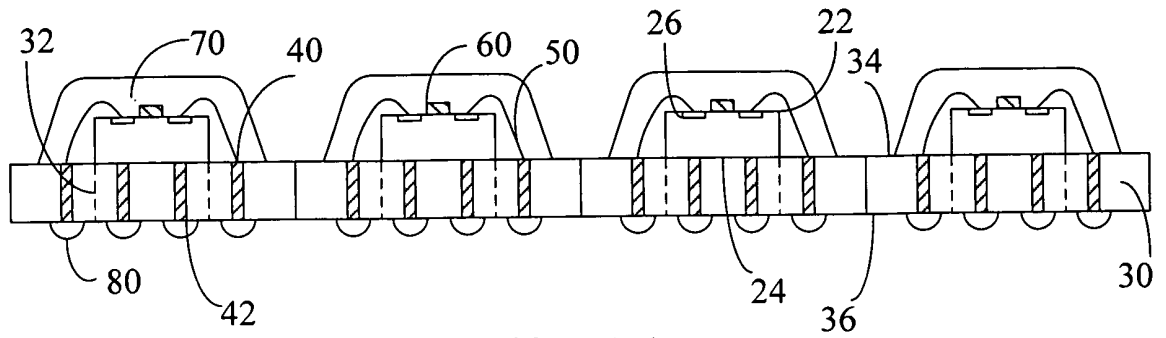
第4圖



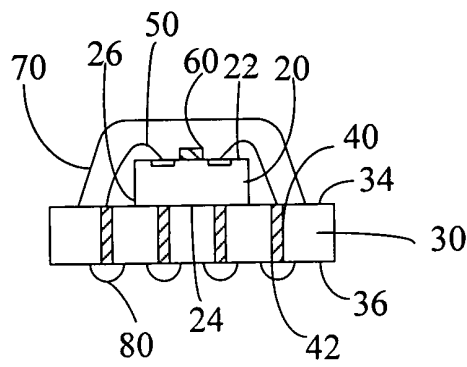
第5圖



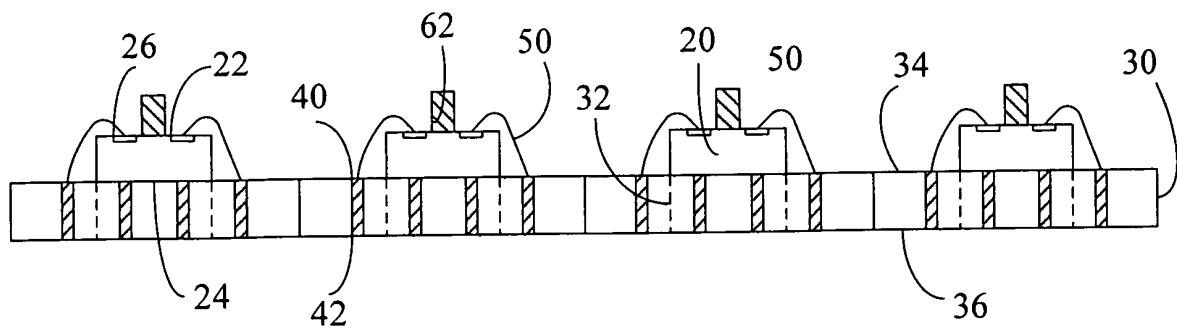
第6A圖



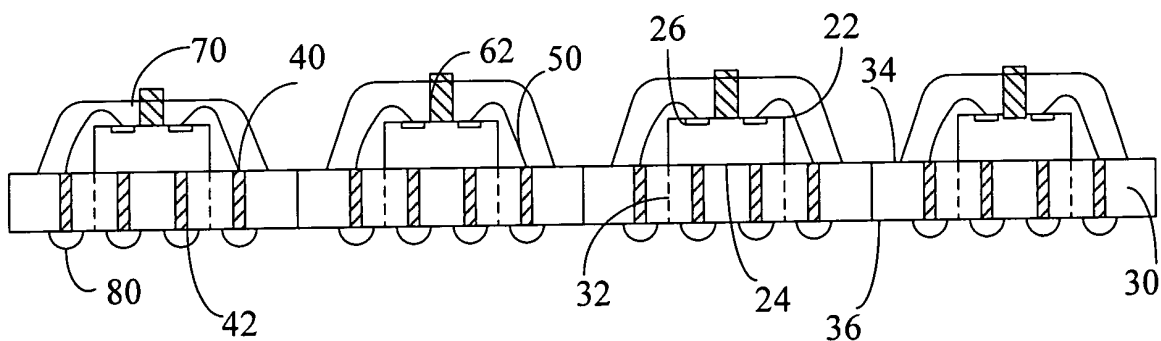
第6B圖



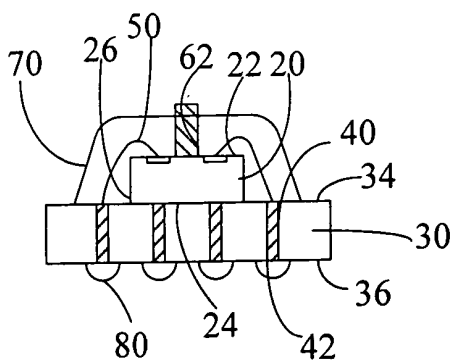
第6C圖



第7A圖



第7B圖



第7C圖

四、指定代表圖：

(一)本案指定代表圖為：第 6C 圖。

(二)本代表圖之元件符號簡單說明：

20 晶粒

22 主動面

24 背面

26 焊墊

30 載板

34 上表面

36 下表面

40 第一連接端點

42 第二連接端點

50 導線

60 散熱結構

70 封裝體

80 連接元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無