

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7698652号  
(P7698652)

(45)発行日 令和7年6月25日(2025.6.25)

(24)登録日 令和7年6月17日(2025.6.17)

(51)国際特許分類 F I  
H 0 4 L 69/08 (2022.01) H 0 4 L 69/08

請求項の数 24 (全29頁)

(21)出願番号	特願2022-545645(P2022-545645)	(73)特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(86)(22)出願日	令和3年8月24日(2021.8.24)	(74)代理人	100120031 弁理士 宮嶋 学
(86)国際出願番号	PCT/JP2021/031014	(72)発明者	百代 俊久 アメリカ合衆国 ニュージャージー州パラマス ウェスト センチュリー ロード 115 ソニー エレクトロニクス インク内
(87)国際公開番号	WO2022/045144	(72)発明者	山田 順也 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内
(87)国際公開日	令和4年3月3日(2022.3.3)		
審査請求日	令和6年7月8日(2024.7.8)		
(31)優先権主張番号	63/071,119		
(32)優先日	令和2年8月27日(2020.8.27)		
(33)優先権主張国・地域又は機関	米国(US)		
(31)優先権主張番号	17/405,334		
(32)優先日	令和3年8月18日(2021.8.18)		
(33)優先権主張国・地域又は機関	米国(US)		

最終頁に続く

(54)【発明の名称】 通信装置、通信システム及び通信方法

(57)【特許請求の範囲】

【請求項1】

マスタからクロックに同期して送信されたSPI (Serial Peripheral Interface) に準拠するシリアル信号群を、所定の通信プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして通信相手装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記通信相手装置に送信する通信部と、

前記マスタから前記クロックに同期して送信されたSPIに準拠する第1シリアル信号群を記憶するとともに、スレーブから前記クロックに同期して送信されたSPIに準拠する第2シリアル信号群を記憶するメモリと、

前記メモリに記憶された前記第1シリアル信号群を前記所定の通信プロトコルの第1パケットに変換するパケットエンコーダと、

通信相手装置から受信された前記所定の通信プロトコルの第2パケットを前記第2シリアル信号群に変換するパケットデコーダと、を備える、通信装置。

【請求項2】

前記第1パケットは、前記クロックの周波数情報、極性情報、及び前記SPIに準拠する前記第1シリアル信号群のデータ信号に対する前記クロックの位相情報を含む、請求項1に記載の通信装置。

【請求項3】

前記第1パケットは、前記1つのフレーム期間内にひとまとまりのデータブロックを含むことを示す情報、又は前記複数のフレーム期間に応じて分割される複数のデータブロッ

クを含むことを示す情報を含む、請求項 1 又は 2 に記載の通信装置。

【請求項 4】

前記第 1 パケットは、前記複数のデータブロックを含む場合には、前記複数のデータブロックの総数と、前記データブロックの分割位置情報とを含む、請求項 3 に記載の通信装置。

【請求項 5】

前記第 1 パケットは、前記データブロックのサイズ情報を含む、請求項 3 又は 4 に記載の通信装置。

【請求項 6】

前記第 1 パケットは、前記データブロックが有効か、又は無効かを示す情報を含む、請求項 1 乃至 5 のいずれか一項に記載の通信装置。 10

【請求項 7】

前記第 1 パケットは、前記スレーブをリセットすることを示す情報を含む、請求項 1 乃至 6 のいずれか一項に記載の通信装置。

【請求項 8】

前記第 2 パケットは、前記スレーブの動作状態を示す情報と、前記スレーブからの割り込み情報との少なくとも 1 つを含む、請求項 1 乃至 7 のいずれか一項に記載の通信装置。

【請求項 9】

前記メモリは、前記第 2 パケットに前記割り込み情報が含まれる場合と、前記第 2 パケットそれ自体が前記通信相手装置から前記メモリに届いた場合とにおいて、前記スレーブの状態の読み出しを前記スレーブが要求していると判断して、前記マスタに割り込み信号を送信する、請求項 8 に記載の通信装置。 20

【請求項 10】

前記第 1 パケットは、前記通信相手装置又は前記スレーブを選択する前記 SPI に準拠する前記第 1 シリアル信号群に含まれるスレーブセレクト信号の情報を含む、請求項 1 乃至 9 のいずれか一項に記載の通信装置。

【請求項 11】

前記パケットエンコーダは、前記スレーブセレクト信号で選択された前記通信相手装置又は前記スレーブを宛先として、前記第 1 パケットを送信する、請求項 10 に記載の通信装置。 30

【請求項 12】

前記第 1 シリアル信号群に含まれる各シリアル信号を前記クロックに同期させて順次前記メモリに記憶するとともに、前記第 2 シリアル信号群に含まれる各シリアル信号を前記クロックに同期させて順次前記マスタに送信するシフトレジスタを備える、請求項 1 乃至 11 のいずれか一項に記載の通信装置。

【請求項 13】

前記通信部は、前記第 1 パケットを前記所定の通信プロトコルで規定された第 1 タイミングで送信するとともに、前記所定の通信プロトコルで規定された第 2 タイミングで前記第 2 パケットを受信する、請求項 1 乃至 12 のいずれか一項に記載の通信装置。

【請求項 14】

前記パケットエンコーダは、前記マスタから送信されたスレーブセレクト信号が第 1 論理から第 2 論理に遷移すると、前記マスタからの前記第 1 シリアル信号群の送信が終了したと判断する、請求項 1 乃至 13 のいずれか一項に記載の通信装置。 40

【請求項 15】

前記通信部は、前記通信相手装置との間で、TDD (Time Division Duplex) に応じた前記通信プロトコルにて前記第 1 パケット及び前記第 2 パケットを送受する、請求項 1 乃至 14 のいずれか一項に記載の通信装置。

【請求項 16】

通信相手装置からのパケットに含まれるクロック周波数情報に基づいて生成されたクロックに同期して、スレーブから送信された SPI に準拠するシリアル信号群を、所定の通信 50

プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして前記通信相手装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記通信相手装置に送信する通信部と、

前記通信相手装置から受信された所定の通信プロトコルの第1パケットを、SPIに準拠する第1シリアル信号群に変換するパケットデコーダと、

前記第1シリアル信号群に含まれる前記クロック周波数情報に基づいて、前記クロックを発生させるクロック発生器と、

前記クロックに同期して前記第1シリアル信号群を記憶するとともに、スレーブから前記クロックに同期して送信されたSPIに準拠する第2シリアル信号群を記憶するメモリと、

前記メモリに記憶された前記第2シリアル信号群を前記所定の通信プロトコルの第2パケットに変換するパケットエンコーダと、を備える、通信装置。

10

【請求項17】

前記第2パケットは、前記第2シリアル信号群の1つのフレーム期間内に送信されるひとまとまりのデータブロックを含むことを示す情報、又は複数のフレーム期間に分割して送信される複数のデータブロックを含むことを示す情報とを含む、請求項16に記載の通信装置。

【請求項18】

前記第2パケットは、前記スレーブが前記第1シリアル信号群を受信できないビジー状態であるか否かを示す情報と、前記スレーブが受信した前記第1シリアル信号群にエラーがあるか否かを示す情報とを含む、請求項16又は17に記載の通信装置。

20

【請求項19】

前記第2パケットは、マスタが前記スレーブの状態を読み出すことを要求する割り込み情報を含む、請求項16乃至18のいずれか一項に記載の通信装置。

【請求項20】

前記第2シリアル信号群に含まれる各シリアル信号を前記メモリに記憶するとともに、前記第1シリアル信号群に含まれる各シリアル信号を前記スレーブに送信するシフトレジスタを備える、請求項16乃至19のいずれか一項に記載の通信装置。

【請求項21】

前記通信部は、前記第2パケットを前記所定の通信プロトコルで規定された第1タイミングで送信するとともに、前記所定の通信プロトコルで規定された第2タイミングで前記第1パケットを受信する、請求項16乃至20のいずれか一項に記載の通信装置。

30

【請求項22】

前記通信部は、前記通信相手装置との間で、TDD (Time Division Duplex) に応じた前記通信プロトコルにて前記第1パケット及び前記第2パケットを送受する、請求項16乃至21のいずれか一項に記載の通信装置。

【請求項23】

所定の通信プロトコルにてパケットを送受する第1通信装置及び第2通信装置を備え、前記第1通信装置は、マスタからクロックに同期して送信されたSPI (Serial Peripheral Interface) に準拠する第1シリアル信号群を、所定の通信プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして前記第2通信装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記第2通信装置に送信する第1通信部を有し、

40

前記第2通信装置は、前記第1通信装置からのパケットに含まれるクロック周波数情報に基づいて生成されたクロックに同期して、スレーブから送信されたSPIに準拠する第2シリアル信号群を、前記所定の通信プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして前記第1通信装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記第1通信装置に送信するものであり、

前記第1通信装置は、

マスタから第1クロックに同期して送信された前記第1シリアル信号群を記憶するとともに、スレーブから前記第1クロックに同期して送信された前記第2シリアル信号群を記

50

憶する第 1 メモリと、

前記第 1 メモリに記憶された第 1 シリアル信号群を前記所定の通信プロトコルの第 1 パケットに変換する第 1 パケットエンコーダと、

前記第 2 通信装置から受信された前記所定の通信プロトコルの第 2 パケットを前記第 2 シリアル信号群に変換する第 1 パケットデコーダと、

前記第 1 パケットを前記所定の通信プロトコルで規定されたタイミングで送信するとともに、前記所定の通信プロトコルで規定されたタイミングで前記第 2 パケットを受信する第 1 通信部と、を有し、

前記第 2 通信装置は、

受信された前記第 1 パケットを、前記第 1 シリアル信号群に変換する第 2 パケットデコーダと、

10

前記第 1 シリアル信号群に含まれるクロック周波数情報に基づいて、第 2 クロックを発生させるクロック発生器と、

前記第 2 クロックに同期して、前記第 1 シリアル信号群を記憶するとともに、前記スレーブから前記第 2 クロックに同期して送信された前記第 2 シリアル信号群を記憶する第 2 メモリと、

前記第 2 メモリに記憶された前記第 2 シリアル信号群を前記第 2 パケットに変換するパケットエンコーダと、

前記第 2 パケットを前記所定の通信プロトコルで規定されたタイミングで送信するとともに、前記所定の通信プロトコルで規定されたタイミングで前記第 1 パケットを受信する第 2 通信部と、を有する、通信システム。

20

#### 【請求項 2 4】

マスタからクロックに同期して送信されたSPIに準拠するシリアル信号群を、所定の通信プロトコルの 1 つのフレーム期間内にひとまとまりのデータブロックとして通信相手装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記通信相手装置に送信し、

前記マスタから前記クロックに同期して送信されたSPIに準拠する第 1 シリアル信号群を記憶するとともに、スレーブから前記クロックに同期して送信されたSPIに準拠する第 2 シリアル信号群をメモリに記憶し、

前記メモリに記憶された前記第 1 シリアル信号群を前記所定の通信プロトコルの第 1 パケットに変換し、

30

通信相手装置から受信された前記所定の通信プロトコルの第 2 パケットを前記第 2 シリアル信号群に変換する、通信方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本開示は、通信装置、通信システム及び通信方法に関する。

#### 【背景技術】

#### 【0002】

Master用のSerDesとSlave用のSerDesとの間で、高速シリアル通信を行う技術が提案されている（特許文献 1 参照）。

40

#### 【0003】

2 つのSerDesの間でシリアル通信を行う場合、例えば、FDD (Frequency Division Duplexing) 方式やTDD (Time Division Duplex) 方式が用いられる。一方のSerDesから他方のSerDesに送信されるデータ量と、他方のSerDesから一方のSerDesに送信されるデータ量に大きな違いがある場合、TDD方式を採用して、上り方向と下り方向でデータの伝送容量に違いを持たせることが考えられる。TDD方式は、上り方向と下り方向の通信を同時に行うことはできず、片方向の通信しか行えない半二重通信方式である。

#### 【先行技術文献】

#### 【特許文献】

50

【 0 0 0 4 】

【文献】特開 2 0 1 1 - 2 3 9 0 1 1 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

シリアル通信の規格の一つに、SPI ( Serial Peripheral Interface ) と呼ばれるものがある。SPIは、上りと下りの通信を同時に行える全二重通信方式である。上述した 2 つの SerDes のそれぞれが他の通信装置と SPI で通信を行いつつ、その SPI データを SerDes 自身に接続されている対向側の SerDes に接続されている通信装置に、SerDes を介して伝送する場合、2 つの SerDes 間で TDD 方式で通信を行う場合を想定すると、全二重通信方式の SPI のデータをそのままでは、半二重通信方式の TDD 方式では送信できない。

10

【 0 0 0 6 】

そこで、本開示では、異なる通信方式を組み合わせることで高速にシリアル通信を行うことができる通信装置、通信システム及び通信方法を提供するものである。

【課題を解決するための手段】

【 0 0 0 7 】

上記の課題を解決するために、本開示によれば、マスタからクロックに同期して送信された SPI ( Serial Peripheral Interface ) に準拠するシリアル信号群を、所定の通信プロトコルの 1 つのフレーム期間内にひとまとまりのデータブロックとして通信相手装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記通信相手装置に送信する通信部を備える、通信装置が提供される。

20

【 0 0 0 8 】

前記マスタから前記クロックに同期して送信された SPI に準拠する第 1 シリアル信号群を記憶するとともに、スレーブから前記クロックに同期して送信された SPI に準拠する第 2 シリアル信号群を記憶するメモリと、

前記メモリに記憶された前記第 1 シリアル信号群を前記所定の通信プロトコルの第 1 パケットに変換するパケットエンコーダと、

通信相手装置から受信された前記所定の通信プロトコルの第 2 パケットを前記第 2 シリアル信号群に変換するパケットデコーダと、を備えてもよい。

【 0 0 0 9 】

前記第 1 パケットは、前記クロックの周波数情報、極性情報、及び前記 SPI に準拠する前記第 1 シリアル信号群のデータ信号に対する前記クロックの位相情報を含んでもよい。

30

【 0 0 1 0 】

前記第 1 パケットは、前記 1 つのフレーム期間内にひとまとまりのデータブロックを含むことを示す情報、又は前記複数のフレーム期間に応じて分割される複数のデータブロックを含むことを示す情報を含んでもよい。

【 0 0 1 1 】

前記第 1 パケットは、前記複数のデータブロックを含む場合には、前記複数のデータブロックの総数と、前記データブロックの分割位置情報とを含んでもよい。

【 0 0 1 2 】

前記第 1 パケットは、前記データブロックのサイズ情報を含んでもよい。

40

【 0 0 1 3 】

前記第 1 パケットは、前記データブロックが有効か、又は無効かを示す情報を含んでもよい。

【 0 0 1 4 】

前記第 1 パケットは、前記スレーブをリセットすることを示す情報を含んでもよい。

【 0 0 1 5 】

前記第 2 パケットは、前記スレーブの動作状態を示す情報と、前記スレーブからの割り込み情報との少なくとも 1 つを含んでもよい。

【 0 0 1 6 】

50

前記メモリは、前記第 2 パケットに前記割り込み情報が含まれる場合と、前記第 2 パケットそれ自体が前記通信相手装置から前記メモリに届いた場合とにおいて、前記スレーブの状態の読み出しを前記スレーブが要求していると判断して、前記マスタに割り込み信号を送信してもよい。

【 0 0 1 7 】

前記第 1 パケットは、前記通信相手装置又は前記スレーブを選択する前記SPIに準拠する前記第 1 シリアル信号群に含まれるスレーブセレクト信号の情報を含んでもよい。

【 0 0 1 8 】

前記パケットエンコーダは、前記スレーブセレクト信号で選択された前記通信相手装置又は前記スレーブを宛先として、前記第 1 パケットを送信してもよい。

10

【 0 0 1 9 】

前記第 1 シリアル信号群に含まれる各シリアル信号を前記クロックに同期させて順次前記メモリに記憶するとともに、前記第 2 シリアル信号群に含まれる各シリアル信号を前記クロックに同期させて順次前記マスタに送信するシフトレジスタを備えてもよい。

【 0 0 2 0 】

前記通信部は、前記第 1 パケットを前記所定の通信プロトコルで規定された第 1 タイミングで送信するとともに、前記所定の通信プロトコルで規定された第 2 タイミングで前記第 2 パケットを受信してもよい。

【 0 0 2 1 】

前記パケットエンコーダは、前記マスタから送信されたスレーブセレクト信号が第 1 論理から第 2 論理に遷移すると、前記マスタからの前記第 1 シリアル信号群の送信が終了したと判断してもよい。

20

【 0 0 2 2 】

前記通信部は、前記通信相手装置との間で、TDD (Time Division Duplex) に応じた前記通信プロトコルにて前記第 1 パケット及び前記第 2 パケットを送受してもよい。

【 0 0 2 3 】

本開示によれば、通信相手装置からのパケットに含まれるクロック周波数情報に基づいて生成されたクロックに同期して、スレーブから送信されたSPIに準拠するシリアル信号群を、所定の通信プロトコルの 1 つのフレーム期間内にひとまとまりのデータブロックとして前記通信相手装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記通信相手装置に送信する通信部を備える、通信装置が提供される。

30

【 0 0 2 4 】

前記通信相手装置から受信された所定の通信プロトコルの第 1 パケットを、SPIに準拠する第 1 シリアル信号群に変換するパケットデコーダと、

前記第 1 シリアル信号群に含まれる前記クロック周波数情報に基づいて、前記クロックを発生させるクロック発生器と、

前記クロックに同期して前記第 1 シリアル信号群を記憶するとともに、スレーブから前記クロックに同期して送信されたSPIに準拠する第 2 シリアル信号群を記憶するメモリと、

前記メモリに記憶された前記第 2 シリアル信号群を前記所定の通信プロトコルの第 2 パケットに変換するパケットエンコーダと、を備えてもよい。

40

【 0 0 2 5 】

前記第 2 パケットは、前記第 2 シリアル信号群の 1 つのフレーム期間内に送信されるひとまとまりのデータブロックを含むことを示す情報、又は複数のフレーム期間に分割して送信される複数のデータブロックを含むことを示す情報とを含んでもよい。

【 0 0 2 6 】

前記第 2 パケットは、前記スレーブが前記第 1 シリアル信号群を受信できないビジー状態であるか否かを示す情報と、前記スレーブが受信した前記第 1 シリアル信号群にエラーがあるか否かを示す情報とを含んでもよい。

【 0 0 2 7 】

50

前記第 2 パケットは、マスタが前記スレーブの状態を読み出すことを要求する割り込み情報を含んでもよい。

【 0 0 2 8 】

前記第 2 シリアル信号群に含まれる各シリアル信号を前記メモリに記憶するとともに、前記第 1 シリアル信号群に含まれる各シリアル信号を前記スレーブに送信するシフトレジスタを備えてもよい。

【 0 0 2 9 】

前記通信部は、前記第 2 パケットを前記所定の通信プロトコルで規定された第 1 タイミングで送信するとともに、前記所定の通信プロトコルで規定された第 2 タイミングで前記第 1 パケットを受信してもよい。

【 0 0 3 0 】

前記通信部は、前記通信相手装置との間で、TDD (Time Division Duplex) に応じた前記通信プロトコルにて前記第 1 パケット及び前記第 2 パケットを送受してもよい。

【 0 0 3 1 】

本開示によれば、所定の通信プロトコルにてパケットを送受する第 1 通信装置及び第 2 通信装置を備え、

前記第 1 通信装置は、マスタからクロックに同期して送信されたSPI (Serial Peripheral Interface) に準拠する第 1 シリアル信号群を、所定の通信プロトコルの 1 つのフレーム期間内にひとまとまりのデータブロックとして前記第 2 通信装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記第 2 通信装置に送信する第 1 通信部を有し、

前記第 2 通信装置は、前記第 1 通信装置からのパケットに含まれるクロック周波数情報に基づいて生成されたクロックに同期して、スレーブから送信されたSPIに準拠する第 2 シリアル信号群を、前記所定の通信プロトコルの 1 つのフレーム期間内にひとまとまりのデータブロックとして前記第 1 通信装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記第 1 通信装置に送信する、通信システムが提供される。

【 0 0 3 2 】

前記第 1 通信装置は、

マスタから第 1 クロックに同期して送信された前記第 1 シリアル信号群を記憶するとともに、スレーブから前記第 1 クロックに同期して送信された前記第 2 シリアル信号群を記憶する第 1 メモリと、

前記第 1 メモリに記憶された第 1 シリアル信号群を前記所定の通信プロトコルの第 1 パケットに変換する第 1 パケットエンコーダと、

前記第 2 通信装置から受信された前記所定の通信プロトコルの第 2 パケットを前記第 2 シリアル信号群に変換する第 1 パケットデコーダと、

前記第 1 パケットを前記所定の通信プロトコルで規定されたタイミングで送信するとともに、前記所定の通信プロトコルで規定されたタイミングで前記第 2 パケットを受信する第 1 通信部と、を有し、

前記第 2 通信装置は、

受信された前記第 1 パケットを、前記第 1 シリアル信号群に変換する第 2 パケットデコーダと、

前記第 1 シリアル信号群に含まれるクロック周波数情報に基づいて、第 2 クロックを発生させるクロック発生器と、

前記第 2 クロックに同期して、前記第 1 シリアル信号群を記憶するとともに、前記スレーブから前記第 2 クロックに同期して送信された前記第 2 シリアル信号群を記憶する第 2 メモリと、

前記第 2 メモリに記憶された前記第 2 シリアル信号群を前記第 2 パケットに変換するパケットエンコーダと、

前記第 2 パケットを前記所定の通信プロトコルで規定されたタイミングで送信するとと

10

20

30

40

50

もに、前記所定の通信プロトコルで規定されたタイミングで前記第 1 パケットを受信する第 2 通信部と、を有してもよい。

【 0 0 3 3 】

本開示によれば、マスタからクロックに同期して送信されたSPIに準拠するシリアル信号群を、所定の通信プロトコルの 1 つのフレーム期間内にひとまとまりのデータブロックとして通信相手装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記通信相手装置に送信する通信部を備える、通信方法が提供される。

【 図面の簡単な説明 】

【 0 0 3 4 】

【 図 1 】 第 1 の実施形態に係る通信装置を備えた通信システムの概略構成を示すブロック図。

10

【 図 2 】 SPI/MasterとSPI/SlaveのSPI通信に関わる部分のブロック図。

【 図 3 】 SPIプロトコルの基本的な信号波形図。

【 図 4 】 図 1 の M\_SerDesとS\_SerDesの間で行われるTDD方式を説明する図。

【 図 5 】 ECPが生成する伝送パケットに含まれる情報を説明する図。

【 図 6 】 SPI/MasterがSPI/Slaveと通信を行うタイミング図。

【 図 7 A 】 SPI/MasterがSPI/Slaveと通信を行う処理手順を示すフローチャート。

【 図 7 B 】 図 7 A に続くフローチャート。

【 図 8 】 UP LinkとDown Linkで送受されるパケットを模式的に示す図。

【 図 9 】 1 フレーム期間内に分割データを伝送する処理を複数フレームにわたって繰り返す場合のタイミング図。

20

【 図 1 0 A 】 図 9 のタイミングで動作する通信システムの処理手順を示すフローチャート。

【 図 1 0 B 】 図 1 0 A に続くフローチャート。

【 図 1 0 C 】 図 1 0 B に続くフローチャート。

【 図 1 1 】 第 3 の実施形態に係る通信装置を備えた通信システムの要部のブロック図。

【 図 1 2 】 図 1 1 の一変形例に係る通信装置を備えた通信システムの要部のブロック図。

【 発明を実施するための形態 】

【 0 0 3 5 】

以下、図面を参照して、通信装置、通信システム及び通信方法の実施形態について説明する。以下では、通信装置、通信システム及び通信方法の主要な構成部分を中心に説明するが、通信装置、通信システム及び通信方法には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

30

【 0 0 3 6 】

( 第 1 の実施形態 )

図 1 は第 1 の実施形態に係る通信装置 1 a、1 b を備えた通信システム 2 の概略構成を示すブロック図である。図 1 の通信システム 2 は、SPI/Master 1 1 と、Master SerDes (M\_SerDes) 3 1 と、SPI/Slave 1 2 と、Slave SerDes (S\_SerDes) 4 1 とを備えている。このうち、M\_SerDes 3 1 が通信装置 1 a に対応し、S\_SerDes 4 1 が通信装置 1 b に対応する。

40

【 0 0 3 7 】

SPI/Master 1 1 と M\_SerDes 3 1 とは、SPI に準拠したシリアル通信 ( 以下、SPI 通信と呼ぶことがある ) を行う。同様に、SPI/Slave 1 2 と S\_SerDes 4 1 とは、SPI に準拠したシリアル通信 ( SPI 通信 ) を行う。M\_SerDes 3 1 と S\_SerDes 4 1 は、TDD 方式にて高速シリアル通信を行う。図 1 では、M\_SerDes 3 1 から S\_SerDes 4 1 への信号伝送経路を UP Link と呼び、S\_SerDes 4 1 から M\_SerDes 3 1 への信号伝送経路を Down Link と呼ぶ。SPI 通信では、SPI の規格に準拠したプロトコル ( 以下、SPI プロトコルと呼ぶ ) にてシリアル通信を行う。また、本明細書では、SPI 通信で送受されるシリアルデータを、SPI データと呼ぶことがある。

【 0 0 3 8 】

50

後述するように、M\_SerDes 3 1 は、マスタ (SPI\_Master 1 1) からクロックに同期して送信されたSPI (Serial Peripheral Interface) に準拠するシリアル信号群を、所定の通信プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして通信相手装置 (S\_SerDes 4 1) に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして通信相手装置 (S\_SerDes 4 1) に送信する通信部 (DLL 3 1 - 4) を備える。また、S\_SerDes 4 1 は、通信相手装置 (M\_SerDes 3 1) からのパケットに含まれるクロック周波数情報に基づいて生成されたクロックに同期して、スレーブ (SPI\_Slave 1 2) から送信されたSPIに準拠するシリアル信号群を、所定の通信プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして通信相手装置 (M\_SerDes 3 1) に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして通信相手装置 (M\_SerDes 3 1) に送信する通信部 (DLL 4 1 - 4) を備える。

10

**【0039】**

図2はSPI/Master 1 1とSPI/Slave 1 2のSPI通信に関わる部分のブロック図である。なお、図2では、説明の簡略化のため、SPI/Master 1 1とSPI/Slave 1 2が直接、SPIに準拠したシリアル通信を行う例を示している。

**【0040】**

図2に示すように、SPI/Master 1 1は、シフトレジスタ1 1 - 1とbuffer/memory 1 1 - 2とを有する。同様に、SPI/Slave 1 2は、シフトレジスタ1 2 - 1とbuffer/memory 1 2 - 2とを有する。

**【0041】**

SPI/Slave 1 2内のシフトレジスタ1 2 - 1は、SPI/Master 1 1から供給されるクロックSCKに同期して動作する。SPI/Master 1 1内のシフトレジスタ1 1 - 1は、SCKに同期してMSB (Most Significant Bit) 側から順にシリアルデータを出力する。出力されたシリアルデータは、MOSIピンを介して、SPI/Slave 1 2内のシフトレジスタ1 2 - 1のLSB (Least Significant Bit) 側に入力される。SPI/Slave 1 2内のシフトレジスタ1 2 - 1のMSB側から出力されたシリアルデータは、MISOピンを介して、SPI/Master 1 1内のシフトレジスタ1 1 - 1のLSB側に入力される。SPI/Master 1 1内のシフトレジスタ1 1 - 1が保持しているデータは、buffer/memory 1 1 - 2に記憶することができる。また、シフトレジスタ1 1 - 1は、buffer/memory 1 1 - 2が記憶しているデータを保持できる。同様に、SPI/Slave 1 2内のシフトレジスタ1 2 - 1が保持しているデータは、buffer/memory 1 2 - 2に記憶することができる。また、シフトレジスタ1 2 - 1は、buffer/memory 1 2 - 2が記憶しているデータを保持できる。

20

30

**【0042】**

図3はSPIプロトコルの基本的な信号波形図である。SPIプロトコルでは、SPI/Master 1 1が出力するスレーブセレクト信号 (CS信号) がアイドル時 (図3ではハイレベル) のSCKの極性と、CS信号がアクティブ状態 (図3ではローレベル) になるときにデータをラッチするクロック (SCK) のエッジ (立ち上がりエッジ又は立ち下がりエッジ) との組合せが4つある。これら4つの組み合わせはSPI modeと呼ばれる。SPI/Master 1 1は、4つのSPI modeのうち一つを任意に選択することができる。SPI/Master 1 1は、あらかじめSPI/Slaveが対応できるSPI modeを知っており、それに対応したモードを選択する必要がある。

40

**【0043】**

図3 A ~ 図3 Dは4つのSPI modeの信号波形図である。図3 Aに示すSPI mode=0は、CS信号がアイドル時にSCKがLowであり、SCKの立ち上がりでデータを保持する。図3 Bに示すSPI mode=1は、CS信号がアイドル時にSCKがLowであり、SCKの立ち下がりでデータを保持する。図3 Cに示すSPI mode=2は、CS信号がアイドル時にSCKがHighであり、SCKの立ち下がりでデータを保持する。図3 Dに示すSPI mode=3は、CS信号がアイドル時にSCKがHighであり、SCKの立ち上がりでデータを保持する。

**【0044】**

SCKの周波数は、SPIプロトコルでは規定されておらず、SPI通信を行う個々のデバイス

50

毎に異なるため、SPI/Master 1 1 は、SPI通信を行う個々のデバイス毎に、SCKの周波数を選択する。そのためSPI/Master 1 1 は、SPI通信を行う各デバイスが対応できるSCK周波数をあらかじめ知っておく必要がある

【 0 0 4 5 】

以下、SPIプロトコルを用いた通信方法を説明する。図 2 の例では、SPIプロトコルによる通信は、SPI/Master 1 1 とSPI/Slave 1 2 の間で行われる。SPI/Master 1 1 に接続されるSPI/Slave 1 2 は、一つでも複数でもよい。SPI/Master 1 1 に複数のSPI/Slave 1 2 が接続される場合、SPI/Master 1 1 は、複数のSPI/Slave 1 2 に対応する複数のCS信号を持ち、通信したいSlaveを対応するCS信号で選択して通信を行うことができる。SPI/Master 1 1 が通信したいSPI/Slave 1 2 を選択するためのCS信号は、後述するようにSPI制御情報に含まれる。SPI/Master 1 1 は、SPI制御情報をSPIデータに含めてM\_SerDes 3 1 に送信する。

10

【 0 0 4 6 】

SPI/Master 1 1 は、SPI通信を行う場合、通信したいSPI/Slave 1 2 に接続されたCS信号をアクティブ状態(図 3 A ~ 図 3 D ではLow)にする。本明細書では、各種の信号をアクティブ状態にすることをアサート、アイドル状態にすることをデアサートと呼ぶことがある。

【 0 0 4 7 】

SPI/Master 1 1 とSPI/Slave 1 2 は、転送したいデータをそれぞれのbuffer/memory 1 1 - 2、1 2 - 2 からシフトレジスタ 1 1 - 1、1 2 - 1 に転送する。SPI/Master 1 1 は、SCKを生成して、自身のシフトレジスタ 1 1 - 1 に供給するとともに、SPI/Slave 1 2 内のシフトレジスタ 1 2 - 1 にも供給する。各シフトレジスタ 1 1 - 1、1 2 - 1 は、SCKのトグルにより保持データを1bitごとシフトする。SCKがシフトレジスタ 1 1 - 1、1 2 - 1 の段数分トグルすることで、シフトレジスタ 1 1 - 1、1 2 - 1 のデータが入れ替わる。その後、SPI/Master 1 1 は、CS信号をアイドル状態(図 3 A ~ 図 3 D ではHigh)に遷移させる。SPI/Master 1 1 とSPI/Slave 1 2 は、その時点のシフトレジスタ 1 1 - 1、1 2 - 1 のデータをbuffer/memory 1 1 - 2、1 2 - 2 に転送することで、buffer/memory 1 1 - 2、1 2 - 2 からデータを取得でき、これによりSPI通信が終了する。

20

【 0 0 4 8 】

図 2 では、SPI/Master 1 1 とSPI/Slave 1 2 が直接SPI通信を行う例を示したが、図 1 では、SPI/Master 1 1 とM\_SerDes 3 1 の間に、M\_SerDes 3 1 とS\_SerDes 4 1 が配置されている。図 1 では、SPI/Master 1 1 とM\_SerDes 3 1 がSPI通信を行い、M\_SerDes 3 1 とS\_SerDes 4 1 がTDD方式によるシリアル通信を行い、SPI/Slave 1 2 とS\_SerDes 4 1 がSPI通信を行う。

30

【 0 0 4 9 】

図 4 は図 1 のM\_SerDes 3 1 とS\_SerDes 4 1 の間で行われるTDD方式を説明する図である。図 4 では、図 1 に示すSPI/Master 1 1 とSPI/Slave 1 2 の内部構成を簡略化して図示している。また、図 4 では、M\_SerDes 3 1 とS\_SerDes 4 1 にそれぞれ、peripheral devices 3 2、4 2 が接続されている例を示している。

【 0 0 5 0 】

M\_SerDes 3 1 とS\_SerDes 4 1 は、例えば数m ~ 10数mのケーブル 1 0 3 で互いに接続されている。このケーブル 1 0 3 を介して、M\_SerDes 3 1 とS\_SerDes 4 1 は高速シリアル通信を行う。なお、M\_SerDes 3 1 とシリアル通信を行う2台以上のデバイスが存在してもよい。この場合、各デバイスは図 4 のS\_SerDes 4 1 と同様の構成を有する。また、図 4 のM\_SerDes 3 1 とS\_SerDes 4 1 と同様の構成を持つ2つのデバイスを組とする複数組を設けて、組ごとに高速シリアル通信を行ってもよい。図 4 のM\_SerDes 3 1 とS\_SerDes 4 1 は、例えば、車載カメラモジュールなど、大量のデータを送受信する用途に幅広く適用できる。

40

【 0 0 5 1 】

M\_SerDes 3 1 とS\_SerDes 4 1 は、TDD方式による高速シリアル通信を行う。図 4 の

50

右下には、TDD方式のタイミングと周波数帯域が図示されている。TDD方式では、図4の右側に示すように、1TDDサイクル内に、上り方向の信号伝送期間と下り方向の信号伝送期間が時間的に重ならないように設けられている。図4のTDDタイミング図の例では、M\_SerDes 3 1からS\_SerDes 4 1への上り方向の信号（UP Linkと呼ぶ）の信号伝送期間が、S\_SerDes 4 1からM\_SerDes 3 1への下り方向の信号（Down Linkと呼ぶ）の信号伝送期間よりも極端に短い例、すなわちUP Linkの信号比率がDownlinkの信号比率よりも極端に小さい例を示している。例えば、S\_SerDes 4 1内のセンサが撮像した映像信号をM\_SerDes 3 1に送信する場合には、図4のTDDタイミング図のような信号比率になる。

#### 【0052】

図4の右側には、TDD方式におけるUP Linkの信号伝送に用いられる周波数帯域と、Down Linkの信号伝送に用いられる周波数帯域とが図示されている。図示のように、TDD方式では、UP Linkの信号伝送とDown Linkの信号伝送において、周波数帯域の大半が重なっている。例えば、S\_SerDes 4 1内のセンサが撮像した映像信号をM\_SerDes 3 1に送信する場合には、信号量の大きい下り方向Down Linkの信号伝送は、上り方向UP Linkの信号伝送よりも広い周波数帯域を必要とするため、上り方向UP Linkの信号伝送に用いられる周波数帯域を含むより広範な周波数帯域を用いて行われる。TDD方式では、下り方向Down Linkの信号伝送期間が上り方向UP Linkの信号伝送期間と重ならないため、両信号を分離するためのエコーキャンセル回路が不要になる。

#### 【0053】

本実施形態に係るM\_SerDes 3 1とS\_SerDes 4 1は、TDD方式にて信号伝送を行うことを前提としているが、場合によってはFDD方式でも信号伝送を行えるようにしてもよい。図4の左下にはFDD方式のタイミングと周波数帯域が図示されている。FDD方式では、M\_SerDes 3 1からS\_SerDes 4 1への信号伝送に用いる周波数帯域と、S\_SerDes 4 1からM\_SerDes 3 1への信号伝送に用いる周波数帯域とが異なっている。このため、M\_SerDes 3 1からS\_SerDes 4 1への信号伝送と、S\_SerDes 4 1からM\_SerDes 3 1への信号伝送とを同タイミングで行うことができ、上り方向の信号伝送と下り方向の信号伝送を1FDDサイクル内の全期間を利用して行うことができる。

#### 【0054】

また、FDD方式では、信号量の大きい上り方向の信号伝送は、高周波側の広い周波数帯域を用いて行われる。信号量の小さい下り方向の信号伝送は、低周波側の狭い周波数帯域を用いて行われる。図4の左下の例では、周波数の利用効率を高めるために、上り方向の信号伝送で用いられる周波数帯域と、下り方向の信号伝送で用いられる周波数帯域とを一部重複させている。この重複部分があるために、エコーキャンセル回路が必要となる。エコーキャンセル回路は、上り方向の信号と下り方向の信号とを精度よく分離する回路である。

#### 【0055】

以下では、M\_SerDes 3 1とS\_SerDes 4 1がTDD方式にて高速シリアル通信を行うとともに、M\_SerDes 3 1はSPI/Master 1 1との間でSPIに準拠したシリアル通信を行い、S\_SerDes 4 1はSPI/Slave 1 2との間でSPIに準拠したシリアル通信を行う例を説明する。

#### 【0056】

M\_SerDes 3 1とS\_SerDes 4 1の間では、SPIではなくTDD方式によるシリアル通信を行うため、M\_SerDes 3 1とS\_SerDes 4 1の内部でプロトコル変換を行う必要がある。また、SPIによるシリアル通信は全二重通信方式であるのに対し、TDD方式によるシリアル通信は半二重通信方式であるため、SPI/Master 1 1やSPI\_SlaveからのデータをそのままのタイミングでTDD方式で送受信することはできない。

#### 【0057】

以下、図1の通信システム2の構成を詳細に説明する。図1のSPI/Master 1 1は、図4に示したように、シフトレジスタ1 1 - 1とbuffer/memory 1 1 - 2を有する他に、コントローラ1 1 - 3とSCK generator 1 1 - 4とを備えている。

## 【 0 0 5 8 】

コントローラ 1 1 - 3 は、SPI通信をアクティブ状態にするためのスレイブセレクト信号（CS信号）を、M\_CS<sub>n</sub>ピンを通して、M\_SerDes 3 1 に供給する。CS信号は、SPI/Master 1 1 とSPI通信を行うデバイスの数だけ設けられる。例えば、図 1 では、M\_SerDes 3 1、S\_SerDes 4 1、及びSPI/Slave 1 2 にそれぞれ異なるM\_CS<sub>n</sub>ピンが割り当てられている。本明細書では、SPI/Master 1 1 から出力されるCS信号を出力するピンを、M\_CS<sub>n</sub>(x)と表記することがある。例えば、M\_CS<sub>n</sub>(0)をM\_SerDes 3 1 に割り当てて、M\_CS<sub>n</sub>(1)をSPI/Slave 1 2 に割り当てる。

## 【 0 0 5 9 】

コントローラ 1 1 - 3 は、SCK generator 1 1 - 4 の動作を制御する。SCK generator 1 1 - 4 は、いずれかのCS信号がアクティブ状態のときに、SCKを出力する。シフトレジスタ 1 1 - 1 は、SCKに同期してシフト動作を行う。

10

## 【 0 0 6 0 】

コントローラ 1 1 - 3 は、SPI/Slave 1 2 が割り込み信号S\_INTを出力したことを、M\_SerDes 3 1 からの割り込み信号M\_INTで検出し、この割り込み信号M\_INTをトリガとして、次のフレームのSPI通信を開始する。あるいは、コントローラ 1 1 - 3 自身がSPIデータを送信したい場合も、同様にSPI通信を開始する（後述する図 6 のM\_CS<sub>n</sub>(1)の時刻t5）。

## 【 0 0 6 1 】

M\_SerDes 3 1 は、SPI/Master 1 1 に接続されている。M\_SerDes 3 1 は、SPI/Master 1 1 とSPIプロトコルに従ってデータ通信を行うために、SPIブロック 3 1 - 1 を有する。SPIブロック 3 1 - 1 は、シフトレジスタ 3 1 - 1 - 1 とbuffer/memory 3 1 - 1 - 2 を有する。SPI/Master 1 1 内のコントローラ 1 1 - 3 がM\_SerDes 3 1 に対応するCS信号をアクティブ状態にして、SCK generator 4 1 - 1 - 3 がSCKを出力すると、このSCKに同期して、シフトレジスタ 3 1 - 1 - 1 はSPIデータを出力して、MISOピンを介してSPI/Master 1 1 に供給する。また、シフトレジスタ 3 1 - 1 - 1 は、SPI/Master 1 1 からMOSIピンを介して出力されたSPIデータを、SCKに同期して取り込む。

20

## 【 0 0 6 2 】

コントローラ 1 1 - 3 は、CS信号がアイドル状態になると、SCK generator 1 1 - 4 に対してSCKの出力を停止させる。これにより、シフトレジスタ 3 1 - 1 - 1 はSCKが停止される直前の状態を保持する。

30

## 【 0 0 6 3 】

M\_SerDes 3 1 内のSPIブロック 3 1 - 1 は、CS信号がアイドル状態に遷移すると、シフトレジスタ 3 1 - 1 - 1 内の全データをbuffer/memory 3 1 - 1 - 2 に転送する。これにより、SPI/Master 1 1 からM\_SerDes 3 1 へのSPIプロトコルによるデータ転送処理が終了する。

## 【 0 0 6 4 】

なお、M\_SerDes 3 1 内のシフトレジスタ 3 1 - 1 - 1 からbuffer/memory 3 1 - 1 - 2 へのデータ転送は、SPI/Master 1 1 が転送したいデータ量とシフトレジスタ 3 1 - 1 - 1 のデータ容量に依存する。よって、CS信号がアクティブ状態の間に、シフトレジスタ 3 1 - 1 - 1 内のデータが溢れるおそれがある場合は、溢れる前に、シフトレジスタ 3 1 - 1 - 1 内のデータをbuffer/memory 3 1 - 1 - 2 に転送することで、データの欠落を防止できる。

40

## 【 0 0 6 5 】

この他、M\_SerDes 3 1 は、packet encoder (ECP) 3 1 - 2 と、packet decoder (DCP) 3 1 - 3 と、DLL 3 1 - 4 と、PHY layer block (PHY) 3 1 - 5 とを有する。M\_SerDes 3 1 内のECP 3 1 - 2 は、buffer/memory 3 1 - 1 - 2 に記憶されたSPIデータをTD D方式に準拠したパケット（SPIパケット）に変換する。DLL 3 1 - 4 は、ECP 3 1 - 2 で生成されたSPIパケットを、SPIパケット以外の他の伝送パケットとまとめて、UP Link packetを生成する。PHY 3 1 - 5 は、UP Link packetをUP Linkを介してS\_SerDes 4 1

50

に送信する。

【0066】

図1のS\_SerDes 4 1は、SPI/Slave 1 2に接続される。S\_SerDes 4 1は、SPI/Slave 1 2とSPIプロトコルに従ってデータの送受信を行うために、SPIブロック 4 1 - 1を有する。SPIブロック 4 1 - 1は、コントローラ (CNT R) 4 1 - 1 - 4と、SCK generator 4 1 - 1 - 3と、シフトレジスタ 4 1 - 1 - 1と、buffer/memory 4 1 - 1 - 2とを有する。コントローラ 4 1 - 1 - 4は、SPI/Master 1 1からのSPI制御情報に基づいて、SCK generator 4 1 - 1 - 3から出力されるSCKのタイミングと周波数を制御する。コントローラ 4 1 - 1 - 4がSPI/Slave 1 2に対応するCS信号をアクティブ状態にして、SCK generator 4 1 - 1 - 3がSCKを出力したときに、このSCKに同期して、シフトレジスタ 4 1 - 1 - 1はSPIデータを出力して、S\_MOSIピンを介してSPI/Slave 1 2に供給する。また、シフトレジスタ 4 1 - 1 - 1には、SPI/Slave 1 2からS\_MISOピンを介して出力されたSPIデータが、SCKに同期して入力される。この他、S\_SerDes 4 1は、packet encoder (ECP) 4 1 - 2と、packet decoder (DCP) 4 1 - 3と、DLL 4 1 - 4と、PHY layer block (PHY) 4 1 - 5とを有する。S\_SerDes 4 1内のECP 4 1 - 2は、buffer/memory 4 1 - 1 - 2に記憶されたSPIデータをTDD方式に準拠したパケット (SPIパケット) に変換する。DLL 4 1 - 4は、ECP 4 1 - 2で生成されたSPIパケットを、SPIパケット以外の他の伝送パケットとまとめて、UP Link packetを生成する。PHY 4 1 - 5は、UP Link packetをUP Linkを介してS\_SerDes 4 1に送信する。

10

【0067】

図5はECP 3 1 - 2、4 1 - 2が生成する伝送パケットに含まれる情報を説明する図である。図5には、伝送パケット内の情報ごとに、識別記号と、情報名と、SPI/Master 1 1からSPI/Slave 1 2にデータ伝送を行う伝送パケットでの機能と、SPI/Slave 1 2からSPI/Master 1 1にデータ伝送を行う伝送パケットでの機能と、説明とが対応づけられている。

20

【0068】

C-1は、伝送モードであり、SPI/Master 1 1がコマンドとして指令する。SPI/Slave 1 2からのパケットに含まれる伝送モードは、SPI/Master 1 1が状態をモニタするために用いられる。C-1が0であれば、TDDの1つのフレーム期間内にひとまとまりのデータブロックを伝送する。C-1が1であれば、複数のフレーム期間に応じて分割される複数のデータブロックを伝送する。

30

【0069】

C-2は、スレイブセレクト信号 (CSn信号) であり、SPI/Master 1 1がコマンドとして指令する。SPI/Slave 1 2からのパケットに含まれるCSn信号は、SPI/Master 1 1が状態をモニタするために用いられる。CSn信号は、SPI/Master 1 1が通信したいSPI/Slave 1 2を選択する信号である。CSn信号では、個々のSPI/Slave 1 2を選択するだけでなく、SerDes (M\_SerDes 3 1又はS\_SerDes 4 1) を選択することもできる。

【0070】

C-3は、SCK周波数であり、SPI/Master 1 1がコマンドとして指令する。SPI/Slave 1 2からのパケットに含まれるSCK周波数は、SPI/Master 1 1が状態をモニタするために用いられる。C-3は、SPI/Master 1 1がSPI/Slave 1 2側のSCK周波数を指定するものである。

40

【0071】

C-4は、SPIモードであり、SPI/Master 1 1がコマンドとして指令する。SPI/Slave 1 2からのパケットに含まれるSPIモードは、SPI/Master 1 1が状態をモニタするために用いられる。例えば、C-4が0であれば図3 Aのmode=0が選択され、1であれば図3 Bのmode=1が選択され、2であれば図3 Cのmode=2が選択され、3であれば図3 Dのmode=3が選択される。

【0072】

C-5は、データブロックDBの総数であり、SPI/Master 1 1が情報として提供する。SPI

50

/Slave 1 2 からのパケットに含まれるDB総数は、SPI/Master 1 1 が状態をモニタするために用いられる。C-1が0のとき（分割DBの送信時）にはC-5は1である。SPI/Slave 1 2 は、SPI通信が開始されてからの受信DB数を返す。

【0073】

C-6は、現在のデータブロックDBの位置であり、SPI/Master 1 1 が情報として提供する。SPI/Slave 1 2 からのパケットには含まれない。C-6が0であれば、無効な情報であることを示す。C-1が0の場合は0になる。C-6が1であれば、先頭の分割データであることを示す。2であれば、先頭と最後以外の分割データであることを示す。3であれば、最後の分割データであることを示す。

【0074】

C-7は、現在のデータブロックDBの状態であり、SPI/Master 1 1 とSPI/Slave 1 2 がともに情報として提供する。C-7が0であればダミーデータであることを示し、1であれば有効データであることを示す。

【0075】

C-8は、データブロックDBのサイズであり、SPI/Master 1 1 が情報として提供する。SPI/Slave 1 2 からのパケットに含まれるデータ伝送サイズは、SPI/Master 1 1 が状態をモニタするために用いられる。C-8は、データ伝送サイズをバイト単位で表したものであり、最大サイズは5 1 1 バイトである。

【0076】

C-9は、SPI/Slave 1 2 の割り込み情報であり、SPI/Master 1 1 が送信するパケットには含まれず、SPI/Slave 1 2 が送信するパケットに含まれる割り込みフラグである。C-9が0であれば割り込みなしを示し、1であれば割り込みありを示す。

【0077】

C-10は、SPI/Slave 1 2 側の動作状態であり、SPI/Master 1 1 が送信するパケットには含まれず、SPI/Slave 1 2 からのパケットに含まれている。C-10が0であれば正常状態、1であればビジー（DCP 3 1 - 3 が空でない、2であればエラーが起こった（SPIデータが壊れた））ことを示す。

【0078】

C-11は、SPIブロック 4 1 - 1 のリセットであり、SPI/Master 1 1 がコマンドとして指令する。SPI/Slave 1 2 のパケットには含まれていない。C-11が0であればリセットせず、1であればS\_SerDes 4 1 のSPIブロック 4 1 - 1 をリセットする。

【0079】

D-1は、上述したC-1～C-11とともに送信されるSPIデータであり、SPI/Master 1 1 が送信するSPIデータはM\_MOSIピンから出力され、SPI/Slave 1 2 が送信するSPIデータはS\_MISOピンから出力される。

【0080】

E-1は、上述したC-1～C-11とD-1とともに送信されるCRCであり、SPI/Master 1 1 から送信されるSPIデータとSPI/Slave 1 2 から送信されるSPIデータの双方に含まれる。CRCは、制御データC-1～C-11とSPIデータのエラー検出に用いられる。

【0081】

図6はSPI/Master 1 1 がSPI/Slave 1 2 と通信を行うタイミング図、図7 A及び図7 BはSPI/Master 1 1 がSPI/Slave 1 2 と通信を行う処理手順を示すフローチャートである。図8はUP LinkとDown Linkで送受されるパケットを模式的に示す図である。図6～図8は、TDDの1つのフレーム期間にひとまとまりのデータブロックを送受信する処理手順を示している。

【0082】

まず、SPI/Master 1 1 は、M\_SerDes 3 1 内のECP 3 1 - 2 とDCP 3 1 - 3 で使用されるSPI制御情報を生成して、M\_SerDes 3 1 に送信する処理を行う（ステップS 1～S 4、時刻t 1～t 4）。SPI制御情報は、例えば、SPI伝送モードと、SCK周波数情報と、SPIモードと、SPI通信時のデータブロックDBのサイズ及び数とを含んでいる。SPI/Mast

10

20

30

40

50

er 1 1 は、SPI制御情報を予めbuffer/memory 1 1 - 2 に記憶しておく。

【 0 0 8 3 】

SPI/Master 1 1 内のコントローラ 1 1 - 3 は、M\_SerDes 3 1 とSPI通信をするために、M\_CS<sub>n</sub>(0)をアクティブ状態(Low)に（アサート）する（ステップ S 1、時刻 t 1）。

【 0 0 8 4 】

SPI/Master 1 1 内のコントローラ 1 1 - 3 は、SCK generator 1 1 - 4 を制御して、クロック M\_SCK を出力させる（ステップ S 2、時刻 t 2）。クロック M\_SCK に同期して、buffer/memory 1 1 - 2 に記憶されているSPI制御情報が順次読み出されてシフトレジスタ 1 1 - 1 に転送される。転送されるSPI制御情報は、伝送モード、SCK周波数情報、SPIモード、伝送データサイズ、データブロックの数などである。シフトレジスタ 1 1 - 1 は、クロック M\_SCK に同期してSPI制御情報を順に出力する（ステップ S 2 ~ S 3、時刻 t 2 ~ t 3）。このSPI制御情報は、M\_MOSIピンを介してM\_SerDes 3 1 に入力される。M\_SerDes 3 1 内のシフトレジスタ 3 1 - 1 - 1 は、M\_SCK に同期して、SPI/Master 1 1 からのSPI制御情報を取り込む。

【 0 0 8 5 】

シフトレジスタ 3 1 - 1 - 1 は、SPI/Master 1 1 からのSPI制御情報を取り込むのに並行して、シフトレジスタ 3 1 - 1 - 1 に保持されていたデータをM\_SCKに同期して、M\_MISOピンを介してSPI/Master 1 1 に送信する。このデータは、無効なデータであるため、図 6 の時刻 t 2 ~ t 3 では破線で示している。SPI/Master 1 1 は、このデータを受信後に廃棄する。

【 0 0 8 6 】

SPI/Master 1 1 のデータ転送が終了すると、SPI/Master 1 1 内のコントローラ 1 1 - 3 はSCK generator 1 1 - 4 にM\_SCKの生成を停止させるとともに、M\_CS<sub>n</sub>(0)をアイドル状態にデアサートする（ステップ S 4、時刻 t 4）。M\_SerDes 3 1 内のシフトレジスタ 3 1 - 1 - 1 は、M\_SCKが停止すると、保持されているSPI/Master 1 1 からのSPI制御情報をbuffer/memory 3 1 - 1 - 2 に転送する。

【 0 0 8 7 】

M\_SerDes 3 1 内のbuffer/memory 3 1 - 1 - 2 は、SPI/Master 1 1 からのSPI制御情報をECP 3 1 - 2 に転送する。ECP 3 1 - 2 は、SPI制御情報をSPIパケットに変換する。

【 0 0 8 8 】

次に、SPI/Master 1 1 は、SPI/Slave 1 2 へのデータ伝送を行う目的で、M\_SerDes 3 1 にSPIデータを送信する。具体的には、SPI/Master 1 1 内のコントローラ 1 1 - 3 は、SPI/Slave 1 2 に対応するM\_CS<sub>n</sub>(1)をアイドル状態からアクティブ状態に遷移させる（アサートする）（ステップ S 5、時刻 t 5）。

【 0 0 8 9 】

また、コントローラ 1 1 - 3 は、SCK generator 1 1 - 4 に対してM\_SCKを出力させる（ステップ S 6、時刻 t 6）。buffer/memory 1 1 - 2 は、SPI/Slave 1 2 に伝送されるべきデータを、伝送データサイズ分だけ読み出してシフトレジスタ 1 1 - 1 に入力する。シフトレジスタ 1 1 - 1 は、M\_SCK に同期して、SPI/Slave 1 2 向けのデータを順次、M\_MOSIピンを介して出力する（ステップ S 7、時刻 t 7）。

【 0 0 9 0 】

M\_SerDes 3 1 内のシフトレジスタ 3 1 - 1 - 1 は、SPI/Master 1 1 から出力されたデータを、SCKに同期して順次シフトレジスタ 3 1 - 1 - 1 に取り込む。SPI/Master 1 1 内のコントローラ 1 1 - 3 は、伝送データサイズ分のデータ転送が終了すると、SCK generator 1 1 - 4 にM\_SCKの出力を停止させる（ステップ S 8、時刻 t 8）。その後、SPI/Master 1 1 のコントローラ 1 1 - 3 は、M\_CS<sub>n</sub>(1)をアイドル状態（デアサート）にして、SPI通信を終了する（ステップ S 9、時刻 t 9）。

【 0 0 9 1 】

M\_SerDes 3 1 は、M\_SCKが停止すると、シフトレジスタ 3 1 - 1 - 1 に保持されたデ

10

20

30

40

50

ータをbuffer/memory 3 1 - 1 - 2 に転送する。buffer/memory 3 1 - 1 - 2 は、シフトレジスタ 3 1 - 1 - 1 から転送されたデータをECP 3 1 - 2 に転送する。ECP 3 1 - 2 は、時刻 t 1 ~ t 3 の通信で受信されたSPI制御情報と、SPI/Slave 1 2 に対応するCS信号 ( M\_CS<sub>n</sub>(1) ) と、SPI/Slave 1 2 向けのDataとを含むデータを生成する。ECP 3 1 - 2 は、生成されたデータに、パケットが有効であることを示すフラグを付加して伝送パケットを生成する。

【 0 0 9 2 】

ECP 3 1 - 2 は、生成した伝送パケットを図 8 に示すようにSPIパケット 5 1 として、DLL 3 1 - 4 に送信する。DLL 3 1 - 4 はECP 3 1 - 2 からのSPIパケット 5 1 と他の伝送パケットとをまとめてUP Link packet 5 2 を生成し、PHY layer block 3 1 - 5 に出力する。PHY layer block 3 1 - 5 は、受信されたUP Link packet 5 2 をTDDによるUP Link出力タイミングに従って、ケーブル 1 0 3 に出力する ( ステップ S 1 0、時刻 t 1 0 ) 。

【 0 0 9 3 】

S\_SerDes 4 1 は、M\_SerDes 3 1 とTDD方式で通信を行うとともに、SPI/Slave 1 2 とSPI通信を行う。S\_SerDes 4 1 内のPHY layer block 4 1 - 5 は、ケーブル 1 0 3 を介してM\_SerDes 3 1 からのUP Link Packetを受信し、Link layer block ( DLL ) 4 1 - 4 に出力する。

【 0 0 9 4 】

S\_SerDes 4 1 内のLink layer block 4 1 - 4 は、UP Link PacketからSPIデータを含むSPIパケットを取り出して、packet decoder ( DCP ) 4 1 - 3 に出力する。DCP 4 1 - 3 は、受信されたSPIパケット内のCS<sub>n</sub>情報 ( C-2 ) に基づいて、SPI/Slave 1 2 がSPI通信対象であることを検出する。そして、コントローラ 4 1 - 1 - 4 は、SPI/Slave 1 2 とのSPI通信を開始するために、SPIパケット内の伝送モード情報 ( C-1 ) により、SPIデータのすべてが送信されたことを検出するとともに、SPIデータの個数 ( C-5 ) と、SPIデータのサイズ ( C-8 ) とにより、1 回のSPI通信に必要なSCKサイクル数を取得した後、Slave select信号S\_CSをアクティブ状態に ( アサート ) する ( ステップ S 1 1、時刻 t 1 1 ) 。

【 0 0 9 5 】

次に、S\_SerDes 4 1 内のコントローラ 4 1 - 1 - 4 は、SPIパケットに含まれるSCK周波数情報 ( C-3 ) を取得して、取得された周波数でSCK generator 4 1 - 1 - 3 にS\_SCKを出力させる ( ステップ S 1 2、時刻 t 1 2 ) 。このとき、S\_CSとSCKの位相関係は、SPIパケット内のSPIモード ( C-4 ) に従う。これにより、S\_SerDes 4 1 はSPI/Slave 1 2 とSPIデータの転送が可能になる。SPI/Slave 1 2 に転送されるデータは、SPIパケット ( D-1 ) であり、buffer/memory 4 1 - 1 - 2 に記憶される。

【 0 0 9 6 】

S\_SerDes 4 1 内のシフトレジスタ 4 1 - 1 - 1 は、buffer/memory 4 1 - 1 - 2 から転送されるSPIデータを、SCK generator 4 1 - 1 - 3 から供給されるSCKにより、順次S\_MOSIピンから出力する ( ステップ S 1 3、時刻 t 1 3 ) 。これに並行して、SPI/Slave 1 2 からS\_MISOピンに出力されるSPIデータは、シフトレジスタ 4 1 - 1 - 1 に記憶された後、適時buffer/memory 4 1 - 1 - 2 に転送される。

【 0 0 9 7 】

SPI/Slave 1 2 は、S\_SerDes 4 1 のS\_MOSIピンからのSPIデータを、S\_SCKに同期して順次シフトレジスタ 1 2 - 1 に取り込むとともに、シフトレジスタ 1 2 - 1 が保持していたデータを順次S\_MISOピンから出力する ( ステップ S 1 4、時刻 t 1 4 ) 。

【 0 0 9 8 】

コントローラ ( 4 1 - 1 - 4 ) は、設定されたSPIデータのサイズ ( C-8 ) だけ、S\_SCKを駆動したら、SPI通信を終了するために、SCKを停止させるとともに、S\_CSをアイドル状態に戻す ( デアサートする ) ( ステップ S 1 5、時刻 t 1 5 ) 。これに並行して、SPI/Slave 1 2 は、S\_SerDes 4 1 のS\_MOSIピンからSPIデータを受信中に、適時シフトレジスタ 1

10

20

30

40

50

2 - 1 からbuffer/memory 1 2 - 2 にS\_MOSIピンからのSPIデータを転送することで、最終的にSPI/Master 1 1からのデータの受信が完了する。

【0099】

buffer/memory 4 1 - 1 - 2 は、SPI/Slave 1 2 から受信したSPIデータをSPI/Master 1 1 に送信するために、packet encoder(ECP) 4 1 - 2 に転送する。ECP 4 1 - 2 は、受信されたSPIデータと共に、自身がSPIパケットで得たSPI制御情報をSPIパケット 5 3 に付加する。また、ECP 4 1 - 2 は、図 5 の (C-10) のSPI/Slave 1 2 の動作状態を示す情報と、(E-1) のCRCをSPIパケットに付加する。

【0100】

また、ECP 4 1 - 2 は、SPI/Slave 1 2 が割り込み信号 (C-9) を出力した場合、割り込み信号の情報もSPIパケット 5 3 に含める。この場合、SPIパケット 5 3 は、SPI/Slave 1 2 からのSPIデータを伝送しない。割り込み信号を設けた理由は、SPIプロトコルでは、SPI/Master 1 1 のみがCS信号とSCKを制御し、SPI/Slave 1 2 は能動的にはデータを出力できないことから、割り込み信号を出して、SPI/Master 1 1 からの指示を待つようになっている。

10

【0101】

Link layer block (DLL) 4 1 - 4 は、ECP 4 1 - 2 から受信したSPIパケット 5 3 を他の伝送パケットとまとめて Down Link packet 5 4 を生成し、PHY layer block 4 1 - 5 に出力する。PHY layer block 4 1 - 5 は、受信したDown Link packet 5 4 をDown Link出力タイミングに従って、ケーブル 1 0 3 に出力する (ステップ S 1 6、時刻 t 1 6 )。

20

【0102】

M\_SerDes 3 1 のPHY layer block 3 1 - 5 は、S\_SerDes 4 1 から出力されるSPI/Slave 1 2 からのSPIパケット 5 3 を含むDown Link packetを受信し、DLL 3 1 - 4 に出力する。DLL 3 1 - 4 は、受信したDown Link packet 5 4 からSPIパケット 5 3 を抜き出し、packet decoder(DCP) 3 1 - 3 に出力する。

【0103】

M\_SerDes 3 1 内のDCP 3 1 - 3 は、Master 1 1 からSPIデータO\_DB#1を受信したときに同時にMaster 1 1 に送信されるI\_DB#1を含むパケットを受信して、buffer/memory 3 1 - 1 - 2 に格納する。有効なSPIデータI\_DB#1がSPI/Slave 1 2 から返ってきたことを示すために、buffer/memory 3 1 - 1 - 2 は、割り込み信号M\_INTをアサートする (ステップ S 1 7、時刻 t 1 7)。。割り込み信号M\_INTを受け取ったSPI/Master 1 1 のコントローラ 1 1 - 3 は、SPI/Slave 1 2 からのSPIデータをM\_SerDes 3 1 から読み出すためにSPI通信を開始し、M\_CS#1(1)をアクティブ状態に (アサート) する (ステップ S 1 8、時刻 t 1 8)。

30

【0104】

SPI/Master 1 1 のコントローラ 1 1 - 3 は、SCK generator 1 1 - 4 を制御し、M\_SCK(11-10-2)を出力させる (ステップ S 1 9、時刻 t 1 9) 。シフトレジスタ 1 1 - 1 は、SCKに同期して、Frame#1で設定された伝送データサイズ (c-8) 分だけ、M\_MISOピンからデータを順次取り込む。この時、M\_SerDes 3 1 内のbuffer/memory 3 1 - 1 - 2 は、適時SPI/Slave 1 2 からのデータをシフトレジスタ 3 1 - 1 - 1 に転送し、シフトレジスタ 3 1 - 1 - 1 は、前述したようにSCK generator 1 1 - 4 に同期して順次データを出力する。このデータは、M\_MISOピンより取り込まれる (ステップ S 2 0、時刻 t 2 0) 。これに並行して、SPI/Master 1 1 は、次にSPI/Slave 1 2 に転送したいSPIデータをbuffer/memory 1 1 - 2 から読み出してシフトレジスタ 1 1 - 1 に取り込み、順次シフトレジスタ 1 1 - 1 よりM\_MOSIピンより出力する (ステップ S 2 1、時刻 t 2 1) 。必要なデータが読み出された後、buffer/memory 3 1 - 1 - 2 は、割り込み信号M\_INTをアイドル状態に戻す (デアサートする) (ステップ S 2 2、時刻 t 2 2) 。

40

【0105】

ここまでの動作で、SPI/Master 1 1 とSPI/Slave 1 2 間でSPIデータの転送は完了され

50

る。以上の一連の動作が、必要なSPIデータの転送回数だけ繰り返される（ステップS 2 3、時刻 t 2 3）。

【 0 1 0 6 】

SPI/Master 1 1 がSPI/Slave 1 2 からの最後のSPIデータを読み出す際、SPI/Master 1 1 は、ダミーデータを出力するためにM\_CS<sub>n</sub>(1)をアサートする（ステップS 2 4、時刻 t 2 4）。このダミーデータは、無効データであり、SPIスレーブに転送する必要がないため、M\_SerDes 3 1 のシフトレジスタ 3 1 - 1 - 1 からbuffer/memory 3 1 - 1 - 2 に転送されることなく、破棄される（ステップS 2 5、時刻 t 2 5）。SPI/Slave 1 2 からの最後のデータは、M\_SerDes 3 1 内のシフトレジスタ 3 1 - 1 - 1 からM\_MISOピンを通して出力されて、SPI/Master 1 1 内のシフトレジスタ 1 1 - 1 に取り込まれる（ステップS 2 6、時刻 t 2 6）。

10

【 0 1 0 7 】

このように、第 1 の実施形態では、SPI/Master 1 1 がSPI通信でM\_SerDes 3 1 に送信したひとまとまりのデータを、TDD方式の 1 フレーム期間内に、UP Linkを介してS\_SerDes 4 1 に送信するとともに、SPI/Slave 1 2 がSPI通信でS\_SerDes 4 1 に送信したひとまとまりのデータを、Down Linkを介してM\_SerDes 3 1 に送信することができる。これにより、全二重通信方式のSPI通信と、半二重通信方式のTDD通信とを組み合わせ、SPI/Master 1 1 とSPI/Slave 1 2 間で、M\_SerDes 3 1 とS\_SerDes 4 1 を介してシリアル通信を行うことができる。

【 0 1 0 8 】

20

（第 2 の実施形態）

第 2 の実施形態は、SPI通信で送受信されるデータを、TDD方式の複数のフレーム期間に分割して送受信するものである。

【 0 1 0 9 】

第 2 の実施形態に係る通信システム 2 は、図 1 と同様に構成されているが、SPI/Master 1 1 がM\_SerDes 3 1 に送信するSPI制御情報が異なっている。

【 0 1 1 0 】

図 9 は 1 フレーム期間内に分割データを伝送する処理を複数フレームにわたって繰り返す場合のタイミング図である。図 1 0 A、図 1 0 B 及び図 1 0 C は図 9 のタイミングで動作する通信システム 2 の処理手順を示すフローチャートである。

30

【 0 1 1 1 】

図 1 0 A のステップ S 3 1 ~ S 3 8 （時刻 t 3 1 ~ t 3 8 ）は図 7 のステップ S 1 ~ S 8 （時刻 t 1 ~ t 8 ）と同様であり、SPI/Master 1 1 は、SPI制御情報を生成して、M\_SerDes 3 1 内のECP 3 1 - 2 とDCP 3 1 - 3 に設定する。ステップ S 3 9 以降の処理動作も、基本的には図 7 A 及び図 7 B と同様であるが、図 9、図 1 0 A、図 1 0 B 及び図 1 0 C では、一つのSPIフレーム内に伝送されるデータを複数個に分割し、複数の分割データのそれぞれをTDDの 1 フレーム期間に伝送する。TDDの 1 フレーム期間に伝送される信号はTDDバースト信号と呼ばれる。

【 0 1 1 2 】

SPIフレーム内のすべての分割データの転送が完了するまでの間、SPI/Master 1 1 とM\_SerDes 3 1 の間のSlave Select信号 M\_CS<sub>n</sub>(1)と、S\_SerDes 4 1 とSPI/Slave 1 2 の間のSlave Select信号S\_CSは、アクティブ状態が継続される。

40

【 0 1 1 3 】

SPI/Master 1 1 は、SPIデータの伝送を開始するためにCS信号（M\_CS<sub>n</sub>(1)）をアサートする（ステップ S 3 5、時刻 t 3 5）。SPI/Master 1 1 は、一つの分割データ（データブロックDB）を伝送する目的で、SCK generator 1 1 - 4 にM\_SCKを出力させる（ステップ S 3 6、時刻 t 3 6）。

【 0 1 1 4 】

次に、SPI/Master 1 1 は、SCKに同期して、シフトレジスタ 1 1 - 1 からSPIデータを順に出力し、M\_MOSIピンから出力する（ステップ S 3 7、時刻 t 3 7）。また、SPI/M

50

aster 1 1 は、通信対象である SPI/Slave 1 2 に対応する CS 信号を M\_SerDes 3 1 に出力する（ステップ S 3 8、時刻 t 3 8）。次に、M\_SerDes 3 1 内の ECP 3 1 - 2 は、SPI データと CS 信号を含むパケットを生成する（ステップ S 3 9、時刻 t 3 9）。このパケットは、PHY layer block 3 1 - 5 で他の伝送パケットとまとめられ、UP Link packet が生成される。この UP Link packet は、UP Link を介して S\_SerDes 4 1 に送信される。

【 0 1 1 5 】

SPI/Master 1 1 は、すべての分割データが送信されるまで、CS 信号をアサートし続ける（ステップ S 4 0、時刻 t 4 0）。SPI/Master 1 1 は、次の分割データが送信されるまで、SCK generator 1 1 - 4 からの M\_SCK の出力を停止させる（ステップ S 4 1、時刻 t 4 1）。

10

【 0 1 1 6 】

S\_SerDes 4 1 は、受信されたパケットから CS 信号と SPI データを取得し、S\_CS をアサートする（ステップ S 4 2、時刻 t 4 2）。S\_SerDes 4 1 内のコントローラ 4 1 - 1 - 4 は、SCK generator 4 1 - 1 - 3 に S\_SCK を出力させる（ステップ S 4 3、時刻 t 4 3）。S\_SerDes 4 1 は、受信されたパケット内の SPI データをいったん buffer/memory 4 1 - 1 - 2 に記憶させた後に、シフトレジスタ 4 1 - 1 - 1 に転送する。シフトレジスタ 4 1 - 1 - 1 は、S\_SCK に同期してデータを順次出力する。出力されたデータは、S\_MOSI ピンから SPI/Slave 1 2 に入力される（ステップ S 4 4、時刻 t 4 4）。また、SPI/Slave 1 2 内のシフトレジスタ 1 2 - 1 から S\_SCK に同期して出力されたデータは、S\_MISO ピンから S\_SerDes 4 1 に入力される（ステップ S 4 5、時刻 t 4 5）。

20

【 0 1 1 7 】

S\_SerDes 4 1 内の DLL 4 1 - 4 は、S\_MISO ピンからのデータを含む伝送パケットを生成する。PHY layer block 4 1 - 5 は、TDD 方式で規定されるタイミングで、伝送パケットを Down Link に送信する（ステップ S 4 6、時刻 t 4 6）。

【 0 1 1 8 】

M\_SerDes 3 1 内の DLL 3 1 - 4 は、S\_SerDes 4 1 から送信された伝送パケットに含まれる SPI パケットを DCP 3 1 - 3 に送信する。DCP 3 1 - 3 は、Master 1 1 から SPI データ O\_DB#1 を受信したときに同時に Master 1 1 に送信される I\_DB#1 を含むパケットを受信して、buffer/memory 3 1 - 1 - 2 に記憶する。有効な SPI データ I\_DB#1 が SPI/Slave 1 2 から返ってきたことを示すために、buffer/memory 3 1 - 1 - 2 は、割り込み信号 M\_INT をアサートする（ステップ S 4 7、時刻 t 4 7）。

30

【 0 1 1 9 】

SPI/Master 1 1 は、M\_INT がアサートされたことを検出すると、SCK generator 1 1 - 4 に M\_SCK を出力させる（ステップ S 4 8、時刻 t 4 8）。buffer/memory 1 1 - 2 は、次に伝送されるべきデータをシフトレジスタ 1 1 - 1 に転送し、シフトレジスタ 1 1 - 1 は M\_SCK に同期させて SPI データを M\_MOSI ピンから出力する（ステップ S 4 9、時刻 t 4 9）。これに並行して、M\_SerDes 3 1 から M\_MISO ピンを介して出力されたデータをシフトレジスタ 1 1 - 1 に取り込む（ステップ S 5 0、時刻 t 5 0）。

【 0 1 2 0 】

SPI/Master 1 1 は、M\_SerDes 3 1 からの全データを読み出すと、M\_INT をアイドル状態に戻す（デアサートする）（ステップ S 5 1、時刻 t 5 1）。

40

【 0 1 2 1 】

S\_SerDes 4 1 は、すべての分割データが送信されるまでは、S\_CS のアクティブ状態（アサート）を維持する（ステップ S 5 2、時刻 t 5 2）。また、S\_SerDes 4 1 内の SCK generator 4 1 - 1 - 3 は、次の SPI データが M\_SerDes 3 1 から送信されてくるまでは、S\_SCK の出力を停止する（ステップ S 5 3、時刻 t 5 3）。

【 0 1 2 2 】

その後、ステップ S 4 0 ~ S 5 3 の処理動作が繰り返される（ステップ S 5 4、時刻 t 5 4）。M\_SerDes 3 1 が最後の分割パケットを UP Link で送信すると（ステップ S 5 5、時刻 t 5 5）、S\_SerDes 4 1 は S\_SCK を出力する（ステップ S 5 6、時刻 t 5 6）。

50

そして、S\_SerDes 4 1 は、S\_MOSIピンを介してSPIデータを出力するとともに（ステップ S 5 7、時刻 t 5 7）、S\_MISOピンを介して、SPI/Slave 1 2 からの最後のSPIデータを受信する（ステップ S 5 8、時刻 t 5 8）。

【 0 1 2 3 】

S\_SerDes 4 1 は、最後のSPIデータを受信し終わると、S\_CSをアイドル状態に（デアサート）する（ステップ S 5 9、時刻 t 5 9）。また、S\_SerDes 4 1 は、最後のSPIデータを含む伝送 packets を Down Link で M\_SerDes 3 1 に送信する（ステップ S 6 0、時刻 t 6 0）。

【 0 1 2 4 】

M\_SerDes 3 1 はステップ S 4 7 と同様に M\_INT をアクティブ状態にする（ステップ S 6 1、時刻 t 6 1）。また、M\_SerDes 3 1 は、SPI/Master 1 1 内の SCK generator 1 1 - 4 に M\_SCK を出力させる（ステップ S 6 2、時刻 t 6 2）。M\_SCK に同期して、シフトレジスタ 3 1 - 1 - 1 から M\_MISOピンを介して出力されたデータを SPI/Master 1 1 内のシフトレジスタ 1 1 - 1 に取り込む（ステップ S 6 3 ~ S 6 4、時刻 t 6 3 ~ t 6 4）。SPI/Master 1 1 は、すべてのデータを取り込むと、CS信号をアイドル状態にする（ステップ S 6 5、時刻 t 6 5）。また、ステップ S 6 3 でシフトレジスタ 1 1 - 1 から出力されるデータはダミーであるため廃棄される（ステップ S 6 6、時刻 t 6 6）。

【 0 1 2 5 】

このように、第 2 の実施形態では、SPI/Master 1 1 が SPI 通信で M\_SerDes 3 1 に送信したひとまとまりのデータを複数に分割した各分割データを、TDD方式の複数のフレーム期間で、UP Link を介して S\_SerDes 4 1 に送信するとともに、SPI/Slave 1 2 が SPI 通信で S\_SerDes 4 1 に送信したひとまとまりのデータを分割した各分割データを、TDD方式の複数のフレーム期間で、Down Link を介して M\_SerDes 3 1 に送信することができる。

【 0 1 2 6 】

（第 3 の実施形態）

第 3 の実施形態は、SPI/Master 1 1 が複数の SPI/Slave 1 2 とシリアル通信を行うものである。

【 0 1 2 7 】

図 1 1 は第 3 の実施形態に係る通信装置を備えた通信システム 2 の要部のブロック図である。図 1 1 には、S\_SerDes 4 1 と複数の SPI/Slave 1 2 が図示されている。SPI/Slave 1 2 と M\_SerDes 3 1 の内部構成は図 1 と同様であるため、図 1 1 では割愛している。また、図 1 1 では、図 1 と共通する構成部分に同一符号を付している。

【 0 1 2 8 】

SPI/Master 1 1 は、M\_SerDes 3 1 に送信される SPI 制御情報にて、通信を行いたい SPI/Slave 1 2 の CSn 信号を指定する。S\_SerDes 4 1 内のコントローラ 4 1 - 1 - 4 は、SPI/Master 1 1 が指定した CSn 信号をアクティブ状態にする。図 1 1 は、S\_SerDes 4 1 に 2 つの SPI/Slave 1 2 \_\_ 1 と SPI/Slave 1 2 \_\_ 2 が接続される例を示している。

【 0 1 2 9 】

SPI/Master 1 1 は、SPI/Slave 1 2 \_\_ 1 とデータ通信を行いたい場合は、SPI 制御信号における CSn 信号を CS1 に設定する。これにより、S\_SerDes 4 1 内のコントローラ 4 1 - 1 - 4 は CS1 信号を出力する S\_CS1 ピンをアクティブ状態にする。S\_CS1 ピンからの CS1 信号は SPI/Slave 1 2 \_\_ 1 に入力されるため、SPI/Slave 1 2 \_\_ 1 は S\_SerDes 4 1 からの S\_SCK に同期して SPI データを受信するとともに、S\_SerDes 4 1 に対して S\_SCK に同期して SPI データを送信する。

【 0 1 3 0 】

また、SPI/Master 1 1 は、SPI/Slave 1 2 \_\_ 2 とデータ通信を行いたい場合は、SPI 制御信号における CSn 信号を CS2 に設定する。これにより、S\_SerDes 4 1 内のコントローラ 4 1 - 1 - 4 は CS2 信号を出力する S\_CS2 ピンをアクティブ状態にする。S\_CS2 ピンからの CS2 信号は SPI/Slave 1 2 \_\_ 2 に入力されるため、SPI/Slave 1 2 \_\_ 2 は S\_SerDes 4 1 からの S\_SCK に同期して SPI データを受信するとともに、S\_SerDes 4 1 に対して S\_SCK に

10

20

30

40

50

同期してSPIデータを送信する。

【0131】

図11の通信システム2では、SPI/Master11が通信したいSPI/Slave12をSPI制御信号内のCSn信号で指定する例を示したが、図12に示すように複数のSPI/Slave12がディジーチェーン接続されていてもよい。

【0132】

図12は図11の一変形例に係る通信装置を備えた通信システム2の要部のブロック図である。図12には、SPI/Master11と同時にシリアル通信を行うことが可能な2つのSPI/Slave12が図示されているが、3つ以上のSPI/Slave12がSPI/Master11と同時にシリアル通信を行えるようにしてもよい。

10

【0133】

図12の2つのSPI/Slave12\_\_1、12\_\_2内のシフトレジスタ12-1同士は、ディジーチェーンされており、SCKに同期してSPI/Slave12\_\_2内のシフトレジスタ12-1のMSBから出力されたデータは、SPI/Slave12\_\_1内のシフトレジスタ12-1のLSBに入力されるとともに、MSBから出力されたデータは、SPI通信でS\_SerDes41に送信される。

【0134】

図12の通信装置では、SPI/Slave12の数だけ図6のステップS24~S26の処理を繰り返す必要がある。

【0135】

このように、第3の実施形態では、SPI/Master11がSPI制御情報内のCSn信号で個々のSPI/Slave12を指定することで、複数のSPI/Slave12と双方向にシリアル通信を行うことができる。また、複数のSPI/Slave12をディジーチェーンすることで、SPI/Master11は複数のSPI/Slave12と同時にシリアル通信を行うことができる。

20

【0136】

なお、本技術は以下のような構成を取ることができる。

(1) マスタからクロックに同期して送信されたSPI (Serial Peripheral Interface) に準拠するシリアル信号群を、所定の通信プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして通信相手装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記通信相手装置に送信する通信部を備える、通信装置。

30

(2) 前記マスタから前記クロックに同期して送信されたSPIに準拠する第1シリアル信号群を記憶するとともに、スレーブから前記クロックに同期して送信されたSPIに準拠する第2シリアル信号群を記憶するメモリと、

前記メモリに記憶された前記第1シリアル信号群を前記所定の通信プロトコルの第1パケットに変換するパケットエンコーダと、

通信相手装置から受信された前記所定の通信プロトコルの第2パケットを前記第2シリアル信号群に変換するパケットデコーダと、を備える、(1)に記載の通信装置。

(3) 前記第1パケットは、前記クロックの周波数情報、極性情報、及び前記SPIに準拠する前記第1シリアル信号群のデータ信号に対する前記クロックの位相情報を含む、(2)に記載の通信装置。

40

(4) 前記第1パケットは、前記1つのフレーム期間内にひとまとまりのデータブロックを含むことを示す情報、又は前記複数のフレーム期間に応じて分割される複数のデータブロックを含むことを示す情報を含む、(2)又は(3)に記載の通信装置。

(5) 前記第1パケットは、前記複数のデータブロックを含む場合には、前記複数のデータブロックの総数と、前記データブロックの分割位置情報とを含む、(4)に記載の通信装置。

(6) 前記第1パケットは、前記データブロックのサイズ情報を含む、(4)又は(5)に記載の通信装置。

(7) 前記第1パケットは、前記データブロックが有効か、又は無効かを示す情報を含

50

む、(2)乃至(6)のいずれか一項に記載の通信装置。

(8)前記第1パケットは、前記スレーブをリセットすることを示す情報を含む、(2)乃至(7)のいずれか一項に記載の通信装置。

(9)前記第2パケットは、前記スレーブの動作状態を示す情報と、前記スレーブからの割り込み情報との少なくとも1つを含む、(2)乃至(8)のいずれか一項に記載の通信装置。

(10)前記メモリは、前記第2パケットに前記割り込み情報が含まれる場合と、前記第2パケットそれ自体が前記通信相手装置から前記メモリに届いた場合とにおいて、前記スレーブの状態の読み出しを前記スレーブが要求していると判断して、前記マスタに割り込み信号を送信する、(9)に記載の通信装置。

10

(11)前記第1パケットは、前記通信相手装置又は前記スレーブを選択する前記SPIに準拠する前記第1シリアル信号群に含まれるスレーブセレクト信号の情報を含む、(2)乃至(10)のいずれか一項に記載の通信装置。

(12)前記パケットエンコーダは、前記スレーブセレクト信号で選択された前記通信相手装置又は前記スレーブを宛先として、前記第1パケットを送信する、(11)に記載の通信装置。

(13)前記第1シリアル信号群に含まれる各シリアル信号を前記クロックに同期させて順次前記メモリに記憶するとともに、前記第2シリアル信号群に含まれる各シリアル信号を前記クロックに同期させて順次前記マスタに送信するシフトレジスタを備える、(2)乃至(12)のいずれか一項に記載の通信装置。

20

(14)前記通信部は、前記第1パケットを前記所定の通信プロトコルで規定された第1タイミングで送信するとともに、前記所定の通信プロトコルで規定された第2タイミングで前記第2パケットを受信する、(2)乃至(13)のいずれか一項に記載の通信装置。

(15)前記パケットエンコーダは、前記マスタから送信されたスレーブセレクト信号が第1論理から第2論理に遷移すると、前記マスタからの前記第1シリアル信号群の送信が終了したと判断する、(2)乃至(14)のいずれか一項に記載の通信装置。

(16)前記通信部は、前記通信相手装置との間で、TDD(Time Division Duplex)に応じた前記通信プロトコルにて前記第1パケット及び前記第2パケットを送受する、(2)乃至(15)のいずれか一項に記載の通信装置。

(17)通信相手装置からのパケットに含まれるクロック周波数情報に基づいて生成されたクロックに同期して、スレーブから送信されたSPIに準拠するシリアル信号群を、所定の通信プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして前記通信相手装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記通信相手装置に送信する通信部を備える、通信装置。

30

(18)前記通信相手装置から受信された所定の通信プロトコルの第1パケットを、SPIに準拠する第1シリアル信号群に変換するパケットデコーダと、

前記第1シリアル信号群に含まれる前記クロック周波数情報に基づいて、前記クロックを発生させるクロック発生器と、

前記クロックに同期して前記第1シリアル信号群を記憶するとともに、スレーブから前記クロックに同期して送信されたSPIに準拠する第2シリアル信号群を記憶するメモリと、

40

前記メモリに記憶された前記第2シリアル信号群を前記所定の通信プロトコルの第2パケットに変換するパケットエンコーダと、を備える、(17)に記載の通信装置。

(19)前記第2パケットは、前記第2シリアル信号群の1つのフレーム期間内に送信されるひとまとまりのデータブロックを含むことを示す情報、又は複数のフレーム期間に分割して送信される複数のデータブロックを含むことを示す情報とを含む、(18)に記載の通信装置。

(20)前記第2パケットは、前記スレーブが前記第1シリアル信号群を受信できないビジー状態であるか否かを示す情報と、前記スレーブが受信した前記第1シリアル信号群にエラーがあるか否かを示す情報とを含む、(18)又は(19)に記載の通信装置。

(21)前記第2パケットは、マスタが前記スレーブの状態を読み出すことを要求する

50

割り込み情報を含む、(18)乃至(20)のいずれか一項に記載の通信装置。

(22)前記第2シリアル信号群に含まれる各シリアル信号を前記メモリに記憶するとともに、前記第1シリアル信号群に含まれる各シリアル信号を前記スレーブに送信するシフトレジスタを備える、(18)乃至(21)のいずれか一項に記載の通信装置。

(23)前記通信部は、前記第2パケットを前記所定の通信プロトコルで規定された第1タイミングで送信するとともに、前記所定の通信プロトコルで規定された第2タイミングで前記第1パケットを受信する、(18)乃至(22)のいずれか一項に記載の通信装置。

(24)前記通信部は、前記通信相手装置との間で、TDD(Time Division Duplex)に応じた前記通信プロトコルにて前記第1パケット及び前記第2パケットを送受する、(18)乃至(23)のいずれか一項に記載の通信装置。

10

(25)所定の通信プロトコルにてパケットを送受する第1通信装置及び第2通信装置を備え、

前記第1通信装置は、マスタからクロックに同期して送信されたSPI(Serial Peripheral Interface)に準拠する第1シリアル信号群を、所定の通信プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして前記第2通信装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記第2通信装置に送信する第1通信部を有し、

前記第2通信装置は、前記第1通信装置からのパケットに含まれるクロック周波数情報に基づいて生成されたクロックに同期して、スレーブから送信されたSPIに準拠する第2シリアル信号群を、前記所定の通信プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして前記第1通信装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとして前記第1通信装置に送信する、通信システム。

20

(26)前記第1通信装置は、

マスタから第1クロックに同期して送信された前記第1シリアル信号群を記憶するとともに、スレーブから前記第1クロックに同期して送信された前記第2シリアル信号群を記憶する第1メモリと、

前記第1メモリに記憶された第1シリアル信号群を前記所定の通信プロトコルの第1パケットに変換する第1パケットエンコーダと、

前記第2通信装置から受信された前記所定の通信プロトコルの第2パケットを前記第2シリアル信号群に変換する第1パケットデコーダと、

30

前記第1パケットを前記所定の通信プロトコルで規定されたタイミングで送信するとともに、前記所定の通信プロトコルで規定されたタイミングで前記第2パケットを受信する第1通信部と、を有し、

前記第2通信装置は、

受信された前記第1パケットを、前記第1シリアル信号群に変換する第2パケットデコーダと、

前記第1シリアル信号群に含まれるクロック周波数情報に基づいて、第2クロックを発生させるクロック発生器と、

前記第2クロックに同期して、前記第1シリアル信号群を記憶するとともに、前記スレーブから前記第2クロックに同期して送信された前記第2シリアル信号群を記憶する第2メモリと、

40

前記第2メモリに記憶された前記第2シリアル信号群を前記第2パケットに変換するパケットエンコーダと、

前記第2パケットを前記所定の通信プロトコルで規定されたタイミングで送信するとともに、前記所定の通信プロトコルで規定されたタイミングで前記第1パケットを受信する第2通信部と、を有する、(25)記載の通信システム。

マスタからクロックに同期して送信されたSPIに準拠するシリアル信号群を、所定の通信プロトコルの1つのフレーム期間内にひとまとまりのデータブロックとして通信相手装置に送信するか、又は複数のフレーム期間に応じて分割される複数のデータブロックとし

50

て前記通信相手装置に送信する通信部を備える、通信方法。

【0137】

本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

【符号の説明】

【0138】

1 a 通信装置、1 b 通信装置、2 通信システム、1 1 SPI/Master、1 1 - 1 順次シフトレジスタ、1 1 - 1 シフトレジスタ、1 1 - 2 buffer/memory、1 1 - 3 コントローラ、1 1 - 4 SCK generator、1 2 SPI/Slave、1 2 - 1 シフトレジスタ、1 2 - 2 buffer/memory、3 1 M\_SerDes、3 1 - 1 SPIブロック、3 1 - 1 - 1 シフトレジスタ、3 1 - 1 - 2 buffer/memory、3 1 - 3 packet decoder(DCP)、3 1 - 5 PHY layer block、3 2 peripheral devices、4 1 S\_SerDes、4 1 - 1 SPIブロック、4 1 - 1 - 1 シフトレジスタ、4 1 - 1 - 2 buffer/memory、4 1 - 1 - 3 SCK generator、4 1 - 1 - 4 コントローラ、4 1 - 2 packet encoder(ECP)、4 1 - 3 packet decoder(DCP)、4 1 - 4 Link layer block(DLL)、4 1 - 5 PHY layer block、4 2 peripheral devices、5 1 SPIパケット、5 2 UP Link packet、5 3 SPIパケット、5 4 Down Link packet、1 0 3 ケーブル

10

20

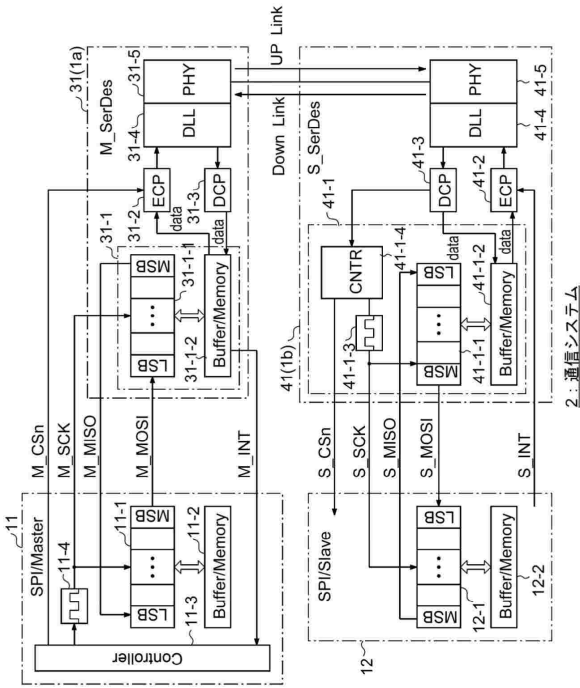
30

40

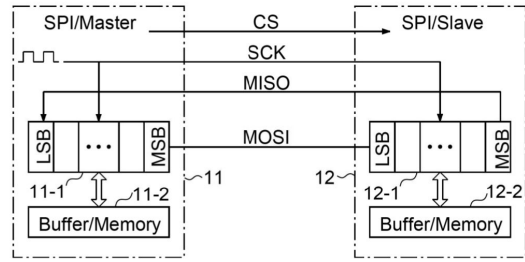
50

【図面】

【図 1】



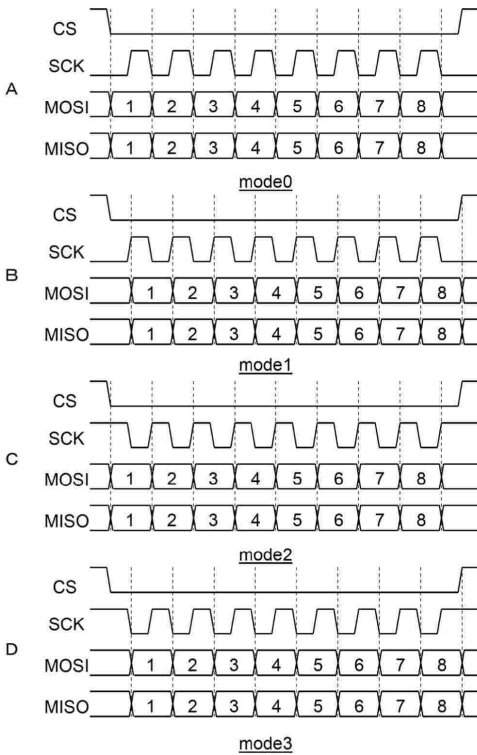
【図 2】



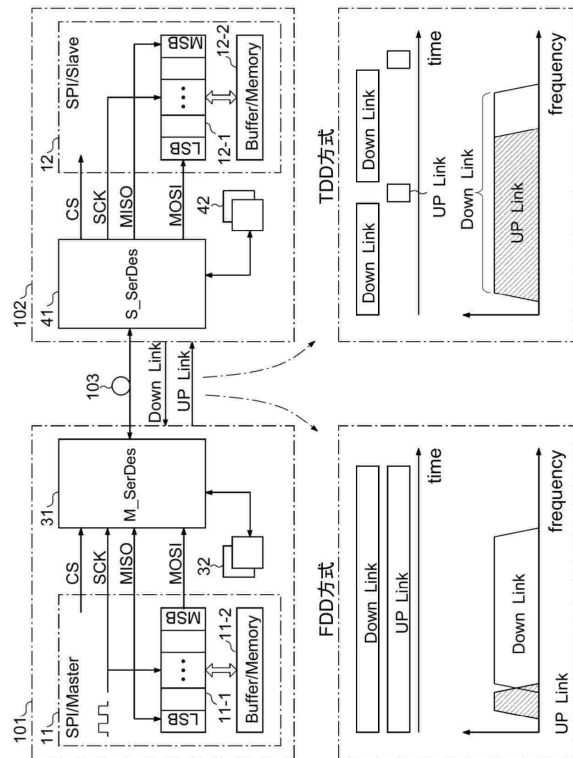
10

20

【図 3】



【図 4】



30

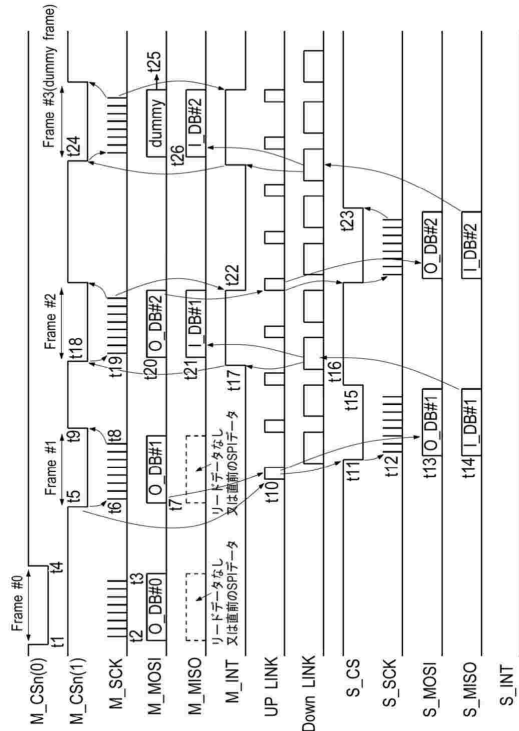
40

50

【図 5】

No.	名称	機能 Master-Slave	機能 Slave-Master	説明
C-1	伝送モード	コマンド	状態モニタ	0 ITDD/ハーストで全SPIフレームを送送 1 ITDD/ハーストでSPIフレームのIDBを送送 他 予備
C-2	Csn	コマンド	状態モニタ	MasterによりSlaveを選択、CSnはSlaveだけでなく複数のSlaveを指定可能、S_SerDesも指定可能
C-3	SCK周波数	コマンド	状態モニタ	Slave側のSCK周波数
C-4	SPIモード	コマンド	状態モニタ	0 CPOL=0, CPHA=0 1 CPOL=0, CPHA=1 2 CPOL=1, CPHA=1 3 CPOL=1, CPHA=0
C-5	DB総数	情報	状態モニタ	Master-Slave: SPIフレームの総数、伝送モード=1のとき、総数=1 Slave-Master: SPI開始後送信したDB数
C-6	現在のDB位置	情報	NA	0 伝送モード=0のときに選択 1 SPIフレーム上の先頭DB 2 先頭DBと最終DB以外 3 SPIフレーム上の最終DB
C-7	現在のDB状態	情報	情報	0: dummy, 1: 有効
C-8	DBのサイズ	状態モニタ	状態モニタ	伝送データサイズ(バイト単位)、最大511バイト
C-9	Slave割込	NA	割込フラグ	0: 割込なし, 1: 割込あり
C-10	スレーブ側の動作状態	NA	状態モニタ	0 通常状態 1 ビジー(OCPバンプは空) 2 エラー(SPIデータパケットが破滅) 他 予備
C-11	SPIブロックリセット	コマンド	NA	0-1. I.S.SerDesのSPIブロックのコマンドをリセット
D-1	データ	MISOデータ	MISOデータ	SPIデータ
E-1	CRC	CRC	CRC	CRCバリティ

【図 6】



10

20

【図 7 A】



【図 7 B】

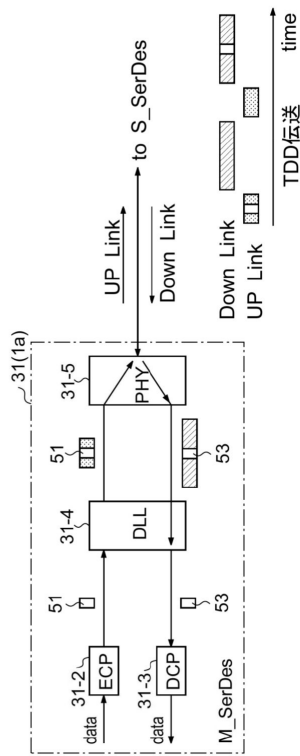


30

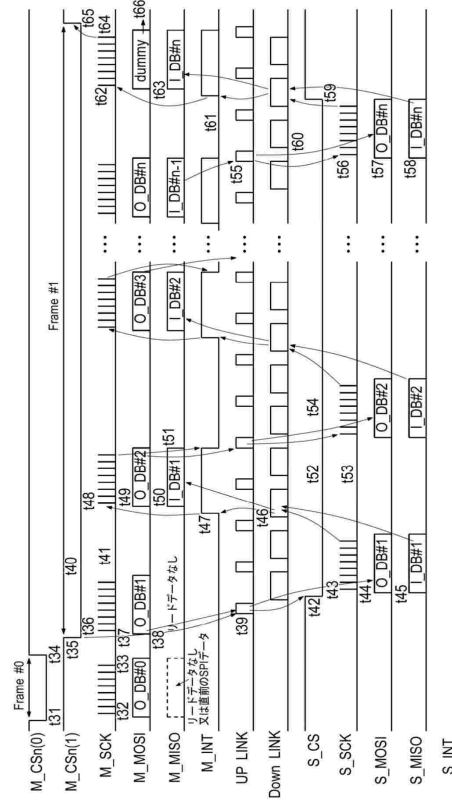
40

50

【図 8】



【図 9】



10

20

【図 10 A】



【図 10 B】



30

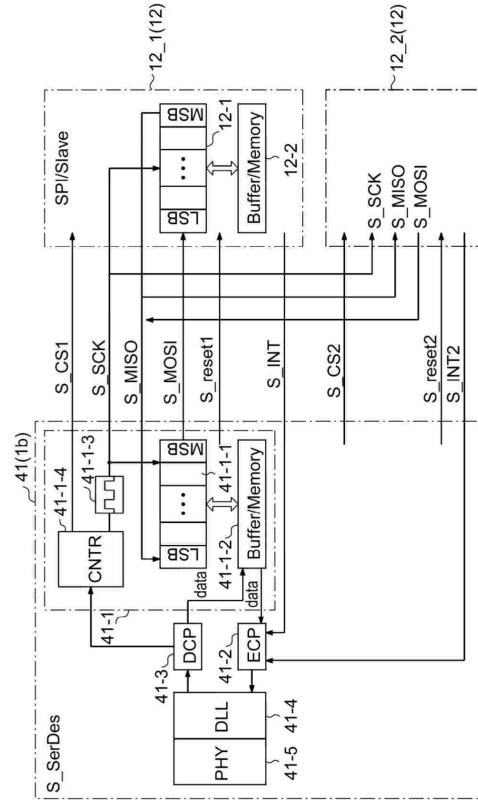
40

50

【図10C】



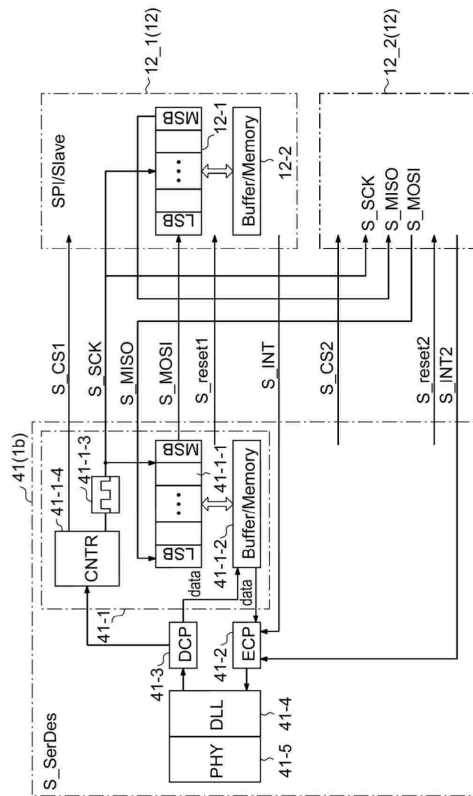
【図11】



10

20

【図12】



30

40

50

---

フロントページの続き

(72)発明者 太田 哲史

神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内

審査官 佐賀野 秀一

(56)参考文献 特開2018-046547(JP,A)

特開2018-056682(JP,A)

特開2015-080045(JP,A)

特開2017-004238(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H04L 69/08

H04L 13/00