

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月30日(30.08.2012)



(10) 国際公開番号
WO 2012/114525 A1

- (51) 国際特許分類:
H04L 29/08 (2006.01) G06F 13/38 (2006.01)
G06F 13/00 (2006.01) H04L 13/08 (2006.01)
- (21) 国際出願番号: PCT/JP2011/054394
- (22) 国際出願日: 2011年2月25日(25.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 佐野 修也(SANO, Shuya) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 小山 大輔(KOYAMA, Daisuke) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 今井 宏規(IMAI, Hiroki) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 酒井 宏明(SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目2番5号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

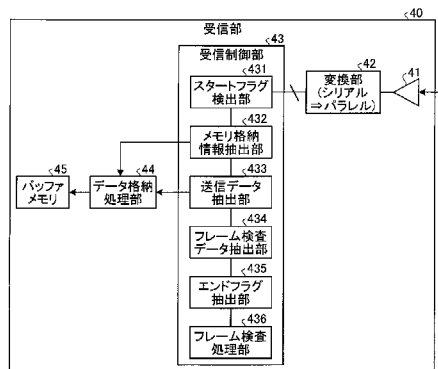
添付公開書類:

— 国際調査報告(条約第21条(3))

(54) Title: CONTROL DEVICE, CONTROL SYSTEM, AND COMMUNICATION METHOD

(54) 発明の名称: 制御装置、制御システムおよび通信方法

[図7]



- 40 Reception unit
42 Conversion unit (serial → parallel)
43 Reception control unit
44 Data storage processing unit
45 Buffer memory
431 Start flag detection unit
432 Memory storage information extraction unit
433 Transmission data extraction unit
434 Frame inspection data extraction unit
435 End flag extraction unit
436 Frame inspection processing unit

(57) Abstract: In this control device, which is used in a control system that performs data communication by means of serial communication between control devices at a predetermined communication cycle, a transmission device is provided with: a memory that records data to transmit to another control device; and a transmission control unit that generates a frame containing data acquired from the memory and memory storage information indicating the storage position of the data in the buffer memory of the reception unit of the other control device. A reception unit (40) is provided with: a reception control unit (43) that extracts the data and memory storage information from a frame; a buffer memory (45) that records the extracted data; and a data storage processing unit (44) that stores the extracted data at the address of buffer memory (45) designated by the memory storage information. The memory storage information is prescribed for each control device that is the destination of a frame. Each time, a control unit of the control device reads, from the address fixedly prescribed for each other control device in the buffer memory (45), data from another control device.

(57) 要約: 所定の通信周期の下で制御装置間でシリアル通信によるデータ通信を行う制御システムで使用される制御装置において、送信部は、他の制御装置に送信するデータを記憶するメモリと、メモリから取得したデータと、他の制御装置の受信部のバッファメモリにおけるデータの格納位置を示すメモリ格納情報と、を含むフレームを生成する送信制御部と、を備え、受信部40は、フレームからメモリ格納情報とデータとを抽出する受信制御部43と、抽出されたデータを記憶するバッファメモリ45と、抽出されたデータを、メモリ格納情報で指定されるバッファメモリ45のアドレスに格納するデータ格納処理部44と、を備え、メモリ格納情報は、フレームの宛先となる制御装置ごとに定められ、制御装置の制御部は、他の制御装置からのデータを、バッファメモリ45の他の制御装置ごとに固定して定められたアドレスから毎回読み出す。

り格納情報で指定されるバッファメモリ45のアドレスに格納するデータ格納処理部44と、を備え、メモリ格納情報は、フレームの宛先となる制御装置ごとに定められ、制御装置の制御部は、他の制御装置からのデータを、バッファメモリ45の他の制御装置ごとに固定して定められたアドレスから毎回読み出す。

WO 2012/114525 A1

明 細 書

発明の名称 : 制御装置、制御システムおよび通信方法

技術分野

[0001] この発明は、制御装置、制御システムおよび通信方法に関するものである。

背景技術

[0002] 装置全体を制御するコントローラと複数のモータで構成される制御装置において、コントローラと複数のモータは一般的にシリアル通信によって接続される。シリアル通信で各装置を接続することで、装置全体の省配線化やメンテナンス性向上が実現できる。

[0003] また、複数のモータは一般的にモータとモータ駆動装置で構成され、シリアル通信はコントローラとモータ駆動装置との間で行われる。このシリアル通信によってコントローラからモータ駆動装置へは位置、速度、トルク等の移動指令が伝達され、モータ駆動装置からはモータの位置、速度、駆動電流値等の制御状態量が伝達される。

[0004] このようなモータ制御を目的とした駆動制御用シリアル通信では、モータの運転を安定に行うために一定の間隔で、移動指令や制御状態量を相互に送信し合い、この一定の間隔を通信周期としてシリアル通信制御を行う。コントローラからモータ駆動装置へ一定の通信周期で移動指令が逐次更新されて伝達され、モータ駆動装置が通信周期毎に受信処理を行い、受信したデータから抽出された指令に追従するようにモータ制御を行うことで、コントローラはモータを所望の位置、速度、トルク等で制御することが可能となる。

[0005] コントローラは必要に応じて、モータ駆動装置から一定通信周期で逐次更新されて伝達される制御状態量を通信周期毎に受信処理を行い、受信したデータから抽出された必要な制御状態量からモータ駆動装置に必要な制御処理を行い、次回モータ制御指令に反映してモータ駆動装置全体を制御する。

[0006] 駆動制御用シリアル通信では、前述のように指令や状態量が逐次更新され

るため、シリアル通信の受信制御部は通信周期毎に受信データを更新する。
場合によっては受信データを格納するバッファメモリにF I F O (First In , First Out) バッファを用いて、一回の通信周期で複数の受信データを保持したり、複数の通信周期で複数の受信データを保持したりする。

[0007] 受信制御部が複数の通信周期で複数の受信データを保持する場合、駆動制御用シリアル通信では、一旦装置間での通信が開始されると規定の通信周期で規定の通信フレームが周期的に送信される。そのため、受信制御部では、受信データの格納位置を管理する管理テーブルに従って各通信フレームの受信データを周期的に受信用のバッファメモリに格納する（たとえば、特許文献1参照）。

[0008] 通常のシリアル通信同様、駆動制御用シリアル通信においても通信経路上でのデータ破損を検出するための検査データを送信時に通信フレームに付随させ、受信側で受信データと検査データから受信データの信頼性の確認を行い受信データ状態として保持する。複数の受信データを保持する場合には、保持している受信データ分だけ受信データ状態を保持する必要がある（たとえば、特許文献2参照）。

[0009] 上述のシリアル通信の通信フレームは、送信するデータの先頭と最後に特定のビットパターンを付加させて送信を行う。先頭の特定ビットパターンをスタートフラグ、最後のビットパターンをエンドフラグとし、受信部ではスタートフラグを識別することで、通信フレームの受信処理を開始し、またエンドフラグで通信フレームの最後を認識し1つの通信フレームを受信する。

先行技術文献

特許文献

[0010] 特許文献1：特開平11-32100号公報

特許文献2：特開昭63-293657号公報

発明の概要

発明が解決しようとする課題

- [0011] 上記のような従来の駆動制御用シリアル通信では、一般的には受信データはバッファメモリに順番に蓄えられていくが、複数の受信データを保持する場合にはバッファメモリのどこに受信データを格納し、どこからどの受信データを取り出したらよいか処理する受信データ処理部を必要としていた。
- [0012] また、受信データと受信データ状態が別々に保持されており、特に複数の受信データを保持する場合には、受信データと受信データ状態の組合せを明らかにさせる必要がある。通信フレームの欠落がない正常な受信の場合には、受信データと受信データ状態の組み合わせの判断は、比較的容易であるが、通信フレームの欠落がある場合には、欠落した通信フレームを特定し、受信データと受信データ状態とを組み合わせる処理に時間を要してしまうという問題点があった。
- [0013] この発明は上記に鑑みてなされたもので、駆動制御用シリアル通信において、複数の受信データが格納されるバッファメモリから受信データを簡潔に取り出すことができる制御装置、制御システムおよび通信方法を得ることを目的とする。

課題を解決するための手段

- [0014] 上記目的を達成するため、この発明にかかる制御装置は、制御部、送信部および受信部を有する2台以上の制御装置がネットワークを介して接続され、前記制御装置の内の1台がタイミングの基準を生成し、所定の通信周期の下で前記制御装置間でシリアル通信によるデータ通信を行う制御システムで使用される制御装置において、前記送信部は、他の制御装置に送信するデータを記憶するメモリと、前記メモリから取得した前記データと、前記他の制御装置の前記受信部のバッファメモリにおける前記データの格納位置を示すメモリ格納情報と、を含むフレームを生成する送信制御手段と、を備え、前記受信部は、前記フレームから前記メモリ格納情報と前記データとを抽出する受信制御手段と、抽出された前記データを記憶するバッファメモリと、抽出された前記データを、前記メモリ格納情報で指定される前記バッファメモリのアドレスに格納するデータ格納処理手段と、を備え、前記メモリ格納情

報は、前記フレームの宛先となる制御装置ごとに定められ、前記制御部は、他の制御装置からのデータを、前記バッファメモリの前記他の制御装置ごとに固定して定められたアドレスから毎回読み出すことを特徴とする。

発明の効果

- [0015] この発明によれば、受信データがフレーム内のメモリ格納情報に従ってバッファメモリの特定のアドレスに格納されるので、受信部側でバッファメモリ内での受信データの格納位置を管理する情報を保持する必要がなく、受信時の処理時間を短縮することができる。また、受信処理に必要な処理時間が短縮されるので、制御装置間のデータ更新周期を高速化することができ、制御装置が接続されるネットワーク全体の性能を向上させることができるという効果を有する。

図面の簡単な説明

- [0016] [図1] 図1は、この発明の実施の形態1によるシリアル通信でネットワーク構成されたモータ駆動制御システムの一例を模式的に示す図である。
- [図2] 図2は、コントローラから各モータ駆動装置へ送信するデータの送信タイミングの一例を示す図である。
- [図3] 図3は、各モータ駆動装置からコントローラへ送信するデータの送信タイミングの一例を示す図である。
- [図4] 図4は、コントローラと各モータ駆動装置との間で送信されるデータの送信タイミングの一例を示す図である。
- [図5] 図5は、実施の形態1によるユニット内に設けられる送信部の機能構成を模式的に示すブロック図である。
- [図6] 図6は、実施の形態で使用されるフレームの構成の一例を示す図である。
- [図7] 図7は、実施の形態1によるユニット内に設けられる受信部の機能構成を模式的に示すブロック図である。
- [図8] 図8は、コントローラのバッファメモリの状態の一例を模式的に示す図である。

[図9] 図 9 は、一般的な受信部のバッファメモリの状態の一例を模式的に示す図である。

[図10] 図 10 は、一般的な受信部のバッファメモリの状態の一例を模式的に示す図である。

[図11] 図 11 は、実施の形態 1 によるフレームの送信処理の手順の一例を示すフローチャートである。

[図12] 図 12 は、実施の形態 1 によるフレームの受信処理の手順の一例を示すフローチャートである。

[図13] 図 13 は、実施の形態 2 による受信部の構成を模式的に示すブロック図である。

[図14] 図 14 は、実施の形態 2 によるコントローラのバッファメモリの状態の一例を模式的に示す図である。

[図15] 図 15 は、実施の形態 3 による受信部の構成を模式的に示すブロック図である。

[図16] 図 16 は、実施の形態 3 による変換テーブル部の構成の一例を模式的に示す図である。

[図17] 図 17 は、テーブルの構成の一例を模式的に示す図である。

[図18] 図 18 は、実施の形態 3 によるコントローラのバッファメモリの状態の一例を模式的に示す図である。

[図19] 図 19 は、実施の形態 4 による変換テーブル部の構成の一例を模式的に示す図である。

[図20] 図 20 は、テーブルの構成の一例を模式的に示す図である。

[図21] 図 21 は、実施の形態 4 によるコントローラのバッファメモリの状態の一例を模式的に示す図である。

発明を実施するための形態

[0017] 以下に添付図面を参照して、この発明の実施の形態にかかる制御装置、制御システムおよび通信方法の好適な実施の形態を詳細に説明する。なお、これらの実施の形態によりこの発明が限定されるものではない。

[0018] 実施の形態 1.

図 1 は、この発明の実施の形態 1 によるシリアル通信でネットワーク構成されたモータ駆動制御システムの一例を模式的に示す図である。このモータ駆動制御システムは、制御対象であるサーボモータやインダクションモータなどの複数のモータ 11-1～11-3 と、それぞれのモータ 11-1～11-3 を制御するモータ駆動装置 12-1～12-3 と、モータ駆動装置 12-1～12-3 全体の動作制御を行うコントローラ 13 と、を備える。また、コントローラ 13 とモータ駆動装置 12-1～12-3 とは、シリアル通信線 21 で接続されデータ通信を行う。

[0019] 各モータ駆動装置 12-1～12-3 と各モータ 11-1～11-3 とは、それぞれ動力線 22 と検出器ケーブル 23 で接続される。モータ駆動装置 12-1～12-3 は、動力線 22 を介してモータ駆動電力をモータ 11-1～11-3 へ伝達し、モータ 11-1～11-3 は、モータ 11-1～11-3 の回転角度を検出する図示しない検出器によって取得されるモータ角度情報を、検出器ケーブル 23 を介してモータ駆動装置 12-1～12-3 へ伝達する。モータ駆動装置 12-1～12-3 ではモータ駆動電力とモータ角度情報から、コントローラ 13 からの指令に応じてモータ角度を制御する。この実施の形態 1 では、モータ駆動制御においてモータ角度情報を使用する例を示しているが、モータ駆動制御において必ずしもモータ角度情報は必要ではなく、モータ角度情報を使用せず、他の情報を使用してモータ駆動制御を行ってもよい。

[0020] コントローラ 13 と各モータ駆動装置 12-1～12-3 は、制御部、送信部および受信部を有し、シリアル通信線 21 によってデータ通信を行い、コントローラ 13 から各モータ駆動装置 12-1～12-3 へは、位置、速度、トルク等の移動指令やその他の制御信号が伝達される。各モータ駆動装置 12-1～12-3 の制御部がコントローラ 13 からの移動指令でモータ 11-1～11-3 を指令された位置、速度、トルクで制御することによって、コントローラ 13 はモータ駆動装置 12-1～12-3 全体を制御する

ことができる。また、各モータ駆動装置 12-1 ~ 12-3 からコントローラ 13 へは、モータ 11-1 ~ 11-3 の位置、速度、駆動電流や各種制御信号、異常状態が伝達される。コントローラ 13 の制御部は必要に応じて制御状態をフィードバックし次回の指令を制御したり、モータ制御が異常と判断した場合にはモータ駆動装置 12-1 ~ 12-3 に停止指令を発行したりする。なお、コントローラ 13 は、制御装置または全体制御装置を構成し、モータ駆動装置 12-1 ~ 12-3 は、制御装置を構成している。

[0021] コントローラ 13 と各モータ駆動装置 12-1 ~ 12-3 は、モータ 11-1 ~ 11-3 の運転を安定に行うために所定の間隔で通信を行う。より具体的には、コントローラ 13 と各モータ駆動装置 12-1 ~ 12-3 の内の 1 台がタイミングの基準を生成し、規定の通信周期の下で通信を行う。図 2 は、コントローラから各モータ駆動装置へ送信するデータの送信タイミングの一例を示す図である。一定間隔の通信は、通信周期 T で規定される。ここで、コントローラ 13 からモータ駆動装置 12-1 へ送信されるデータはフレーム 101 であり、コントローラ 13 からモータ駆動装置 12-2, 12-3 へ送信されるそれぞれのデータはフレーム 102, 103 であるものとする。

[0022] この図に示されるように、コントローラ 13 は、第 1 通信周期でモータ駆動装置 12-1 への指令データを含むフレーム 101 とモータ駆動装置 12-2 への指令データを含むフレーム 102 を送信し、次の第 2 通信周期でモータ駆動装置 12-3 への指令データを含むフレーム 103 を送信している。また、コントローラ 13 は、第 3 通信周期でモータ駆動装置 12-1 への次の指令データを含むフレーム 101 とモータ駆動装置 12-2 への次の指令データを含むフレーム 102 を送信し、第 4 通信周期でモータ駆動装置 12-3 への次の指令データを含むフレーム 103 を送信している。このように一定の間隔で更新される指令データが、コントローラ 13 から各モータ駆動装置 12-1 ~ 12-3 に送信されることによって、コントローラ 13 はモータ制御を行うことができる。

[0023] 図3は、各モータ駆動装置からコントローラへ送信するデータの送信タイミングの一例を示す図である。この例でも、一定間隔の通信は通信周期Tで規定される。通信周期Tは図2のコントローラ13からモータ駆動装置12-1～12-3へのデータ送信時の通信周期Tと同じであってもよいし、同じでなくてもよい。ここで、モータ駆動装置12-1からコントローラ13へ送信するデータはフレーム111であり、モータ駆動装置12-2、12-3からコントローラ13へ送信するデータはそれぞれフレーム112、113であるものとする。

[0024] この図3に示されるように、第1通信周期では、モータ駆動装置12-1から状態データを含むフレーム111と、モータ駆動装置12-2から状態データを含むフレーム112とが送信され、次の第2通信周期では、モータ駆動装置12-3から状態データを含むフレーム113が送信される。また、第3通信周期では、モータ駆動装置12-1、12-2から次の状態データを含むフレーム111、112がそれぞれ送信され、第4通信周期では、モータ駆動装置12-3から次の状態データを含むフレーム113が送信される。このように指令データと同様に、一定の間隔で更新されるモータ駆動装置12-1～12-3の各種状態がコントローラ13に送信される。これによって、コントローラ13は各モータ駆動装置12-1～12-3の状態に応じた制御をシステム全体に対して行ったり、各モータ駆動装置12-1～12-3の状態把握を逐次行いシステム全体が危険な状態であればモータ11-1～11-3を停止させるといった処置を行ったりすることができる。

[0025] 図2と図3に示されるようなデータ送信をコントローラ13と各モータ駆動装置12-1～12-3との間で行う場合には、最低2本のシリアル通信線21を各ユニット（コントローラ13、モータ駆動装置12-1～12-3）間に接続することで実現できる。

[0026] 図4は、コントローラと各モータ駆動装置との間で送信されるデータの送信タイミングの一例を示す図である。この例では、一定間隔は通信周期Tで

規定されており、コントローラ 13 から各モータ駆動装置 12-1 ~ 12-3 へ送信するデータと、各モータ駆動装置 12-1 ~ 12-3 からコントローラ 13 へ送信するデータのそれぞれの送信タイミング例である。なお、図 2 ~ 図 3 と同じフレームには同じ符号を付している。

[0027] 図 4 に示されるように、第 1 通信周期では、コントローラ 13 からモータ駆動装置 12-1 ~ 12-3 へそれぞれ指令データを含むフレーム 101 ~ 103 が送信され、モータ駆動装置 12-1, 12-2 からコントローラ 13 へそれぞれ状態データを含むフレーム 111, 112 が送信される。第 2 通信周期では、モータ駆動装置 12-3 からコントローラ 13 へ状態データを含むフレーム 113 が送信される。この例では第 1 通信周期と第 2 通信周期で、1 回分の指令データと状態データの送受信が行われ、次の第 3 通信周期と第 4 通信周期で更新された 1 回分の指令データと状態データが送受信される。つまり、図 2 と図 3 の例と同様に一定の間隔で指令データと状態データが更新される。

[0028] 図 4 に示されるようなデータ送信をコントローラ 13 と各モータ駆動装置 12-1 ~ 12-3 との間で行う場合には、最低 1 本のシリアル通信線 21 を各ユニット間に接続することで実現できる。なお、図 2 ~ 図 4 では、2 通信周期でモータ駆動制御システム全体の通信を行う場合が示されているが、モータ駆動制御システム全体の通信を、1 通信周期または 3 通信周期以上の通信周期で行ってもよい。

[0029] このようなモータ駆動制御システムを構成する各ユニットは、データを他のユニットに送信する送信部と、他のユニットからのデータを受信する受信部と、を有する。

[0030] 図 5 は、実施の形態 1 によるユニット内に設けられる送信部の機能構成を模式的に示すブロック図である。送信部 30 は、送信制御部 31 と、送信起動信号生成部 32 と、メモリ 33 と、変換部 34 と、送信バッファ 35 と、を備える。

[0031] 送信制御部 31 は、送信起動信号生成部 32 からの起動信号によって動作

を開始し、通信プロトコルで規定されるフレームとして送信データを生成し、送信全体の制御を行う。図6は、実施の形態で使用するフレームの構成の一例を示す図である。この図に示されるように、フレーム130は、送信すべきデータ以外に受信部がシリアルデータを解析する際に必要な各種フラグを付加したデータ構造を有し、フレームヘッダ部131、フレームデータ部134およびフレームフッタ部137を有する。フレームヘッダ部131は、フレーム130の先頭を識別するスタートフラグ132と、通信フレーム固有の情報を格納するメモリ格納情報133と、を有する。フレームデータ部134は、各ユニットが送信するデータを格納するデータ135と、受信したフレーム130が正常なデータであるかを判断するCRC (Cyclic Redundancy Check) 情報やチェックサム情報などのフレーム検査データ136と、を有する。フレーム検査データ136は、たとえばフレームヘッダ部131のスタートフラグ132からフレームデータ部134のデータ135までを検査対象とすることができるが、これに限定されるものではない。フレームフッタ部137は、フレームの最後を識別するエンドフラグ138を有する。

[0032] この実施の形態1では、メモリ格納情報133に、フレームデータ部134のデータ135が格納される受信側制御装置のバッファメモリ内のアドレスが定義される。たとえば、図2～図4に示した一定の周期で送信されるフレーム101～103, 111～113の種類ごとに、受信側制御装置のバッファメモリ内で格納されるアドレスが決められており、宛先に応じてメモリ格納情報133に受信側制御装置のバッファメモリ内のアドレスが格納される。

[0033] 送信制御部31は、スタートフラグ生成部311、メモリ格納情報生成部312、送信データ取得部313、フレーム検査データ生成部314およびエンドフラグ生成部315を有する。フレーム130は、図6に示されるように先頭からスタートフラグ132、メモリ格納情報133、データ135、フレーム検査データ136およびエンドフラグ138の順番で構成される

が、これらはそれぞれスタートフラグ生成部 311、メモリ格納情報生成部 312、送信データ取得部 313、フレーム検査データ生成部 314、エンドフラグ生成部 315 で生成される。

[0034] スタートフラグ生成部 311 は、通信プロトコル固有の特定ビットパターンをスタートフラグ 132 として生成する。

[0035] メモリ格納情報生成部 312 は、宛先のユニットの受信部で受信されるフレーム 130 をそのユニットのバッファメモリのどのアドレスに格納すべきかの情報をメモリ格納情報 133 としてフレーム毎に生成する。生成の際には、たとえば宛先となるユニットと、データ 135 を格納する受信側ユニットのバッファメモリ内のアドレスと、を対応付けた図示しないフレームー受信先バッファ内アドレス関連付け情報を参照する。

[0036] 送信データ取得部 313 は、メモリ 33 から送信すべきデータを読み出し、データ 135 とする。フレーム検査データ生成部 314 は、フレームデータの CRC 情報やチェックサム情報を演算し、フレーム検査データ 136 として付加する。エンドフラグ生成部 315 は、スタートフラグ 132 と同様に通信プロトコル固有の特定ビットパターンをエンドフラグ 138 として生成する。

[0037] このように送信制御部 31 の各処理部で生成された情報が順に付加されていき、図 6 に示されるフレーム 130 が生成される。

[0038] 送信起動信号生成部 32 は、一定周期の送信データを出力するために規定の送信タイミングに従って、送信制御部 31 に対して送信起動信号を生成する。これによって図 2 ～図 4 で示したような一定通信周期で一定の間隔で更新される送信データが送信される。

[0039] メモリ 33 は、モータ駆動制御システムを構成する他のユニットに送信するデータを記憶する。メモリ 33 に記憶されるデータは、CPU 等によって周期的に書換えられており、送信データの逐次更新が実現される。

[0040] 変換部 34 は、送信制御部 31 が送信データとして出力するパラレルデータをシリアルデータに変換する。送信バッファ 35 は、シリアルデータを送

信する。

- [0041] 図7は、実施の形態1によるユニット内に設けられる受信部の機能構成を模式的に示すブロック図である。受信部40は、受信バッファ41と、変換部42と、受信制御部43と、データ格納処理部44と、バッファメモリ45と、を備える。
- [0042] 受信バッファ41は、シリアルデータのフレームを受信する。変換部42は、受信したシリアルデータを逐次パラレルデータに変換する。
- [0043] 受信制御部43は、受信したフレーム130を解析する処理部であり、スタートフラグ検出部431、メモリ格納情報抽出部432、送信データ抽出部433、フレーム検査データ抽出部434、エンドフラグ抽出部435およびフレーム検査処理部436を有する。受信制御部43は、変換部42でパラレルデータに変換されたフレーム130の先頭であるスタートフラグ132を逐次検出しており、スタートフラグ132を検出した時点から通信プロトコルで規定されたフレーム130の情報であるスタートフラグ132、メモリ格納情報133、データ135、フレーム検査データ136およびエンドフラグ138をフレーム130から抽出していく。
- [0044] スタートフラグ検出部431は、変換部42から出力されるパラレルデータを逐次スタートフラグパターンと比較し、一致検出を行う。そして、スタートフラグパターンと一致した時点でスタートフラグ検出信号を出力し、メモリ格納情報抽出部432を起動させる。
- [0045] メモリ格納情報抽出部432は、スタートフラグ132とメモリ格納情報133が通常一定の長さのデータとして規定されていることを利用して、スタートフラグ132の検出時点から規定の長さのデータをメモリ格納情報133として抽出する。メモリ格納情報133の抽出が完了すると、メモリ格納情報133の抽出完了を示す完了信号を送信データ抽出部433に出力する。
- [0046] 送信データ抽出部433は、メモリ格納情報抽出部432の完了信号を受けて、データ135の抽出を開始する。データ135の抽出においては、デ

ータ 1 3 5 の先頭はメモリ格納情報 1 3 3 の次からであるが、フレーム 1 3 0 によってデータ 1 3 5 の長さが異なるので、データ 1 3 5 を抽出することは困難である。ところで、データ 1 3 5 の次に配置されているフレーム検査データ 1 3 6 とエンドフラグ 1 3 8 は通信プロトコルによって所定の長さのデータとして規定される。そこで、送信データ抽出部 4 3 3 は、これを利用して、エンドフラグ 1 3 8 を識別した時点から、エンドフラグ 1 3 8 とフレーム検査データ 1 3 6 の長さ分だけさかのぼってデータ 1 3 5 の最後を識別する。すなわち、フレーム 1 3 0 内のデータ 1 3 5 は、データ 1 3 5 の先頭と最後を識別することによって抽出される。データ 1 3 5 の抽出が完了するとデータ抽出を示す完了信号をフレーム検査データ抽出部 4 3 4 に出力する。

[0047] フレーム検査データ抽出部 4 3 4 は、送信データ抽出部 4 3 3 の完了信号を受けて、フレーム 1 3 0 からフレーム検査データ 1 3 6 を抽出する。フレーム検査データ 1 3 6 はデータ 1 3 5 の次に配置されているため、データ 1 3 5 の最後の識別と同様に、エンドフラグ 1 3 8 を識別した時点でエンドフラグ 1 3 8 の長さ分だけさかのぼってフレーム検査データ 1 3 6 を抽出する。

[0048] エンドフラグ抽出部 4 3 5 は、変換部 4 2 から出力されるパラレルデータがエンドフラグパターンと一致した場合にフレーム 1 3 0 の最後であると識別し、フレーム検査処理部 4 3 6 を起動する。

[0049] フレーム検査処理部 4 3 6 は、受信したフレーム 1 3 0 の CRC またはチェックサムなどのフレーム検査の計算を行い、フレーム 1 3 0 内から抽出されたフレーム検査データ 1 3 6 と比較することで受信したフレーム 1 3 0 が正常であるかを判別する。

[0050] データ格納処理部 4 4 は、受信制御部 4 3 で抽出されたメモリ格納情報 1 3 3 を基に、抽出されたデータ 1 3 5 をバッファメモリ 4 5 に受信データとして格納する。バッファメモリ 4 5 は、受信されたデータを格納する。このバッファメモリ 4 5 でのデータ格納位置は、送信元のユニットによって定め

られており、ここではメモリ格納情報 1 3 3 によって指定されたアドレスにデータ 1 3 5 が格納される。

[0051] 図 8 は、コントローラのバッファメモリの状態の一例を模式的に示す図である。この例では、バッファメモリ 4 5 のアドレス「0 1 0 0 h」、「0 2 0 0 h」、「0 3 0 0 h」に各モータ駆動装置 1 2 - 1 ~ 1 2 - 3 から受信したフレーム 1 1 1 ~ 1 1 3 から抽出されたデータが格納されている。各フレーム 1 1 1 ~ 1 1 3 内のデータを格納するアドレスは、それぞれフレーム 1 1 1 ~ 1 1 3 から抽出されたメモリ格納情報から決定される。すなわち、モータ駆動装置 1 2 - 1 によって送信されるフレーム 1 1 1 のメモリ格納情報にはデータを格納する受信先のユニットのバッファメモリ 4 5 のアドレスとして「0 1 0 0 h」が設定される。また、モータ駆動装置 1 2 - 2, 1 2 - 3 によって送信されるフレーム 1 1 2, 1 1 3 のメモリ格納情報にはデータを格納する受信先のユニットのバッファメモリ 4 5 のアドレスとしてそれぞれ「0 2 0 0 h」、「0 3 0 0 h」が設定される。

[0052] なお、コントローラ 1 3 は、バッファメモリ 4 5 のアドレスとそのアドレスに格納されるデータを送信したモータ駆動装置 1 2 - 1 ~ 1 2 - 3 とを対応づけて管理している。このときバッファメモリ 4 5 のアドレスはモータ駆動装置 1 2 - 1 ~ 1 2 - 3 に対して固定されている。そのため、コントローラ 1 3 はデータが更新される度に、バッファメモリ 4 5 のモータ駆動装置 1 2 - 1 ~ 1 2 - 3 ごとに固定されたアドレスからそれぞれのモータ駆動装置 1 2 - 1 ~ 1 2 - 3 に対応するデータを読み出すことによって、各モータ駆動装置 1 2 - 1 ~ 1 2 - 3 のモータ位置、モータ速度、駆動電流や各種制御信号や異常状態といった状態データを取得することができる。

[0053] 図 9 と図 1 0 は、一般的な受信部のバッファメモリの状態の一例を模式的に示す図であり、図 9 は、正常にフレームを受信した場合の一般的な受信部のバッファメモリの状態の一例を模式的に示す図であり、図 1 0 は、正常にフレームを受信できなかった場合の一般的な受信部のバッファメモリの状態の一例を模式的に示す図である。ここでも、図 1 に示されるモータ駆動制御

システムのコントローラ 13 のバッファ状態を示している。

[0054] 一般的なモータ駆動制御システムでは、図 6 のようなフレームを用いた通信ではなく、メモリ格納情報 133 を有さないフレームで通信が行われる。そのため、図 9 に示されるように、一般的なユニットの受信部では、受信したデータをバッファメモリ 45 の上（先頭アドレス）から受信した順番に配置する。一方、シリアルデータが通信経路で壊れ受信すべきフレームのいずれかが受信されなかった場合には、図 10 に示されるように、バッファメモリ 45 に格納されるデータの配置が変わってしまう。図 10 では 2 回目に受信するはずのフレーム 112 が受信されなかった場合のバッファメモリ 45 の状態が示されている。

[0055] 一般的な場合において、コントローラ 13 がバッファメモリ 45 からデータを読み出す際に、図 9 に示されるように正常に受信した場合はそのままバッファメモリ 45 から順にデータを読み出しても問題ないが、図 10 に示されるように一部のフレームが受信できなかった場合にはそのままバッファメモリ 45 から順にデータを読み出してしまうと問題が発生する。そのため、一般的な場合では、コントローラ 13 に受信データ異常解析部を設け、バッファメモリ 45 から受信したデータを読み出した後で、データからフレームの種別を判断している。このフレームの種別の判断には時間を要してしまうという問題点があった。

[0056] これに対して、実施の形態 1 による方法では、モータ駆動装置 12-1 ~ 12-3 ごとにコントローラ 13 の受信部 40 のバッファメモリ 45 に格納する領域を予め設定し、そこにデータを格納するようにしたので、通信異常でフレームを受信できなかった場合には、その領域にはデータが格納されないことになる。そのため、コントローラ 13 では各モータ駆動装置 12-1 ~ 12-3 からのデータを読み込むことができるとともに、受信データ異常解析部で受信データのフレームの種別を解析することなく、各モータ駆動装置 12-1 ~ 12-3 からのデータの受信の有無を判断することができる。

[0057] 次に、各ユニットにおけるフレームの送信処理と受信処理について説明す

る。図 11 は、実施の形態 1 によるフレームの送信処理の手順の一例を示すフローチャートである。まず、スタートフラグ生成部 311 は、フレーム作成タイミングとなったかを判定する（ステップ S11）。フレーム作成タイミングは、送信起動信号生成部 32 からの起動信号の受信の有無によって判定される。フレーム作成タイミングでない場合（ステップ S11 で No の場合）には、フレーム作成タイミングとなるまで待ち状態となる。

[0058] 一方、送信起動信号生成部 32 からの起動信号を受信し、フレーム作成タイミングとなった場合（ステップ S11 で Yes の場合）には、スタートフラグ生成部 311 は、スタートフラグ 132 を生成する（ステップ S12）。スタートフラグ生成部 311 は、使用する通信プロトコルで規定されている特定のビットパターンをスタートフラグ 132 として生成する。

[0059] ついで、メモリ格納情報生成部 312 は、送信するデータに関して受信先のユニットの受信部 40 のバッファメモリ 45 内の格納位置（アドレス）を示すメモリ格納情報 133 を生成する（ステップ S13）。たとえばシステムの設計時に、各ユニットに対してフレームー受信先バッファ内アドレス関連付け情報が設定されており、このフレームー受信先バッファ内アドレス関連付け情報に基づいてメモリ格納情報 133 は生成される。生成されたメモリ格納情報 133 は、スタートフラグ 132 に付加される。

[0060] その後、送信データ取得部 313 は、メモリ 33 から送信すべきデータ 135 を取得し（ステップ S14）、メモリ格納情報 133 の後に付加する。ついで、フレーム検査データ生成部 314 は、フレームデータについてのフレーム検査データ 136 を生成する（ステップ S15）。ここでは、スタートフラグ 132、メモリ格納情報 133 およびデータ 135 についての CRC 情報やチェックサム情報などを演算し、付加する。その後、エンドフラグ生成部 315 は、使用する通信プロトコルで規定されている特定のビットパターンをエンドフラグ 138 として生成する（ステップ S16）。エンドフラグ 138 は、フレーム検査データ 136 の後に付加される。以上によって、パラレルデータのフレーム 130 が生成される。

- [0061] ついで、変換部 34 は、生成されたパラレルデータのフレーム 130 をシリアルデータのフレーム 130 に変換し（ステップ S17）、送信バッファ 35 に格納される（ステップ S18）。そして、所定のタイミングでフレーム 130 が送出され（ステップ S19）、フレーム 130 の送信処理が終了する。
- [0062] 図 12 は、実施の形態 1 によるフレームの受信処理の手順の一例を示すフローチャートである。まず、受信部 40 は受信したシリアルデータのフレーム 130 を受信バッファ 41 に格納し（ステップ S31）、変換部 42 は受信されたシリアルデータのフレーム 130 をパラレルデータのフレーム 130 に変換する（ステップ S32）。
- [0063] ついで、スタートフラグ検出部 431 は、変換部 42 から出力されるデータについて、逐次スタートフラグパターンと比較してスタートフラグ 132 の検出を行う（ステップ S33）。スタートフラグ 132 が検出されない場合（ステップ S33 で No の場合）には、スタートフラグ 132 が検出されるまで検出を行う。一方、スタートフラグ 132 が検出されると（ステップ S33 で Yes の場合）、スタートフラグ検出部 431 は、スタートフラグ 132 を検出したことを示すスタートフラグ検出信号を出力し、メモリ格納情報抽出部 432 を起動する。
- [0064] メモリ格納情報抽出部 432 は、スタートフラグ 132 の検出時点からメモリ格納情報 133 を抽出する（ステップ S34）。スタートフラグ 132 とメモリ格納情報 133 は長さが決まっているので、スタートフラグ 132 の検出時点から所定の長さのデータを取得し、スタートフラグ 132 分の長さを先頭から除くことでメモリ格納情報 133 が取得される。メモリ格納情報抽出部 432 は、メモリ格納情報 133 の抽出後、メモリ格納情報の抽出が完了したことを示す完了信号を出力する。
- [0065] ついで、送信データ抽出部 433 は、完了信号を受けると、データ 135 の抽出を行う（ステップ S35）。ここでは、メモリ格納情報 133 の次から抽出を開始するが、フレームのエンドフラグ 138 を識別した時点からさ

かのぼって、一定の長さのフレーム検査データ 1 3 6 とエンドフラグ 1 3 8 とを除くことによってデータ 1 3 5 を抽出する。送信データ抽出部 4 3 3 は、データの抽出が完了すると、データ抽出の完了を示す完了信号を出力する。

[0066] その後、フレーム検査データ抽出部 4 3 4 は、完了信号を受けると、フレーム検査データ 1 3 6 をフレームから抽出する（ステップ S 3 6）。ここでは、データ 1 3 5 の最後から抽出を開始し、エンドフラグ 1 3 8 を識別した時点でさかのぼって一定の長さのエンドフラグ 1 3 8 を除くことによってフレーム検査データ 1 3 6 が抽出される。

[0067] ついで、エンドフラグ抽出部 4 3 5 は、エンドフラグ 1 3 8 を検出する（ステップ S 3 7）。エンドフラグ 1 3 8 の検出は、変換部 4 2 からのデータがエンドフラグパターンと一致するかを判定することによって行われ、エンドフラグパターンと一致することでフレームの最後が識別される。エンドフラグパターンが検出されると、エンドフラグ抽出部 4 3 5 は、フレーム検査処理部 4 3 6 を起動する。

[0068] フレーム検査処理部 4 3 6 は、受信したフレーム 1 3 0 の検査を行う（ステップ S 3 8）。たとえば受信したフレーム 1 3 0 の CRC またはチェックサムなどのフレーム検査の計算を行い、フレーム 1 3 0 内から抽出されたフレーム検査データ 1 3 6 と比較することで、受信したフレーム 1 3 0 が正常であるかを判別する。

[0069] そして、データ格納処理部 4 4 は、メモリ格納情報抽出部 4 3 2 で抽出されたメモリ格納情報 1 3 3 に基づいて、送信データ抽出部 4 3 3 で抽出されたデータをバッファメモリ 4 5 に格納する（ステップ S 3 9）。メモリ格納情報 1 3 3 には、データ 1 3 5 のバッファメモリ 4 5 内での格納位置（アドレス）が規定されているので、その格納位置にデータ 1 3 5 を格納する。以上によって、受信処理が終了する。

[0070] この実施の形態 1 によれば、データ 1 3 5 がフレーム 1 3 0 内のメモリ格納情報 1 3 3 に従ってバッファメモリ 4 5 の特定のアドレスに格納されるの

で、従来必要とした受信データ異常解析部を省略することが可能であると共に、受信時の処理時間を短縮させることが可能となる。その結果、受信データ処理を簡潔にすることができる。

[0071] また、受信データ処理を簡潔にすることによって受信処理に必要な処理時間を短縮させ、より短い周期の通信周期も実現可能とする。駆動制御用シリアル通信においては、通信周期をより短くできることで、装置間のデータ更新周期が高速化されデータ伝達時間が短くなり制御装置全体の性能を向上させることができるという効果も有する。

[0072] さらに、複数の受信データを保持する際に周期的に受信されるフレームのある1つが受信されなくても、次に正常受信するフレームはメモリ格納情報133によってバッファメモリ45の特定のアドレスに格納されるため、受信データ処理部でのバッファメモリ45から受信データを探す処理を削除することができる。

[0073] 実施の形態2.

図13は、実施の形態2による受信部の構成を模式的に示すブロック図である。実施の形態2の受信部40Aのデータ格納処理部44Aは、受信制御部43でフレームから抽出されたメモリ格納情報に基づいて、フレームから抽出されたデータをバッファメモリ45に格納する際に、受信制御部43のフレーム検査処理部436Aからのフレームが正常に受信されたかどうかを示す受信データ状態も取得して、データと合せて受信データとしてバッファメモリ45に格納する機能を有する。なお、実施の形態1と同一の構成要素には実施の形態1と同一の符号を付してその説明を省略している。また、送信部30の構成も実施の形態1と同様であるのでその説明を省略する。

[0074] 図14は、実施の形態2によるコントローラのバッファメモリの状態の一例を模式的に示す図である。この例では、バッファメモリ45のアドレス「0100h」、「0200h」、「0300h」には、各モータ駆動装置12-1～12-3から受信したフレーム111～113から抽出されたデータと共に、各フレーム111～113の受信データ状態が格納されている。

ここでは、メモリ格納情報で規定されるアドレスにデータ受信状態が格納され、その後の領域にデータが格納されている。

[0075] コントローラ 13 は、データが更新される度に、バッファメモリ 45 内のこれらの固定アドレスからそれぞれのモータ駆動装置 12-1 ~ 12-3 に対応する受信データ状態とデータを読み出す。そして、受信データ状態から受信した各フレーム 111 ~ 113 が正常かどうかを判断し、正常に受信されている場合には、データから各モータ駆動装置 12-1 ~ 12-3 のモータ位置、モータ速度、駆動電流や各種制御信号や異常状態といった状態データを取得する。また、正常に受信されていない場合には、モータ駆動装置 12-1 ~ 12-3 からの状態データを取得しない。

[0076] 一方、図 9 と図 10 で示したように、一般的な構成の受信部の場合には、バッファメモリにフレームが順番に格納されるため、図 10 のようにフレームのいずれかが受信されなかった場合には、受信データ読み出し後に受信データ異常解析部でフレームの欠落を判断するとともに、別途受信部に保持される受信データ状態をフレームの欠落を考慮して検査する必要がある。

[0077] この実施の形態 2 によれば、受信データがフレーム内のメモリ格納情報に従ってバッファメモリ 45 の特定のアドレスに、受信データ状態とフレームから抽出されたデータとを格納するようにしたので、データの読み込みと同時に受信データ状態を取得し、データが異常であるか否かを判断することができる。そして、受信データ状態を得るのに要する時間を従来に比して短縮することができるという効果を実施の形態 1 の効果に加えて得ることができる。

[0078] また、受信データ状態が受信データと一緒にバッファメモリ 45 の特定のアドレスに格納されているため、周期的に受信されるフレームのある 1 つが受信されない場合には、フレームの欠落を容易に判定することができる。その結果、従来のように受信データ処理部で通信データ情報と受信データの組合せ処理を行う必要がない。

[0079] 実施の形態 3.

図 1 5 は、実施の形態 3 による受信部の構成を模式的に示すブロック図である。実施の形態 3 の受信部 4 0 B は、実施の形態 2 の構成に加えて、フレームから抽出されたメモリ格納情報をバッファメモリ 4 5 のデータを格納する格納先アドレスに変換する変換テーブル部 4 6 をさらに備える。また、データ格納処理部 4 4 B は、変換テーブル部 4 6 によって出力されるアドレスに受信制御部 4 3 で抽出されたデータと受信データ状態とを格納する。なお、実施の形態 1, 2 と同一の構成要素には実施の形態 1, 2 と同一の符号を付してその説明を省略している。また、送信部 3 0 の構成も実施の形態 1 と同様であるのでその説明を省略する。

[0080] 図 1 6 は、実施の形態 3 による変換テーブル部の構成の一例を模式的に示す図である。変換テーブル部 4 6 は、フレームのメモリ格納情報とバッファメモリ 4 5 の格納先アドレスである格納アドレス情報との間の関係を示すテーブル 4 6 1 と、受信データのバッファメモリ 4 5 内の格納位置である格納アドレスを生成する複数の格納先アドレス生成部 4 6 2-1, 4 6 2-2, ... と、複数の格納先アドレスを選択するアドレス選択部 4 6 3 と、を備える。

[0081] テーブル 4 6 1 は、自身が受信すべきメモリ格納情報を示す受信格納情報と、そのメモリ格納情報を持ったフレーム内のデータをバッファメモリ 4 5 のどのアドレスに格納するかを決定する格納アドレス情報と、の間の関係を定義するメモリ配置変換情報であり、受信格納情報と格納アドレス情報を一対にして格納先アドレス生成部 4 6 2-1, 4 6 2-2, ... の数だけ出力する。

[0082] 図 1 7 は、テーブルの構成の一例を模式的に示す図である。上記したようにテーブル 4 6 1 の受信格納情報は、自装置（受信部 4 0）が受信するはずのメモリ格納情報である。一方の格納アドレス情報は、受信格納情報に対して割り当てられる実際のバッファメモリ 4 5 内のアドレスである。たとえば、格納アドレス情報「A 1 0 0 h」には、受信格納情報「0 1 0 0 h」と「0 7 0 0 h」とが対応付けられており、格納アドレス情報「A 2 0 0 h」に

は、受信格納情報「0200h」と「0800h」とが対応付けられており、格納アドレス情報「A300h」には受信格納情報「0300h」が対応付けられている。このように、複数の受信格納情報が同じ1つのバッファメモリ45のアドレスに対応づけられている。ただし、バッファメモリ45の1つのアドレスに対して複数の受信格納情報を関連付ける際に、コントローラ13の1周期で通信されるデータが同じバッファメモリ45のアドレスに格納されることがないように、たとえば図3や図4で第1通信周期のフレーム111のデータの格納先とフレーム112のデータの格納先とが同じバッファメモリ45のアドレスに格納されることがないように、バッファメモリ45のアドレスと受信格納情報とが関連付けされる。そして、テーブル461内のそれぞれの受信格納情報が異なる格納先アドレス生成部462-1, 462-2, ...へと出力される。

[0083] 格納先アドレス生成部462-1, 462-2, ...は、フレームのメモリ格納情報とテーブル461から参照される受信格納情報とを比較する比較部4621を有する。それぞれの格納先アドレス生成部462-1, 462-2, ...では、受信制御部43でフレームから抽出されたメモリ格納情報とテーブル461から参照される受信格納情報とを比較部4621で比較し、両者が一致した場合には一致信号を生成し、テーブル461から参照された格納アドレス情報を一致信号とともにそれぞれアドレス選択部463へと出力する。格納先アドレス生成部462-1, 462-2, ...は、たとえばテーブル461のエントリ数だけ設けられる。

[0084] アドレス選択部463は、複数の格納先アドレス生成部462-1, 462-2, ...のうち一致信号を出力している格納先アドレス生成部462-1, 462-2, ...からの格納アドレス情報を選択して、バッファメモリ45への格納先アドレスとしてデータ格納処理部44へ出力する。

[0085] 図18は、実施の形態3によるコントローラのバッファメモリの状態の一例を模式的に示す図である。この例では、バッファメモリ45のアドレス「A100h」、「A200h」、「A300h」に各モータ駆動装置12-

1～12-3から受信したフレーム111～113から抽出されたデータと共に、各フレーム111～113の受信データ状態が格納されている。ここでは、変換テーブル部46で変換されたアドレスにデータ受信状態が格納され、その後の領域にデータが格納されている。

[0086] ここで、変換テーブル部46での格納先アドレス生成処理について図16を参照しながら説明する。変換テーブル部46には、メモリ格納情報抽出部432からメモリ格納情報が入力される。メモリ格納情報は、変換テーブル部46のすべての格納先アドレス生成部462-1, 462-2, ...内の比較部4621へと入力される。また、テーブル461内のすべての受信格納情報が異なる格納先アドレス生成部462-1, 462-2, ...内の比較部4621へと入力される。たとえば、テーブル461内の第1受信格納情報は格納先アドレス生成部462-1へと入力され、第2の受信格納情報は、格納先アドレス生成部462-2へと入力され、というように、テーブル461内の1つの受信格納情報が1つの格納先アドレス生成部462-1, 462-2, ...へと入力される。

[0087] その後、格納先アドレス生成部462-1, 462-2, ...の比較部4621では、入力されたメモリ格納情報と受信格納情報とを比較して両者が一致するかを判定する。そして、一致した場合に比較部4621はアドレス選択部463に一致信号を出力するとともに、テーブル461から参照された格納アドレス情報を出力する。たとえば、格納先アドレス生成部462-1でメモリ格納情報と第1受信格納情報とが一致し、他の格納先アドレス生成部462-2, ...ではメモリ格納情報と受信格納情報とが一致しなかった場合には、格納先アドレス生成部462-1の比較部4621のみが一致信号を出力する。また、格納先アドレス生成部462-1, 462-2, ...は、テーブル461からの格納アドレス情報をアドレス選択部463へと出力する。

[0088] アドレス選択部463では、一致信号を出力している格納先アドレス生成部462-1, 462-2, ...からの格納アドレス情報を選択し、選択

した格納アドレス情報をバッファメモリ 45 への格納先アドレスとしてデータ格納処理部 44 へと出力する。たとえば上記の例では、格納先アドレス生成部 462-1 が一致信号を出力しているので、アドレス選択部 463 は格納先アドレス生成部 462-1 から出力される格納アドレス情報を格納先アドレスとして選択する。以上によって、格納先アドレス生成処理が終了する。

[0089] 実施の形態 1, 2 の方式では、複数のメモリ格納情報を含むフレームを受信した場合に、全てのメモリ格納情報 133 の範囲を包含するサイズを有するバッファメモリ 45 を用意しなければならない。しかし、この実施の形態 3 によれば、変換テーブル部 46 によってバッファメモリ 45 の格納先をフレーム毎に変換し、バッファメモリ 45 の 1 つのアドレスに対して異なる通信周期でやり取りされるデータを 1 以上（複数）格納できるようにしたので、より少ないバッファメモリ 45 のサイズで全てのフレームを受信することが可能となる。

[0090] 実施の形態 4.

実施の形態 4 では、受信部のバッファメモリサイズを小さくする他の実施の形態について説明する。各ユニットにおける送信部は、実施の形態 1 の図 5 と同様の構成を有し、各ユニットの受信部は実施の形態 3 の図 15 と同様の構成を有するため、その説明を省略する。ただし、実施の形態 4 では、受信部 40 の変換テーブル部 46 の構成が実施の形態 3 とは異なる。

[0091] 図 19 は、実施の形態 4 による変換テーブル部の構成の一例を模式的に示す図である。変換テーブル部 46 は、フレームのメモリ格納情報とバッファメモリ 45 の格納先アドレスとの間の関係を示すテーブル 461A と、受信データのバッファメモリ 45 内の格納位置である格納アドレスを生成する複数の格納先アドレス生成部 462A-1, 462A-2, ... と、複数の格納先アドレスを選択するアドレス選択部 463 と、を有する。

[0092] テーブル 461A は、自身が受信すべきメモリ格納情報を示す受信格納情報と、メモリ格納情報と受信格納情報の比較する範囲を決定する比較範囲情

報と、メモリ格納情報を有するフレーム内のデータのバッファメモリ45内のアドレスの算出に使用するアドレス算出情報と、の間の関係を定義するテーブルであり、受信格納情報、比較範囲情報およびアドレス算出情報を一対にした情報の数だけ格納先アドレス生成部462A-1, 462A-2, ・ ・ ・に出力する。

[0093] 図20は、テーブルの構成の一例を模式的に示す図である。テーブル461Aの受信格納情報は、自装置（受信部40）が受信するはずのフレームのメモリ格納情報であり、受信したフレームのメモリ格納情報と比較される。比較範囲情報は、受信したフレームのメモリ格納情報（アドレス）と受信格納情報（アドレス）に対して比較を行う範囲を定めるマスクの機能を有する。アドレス算出情報は、受信格納情報に対して割り当てられる実際のバッファメモリ45内のアドレスである。この例では、受信格納情報「0100h」には、比較範囲情報「FF00h」とアドレス算出情報「A100h」が対応づけられて登録されている。

[0094] 格納先アドレス生成部462A-1, 462A-2, ・ ・ ・は、メモリ格納情報の比較範囲を決定するAND部4622と、受信格納情報の比較範囲を決定するAND部4623と、比較範囲が決定されたメモリ格納情報とテーブル461Aから参照され、比較範囲が決定された受信格納情報とを比較する比較部4621と、比較範囲情報を反転させるビット反転部4624と、アドレス算出情報に加算する値をメモリ格納情報から決定するAND部4625と、AND部4625で決定された値とテーブル461Aから参照されるアドレス算出情報とを加算してフレーム内のデータの格納先アドレスを生成する加算部4626と、を備える。

[0095] 具体的には、AND部4622, 4623と比較部4621とによって、比較範囲情報で比較範囲が決定されたメモリ格納情報と受信格納情報とが一致するかが比較され、一致する場合には一致信号が出力される。また、ビット反転部4624とAND部4625と加算部4626とによって、比較範囲情報で比較範囲とされなかった、すなわち比較範囲情報でマスクされた部

分のメモリ格納情報と、アドレス算出情報とを加算することでバッファメモリ 45 へのデータの格納アドレスが生成される。

[0096] アドレス選択部 463 は、複数の格納先アドレス生成部 462A-1, 462A-2, ... のうち一致信号を出力している格納先アドレス生成部 462A-1, 462A-2, ... で生成された格納アドレスを選択し、これをバッファメモリ 45 への格納アドレスとしてデータ格納処理部 44 へ出力する。

[0097] ここで、変換テーブル部 46 での格納アドレス生成処理について図 19 を参照しながら説明する。変換テーブル部 46 には、メモリ格納情報抽出部 432 からメモリ格納情報が入力される。メモリ格納情報は、変換テーブル部 46 のすべての格納先アドレス生成部 462A-1, 462A-2, ... 内の AND 部 4622, 4623 へと入力される。また、テーブル 461A 内の受信格納情報、比較範囲情報およびアドレス算出情報を一対として異なる情報の組みが異なる格納先アドレス生成部 462A-1, 462A-2, ... へと出力される。それぞれの格納先アドレス生成部 462A-1, 462A-2, ... において、受信格納情報が AND 部 4623 へと入力され、比較範囲情報が AND 部 4622, 4623 とビット反転部 4624 へと入力され、アドレス算出情報が加算部 4626 へと入力される。

[0098] 格納先アドレス生成部 462A-1, 462A-2, ... の AND 部 4622 では、受信制御部 43 でフレームから抽出されたメモリ格納情報と、テーブル 461A から参照される比較範囲情報との論理積をとったものを第 1 メモリ格納情報とする。また、AND 部 4623 では、テーブル 461A から参照される受信格納情報と、テーブル 461A から参照される比較範囲情報との論理積をとったものを比較受信格納情報とする。

[0099] 比較部 4621 では、AND 部 4622 と AND 部 4623 からそれぞれ出力される第 1 メモリ格納情報と比較受信格納情報とを比較し、両者が一致した場合には一致信号を出力する。またこのとき、AND 部 4625 では、比較範囲情報をビット反転部 4624 でビット反転した反転比較範囲情報と

メモリ格納情報 1 3 3 との論理積をとり、これを第 2 メモリ格納情報とする。そして、加算部 4 6 2 6 で、第 2 メモリ格納情報と、テーブル 4 6 1 A から参照される一対の情報のうちのアドレス算出情報とを加算し、これを格納アドレスとする。この格納アドレスは、一致信号と共にアドレス選択部 4 6 3 へ出力される。

[0100] アドレス選択部 4 6 3 では、一致信号を出力している格納先アドレス生成部 4 6 2 A-1, 4 6 2 A-2, ... からの格納アドレスを選択し、バッファメモリ 4 5 への格納先アドレスとしてデータ格納処理部 4 4 へと出力し、格納先アドレス生成処理が終了する。

[0101] 図 20 に示されるテーブルを用いて格納先アドレス生成処理が行われる場合について説明する。フレームから抽出されるメモリ格納情報は、格納先アドレス生成部 4 6 2 A-1, 4 6 2 A-2, ... の AND 部 4 6 2 2 でテーブル 4 6 1 A から参照された比較範囲情報「FF00h」と論理積を取られるため、比較部 4 6 2 1 に入力されるメモリ格納情報 1 3 3 の下位 1 バイトは必ず「00h」となる。また、テーブル 4 6 1 A から参照される受信格納情報「0100h」も格納先アドレス生成部 4 6 2 A-1, 4 6 2 A-2, ... の AND 部 4 6 2 3 で比較範囲情報「FF00h」と論理積を取られるため、比較部 4 6 2 1 に入力される受信格納情報の下位 1 バイトは必ず「00h」となる。このように、図 20 に示されるテーブルによれば、「0100h」～「01FFh」の範囲のメモリ格納情報を持ったフレームが全て受信されることになる。

[0102] 次に、テーブル 4 6 1 A から参照される比較範囲情報「FF00h」を格納先アドレス生成部 4 6 2 A-1, 4 6 2 A-2, ... のビット反転部 4 6 2 4 で反転すると「00FFh」という反転比較範囲情報となる。これを格納先アドレス生成部 4 6 2 A-1, 4 6 2 A-2, ... の AND 部 4 6 2 5 で、受信したメモリ格納情報との論理積をとると、受信したメモリ格納情報の下位 1 バイトが出力される。これと、テーブル 4 6 1 A から取得されるアドレス算出情報「A100h」と、を加算部 4 6 2 6 で加算すると、ア

ドレス算出情報の上位1バイトと受信したメモリ格納情報の下位1バイトとを加算した「A100h」～「A1FFh」の範囲のアドレスが格納アドレスとして生成される。

[0103] このように、実施の形態4では、たとえば図20のテーブル内の一対の受信格納情報、比較範囲情報およびアドレス算出情報で、「0100h」～「01FFh」の範囲のメモリ格納情報133を、「A100h」～「A1FFh」の範囲の格納アドレスに変換することができる。つまり、テーブルの容量を少なくしながら、より多くのアドレス変換を可能にすることができる。

[0104] メモリ格納情報133として「0100h」、「0120h」、「0160h」を有するフレームを受信した場合を例に挙げると、AND部4622で出力される上位1バイトはそれぞれ「01h」となり、AND部4623で出力される上位1バイトはそれぞれ「01h」となる。その結果、比較部4621では、上記すべてのフレームについて一致信号を出力することになる。

[0105] 一方、AND部4625で出力される下位1バイトはそれぞれ「00h」、「20h」、「60h」となる。加算部4626では、これらとテーブル461Aのアドレス算出情報「A100h」とが加算され、格納アドレスとしてそれぞれ「A100h」、「A120h」、「A160h」が得られ、アドレス選択部463ではこれらのアドレスにそれぞれの受信データ状態とフレーム内のデータとを格納する。

[0106] 図21は、実施の形態4によるコントローラのバッファメモリの状態の一例を模式的に示す図である。この例では、メモリ格納情報として「0100h」、「0120h」、「0160h」を有するそれぞれのフレームを受信した場合のコントローラ13のバッファメモリ45内の状態を示している。上記したように、メモリ格納情報「0100h」を有するフレームのデータは、バッファメモリ45のアドレス「A010h」に、その受信データ状態とともに格納される。同様に、メモリ格納情報「0120h」、「0160

h」を有するフレームのデータは、それぞれバッファメモリ45のアドレス「A0120h」、「A0160h」に、その受信データ状態とともに格納される。

[0107] 実施の形態1の場合のように、メモリ格納情報133からバッファメモリ45の格納先を決めるテーブルでは、複数の通信フレームを受信する場合に、受信すべき通信フレームの数だけテーブルデータを増やす必要がある。しかし、この実施の形態4によれば、メモリ格納情報133の一部をバッファメモリ45の格納アドレスの付加情報として使用することによって、複数のフレームをバッファメモリ45に格納する際に変換テーブル部46内のテーブル461Aに登録するデータ量を必要最小限に抑えることが可能となり、格納先アドレス生成部462A-1, 462A-2, ...が1つまたは少数でも複数のフレームを受信し格納先アドレスを生成することが可能となる。つまり、バッファメモリ45の格納先を決めるテーブル461Aの必要な情報量を削減することが可能となる。その結果、格納先アドレス生成部462A-1, 462A-2, ...を回路で実現した場合には回路規模を削減でき、また、ソフトウェアで実現した場合には少ないプログラムで格納先アドレス生成部462A-1, 462A-2, ...を実現できるという効果を得られる。

[0108] なお、上述した実施の形態では、コントローラ13とモータ駆動装置12-1~12-3はデジチェーン接続されている場合を示したが、ネットワークトポロジとしてスター接続やリング接続とした場合でも、各装置間で上記と同じようにデータを送受信可能であり、上述した実施の形態と同じ効果を得ることができる。

産業上の利用可能性

[0109] 以上のように、この発明にかかる制御装置は、サーボモータやインダクションモータなどのモータ駆動装置をネットワークに複数台接続し、ネットワークに接続されるコントローラからの指令に従って複数のモータを同期運転させる場合に有用である。

符号の説明

- [0110] 1 1 - 1 ~ 1 1 - 3 モータ
- 1 2 - 1 ~ 1 2 - 3 モータ駆動装置
- 1 3 コントローラ
- 2 1 シリアル通信線
- 2 2 動力線
- 2 3 検出器ケーブル
- 3 0 送信部
- 3 1 送信制御部
- 3 2 送信起動信号生成部
- 3 3 メモリ
- 3 4 変換部
- 3 5 送信バッファ
- 4 0, 4 0 A, 4 0 B 受信部
- 4 1 受信バッファ
- 4 2 変換部
- 4 3 受信制御部
- 4 4, 4 4 A, 4 4 B データ格納処理部
- 4 5 バッファメモリ
- 4 6 変換テーブル部
- 1 0 1 ~ 1 0 3, 1 1 1 ~ 1 1 3, 1 3 0 フレーム
- 1 3 1 フレームヘッダ部
- 1 3 2 スタートフラグ
- 1 3 3 メモリ格納情報
- 1 3 4 フレームデータ部
- 1 3 5 データ
- 1 3 6 フレーム検査データ
- 1 3 7 フレームフッタ部

- 1 3 8 エンドフラグ
- 3 1 1 スタートフラグ生成部
- 3 1 2 メモリ格納情報生成部
- 3 1 3 送信データ取得部
- 3 1 4 フレーム検査データ生成部
- 3 1 5 エンドフラグ生成部
- 4 3 1 スタートフラグ検出部
- 4 3 2 メモリ格納情報抽出部
- 4 3 3 送信データ抽出部
- 4 3 4 フレーム検査データ抽出部
- 4 3 5 エンドフラグ抽出部
- 4 3 6 フレーム検査処理部
- 4 6 1, 4 6 1 A テーブル
- 4 6 2-1, 4 6 2-2, 4 6 2 A-1, 4 6 2 A-2 格納先アドレス
生成部
- 4 6 3 アドレス選択部
- 4 6 2 1 比較部
- 4 6 2 2, 4 6 2 3, 4 6 2 5 AND部
- 4 6 2 4 ビット反転部
- 4 6 2 6 加算部

請求の範囲

[請求項1]

制御部、送信部および受信部を有する2台以上の制御装置がネットワークを介して接続され、前記制御装置の内の1台がタイミングの基準を生成し、所定の通信周期の下で前記制御装置間でシリアル通信によるデータ通信を行う制御システムで使用される制御装置において、

前記送信部は、

他の制御装置に送信するデータを記憶するメモリと、

前記メモリから取得した前記データと、前記他の制御装置の前記受信部のバッファメモリにおける前記データの格納位置を示すメモリ格納情報と、を含むフレームを生成する送信制御手段と、

を備え、

前記受信部は、

前記フレームから前記メモリ格納情報と前記データとを抽出する受信制御手段と、

抽出された前記データを記憶するバッファメモリと、

抽出された前記データを、前記メモリ格納情報で指定される前記バッファメモリのアドレスに格納するデータ格納処理手段と、

を備え、

前記メモリ格納情報は、前記フレームの宛先となる制御装置ごとに定められ、

前記制御部は、他の制御装置からのデータを、前記バッファメモリの前記他の制御装置ごとに固定して定められたアドレスから毎回読み出すことを特徴とする制御装置。

[請求項2]

前記送信制御手段は、前記データのエラー検出に使用されるフレーム検査データを前記フレームに含めて生成し、

前記受信制御手段は、前記データと前記メモリ格納情報に加えて前記フレーム検査データを抽出するとともに、抽出した前記データについて前記フレーム検査データを用いてエラー検出を行い、

前記データ格納処理手段は、前記メモリ格納情報で指定される前記バッファメモリのアドレスに、前記データとともに前記受信制御手段で行われたエラー検出結果である受信データ状態を格納することを特徴とする請求項 1 に記載の制御装置。

[請求項3]

前記受信部は、自装置が受信するはずのメモリ格納情報である受信格納情報と、前記受信格納情報を前記メモリ格納情報に有する前記フレーム内のデータの前記バッファメモリ内の格納位置を示す格納アドレス情報と、の間の関係を定義したメモリ配置変換情報に基づいて、前記受信制御手段で抽出された前記メモリ格納情報に対応する前記格納アドレス情報を取得する変換テーブル手段をさらに備え、

前記データ格納処理手段は、前記変換テーブル手段から出力される前記格納アドレス情報で指定される前記バッファメモリのアドレスに抽出された前記データを格納し、

前記メモリ配置変換情報は、複数の前記受信格納情報が 1 つの前記格納アドレス情報に対応付けられていることを特徴とする請求項 1 または 2 に記載の制御装置。

[請求項4]

前記受信部は、

自装置が受信するはずのメモリ格納情報である受信格納情報と、前記メモリ格納情報から所定の情報を取得する第 1 のマスクと、前記受信格納情報を前記メモリ格納情報に有する前記フレーム内のデータの前記バッファメモリ内の格納位置の算出に用いるアドレス算出情報と、を対応づけたメモリ配置変換情報を格納するメモリ配置変換情報格納手段と、

前記受信格納情報に前記第 1 のマスクをして得られた値と、前記メモリ格納情報に前記第 1 のマスクをして得られた値とが一致する場合に、前記メモリ格納情報に前記第 1 のマスクをビット反転させた第 2 のマスクをして得られた値に前記アドレス算出情報を加算したものを、前記メモリ格納情報を有する前記フレーム内の前記データの格納先

とする格納アドレス情報として前記データ格納処理手段に出力する格納先アドレス生成手段と、

を有する変換テーブル手段をさらに備え、

前記データ格納処理手段は、前記変換テーブル手段から出力される前記格納アドレス情報で指定される前記バッファメモリのアドレスに、抽出された前記データを格納することを特徴とする請求項 1 または 2 に記載の制御装置。

[請求項5]

制御部、送信部および受信部を有し、モータを駆動する制御装置と、制御部、送信部および受信部を有し、前記制御装置を制御する全体制御装置と、がネットワークを介して接続され、前記制御装置と前記全体制御装置のうちの 1 台がタイミングの基準を生成し、所定の通信周期の下で前記全体制御装置と前記制御装置との間でシリアル通信によってデータ通信を行う制御システムにおいて、

前記制御装置の前記送信部は、

前記全体制御装置に送信するデータを記憶するメモリと、

前記メモリから取得した前記データと、前記全体制御装置の前記受信部のバッファメモリにおける前記データの格納位置を示すメモリ格納情報と、を含むフレームを生成する送信制御手段と、

を備え、

前記全体制御装置の前記受信部は、

前記フレームから前記メモリ格納情報と前記データとを抽出する受信制御手段と、

抽出された前記データを記憶するバッファメモリと、

抽出された前記データを、前記メモリ格納情報で指定される前記バッファメモリのアドレスに格納するデータ格納処理手段と、

を備え、

前記メモリ格納情報は、前記ネットワークに接続される前記制御装置ごとに異なる値が設定され、

前記全体制御装置の前記制御部は、前記制御装置からのデータを、前記バッファメモリの前記制御装置ごとに固定して定められたアドレスから毎回読み出すことを特徴とする制御システム。

[請求項6]

前記制御装置の前記送信制御手段は、前記データのエラー検出に使用されるフレーム検査データを前記フレームに含めて生成し、

前記全体制御装置の前記受信制御手段は、前記データと前記メモリ格納情報に加えて前記フレーム検査データを抽出するとともに、抽出した前記データについて前記フレーム検査データを用いてエラー検出を行い、

前記全体制御装置の前記データ格納処理手段は、前記メモリ格納情報で指定される前記バッファメモリのアドレスに、前記データとともに前記受信制御手段で行われたエラー検出結果である受信データ状態を格納し、

前記全体制御装置の前記制御部は、前記データとともに前記受信データ状態も前記バッファメモリから読み出すことを特徴とする請求項5に記載の制御システム。

[請求項7]

前記全体制御装置の前記受信部は、自装置が受信するはずのメモリ格納情報である受信格納情報と、前記受信格納情報を前記メモリ格納情報に有する前記フレーム内のデータの前記バッファメモリ内の格納位置を示す格納アドレス情報と、の間の関係を定義したメモリ配置変換情報に基づいて、前記受信制御手段で抽出された前記メモリ格納情報に対応する前記格納アドレス情報を取得する変換テーブル手段をさらに備え、

前記全体制御装置の前記データ格納処理手段は、前記変換テーブル手段から出力される前記格納アドレス情報で指定される前記バッファメモリのアドレスに抽出された前記データを格納し、

前記メモリ配置変換情報は、複数の前記受信格納情報が1つの前記格納アドレス情報に対応付けられていることを特徴とする請求項5ま

たは6に記載の制御システム。

[請求項8]

前記全体制御装置の前記受信部は、

自装置が受信するはずのメモリ格納情報である受信格納情報と、前記メモリ格納情報から所定の情報を取得する第1のマスクと、前記受信格納情報を前記メモリ格納情報に有する前記フレーム内のデータの
前記バッファメモリ内の格納位置の算出に用いるアドレス算出情報と、
を対応づけたメモリ配置変換情報を格納するメモリ配置変換情報格納手段と、

前記受信格納情報に前記第1のマスクをして得られた値と、前記メモリ格納情報に前記第1のマスクをして得られた値とが一致する場合に、前記メモリ格納情報に前記第1のマスクをビット反転させた第2のマスクをして得られた値に前記アドレス算出情報を加算したものを、前記メモリ格納情報を有する前記フレーム内の前記データの格納先とする格納アドレス情報として前記データ格納処理手段に出力する格納先アドレス生成手段と、

を有する変換テーブル手段をさらに備え、

前記全体制御装置の前記データ格納処理手段は、前記変換テーブル手段から出力される前記格納アドレス情報で指定される前記バッファメモリのアドレスに、抽出された前記データを格納することを特徴とする請求項5または6に記載の制御システム。

[請求項9]

制御部、送信部および受信部を有し、モータを駆動する制御装置と、
制御部、送信部および受信部を有し、前記制御装置を制御する全体制御装置と、
がネットワークを介して接続され、前記制御装置と前記全体制御装置のうちの1台がタイミングの基準を生成し、所定の通信周期の下で前記全体制御装置と前記制御装置との間でシリアル通信によってデータ通信を行う制御システムでの通信方法において、

前記制御装置は、前記全体制御装置に送信するデータと、前記全体制御装置の前記受信部のバッファメモリにおける前記データの格納位

置を示すメモリ格納情報と、を含むフレームを生成するフレーム生成工程と、

前記制御装置は、前記フレームを前記全体制御装置に送信するフレーム送信工程と、

前記全体制御装置は、前記フレームから前記メモリ格納情報と前記データとを抽出する抽出工程と、

前記全体制御装置は、抽出された前記データを、前記メモリ格納情報で指定されるバッファメモリのアドレスに格納するデータ格納工程と、

前記全体制御装置は、前記制御装置からのデータを、前記バッファメモリの前記制御装置ごとに固定して定められたアドレスから毎回読み出すデータ読み出し工程と、

を含み、

前記メモリ格納情報は、前記ネットワークに接続される前記制御装置ごとに異なる値が設定されることを特徴とする通信方法。

[請求項10]

前記フレーム生成工程で、前記制御装置は、前記データのエラー検出に使用されるフレーム検査データを前記フレームに含めて生成し、

前記抽出工程では、前記全体制御装置は、前記データと前記メモリ格納情報に加えて前記フレーム検査データを抽出するとともに、抽出した前記データについて前記フレーム検査データを用いてエラー検出を行い、

前記データ格納工程では、前記全体制御装置は、前記メモリ格納情報で指定される前記バッファメモリのアドレスに、前記データとともに前記エラー検出の結果である受信データ状態を格納し、

前記データ読み出し工程では、前記全体制御装置は、前記データとともに前記受信データ状態も前記バッファメモリから読み出すことを特徴とする請求項9に記載の通信方法。

[請求項11]

前記抽出工程の後で前記データ格納工程の前に、前記全体制御装置

は、自装置が受信するはずのメモリ格納情報である受信格納情報と、前記受信格納情報を前記メモリ格納情報に有する前記フレーム内のデータの前記バッファメモリ内の格納位置を示す格納アドレス情報と、の間の関係を定義したメモリ配置変換情報に基づいて、前記抽出工程で抽出された前記メモリ格納情報に対応する前記格納アドレス情報を取得するアドレス変換工程をさらに含み、

前記データ格納工程では、前記全体制御装置は、前記アドレス変換工程で出力される前記格納アドレス情報で指定される前記バッファメモリのアドレスに抽出された前記データを格納し、

前記メモリ配置変換情報は、複数の前記受信格納情報が1つの前記格納アドレス情報に対応付けられていることを特徴とする請求項9または10に記載の通信方法。

[請求項12]

前記全体制御装置は、自装置が受信するはずのメモリ格納情報である受信格納情報と、前記メモリ格納情報から所定の情報を取得する第1のマスクと、前記受信格納情報を前記メモリ格納情報に有する前記フレーム内のデータの前記バッファメモリ内の格納位置の算出に用いるアドレス算出情報と、を対応づけたメモリ配置変換情報を有し、

前記抽出工程の後で前記データ格納工程の前に、前記全体制御装置は、

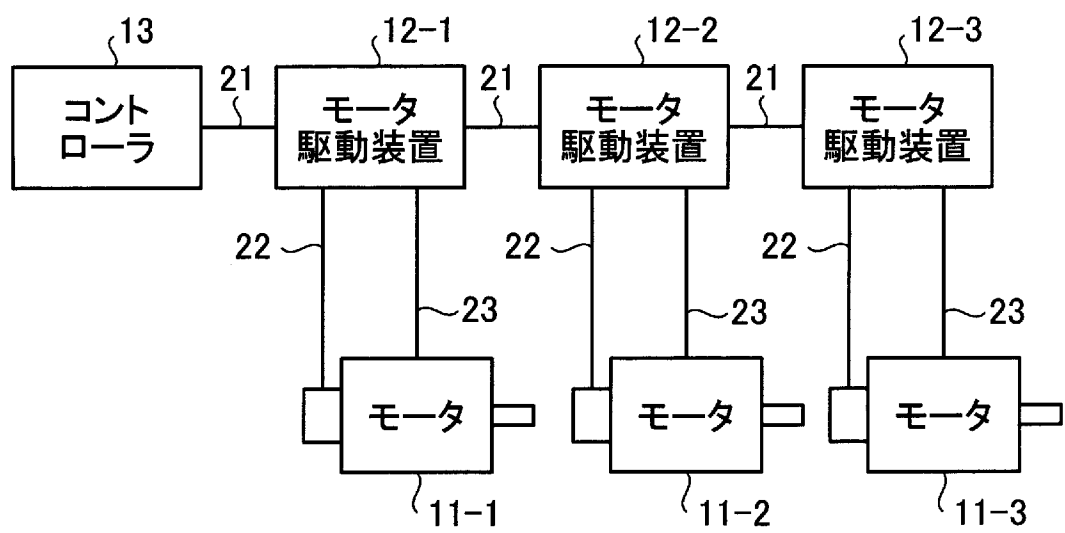
前記受信格納情報に前記第1のマスクをして得られた値と、前記メモリ格納情報に前記第1のマスクをして得られた値とが一致するか判定する判定工程と、

前記判定工程で両者が一致した場合に、前記メモリ格納情報に前記第1のマスクをビット反転させた第2のマスクをして得られた値に前記アドレス算出情報を加算したものを、前記メモリ格納情報を有する前記フレーム内の前記データの格納先とする格納アドレス情報とするアドレス変換工程と、

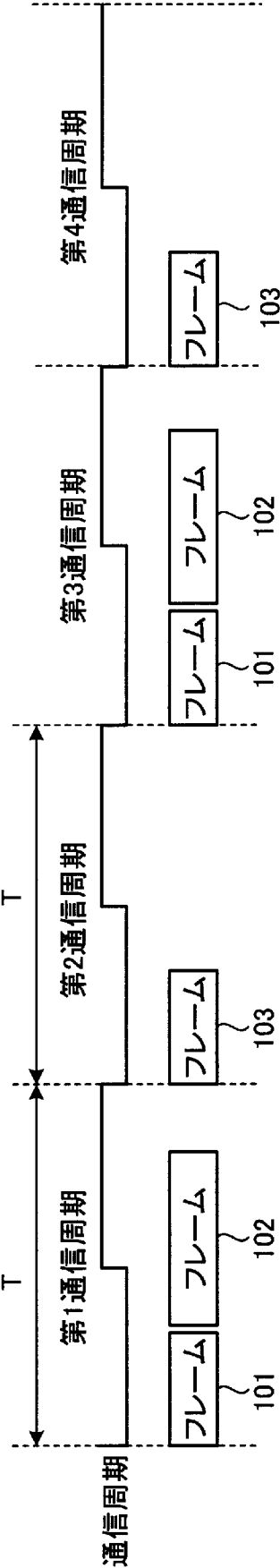
をさらに含み、

前記全体制御装置の前記データ格納工程は、前記アドレス変換工程で得られる前記格納アドレス情報で指定される前記バッファメモリのアドレスに、抽出された前記データを格納することを特徴とする請求項 9 または 10 に記載の通信方法。

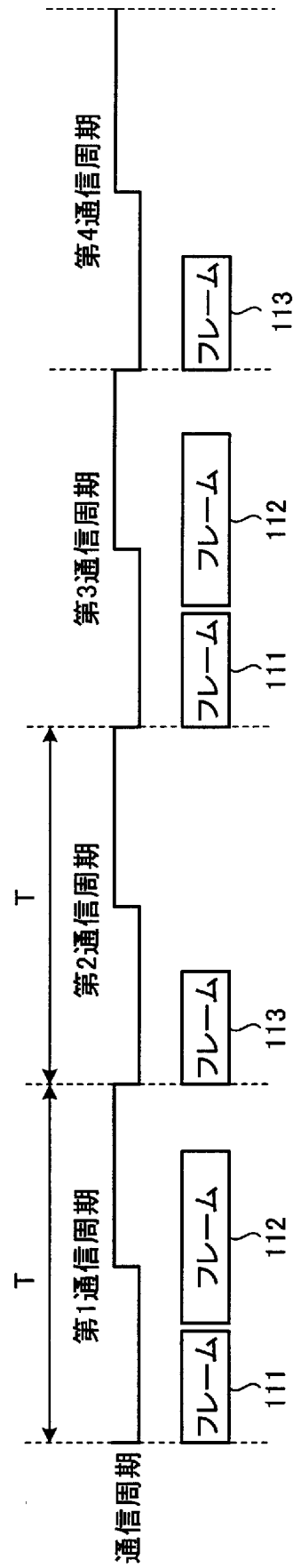
[図1]



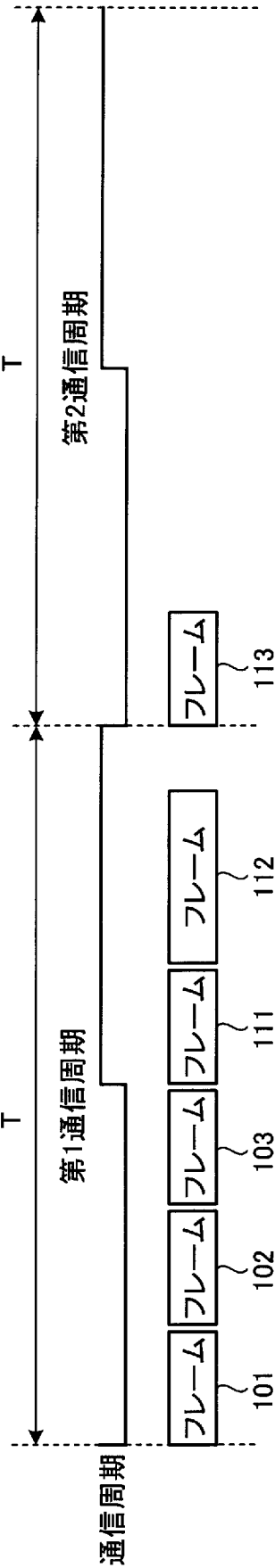
[図2]



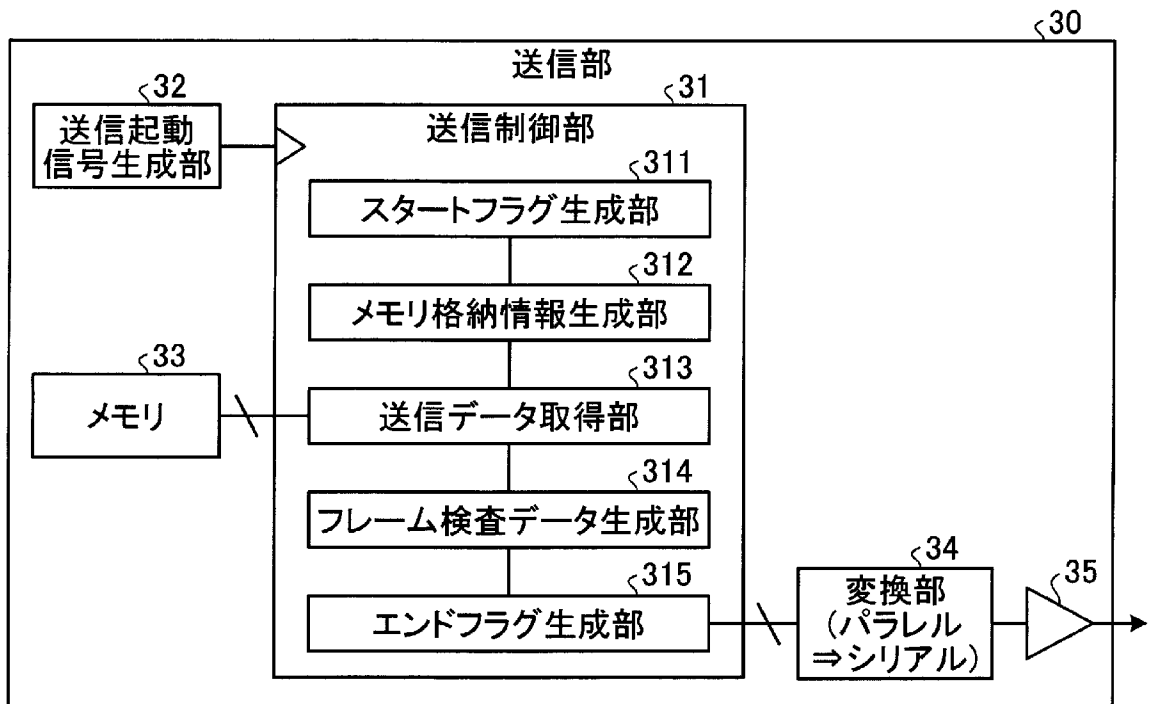
[図3]



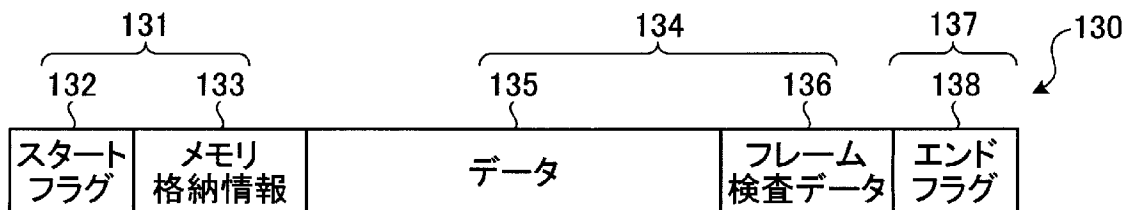
[図4]



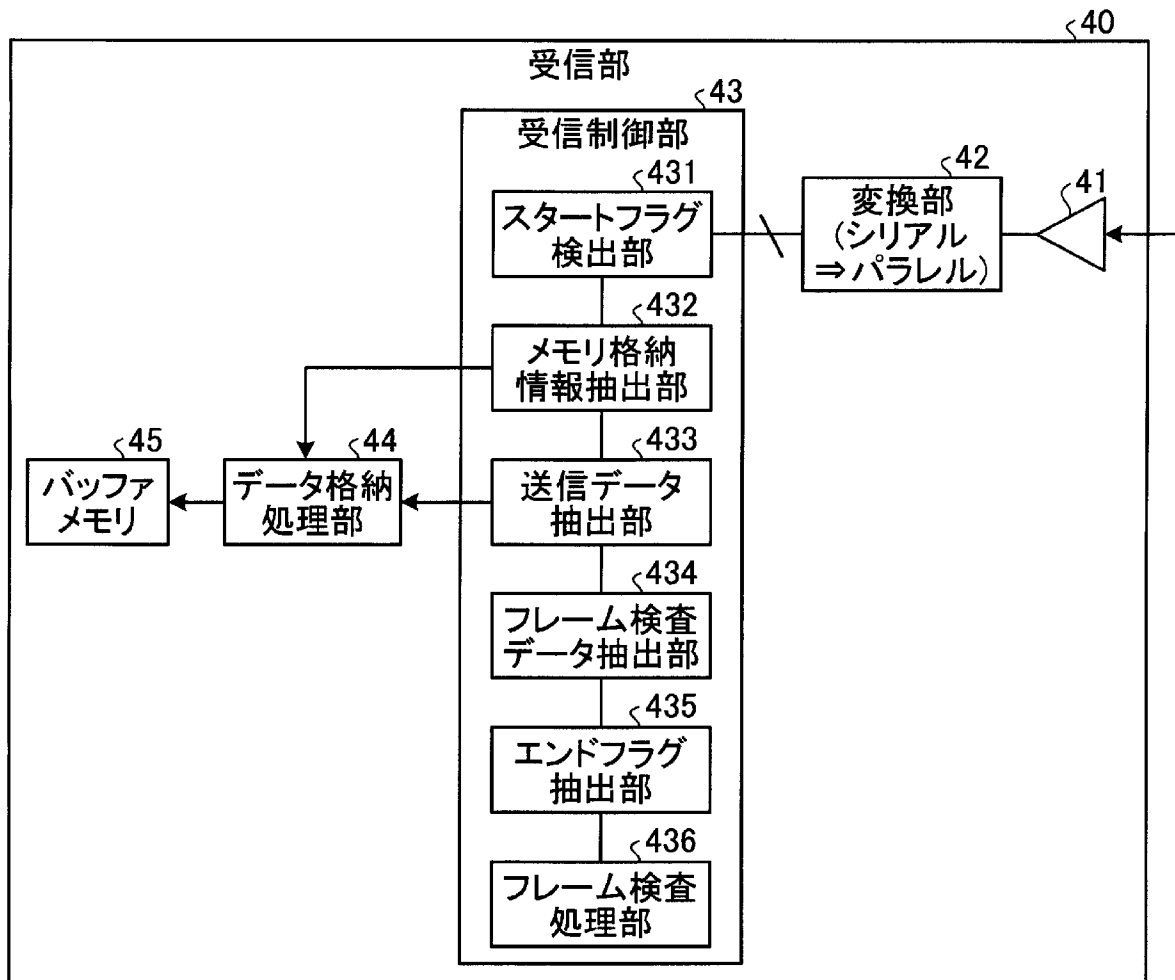
[図5]



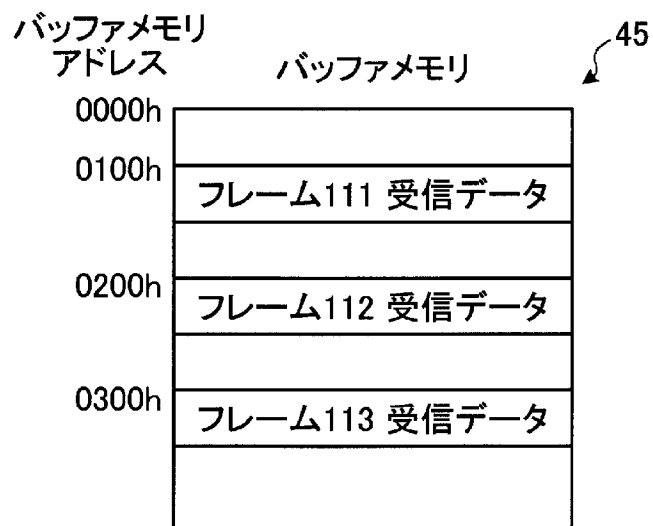
[図6]



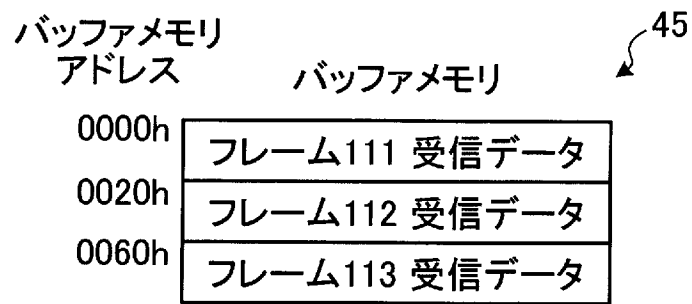
[図7]



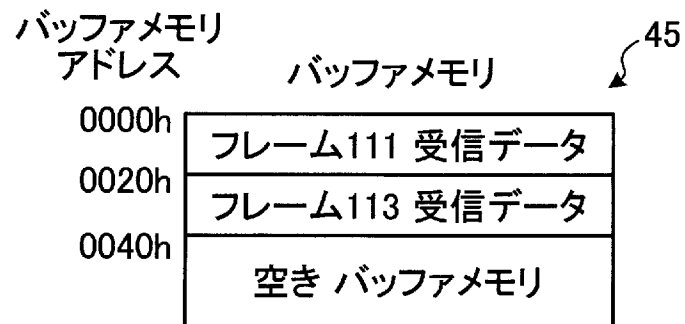
[図8]



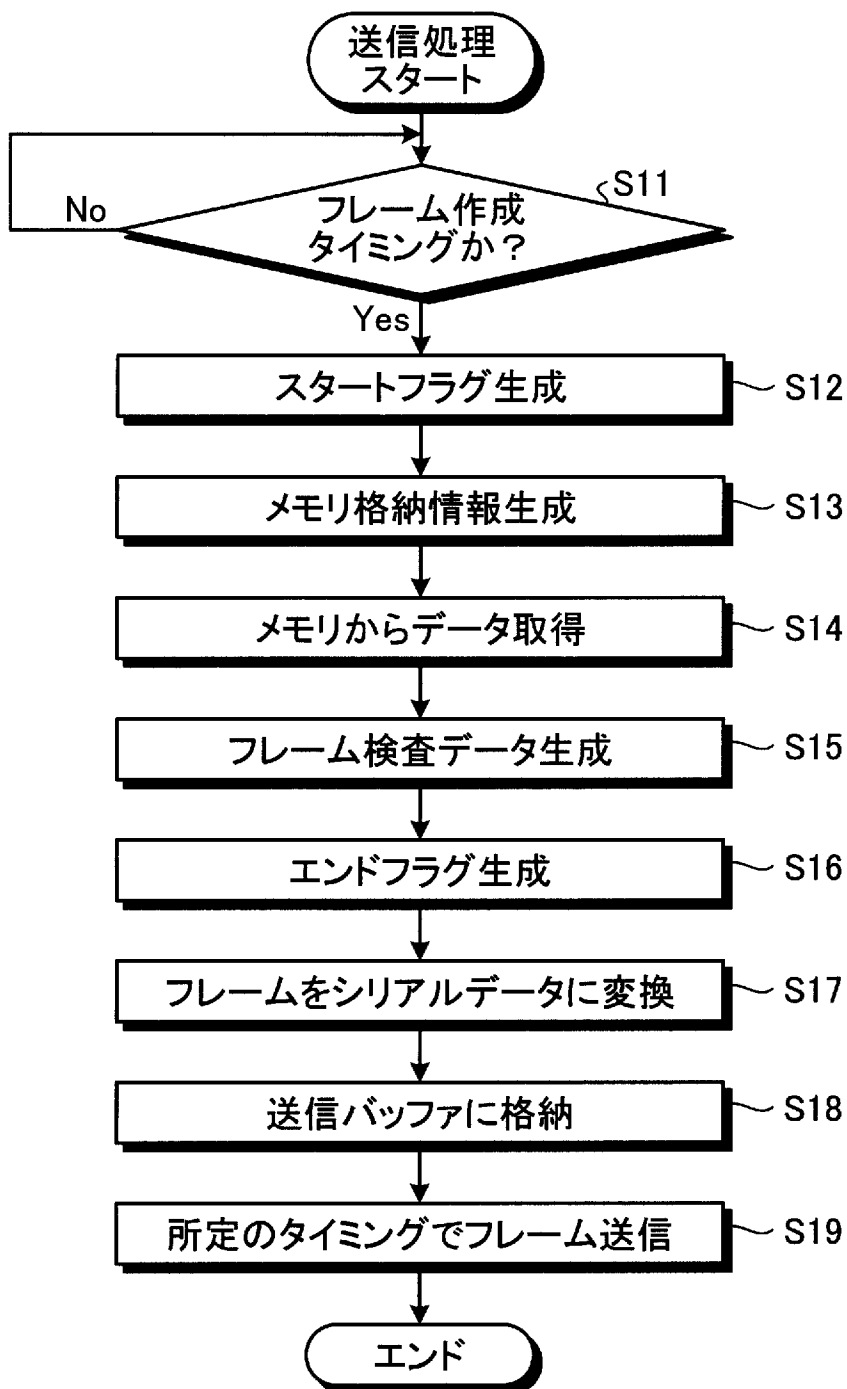
[図9]



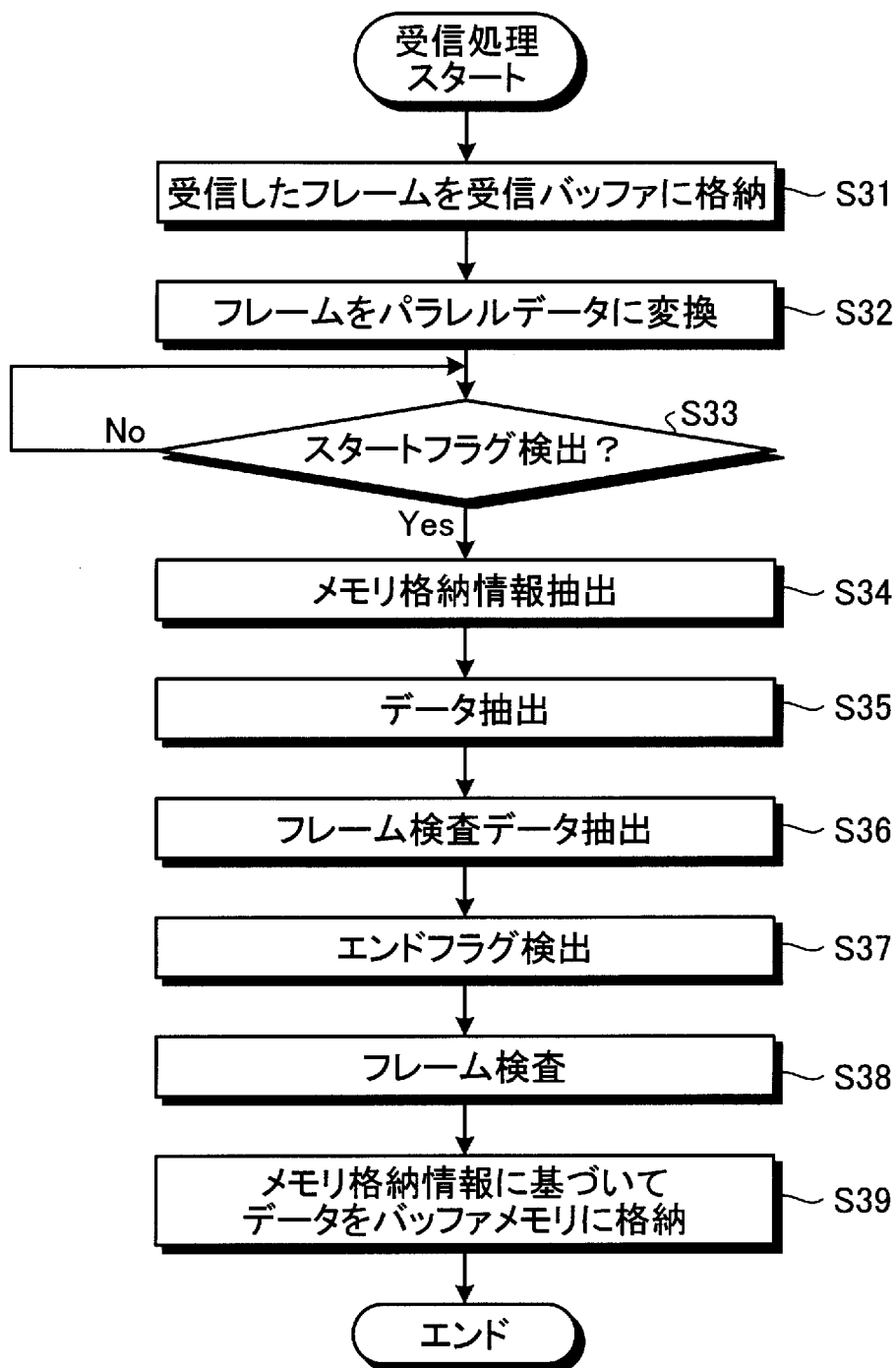
[図10]



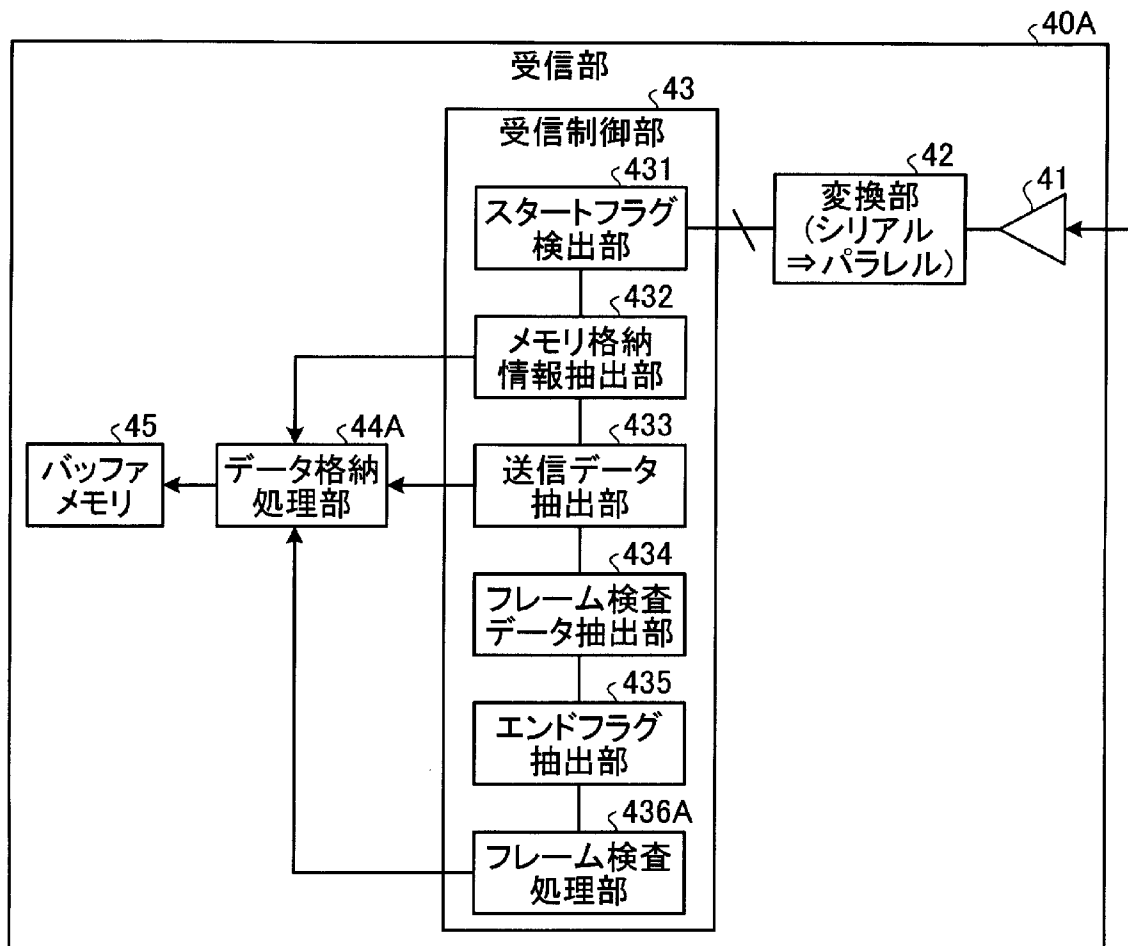
[図11]



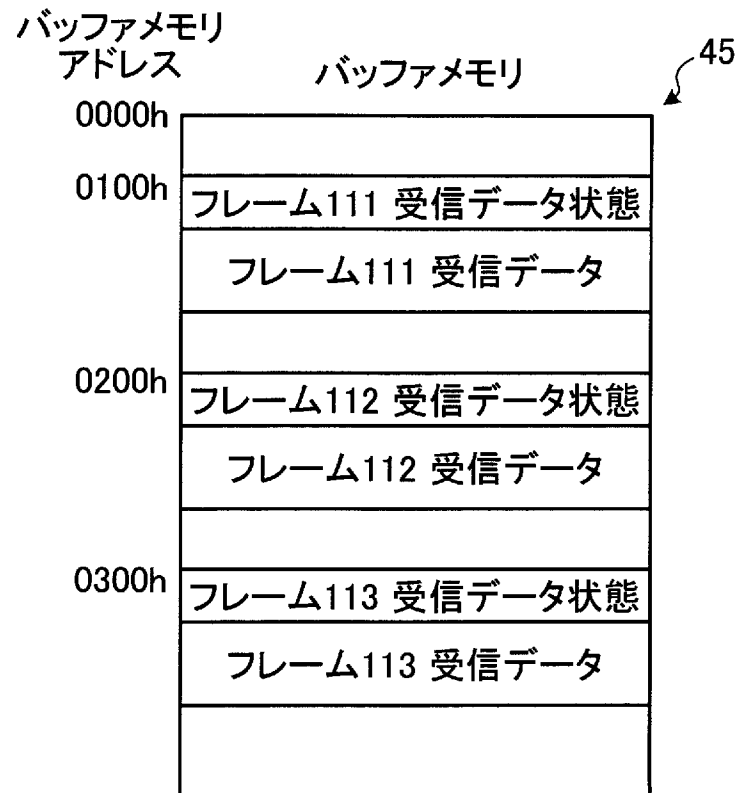
[図12]



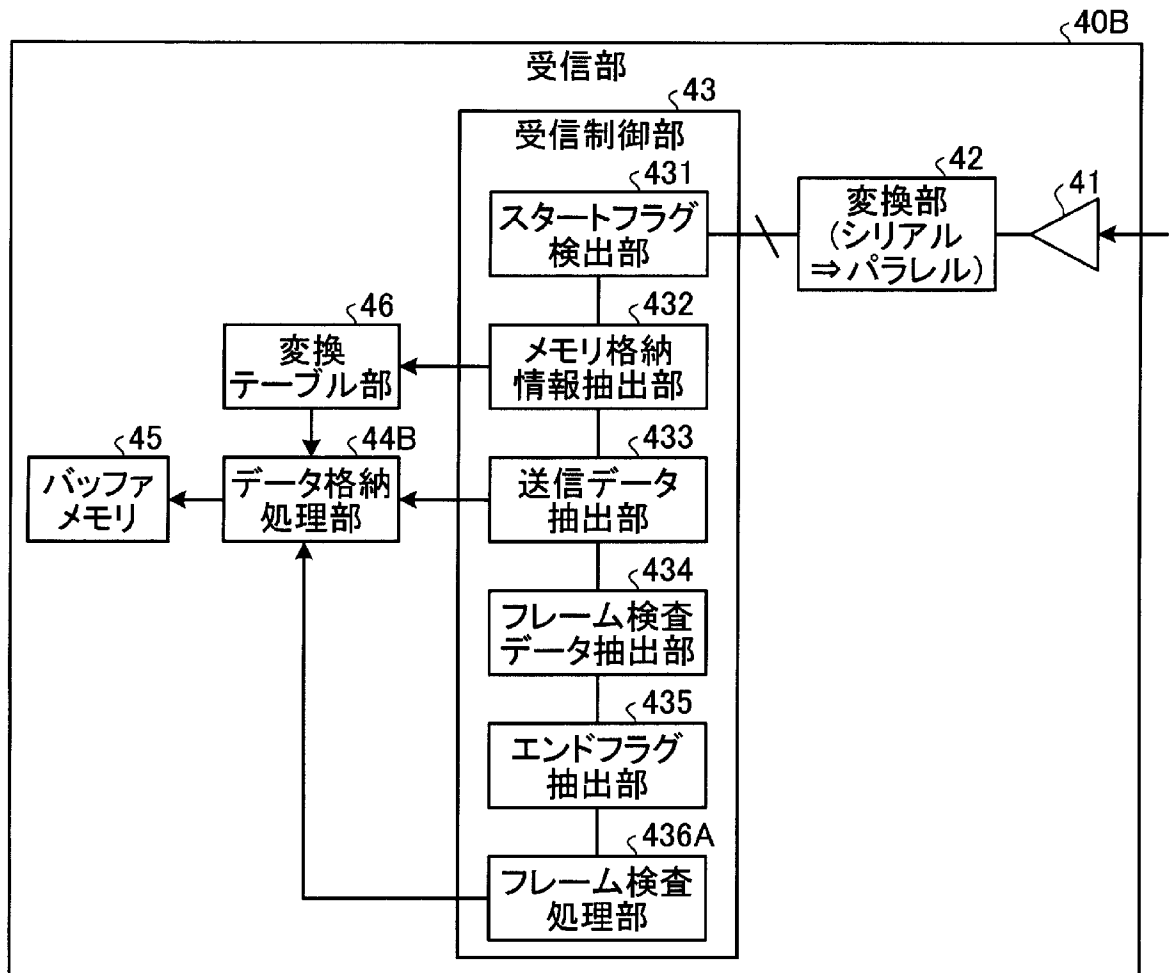
[図13]



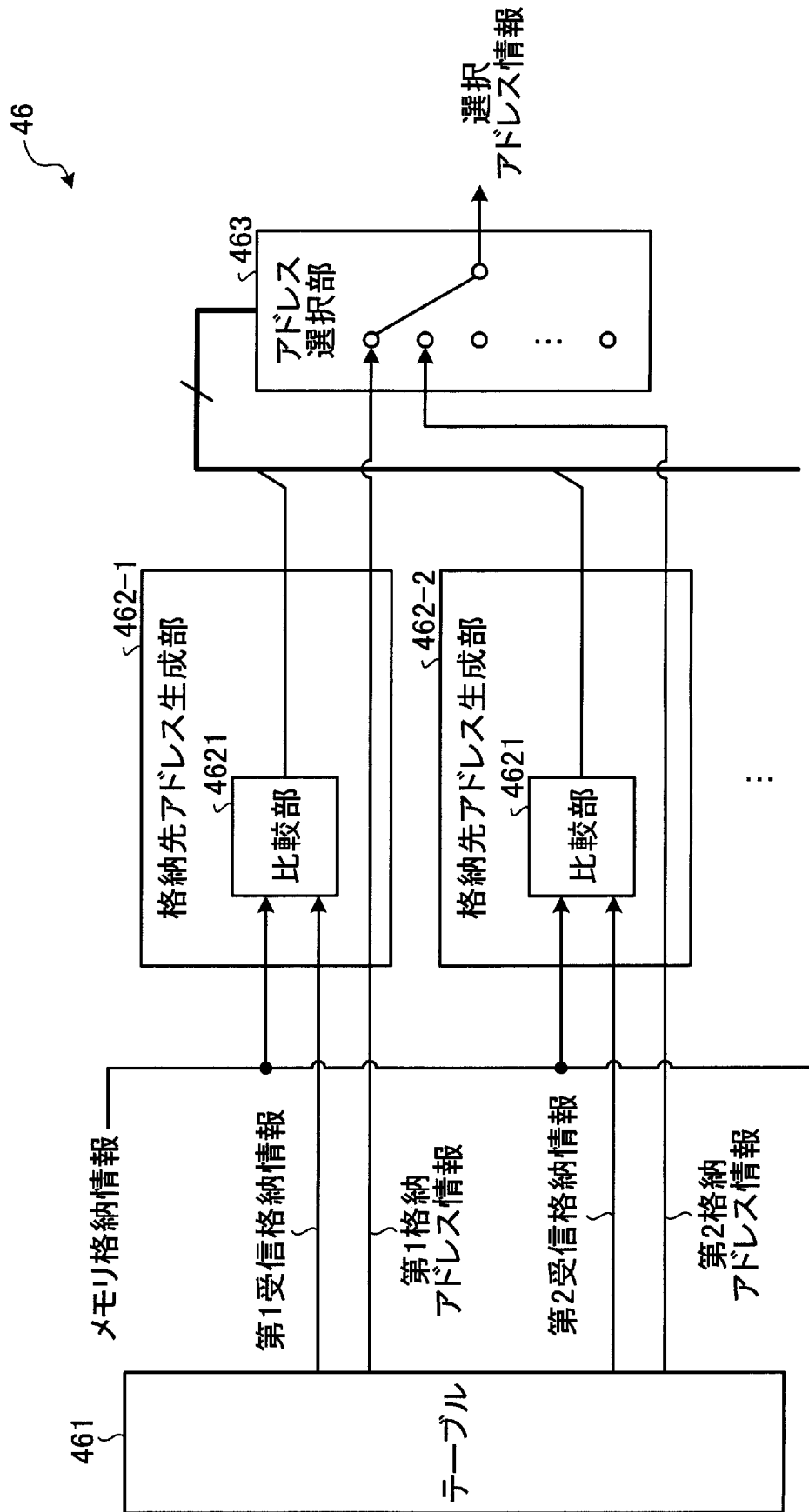
[図14]



[図15]



[図16]

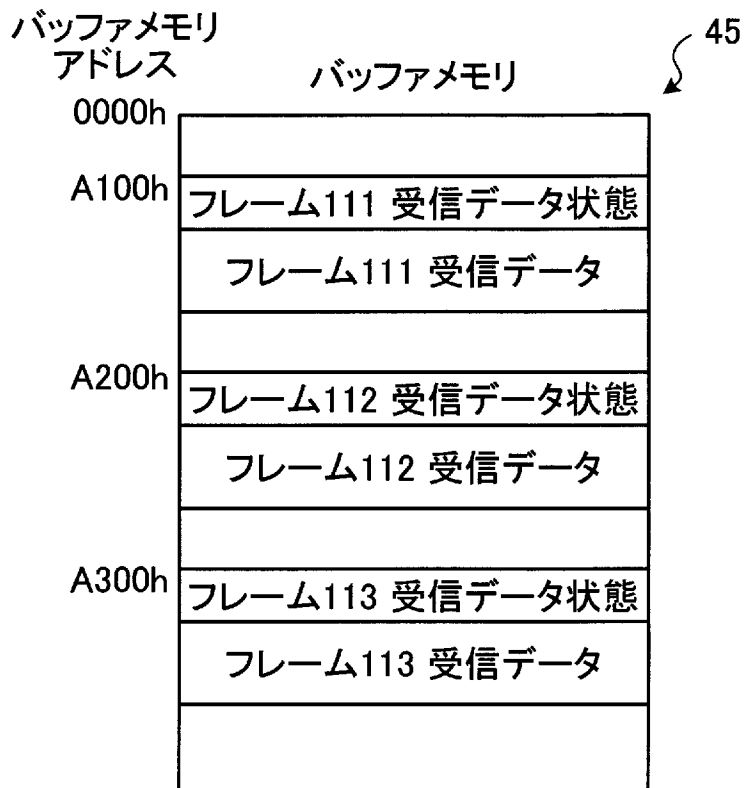


[図17]

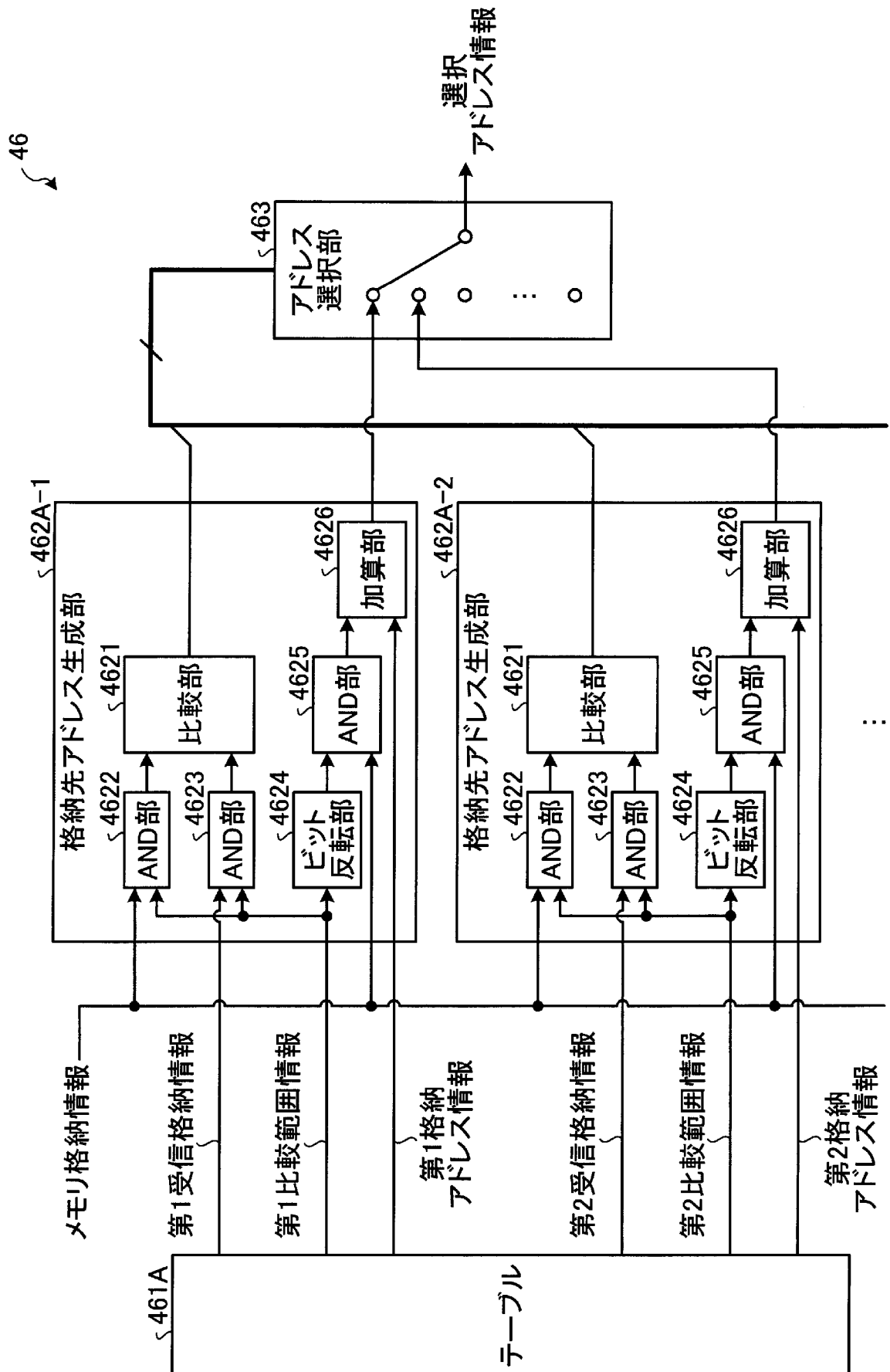
461

受信格納情報	格納アドレス情報
0100h	A100h
0200h	A200h
0300h	A300h
⋮	⋮
0700h	A100h
0800h	A200h
⋮	⋮

[図18]



[図19]



[図20]

461A

テーブル

64

受信格納情報	比較範囲情報	アドレス算出情報
0100h	FF00h	A100h
⋮		⋮

[図21]

45

バッファメモリ アドレス	バッファメモリ
0000h	
A100h	フレーム111 受信データ状態
	フレーム111 受信データ
A120h	フレーム112 受信データ状態
	フレーム112 受信データ
A160h	フレーム113 受信データ状態
	フレーム113 受信データ

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054394

A. CLASSIFICATION OF SUBJECT MATTER

H04L29/08(2006.01)i, G06F13/00(2006.01)i, G06F13/38(2006.01)i, H04L13/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L29/08, G06F13/00, G06F13/38, H04L13/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 01/02918 A1 (Mitsubishi Electric Corp.), 11 January 2001 (11.01.2001), page 14, line 27 to page 16, line 1; page 17, lines 3 to 9; page 18, lines 1 to 5; fig. 1 to 4 (Family: none)	1, 5, 9 2-4, 6-8, 10-12
Y	JP 61-29242 A (NEC Corp.), 10 February 1986 (10.02.1986), claims (Family: none)	2-4, 6-8, 10-12
Y	JP 2003-271209 A (Omron Corp.), 26 September 2003 (26.09.2003), paragraphs [0003], [0027] (Family: none)	3, 4, 7, 8, 11, 12

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 May, 2011 (17.05.11)Date of mailing of the international search report
24 May, 2011 (24.05.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054394

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 62-274851 A (Nippondenso Co., Ltd.), 28 November 1987 (28.11.1987), fig. 1 to 3 (Family: none)	1-12
A	JP 6-90256 A (International Business Machines Corp.), 29 March 1994 (29.03.1994), fig. 4 to 6 & US 5436892 A	1-12
A	JP 9-269934 A (Hitachi, Ltd.), 14 October 1997 (14.10.1997), fig. 3, 4 (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04L29/08(2006.01)i, G06F13/00(2006.01)i, G06F13/38(2006.01)i, H04L13/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L29/08, G06F13/00, G06F13/38, H04L13/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 01/02918 A1（三菱電機株式会社）2001.01.11, 第14頁第27行目－第16頁第1行目, 第17頁第3－9行目, 第18頁第1－5行目、及び、第1－4図（ファミリーなし）	1, 5, 9
Y		2-4, 6-8, 10-12
Y	JP 61-29242 A（日本電気株式会社）1986.02.10, 特許請求の範囲（ファミリーなし）	2-4, 6-8, 10-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 5 . 2 0 1 1

国際調査報告の発送日

2 4 . 0 5 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

森谷 哲朗

5 K

4 7 7 7

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-271209 A (オムロン株式会社) 2003.09.26, 段落 3, 27 (ファミリーなし)	3, 4, 7, 8, 11, 12
A	JP 62-274851 A (日本電装株式会社) 1987.11.28, 第1-3図 (ファミリーなし)	1-12
A	JP 6-90256 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 1994.03.29, 第4-6図 & US 5436892 A	1-12
A	JP 9-269934 A (株式会社日立製作所) 1997.10.14, 第3, 4図 (ファミリーなし)	1-12