



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.

*H03L 7/087* (2006.01)*G11B 20/14* (2006.01)

(11) 공개번호

10-2006-0125880

(43) 공개일자

2006년12월06일

(21) 출원번호 10-2006-7017753

(22) 출원일자 2006년09월01일

심사청구일자 없음

번역문 제출일자 2006년09월01일

(86) 국제출원번호 PCT/JP2005/003154

(87) 국제공개번호

WO 2005/086352

국제출원일자 2005년02월25일

국제공개일자

2005년09월15일

(30) 우선권주장 JP-P-2004-00061234 2004년03월04일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤  
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고(72) 발명자 센바, 기미마사  
일본 141-0001 도쿄도 시나가와꾸 기따시나가와 6쵸메 7-35 소니가부  
시끼 가이샤 내(74) 대리인 장수길  
이중희  
구영창

전체 청구항 수 : 총 26 항

**(54) 위상 동기 회로 및 정보 재생 장치****(57) 요약**

주파수 비교기의 오검출이 발생하더라도, 그 영향을 저감할 수 있으며, 안정되고 아울러 고속의 주파수 인입을 실현하는 것이 가능한 PLL 회로 및 정보 재생 장치로서, VCO(23)에 의한 클럭(CLKA~C)에 동기하여 제로 크로스 신호(ZC)를 취득하고, 클럭(CLKA)에 동기하여 제로 크로스의 예지가 어느 위상으로부터 어느 위상으로 변화했는지 판찰함으로써 주파수의 고저를 주파수 오차로서 검출하고 업 신호(UP), 다운 신호(DOWN)를 출력하는 주파수 비교기(25)와, 업 신호(UP) 또는 다운 신호(DOWN)을 적분하는 적분 회로(26)와, 적분된 업 신호(UP) 또는 다운 신호 (DOWN)를 받아서, 주파수 오차의 방향을 판정하고, UPM, DOWNM, NONM의 3신호를 출력하는 컴퍼레이터(27)와, 신호 UPM, DOWNM, 및 NONM의 시계열의 패턴으로부터, 신호를 출력할 것인지의 여부 및 귀환 게인을 결정하여 출력하는 개인 조정 회로(28)를 갖는다.

**대표도**

도 1

## 특허청구의 범위

### 청구항 1.

제어 신호에 따른 주파수를 갖고 발진하여 소정 주파수의 클럭을 출력하는 발진 회로와,  
 상기 발진 회로에 의한 클럭과 입력 신호의 위상차를 검출하고, 위상차 데이터를 출력하는 위상 비교 회로와,  
 상기 위상 비교 회로의 위상차 데이터 및 귀환 신호에 기초하여 상기 제어 신호를 생성하고, 상기 발진 회로에 공급하는 귀  
 환 회로와,  
 입력 신호와 상기 발진 회로의 클럭의 주파수를 비교하고, 주파수 오차에 따른 신호를 출력하는 주파수 비교기와,  
 상기 주파수 비교기의 주파수 오차에 따른 신호를 적분하는 적분 회로와,  
 상기 적분 회로의 적분 결과로부터 주파수 오차의 방향을 판정하는 판정 회로와,  
 상기 판정 회로의 판정 결과에 기초하여 상기 귀환 신호의 귀환 개인을 절환하는 개인 조정 회로  
 를 갖는 위상 동기 회로.

### 청구항 2.

제1항에 있어서,

상기 개인 조정 회로는, 상기 판정 회로의 판정 결과의 시계열 패턴에 기초하여 상기 귀환 신호의 귀환 개인을 절환하는 위  
 상 동기 회로.

### 청구항 3.

제1항에 있어서,

상기 적분 회로의 적분 상수는 조정 가능한 위상 동기 회로.

### 청구항 4.

제1항에 있어서,

상기 판정 회로는, 소정의 임계값에 기초하여 판정을 행하고, 판정 결과가 그 임계값보다 작은 경우에는, 상기 개인 조정  
 회로에 귀환 신호의 출력을 정지시키는 신호를 출력하는 위상 동기 회로.

### 청구항 5.

제4항에 있어서,

상기 판정 회로의 판정 임계값은 조정 가능한 위상 동기 회로.

## 청구항 6.

제1항에 있어서,

상기 개인 조정 회로는, 인입 초기 상태에서는, 귀환 신호를 출력하지 않고, 그 후, 동일한 판정 결과를 연속하여 입력하면, 상기 귀환 개인을 순차 증가시키는 위상 동기 회로.

## 청구항 7.

제6항에 있어서,

상기 개인 조정 회로는, 인입 도중에서, 오검출에 의해 역방향의 주파수 오차가 검출된 판정 결과를 입력하면, 일단 귀환 개인을 제로로 하고, 그 후, 동일한 판정 결과를 연속하여 입력하면, 상기 귀환 개인을 순차 증가시키는 위상 동기 회로.

## 청구항 8.

제어 신호에 따른 주파수를 갖고 발진하여, 각각 위상이 서로 다른 다상 클럭을 출력하는 발진 회로와,

상기 발진 회로에 의한 다상 클럭 중의 하나의 클럭과 입력 신호의 위상차를 검출하고, 위상차 데이터를 출력하는 위상 비교 회로와,

상기 위상 비교 회로의 위상차 데이터 및 귀환 신호에 기초하여 상기 제어 신호를 생성하여, 상기 발진 회로에 공급하는 귀환 회로와,

입력 신호의 제로 크로스 신호 및 상기 발진 회로의 다상 클럭에 기초하여, 상기 입력 신호의 제로 크로스 에지로부터 입력 신호와 클럭의 주파수 오차를 검출하고, 주파수 오차에 따른 신호를 출력하는 주파수 비교기와,

상기 주파수 비교기의 주파수 오차에 따른 신호를 적분하는 적분 회로와,

상기 적분 회로의 적분 결과로부터 주파수 오차의 방향을 판정하는 판정 회로와,

상기 판정 회로의 판정 결과에 기초하여 상기 귀환 신호의 귀환 개인을 절환하는 개인 조정 회로를 갖는 위상 동기 회로.

## 청구항 9.

제8항에 있어서,

상기 개인 조정 회로는, 상기 판정 회로의 판정 결과의 시계열 패턴에 기초하여 상기 귀환 신호의 귀환 개인을 절환하는 위상 동기 회로.

## 청구항 10.

제8항에 있어서,

상기 주파수 비교기는, 상기 발진 회로의 다상 클럭에 기초하여 입력 신호의 제로 크로스 신호를 취득하고, 그 다상 클럭 중의 상기 하나의 클럭에 동기하여, 입력 데이터 신호의 제로 크로스의 에지가 어느 위상으로부터 어느 위상으로 변화되었는지 관찰함으로써 주파수가 높은지 낮은지를 주파수 오차로서 검출하는 위상 동기 회로.

### 청구항 11.

제10항에 있어서,

상기 주파수 비교기는, 제로 크로스의 에지의 변화를, 정상 동작인 경우에는 일어날 수 없는 타이밍에서 검출한 경우에는, 상기 주파수 오차에 따른 신호의 출력을 정지하는 위상 동기 회로.

### 청구항 12.

제8항에 있어서,

상기 적분 회로의 적분 상수는 조정 가능한 위상 동기 회로.

### 청구항 13.

제8항에 있어서,

상기 판정 회로는, 소정의 임계값에 기초하여 판정을 행하고, 판정 결과가 그 임계값보다 작은 경우에는, 상기 개인 조정 회로에 귀환 신호의 출력을 정지시키는 신호를 출력하는 위상 동기 회로.

### 청구항 14.

제13항에 있어서,

상기 판정 회로의 판정 임계값은 조정 가능한 위상 동기 회로.

### 청구항 15.

제14항에 있어서,

상기 개인 조정 회로는, 인입 초기 상태에서는, 귀환 신호를 출력하지 않고, 그 후, 동일한 판정 결과를 연속하여 입력하면, 상기 귀환 개인을 순차적으로 증가시키는 위상 동기 회로.

### 청구항 16.

기록 매체로부터 판독한 신호를 클럭에 기초하여 샘플링하여 디지털 신호로 변환하여 재생하는 정보 재생 회로로서,

상기 클럭에 의한 샘플링 위상을 올바른 상태로 일치시키기 위한 위상 동기 회로를 가지며,

상기 위상 동기 회로는,

제어 신호에 따른 주파수를 갖고 발진하여 소정 주파수의 클럭을 출력하는 발진 회로와,

상기 발진 회로에 의한 클럭과 입력 신호의 위상차를 검출하고, 위상차 데이터를 출력하는 위상 비교 회로와,

상기 위상 비교 회로의 위상차 데이터 및 귀환 신호에 기초하여 상기 제어 신호를 생성하고, 상기 발진 회로에 공급하는 귀환 회로와,

입력 신호와 상기 발진 회로의 클럭의 주파수를 비교하고, 주파수 오차에 따른 신호를 출력하는 주파수 비교기와,

상기 주파수 비교기의 주파수 오차에 따른 신호를 적분하는 적분 회로와,

상기 적분 회로의 적분 결과로부터 주파수 오차의 방향을 판정하는 판정 회로와,

상기 판정 회로의 판정 결과에 기초하여 상기 귀환 신호의 귀환 개인을 절환하는 개인 조정 회로를 갖는 정보 재생 장치.

### 청구항 17.

제16항에 있어서,

상기 개인 조정 회로는, 상기 판정 회로의 판정 결과의 시계열 패턴에 기초하여 상기 귀환 신호의 귀환 개인을 절환하는 정보 재생 장치.

### 청구항 18.

제16항에 있어서,

상기 판정 회로는, 소정의 임계값에 기초하여 판정을 행하고, 판정 결과가 그 임계값보다 작은 경우에는, 상기 개인 조정 회로에 귀환 신호의 출력을 정지시키는 신호를 출력하는 정보 재생 장치.

### 청구항 19.

제16항에 있어서,

상기 개인 조정 회로는, 인입 초기 상태에서는, 귀환 신호를 출력하지 않고, 그 후, 동일한 판정 결과를 연속하여 입력하면, 상기 귀환 개인을 순차적으로 증가시키는 정보 재생 장치.

### 청구항 20.

제19항에 있어서,

상기 개인 조정 회로는, 인입 도중에서, 오검출에 의해 역방향의 주파수 오차가 검출된 판정 결과를 입력하면, 일단 귀환 개인을 제로로 하고, 그 후, 동일한 판정 결과를 연속하여 입력하면, 상기 귀환 개인을 순차적으로 증가시키는 정보 재생 장치.

### 청구항 21.

기록 매체로부터 판독한 정현파 형상의 신호를 클럭에 기초하여 샘플링하여 디지털 신호로 변환하여 재생하는 정보 재생 회로로서,

상기 클럭에 의한 샘플링 위상을 올바른 상태로 일치시키기 위한 위상 동기 회로를 가지며,

상기 위상 동기 회로는,

제어 신호에 따른 주파수를 갖고 발진하여, 각각 위상이 서로 다른 다상 클럭을 출력하는 발진 회로와,

상기 발진 회로에 의한 다상 클럭 중의 하나의 클럭과 입력 신호의 위상차를 검출하고, 위상차 데이터를 출력하는 위상 비교 회로와,

상기 위상 비교 회로의 위상차 데이터 및 귀환 신호에 기초하여 상기 제어 신호를 생성하고, 상기 발진 회로에 공급하는 귀환 회로와,

상기 판독한 신호의 제로 크로스 신호 및 상기 발진 회로의 다상 클럭에 기초하여, 상기 입력 신호의 제로 크로스로부터 입력 신호와 클럭의 주파수 오차를 검출하고, 주파수 오차에 따른 신호를 출력하는 주파수 비교기와,

상기 주파수 비교기의 주파수 오차에 따른 신호를 적분하는 적분 회로와,

상기 적분 회로의 적분 결과로부터 주파수 오차의 방향을 판정하는 판정 회로와,

상기 판정 회로의 판정 결과에 기초하여 상기 귀환 신호의 귀환 계인을 절환하는 개인 조정 회로를 갖는 정보 재생 장치.

## 청구항 22.

제21항에 있어서,

상기 개인 조정 회로는, 상기 판정 회로의 판정 결과의 시계열 패턴에 기초하여 상기 귀환 신호의 귀환 계인을 절환하는 정보 재생 장치.

## 청구항 23.

제21항에 있어서,

상기 주파수 비교기는, 상기 발진 회로의 다상 클럭에 기초하여 입력 신호의 제로 크로스 신호를 취득하고, 그 다상 클럭 중의 상기 하나의 클럭에 동기하여, 입력 데이터 신호의 제로 크로스의 에지가 어느 위상으로부터 어느 위상으로 변화되었는지 관찰함으로써 주파수가 높은지 낮은지를 주파수 오차로서 검출하는 정보 재생 장치.

## 청구항 24.

제23항에 있어서,

상기 주파수 비교기는, 제로 크로스의 에지의 변화를, 정상 동작인 경우에는 일어날 수 없는 타이밍에서 검출한 경우에는, 상기 주파수 오차에 따른 신호의 출력을 정지하는 정보 재생 장치.

## 청구항 25.

제21항에 있어서,

상기 판정 회로는, 소정의 임계값에 기초하여 판정을 행하고, 판정 결과가 그 임계값보다 작은 경우에는, 상기 개인 조정 회로에 귀환 신호의 출력을 정지시키는 신호를 출력하는 정보 재생 장치.

## 청구항 26.

제25항에 있어서,

상기 개인 조정 회로는, 인입 초기 상태에서는, 귀환 신호를 출력하지 않고, 그 후, 동일한 판정 결과를 연속하여 입력하면, 상기 귀한 개인을 순차적으로 증가시키는 정보 재생 장치.

**명세서**

### 기술분야

본 발명은, 예를 들면 광 디스크 장치 등의 RF 신호 처리계에 적용되는 위상동기 회로(PLL: Phase Locked Loop) 및 이것을 구비한 정보 재생 장치에 관한 것이다.

### 배경기술

일반적으로, 광 디스크 등의 디지털 기록 재생 장치의 RF 신호 처리계에서는, 데이터를 기록 재생하기 위하여 위상, 주파수를 비교하여 적절한 클럭을 얻는 PLL 회로가 이용되고 있다.

광 디스크의 PLL 회로에 있어서의 주파수 비교 방법으로서, 예를 들면 디스크 상의 워블 신호를 추출하고, 이 주파수에 로크함으로써 디스크의 회전 속도에 동기하는 방법이 사용되어지고 있다.

그러나, 이 방법은 예를 들면 워블 신호가 존재하지 않는 디스크의 경우(일례로서 블루레이 디스크의 ROM, 이하 BDROM)에는 사용할 수 없다.

워블 신호를 사용하지 않고, 기록 프레임마다 주기적으로 기록되어 있는 프레임 동기 신호를 추출하고, 이 신호에 로크하는 방법도 사용되고 있다(예를 들면 특허 문헌 1 참조).

또한, 랜덤한 데이터 패턴으로부터, 주파수 오차를 추출하는 방법으로서는, 전압 제어 발진기(VCO) 기준의 다상 클럭 또는, 링 VCO의 다상 클럭을 기준으로 한 데이터 에지의 위상 천이를 모니터하는 방법이 알려져 있다(예를 들면 특허문헌 2 참조).

특허문헌 1 : 일본 특개평11-232795호 공보

특허문헌 2 : 일본 특개평11-308097호 공보

<발명의 개시>

<발명이 해결하고자 하는 과제>

그러나, 특허문헌 1에 기재된 방식의 경우에는 위상 주파수 비교 주기가 프레임 주기에 의존하여 길어지기 때문에(BDROM의 경우에는 1932T 주기), 프레임 싱크 검출 확립까지의 시간도 포함시키면 인입에 시간이 걸리게 되어, 고속의 주파수 인입에는 바람직하지 않다는 불이익이 있다.

또한, 특허문헌 2에 기재된 방식에서는, 고밀도 광 디스크에 응용한 경우에는, 아날로그 신호의 등화 오차나 디스크의 섭동, 노이즈의 영향 등에 의해 입력 데이터 에지의 품질이 나쁘기 때문에, 주파수 검출기의 오검출이 다발하여, 안정된 주파수 인입을 행할 수 없다는 불이익이 있다.

또한, 이 방식에서는, 주파수 검출 개인이 주파수 오차에 대하여 비례하지 않고, 어느 정도 오차가 커지면 개인이 저하되기 때문에, 초기 주파수 오차가 큰 상태에서의 이러한 오검출은 인입 시간을 증대시키거나, 또는 인입 범위 밖으로 주파수가 발산되게 될 가능성도 있다.

또한, 위상 모드로의 절환 시에 주파수 오차는 위상 인입 범위 내에 있을 필요가 있는데, 주파수 루프의 오검출에 의해 수 속값이 안정되지 않는 경우에는 위상 인입이 불가능하여, 데이터를 판독할 수 없게 될 가능성이 있다.

주파수 루프의 안정성을 확보하기 위해서는 루프 개인을 낮추어 되지만, 이 경우에는 인입에 걸리는 시간이 증대되게 된다.

본 발명의 목적은 주파수 비교기의 오검출이 발생하는 경우이더라도, 그 영향을 저감할 수 있으며, 안정되고 아울러 고속의 주파수 인입을 실현하는 것이 가능한 PLL 회로 및 정보 재생 장치를 제공하는 것에 있다.

#### <과제를 해결하기 위한 수단>

본 발명의 제1 관점의 위상 동기 회로는, 제어 신호에 따른 주파수를 갖고 발진하여 소정 주파수의 클럭을 출력하는 발진 회로와, 상기 발진 회로에 의한 클럭과 입력 신호의 위상차를 검출하고, 위상차 데이터를 출력하는 위상 비교 회로와, 상기 위상 비교 회로의 위상차 데이터 및 귀환 신호에 기초하여 상기 제어 신호를 생성하고, 상기 발진 회로에 공급하는 귀환 회로와, 입력 신호와 상기 발진 회로의 클럭의 주파수를 비교하고, 주파수 오차에 따른 신호를 출력하는 주파수 비교기와, 상기 주파수 비교기의 주파수 오차에 따른 신호를 적분하는 적분 회로와, 상기 적분 회로의 적분 결과로부터 주파수 오차의 방향을 판정하는 판정 회로와, 상기 판정 회로의 판정 결과에 기초하여 상기 귀환 신호의 귀환 개인을 절환하는 개인 조정 회로를 갖는다.

바람직하게는, 상기 개인 조정 회로는, 상기 판정 회로의 판정 결과의 시계열 패턴에 기초하여 상기 귀환 신호의 귀환 개인을 절환한다.

바람직하게는, 상기 적분 회로의 적분 상수는 조정 가능하다.

바람직하게는, 상기 판정 회로는, 소정의 임계값에 기초하여 판정을 행하고, 판정 결과가 그 임계값보다 작은 경우에는, 상기 개인 조정 회로에 귀환 신호의 출력을 정지시키는 신호를 출력한다.

또한, 바람직하게는, 상기 판정 회로의 판정 임계값은 조정 가능하다.

바람직하게는, 상기 개인 조정 회로는, 인입 초기 상태에서는, 귀환 신호를 출력하지 않고, 그 후, 동일한 판정 결과를 연속하여 입력하면, 상기 귀환 개인을 순차 증가시킨다.

또한, 바람직하게는, 상기 개인 조정 회로는, 인입 도중에서, 오검출에 의해 역방향의 주파수 오차가 검출된 판정 결과를 입력하면, 일단 귀환 개인을 제로로 하고, 그 후, 동일한 판정 결과를 연속하여 입력하면, 상기 귀환 개인을 순차 증가시킨다.

본 발명의 제2 관점의 위상 동기 회로는, 제어 신호에 따른 주파수를 갖고 발진하고, 각각 위상이 서로 다른 다상 클럭을 출력하는 발진 회로와, 상기 발진 회로에 의한 다상 클럭 중의 하나의 클럭과 입력 신호의 위상차를 검출하고, 위상차 데이터를 출력하는 위상 비교 회로와, 상기 위상 비교 회로의 위상차 데이터 및 귀환 신호에 기초하여 상기 제어 신호를 생성하고, 상기 발진 회로에 공급하는 귀환 회로와, 입력 신호의 제로 크로스 신호 및 상기 발진 회로의 다상 클럭에 기초하여, 상기 입력 신호의 제로 크로스 에지로부터 입력 신호와 클럭의 주파수 오차를 검출하고, 주파수 오차에 따른 신호를 출력하는 주파수 비교기와, 상기 주파수 비교기의 주파수 오차에 따른 신호를 적분하는 적분 회로와, 상기 적분 회로의 적분 결과로부터 주파수 오차의 방향을 판정하는 판정 회로와, 상기 판정 회로의 판정 결과에 기초하여 상기 귀환 신호의 귀환 개인을 절환하는 개인 조정 회로를 갖는다.

바람직하게는, 상기 주파수 비교기는, 상기 발진 회로의 다상 클럭에 기초하여 입력 신호의 제로 크로스 신호를 취득하고, 그 다상 클럭 중의 상기 하나의 클럭에 동기하여, 입력 데이터 신호의 제로 크로스의 에지가 어느 위상으로부터 어느 위상으로 변화되었는지 관찰함으로써 주파수가 높은지 낮은지를 주파수 오차로서 검출한다.

또한, 바람직하게는, 상기 주파수 비교기는, 제로 크로스의 에지의 변화를, 정상 동작인 경우에는 일어날 수 없는 타이밍에서 검출한 경우에는, 상기 주파수 오차에 따른 신호의 출력을 정지한다.

본 발명의 제3 관점은, 기록 매체로부터 판독한 신호를 클럭에 기초하여 샘플링하여 디지털 신호로 변환하여 재생하는 정보 재생 회로이며, 상기 클럭에 의한 샘플링 위상을 올바른 상태로 일치시키기 위한 위상 동기 회로를 가지며, 상기 위상 동기 회로는 제어 신호에 따른 주파수를 갖고 발진하여 소정 주파수의 클럭을 출력하는 발진 회로와, 상기 발진 회로에 의한 클럭과 입력 신호의 위상차를 검출하고, 위상차 데이터를 출력하는 위상 비교 회로와, 상기 위상 비교 회로의 위상차 데이터 및 귀환 신호에 기초하여 상기 제어 신호를 생성하고, 상기 발진 회로에 공급하는 귀환 회로와, 입력 신호와 상기 발진 회로의 클럭의 주파수를 비교하고, 주파수 오차에 따른 신호를 출력하는 주파수 비교기와, 상기 주파수 비교기의 주파수 오차에 따른 신호를 적분하는 적분 회로와, 상기 적분 회로의 적분 결과로부터 주파수 오차의 방향을 판정하는 판정 회로와, 상기 판정 회로의 판정 결과에 기초하여 상기 귀환 신호의 귀환 계인을 절환하는 개인 조정 회로를 갖는다.

본 발명의 제4 관점은, 기록 매체로부터 판독한 정현파 형상의 신호를 클럭에 기초하여 샘플링하여 디지털 신호로 변환하여 재생하는 정보 재생 회로이며, 상기 클럭에 의한 샘플링 위상을 올바른 상태로 일치시키기 위한 위상 동기 회로를 가지며, 상기 위상 동기 회로는 제어 신호에 따른 주파수를 갖고 발진하여, 각각 위상이 서로 다른 다상 클럭을 출력하는 발진 회로와, 상기 발진 회로에 의한 다상 클럭 중의 하나의 클럭과 입력 신호의 위상차를 검출하고, 위상차 데이터를 출력하는 위상 비교 회로와, 상기 위상 비교 회로의 위상차 데이터 및 귀환 신호에 기초하여 상기 제어 신호를 생성하고, 상기 발진 회로에 공급하는 귀환 회로와, 상기 판독한 신호의 제로 크로스 신호 및 상기 발진 회로의 다상 클럭에 기초하여, 상기 입력 신호의 제로 크로스 에지로부터 입력 신호와 클럭의 주파수 오차를 검출하고, 주파수 오차에 따른 신호를 출력하는 주파수 비교기와, 상기 주파수 비교기의 주파수 오차에 따른 신호를 적분하는 적분 회로와, 상기 적분 회로의 적분 결과로부터 주파수 오차의 방향을 판정하는 판정 회로와, 상기 판정 회로의 판정 결과에 기초하여 상기 귀환 신호의 귀환 계인을 절환하는 개인 조정 회로를 갖는다.

본 발명에 따르면, 발진 회로의 클럭이 위상 비교 회로 및 주파수 비교기에 공급된다.

먼저, 주파수 비교기에 있어서, 입력 신호와 발진 회로의 클럭의 주파수가 비교되고, 주파수 오차에 따른 신호가 적분 회로에 출력된다.

적분 회로에 있어서는, 주파수 비교기의 주파수 오차에 따른 신호가 적분되어 판정 회로에 공급된다. 판정 회로에 있어서는, 적분 회로의 적분 결과로부터 주파수 오차의 방향이 판정되고, 판정 회로의 판정 결과에 기초하여 귀환 신호의 귀환 계인이 절환된다.

또한, 위상 비교 회로에 있어서, 발진 회로에 의한 클럭과 입력 신호의 위상차가 검출되어, 위상차 데이터가 귀환 회로에 출력된다.

그리고 위상 비교 회로의 위상차 데이터 및 귀환 신호에 기초하여 제어 신호가 생성되어, 발진 회로의 발진 주파수가 제어된다.

#### <발명의 효과>

본 발명에 따르면, 입력 신호의 예를 들면 제로 크로스 에지의 품질이 나쁘고, 주파수 비교기의 오검출이 발생하는 경우더라도, 그 영향을 저감할 수 있고, 그 결과 안정되고 아울러 고속의 주파수 인입이 가능해진다.

또한, 상기 이외의 주파수 검출 방법, 예를 들면 데이터의 제로 크로스 간격을 직접 측정하는 주파수 비교 방식에 있어서도, 오검출의 영향을 저감하고, 안정되고 아울러 고속의 주파수 인입이 가능해지는 이점이 있다.

#### 산업상 이용 가능성

본 발명에 따른 PLL 회로 및 정보 재생 장치는, 주파수 비교기의 오검출이 발생하여도, 그 영향을 저감할 수 있어서, 안정되고 아울러 고속의 주파수 인입을 실현하는 것이 가능하기 때문에, 예를 들면 블루레이 디스크와 같은 광 디스크 장치 등에 적용 가능하다.

#### 도면의 간단한 설명

도 1은 본 실시형태에 따른 PLL 회로를 채용한 광 디스크 장치의 RF 신호 처리계의 일 실시형태를 도시한 시스템 구성도이다.

도 2의 A~도 2의 Z는 본 실시형태에 따른 PLL 회로에 있어서의 입력 데이터 신호, 제로 크로스 신호, 3상 클럭 및 주파수 비교기의 각 부의 파형을 도시한 타이밍 차트이다.

도 3은 본 실시형태에 따른 주파수 비교기의 동작 이미지를 도시한 도면이다.

도 4는 본 실시형태에 따른 주파수 비교기의 비교 논리를 도시한 도면이다.

도 5는 도 3의 검출 동작을 가능하게 하는 주파수 비교기의 로직 회로의 일례를 도시한 회로도이다.

도 6은 고밀도 광 디스크에 있어서의 판독 데이터의 등화 후 파형의 일례를 도시한 도면이다.

도 7은 고밀도 광 디스크에 있어서의 데이터 제로 크로스 타이밍의 분포예를 도시한 도면이다.

도 8은 주파수 비교기의 출력 특성(검출 계인)을 도시한 도면이다.

도 9의 A~도 9의 H는 카운터를 사용한 적분기 및 컴퓨터의 동작을 도시한 타이밍 차트로서 정값을 8, 판정 임계값을 4로 한 경우에, 컴퓨터로부터 신호 UPM이 출력되는 경우의 동작예를 도시한 도면이다.

도 10의 A~도 10의 H는 카운터를 사용한 적분기 및 컴퓨터의 동작을 도시한 타이밍 차트로서, 적분 설정값을 8, 판정 임계값을 4로 한 경우에, 컴퓨터로부터 신호 NONM가 출력되는 경우의 동작예를 도시한 도면이다.

도 11은 본 실시형태에 따른 패턴 검출 및 개인 조정 회로의 논리를 도시한 도면이다.

도 12의 A~도 12의 F는 패턴 검출 및 개인 조정 회로의 주파수 인입 초기의 동작을 도시한 타이밍 차트이다.

도 13의 A~도 13의 F는 패턴 검출 및 개인 조정 회로의 주파수 인입 도중의 동작을 도시한 타이밍 차트이다.

도 14의 A~도 14의 F는 패턴 검출 및 개인 조정 회로의 수속 시의 동작을 도시한 타이밍 차트이다.

#### <부호의 설명>

10 : 광 디스크 장치

11 : 광 디스크

12 : 광학 헤드

13 : 프리 앰프

14 : AGC 회로

15 : 아날로그 이퀄라이저

16 : 아날로그 디지털 컨버터(ADC)

17 : FIR 필터

18 : 비터비 복호기

19 : 디코더(ECC, 인터페이스(I/F))

20 : 엔코더

21 : 레이저 드라이버

22 : 위상 비교기

23 : VCO

24 : 제로 크로스 컴퍼레이터

25 : 주파수 비교기

26 : 적분 회로

27 : 판정 회로로서의 컴퍼레이터

28 : 패턴 검출 및 개인 조정 회로

29 : 차지 펌프 회로

30 : 루프 필터

40 : PLL 회로

<발명을 실시하기 위한 최량의 형태>

이하, 본 발명의 실시형태를 첨부 도면과 관련지어 설명한다.

도 1은 본 발명에 따른 PLL 회로(위상 동기 회로)를 채용한 광 디스크 장치의 RF 신호 처리계의 일 실시형태를 도시한 시스템 구성도이다.

이 광 디스크 장치(10)는, 도 1에 도시한 바와 같이, 기록 매체로서의 광 디스크(11), 광학 헤드(OPHD)(12), 프리 앰프(PREAMP)(13), AGC(Auto Gain Control) 회로(14), 아날로그 이퀄라이저(AEQZ)(15), 아날로그 디지털 컨버터(ADC)(16), FIR필터(17), 비터비 복호기(VITERBI)(18), 디코더(DEC, ECC, 인터페이스(I/F))(19), 엔코더(ENC)(20), 레이저 드라이버(LZRDRV)(21), 위상 비교기(PCMP)(22), VCO(23), 제로 크로스 컴퍼레이터(ZCCMP)(24), 주파수 비교기(FCMP)(25), 적분 회로(26), 판정 회로로서의 컴퍼레이터(CMP)(27), 패턴 검출(PTNDT) 및 개인 조정 회로(GAINADJ)(28), 차지 펌프 회로(CP)(29), 및 루프 필터(LP)(30)를 갖고 있다.

이들 구성 요소 중에서, 위상 비교기(22), VCO(23), 제로 크로스 컴퍼레이터(24), 주파수 비교기(25), 적분 회로(26), 판정 회로로서의 컴퍼레이터(27), 패턴 검출 및 개인 조정 회로(28), 차지 펌프 회로(29), 및 루프 필터(30)에 의해 본 발명의 PLL 회로(40)가 구성되어 있다. 그리고, 차지 펌프 회로(29), 및 루프 필터(30)에 의해 본 발명의 귀환 회로가 구성된다.

이하, 이 PLL 회로의 구성 요소의 구체적인 기능을 중심으로 설명한다.

광 디스크 장치(10)에 있어서, 광학 헤드(12)로부터 출력되어 프리 앰프(13)에서 증폭된 재생 신호는, AGC 회로(14)에서 진폭 조정되어, 아날로그 이퀄라이저 회로(15)에 입력된다.

아날로그 이퀄라이저(15)에 의해 등화되어, 고역 노이즈가 제거된 재생 신호는 ADC(16) 및 제로 크로스 컴퍼레이터(24)에 입력된다.

ADC(16)의 출력은, PLL 회로의 위상 비교기(22)에 입력되어, 후술하는 바와 같이, PLL 회로(40)에 있어서 VCO(23)를 컨트롤하여 ADC(16)의 샘플링 위상을 일치시키도록 제어된다.

또한, ADC(16)의 출력은 FIR 필터(17)에 입력되어, 더욱 고정밀도로 등화된 후, 비터비 복호기(18)에 입력되어, 디코드, 에러 정정된 뒤, NRZ(non-return-to-zero) 데이터로서 출력된다.

또한, NRZ 데이터는 엔코더(20)에서 엔코드되고, 그 결과에 기초하여, 레이저 드라이버(21)에 의해 광학 헤드(12)의 레이저가 구동 제어된다.

이하, PLL 회로에 관하여 구체적으로 설명한다.

위상 비교기(22)는, ADC(16)에 의한 디지털 신호의 위상과 VCO(23)의 출력 클럭 CLKA의 위상을 비교하고, 위상 오차 데이터(S22)를 루프 필터(30)에 출력한다.

VCO(23)는, 인버터(231~233)의 3단 링 구성으로 되어 있으며, 루프 필터(30)에서 위상 오차 데이터(S22)를 적분하여 얻어진 제어 신호(S30)에 의해 발진 주파수가 제어된다.

VCO(23)는, 3단 링 구성의 각 단으로부터의 출력은 도 2의 C, 도 2의 D, 도 2의 E에 도시한 바와 같은 CLK의 1주기를 3분할하는 3상 클럭 CLKA, CLKB, CLKC로 되어 있으며, 이들 3상 클럭 CLKA, CLKB, CLKC은 주파수 비교기(25)에 공급된다.

VCO(23)의 제1상 클럭(인버터(233) 출력 클럭)은 ADC(16), FIR 필터(17), 비터비 복호기(18), 및 위상 비교기(22)에 공급된다.

제로 크로스 컴퍼레이터(24)는, 아날로그 이퀄라이저(15)에 의한, 예를 들면 도 2의 A에 도시한 바와 같은 정현파 형상의 RF 재생 신호(S15)를 받아서, 제로 크로스 점에 대응하여 레벨이 변화하는 도 2의 B에 도시한 바와 같은 제로 크로스 신호(ZC)를 주파수 비교기(25)에 출력한다.

PLL 회로에 의해, ADC(16)의 샘플링 위상을 올바른 상태로 일치시킬 필요가 있지만, 입력 신호 주파수와 클럭 주파수의 오차가 큰 경우(예를 들면 3% 전후를 초과하는 경우)에는 위상 검출기에 의한 위상 인입은 곤란하기 때문에, 먼저 주파수 루프에 의해 주파수 오차를 인입할 필요가 있다.

주파수 비교기(25)는 이 주파수 루프의 초단부에 배치되어 있다.

주파수 비교기(25)는 VCO(23)에 의한 3상 클럭 CLKA, CLKB, CLKC에 동기하여 제로 크로스 컴퍼레이터(24)에 의한 제로 크로스 신호(ZC)를 취득하고, 그 후, 예를 들면 제1상 클럭 CLKA에 동기하여, 입력 데이터 신호의 제로 크로스의 에지가 어느 위상으로부터 어느 위상으로 변화되었는지 관찰함으로써 주파수가 높은지 낮은지를 주파수 오차로서 검출하고, 업 신호 UP 또는 다운 신호 DOWN을 적분 회로(26)에 출력한다.

도 3은 본 실시형태에 따른 주파수 비교기의 동작 이미지를 도시한 도면이다. 또한, 도 4는 본 실시형태에 따른 주파수 비교기의 비교 논리를 도시한 도면이다.

도 3에 도시한 바와 같이, 3상 클럭인 제1상 클럭 CLKA, 제2상 클럭 CLKB, 제3상 클럭 CLKC에 의해, 1클럭 CLK 구간을 3분할하고, 각 위상 구간을 A, B, C라고 한다.

이 때, 입력 데이터 신호의 제로 크로스의 현재의 에지  $Y_n$ 과 다음 에지  $Y_{n+1}$ 의 위상의 천이로부터 주파수 오차(의 방향)을 다음과 같이 하여 검출한다.

클럭 CLK1 주기 내의 각 위상 A, B, C에 대하여, 에지의 천이가 순방향(A→B→C)이라면, 입력 신호 주파수는 VCO(23)의 발진 주파수보다도 낮다고 생각되기 때문에, 다운 신호(DOWN)를 출력한다.

에지의 천이가 역방향(C→B→A)이라면, 입력 데이터 신호의 주파수는 VCO(23)의 주파수보다도 높다고 생각되기 때문에 업 신호(UP)를 출력한다.

에지의 위상 천이가 없는 경우에는, 오차 검출은 할 수 없기 때문에, 아무 것도 출력되지 않는다.

구체적으로는, 도 4에 도시한 바와 같이, 주파수 비교기(25)는 예지  $Y_n$ 이 위상 A이고 다음 예지  $Y_{n+1}$ 이 위상 A인 경우에, 예지의 위상 천이가 없어 오차 검출은 할 수 없기 때문에, 업 신호(UP)도 다운 신호(DOWN)도 출력하지 않는다.

예지  $Y_n$ 이 위상 A이고 다음 예지  $Y_{n+1}$ 이 위상 B인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 주파수보다도 낮다고 생각되기 때문에, 다운 신호(DOWN)를 출력한다.

예지  $Y_n$ 이 위상 A이고 다음 예지  $Y_{n+1}$ 이 위상 C인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 주파수보다 높다고 생각되기 때문에, 업 신호(UP)를 출력한다.

예지  $Y_n$ 이 위상 B이고 다음 예지  $Y_{n+1}$ 이 위상 A인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 높다고 생각되기 때문에, 업 신호(UP)를 출력한다.

예지  $Y_n$ 이 위상 B이고 다음 예지  $Y_{n+1}$ 이 위상 B인 경우에는, 예지의 위상 천이가 없어 오차 검출은 할 수 없기 때문에, 업 신호(UP)도 다운 신호(DOWN)도 출력하지 않는다.

예지  $Y_n$ 이 위상 B이고 다음 예지  $Y_{n+1}$ 이 위상 C인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 낮다고 생각되기 때문에, 다운 신호(DOWN)를 출력한다.

예지  $Y_n$ 이 위상 C이고 다음 예지  $Y_{n+1}$ 이 위상 A인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 낮다고 생각되기 때문에, 다운 신호(DOWN)를 출력한다.

예지  $Y_n$ 이 위상 C이고 다음 예지  $Y_{n+1}$ 이 위상 B인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 높다고 생각되기 때문에, 업 신호(UP)를 출력한다.

예지  $Y_n$ 이 위상 C이고 다음 예지  $Y_{n+1}$ 이 위상 C인 경우에는, 예지의 위상 천이가 없어 오차 검출은 할 수 없기 때문에, 업 신호(UP)도 다운 신호(DOWN)도 출력하지 않는다.

도 5는 도 3의 검출 동작을 가능하게 하는 주파수 비교기의 로직 회로의 일례를 도시한 회로도이다.

도 5의 주파수 비교기(25)는 D형 플립플롭(201~217), 배타적 논리합(EXOR)게이트(218~220), 네가티브 입력을 포함하는 2입력 AND 게이트(221), 네가티브 입력을 포함하는 3입력 AND 게이트(222), 3입력 OR 게이트(223~225), 스위치 회로(226~228), 2입력 AND 게이트(229), 3입력 AND 게이트(230~234), 및 제1상 클럭(CLKA)를 지연시키거나 하기 위한 버퍼(235, 236)를 가지고 있다.

플립플롭(201~203)은 제로 크로스 신호(ZC)의 입력(ZCIN)에 대하여 병렬로 배치되어 있다. 플립플롭(201)은 제1상 클럭(CLKA)에 동기하여 제로 크로스 신호(ZC)를 래치하고, 플립플롭(202)은 제2상 클럭(CLKB)에 동기하여 제로 크로스 신호(ZC)를 래치하고, 플립플롭(203)은 제3상 클럭(CLKC)에 동기하여 제로 크로스 신호(ZC)를 래치한다.

즉, 플립플롭(201~203)은 주파수 비교기(25)의 입력단에 배치되어, VCO(23)의 3상 클럭(CLKA, CLKB, CLKC)에 동기하여, 제로 크로스 컴파레이터(24)에 의한 제로 크로스 신호(ZC)를 래치한다.

도 2의 F~도 2의 H에 플립플롭(201~203)의 Q 출력을 각각 A0, B0, C0로서 나타내고 있다.

또한, 초단 이후의 각 플립플롭(204~217)은 제1상 클럭(CLKA)에 동기하여 데이터의 입출력을 행한다.

플립플롭(204)의 D 입력은 초단의 플립플롭(201)의 Q 출력에 접속되고, 플립플롭(205)의 D 입력은 초단의 플립플롭(202)의 Q 출력에 접속되고, 플립플롭(206)의 D 입력은 초단의 플립플롭(203)의 Q 출력에 접속되어 있다.

플립플롭(204~206)은 버퍼(235)를 통한 제1상 클럭(CLKA)에 동기하여 각각 플립플롭(201~203)의 출력을 래치한다.

도 2의 I~도 2의 K에 플립플롭(204~206)의 Q 출력을 각각 A1, B1, C1로서 나타내고 있다.

EXOR(218)는 플립플롭(204)의 출력(A1)과 플립플롭(205)의 출력(B1)의 배타적 논리합을 취하고, 그 결과를 스위치(226)의 H 입력, AND 게이트(221)의 네가티브 입력, AND 게이트(222)의 제1 네가티브 입력, 및 OR 게이트(223)의 제1 입력에 공급한다.

EXOR(219)는 플립플롭(205)의 출력(B1)과 플립플롭(206)의 출력(C1)의 배타적 논리합을 취하고, 그 결과를 AND 게이트(221)의 포지티브 입력, AND 게이트(222)의 제2 네가티브 입력, 및 OR 게이트(223)의 제2 입력에 공급한다.

EXOR(220)은 플립플롭(206)의 출력(C1)과 초단의 플립플롭(201)의 출력(A0)의 배타적 논리합을 취하고, 그 결과를 AND 게이트(222)의 포지티브 입력, 및 OR 게이트(223)의 제3 입력에 공급한다.

이들 3개의 EXOR(218~220)은 지금(현재)의 클럭을 얻기 위하여 형성되어 있으며, 클럭(CLKA, CLKB, CLKC) 중의 어느 하나를 추출한다.

도 2의 L~도 2의 N에 EXOR(218~220)의 출력을 각각 A2, B2, C2로서 나타내고 있다.

EXOR(218~220)의 출력(A2, B2, C2)은 제로 크로스가 있을 때에 어느 하나가 하이 레벨로 된다. 이 예에서는, EXOR(220)의 출력(C2)이 하이 레벨로 되어 있다.

AND 게이트(221)의 출력은 스위치 회로(227)의 H 입력에 공급되고, AND 게이트(22)의 출력은 스위치 회로(228)의 H 입력에 공급된다.

OR 게이트(223)는 EXOR(218~220)의 출력(A2, B2, C2)의 논리합을 취하고, 스위치 신호(SW)로서 스위치 회로(226~228)에 출력한다.

스위치 회로(226~228)는 스위치 신호(SW)가 하이 레벨인 경우에는 제로 크로스 점이 검출된 것으로 하여 H 입력을 선택하여 다음 단의 대응하는 플립플롭(207~209)의 D 입력에 출력한다.

스위치 회로(226~228)는 스위치 신호(SW)가 로우 레벨인 경우에는 제로 크로스 점이 검출되지 않는 것으로 하여 L 입력을 선택하여 다음 단의 대응하는 플립플롭(207~209)의 Q 출력을 D 입력에 입력시키는 루프를 형성한다.

도 2의 O에 OR 게이트(223)의 출력인 스위치 신호(SW)를 나타내고 있다.

플립플롭(207~209)은, 전술한 바와 같이 대응하는 스위치 회로(226~228)의 출력을, 버퍼(235, 236)를 통한 제1상 클럭(CLKA)에 동기하여 취득한다.

플립플롭(207~209)은, 제로 크로스가 검출되고 있지 않는 동안에는, 스위치 회로(226~228)에서 형성되는 루프에 의한 전회 래치한 데이터를, 제1상 클럭(CLKA)에 동기하여 계속하여 래치하고, 제로 크로스가 검출된 경우에, 스위치 회로(226~228)를 통하여 검출 시점의 데이터를 제1상 클럭(CLKA)에 동기하여 래치한다.

플립플롭(207)의 Q 출력은 스위치 회로(226)의 L 입력, 다음 단의 플립플롭(210)의 D 입력, AND 게이트(231)의 제1 입력에, 및 AND 게이트(23)의 제3 입력에 공급된다.

플립플롭(208)의 Q 출력은 스위치 회로(227)의 L 입력, 다음 단의 플립플롭(211)의 D 입력, AND 게이트(230)의 제3 입력, 및 AND 게이트(233)의 제2 입력에 공급된다.

플립플롭(209)의 Q 출력은 스위치 회로(228)의 L 입력, 다음 단의 플립플롭(212)의 D 입력, AND 게이트(229)의 제2 입력, 및 AND 게이트(232)의 제3 입력에 공급된다.

도 2의 P~도 2의 R에 플립플롭(207~209)의 Q 출력을 각각 A3, B3, C3으로 나타내고 있다.

플립플롭(210~212)은 버퍼(235, 236)를 통한 제1상 클럭(CLKA)에 동기하여 각각 플립플롭(207~209)의 출력을 래치한다.

플립플롭(210)의 출력은 다음 단의 플립플롭(213)의 D 입력, AND 게이트(229)의 제1 입력, 및 AND 게이트(230)의 제1 입력에 공급된다.

플립플롭(211)의 출력은 다음 단의 플립플롭(214)의 D 입력, AND 게이트(231)의 제2 입력, 및 AND 게이트(232)의 제1 입력에 공급된다.

플립플롭(212)의 출력은 다음 단의 플립플롭(215)의 D 입력, AND 게이트(233)의 제1 입력, 및 AND 게이트(234)의 제2 입력에 공급된다.

도 2의 S~도 2의 U에 플립플롭(210~212)의 Q 출력을 각각 A4, B4, C4로서 나타내고 있다.

플립플롭(213~215)은 버퍼(235, 236)를 통한 제1상 클럭(CLKA)에 동기하여 각각 플립플롭(210~202)의 출력을 래치한다.

플립플롭(213)의 Q 출력은 AND 게이트(230)의 제2 입력에 공급되어 있다.

플립플롭(214)의 Q 출력은 AND 게이트(231)의 제3 입력, 및 AND 게이트(232)의 제2 입력에 공급된다.

플립플롭(215)의 출력은 AND 게이트(233)의 제3 입력, 및 AND 게이트(234)의 제1 입력에 공급된다.

AND 게이트(229)는 도 4의 논리에 기초하여, 예지  $Y_n$ 이 위상 A이고 다음 예지  $Y_{n+1}$ 이 위상 C인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 높은 것으로 하여, 업 신호(UP)를 출력시키기 위하여 하이 레벨의 신호를 OR 게이트(224)의 제1 입력에 공급한다.

AND 게이트(230)는 도 4의 논리에 기초하여, 전회의 예지  $Y_n$ 이 위상 A이고 다음 예지  $Y_{n+1}$ 이 위상 B인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 낮은 것으로 하여, 다운 신호(DOWN)를 출력시키기 위하여 하이 레벨의 신호를 OR 게이트(225)의 제1 입력에 공급한다.

AND 게이트(229 및 230)는 예지  $Y_n$ 이 위상 A이고 다음 예지  $Y_{n+1}$ 이 위상 A인 경우에는, 예지의 위상 차이가 없어 오차 검출은 할 수 없기 때문에, 업 신호(UP)도 다운 신호(DOWN)도 출력하지 않도록 로우 레벨의 신호를 각각 게이트(224, 225)에 출력한다.

AND 게이트(231)는 도 4의 논리에 기초하여, 전회의 예지  $Y_n$ 이 위상 B이고 다음 예지  $Y_{n+1}$ 이 위상 A인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 높은 것으로 하여, 업 신호(UP)를 출력시키기 위하여 하이 레벨의 신호를 OR 게이트(224)의 제2 입력에 공급한다.

AND 게이트(232)는 도 4의 논리에 기초하여, 전회의 예지  $Y_n$ 이 위상 B이고 다음 예지  $Y_{n+1}$ 이 위상 C인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 낮은 것으로 하여, 다운 신호(DOWN)를 출력시키기 위하여 하이 레벨의 신호를 OR 게이트(225)의 제2 입력에 공급한다.

AND 게이트(231 및 232)는 예지  $Y_n$ 이 위상 B이고 다음 예지  $Y_{n+1}$ 이 위상 B인 경우에는, 예지의 위상 차이가 없어 오차 검출은 할 수 없기 때문에, 업 신호(UP)도 다운 신호(DOWN)도 출력하지 않도록 로우 레벨의 신호를 각각 게이트(224, 225)에 출력한다.

AND 게이트(233)는 도 4의 논리에 기초하여, 전회의 예지  $Y_n$ 이 위상 C이고 다음 예지  $Y_{n+1}$ 이 위상 B인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 높은 것으로 하여, 업 신호(UP)를 출력시키기 위하여 하이 레벨의 신호를 OR 게이트(224)의 제3 입력에 공급한다.

AND 게이트(234)는 도 4의 논리에 기초하여, 전회의 예지  $Y_n$ 이 위상 C이고 다음 예지  $Y_{n+1}$ 이 위상 A인 경우에는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 낮은 것으로 하여, 다운 신호(DOWN)를 출력시키기 위하여, 하이 레벨의 신호를 OR 게이트(225)의 제3 입력에 공급한다.

AND 게이트(233 및 234)는 예지  $Y_n$ 이 위상 C이고 다음 예지  $Y_{n+1}$ 이 위상 C인 경우에는, 예지의 위상 천이가 없어 오차 검출은 할 수 없기 때문에, 업 신호(UP)도 다운 신호(DOWN)도 출력하지 않도록 로우 레벨의 신호를 각각 게이트(224, 225)에 출력한다.

OR게이트(224)는 AND 게이트(229, 231, 233)의 출력 신호의 논리합을 취하고, 업 신호(UP)의 출력단의 플립플롭(216)의 D 입력에 공급한다.

OR 게이트(225)는 AND 게이트(230, 232, 234)의 출력 신호의 논리합을 취하고, 다운 신호(DWN)의 출력단의 플립플롭(217)의 D 입력에 공급한다.

도 2의 V, 도 2의 W에 OR 게이트(224, 225)의 출력을 각각 U0, D0로서 나타내고 있다.

플립플롭(216)은 버퍼(235, 236)를 통한 제1상 클럭(CLKA)에 동기하여 OR 게이트(234)의 하이 레벨 또는 로우 레벨을 취하는 출력(U0)을 래치하여, Q 출력으로부터 업 신호(UP)를 적분 회로(26)에 출력한다.

플립플롭(217)은 버퍼(235, 236)를 통한 제1상 클럭(CLKA)에 동기하여 OR 게이트(235)의 하이 레벨 또는 로우 레벨을 취하는 출력(D0)을 래치하여, Q 출력으로부터 다운 신호(DOWN)를 적분 회로(26)에 출력한다.

도 2의 X, 도 2의 Y에 플립플롭(216, 217)의 출력인 업 신호(UP) 및 다운 신호(DOWN)를 각각 나타내고 있다.

또한, 플립플롭(216, 217)에 공급되는 제1상 클럭(CLKA)은 예를 들면 도 5에 파선으로 도시한 바와 같이 분주기(예를 들면 2분주)(237)를 형성하고, 분주후의 제1상 클럭(CLK2)으로서, 업 신호(UP) 및 다운 신호(DOWN)를 래치하고, 출력하도록 구성하는 것도 가능하다.

도 2의 Z에 이 클럭(CLK2)을 나타내고 있다.

버퍼(235, 236)를 통한 제1상 클럭(CLKA) 또는 더욱 분주된 클럭(CLK2)은 도 1에 도시한 바와 같이, 적분 회로(26)의 적분기(INTG)(261, 262), 컴파리레이터(27), 및 패턴 검출 및 개인 조정 회로(28)의 동작 클럭으로서 공급된다.

또한, 도 5의 주파수 비교기(25)에서는, 플립플롭(210~212)에는 전회의 제로 크로스가 어느 상으로 검출되었는지를 나타낸 데이터가 세트되고, 플립플롭(207~209)에는 이번(다음)의 제로 크로스가 어느 상으로 검출되었는지를 나타낸 데이터가 세트되기 때문에, 전회의 예지  $Y_n$ 의 검출 위상의 정보와 다음 예지  $Y_{n+1}$ 의 검출 위상의 정보가 얻어지고 있기 때문에, 상 변화를 검출하기 위해서는, 플립플롭(213~215)을 반드시 형성할 필요는 없다.

본 실시형태에 있어서, 플립플롭(213~215)을 형성한 것은 이하의 이유에 따른다.

제1상 클럭(CLKA)의 1주기 이내에 제로 크로스가 2번 검출되는 것은, 데이터의 특성 상 있을 수 없는 것이기 때문에, 만약 1T 내에 검출 위상에 변화가 있으면, 노이즈 등에 기초하는 데이터를 취득한 것으로 하여, 업 신호(UP) 및 다운 신호(DOWN)를 출력시키지 않고, 무시시키기 위하여 형성하고 있다.

예를 들면, 정상 동작인 경우에는, 전회의 예지  $Y_n$ 이 위상 A이고 다음 예지  $Y_{n+1}$ 이 위상 B인 경우에는, 플립플롭(210)의 출력(A4), 플립플롭(208)의 출력(B3)이 하이 레벨이고, 또한, 1T 전의 데이터를 래치하는 플립플롭(213)의 출력도 하이 레벨이기 때문에, AND 게이트(230)에 있어서는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 낮은 것으로 하여, 다운 신호(DOWN)를 출력시키기 위하여 하이 레벨의 신호를 OR 게이트(225)에 공급한다.

그러나, 노이즈 등 때문에, 1T 내에 검출 위상에 변화가 있으면 플립플롭(213)의 출력은 로우 레벨이기 때문에, AND 게이트(230)의 출력은 마스크되어 로우 레벨로 유지되어, 다운 신호(DOWN)의 출력이 억제된다.

마찬가지로, 정상 동작인 경우에는, 전회의 예지  $Y_n$ 이 위상 B이고 다음 예지  $Y_{n+1}$ 이 위상 A인 경우에는, 플립플롭(207)의 출력(A3), 플립플롭(211)의 출력(B4)이 하이 레벨이고, 또한, 1T 전의 데이터를 래치하는 플립플롭(214)의 출력도 하이 레벨이기 때문에, AND 게이트(231)에 있어서는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 높은 것으로 하여, 업 신호(UP)를 출력시키기 위하여 하이 레벨의 신호를 OR 게이트(224)에 공급한다.

그러나, 노이즈 등 때문에, 1T 내에 검출 위상에 변화가 있으면 플립플롭(214)의 출력은 로우 레벨이기 때문에, AND 게이트(231)의 출력은 마스크되어 로우 레벨로 유지되어, 업 신호(UP)의 출력이 억제된다.

마찬가지로, 정상 동작인 경우에는, 전회의 예지  $Y_n$ 이 위상 B이고 다음 예지  $Y_{n+1}$ 이 위상 C인 경우에는, 플립플롭(209)의 출력(C3), 플립플롭(211)의 출력(B4)이 하이 레벨이고, 또한, 1T 전의 데이터를 래치하는 플립플롭(214)의 출력도 하이 레벨이기 때문에, AND 게이트(232)에 있어서는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 낮은 것으로 하여, 다운 신호(DOWN)를 출력시키기 위하여 하이 레벨의 신호를 OR 게이트(225)에 공급한다.

그러나, 노이즈 등 때문에, 1T 내에 검출 위상에 변화가 있으면 플립플롭(214)의 출력은 로우 레벨이기 때문에, AND 게이트(232)의 출력은 마스크되어 로우 레벨로 유지되어, 다운 신호(DOWN)의 출력이 억제된다.

마찬가지로, 정상 동작인 경우에는, 전회의 예지  $Y_n$ 이 위상 C이고 다음 예지  $Y_{n+1}$ 이 위상 B인 경우에는, 플립플롭(208)의 출력(B3), 플립플롭(212)의 출력(C4)이 하이 레벨이고, 아울러, 1T 전의 데이터를 래치하는 플립플롭(215)의 출력도 하이 레벨이기 때문에, AND 게이트(233)에 있어서는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 높은 것으로 하여, 업 신호(UP)를 출력시키기 위하여 하이 레벨의 신호를 OR 게이트(224)에 공급한다.

그러나, 노이즈 등 때문에, 1T 내에 검출 위상에 변화가 있으면 플립플롭(215)의 출력은 로우 레벨이기 때문에, AND 게이트(233)의 출력은 마스크되어 로우 레벨로 유지되어, 업 신호(UP)의 출력이 억제된다.

마찬가지로, 정상 동작인 경우에는, 전회의 예지  $Y_n$ 이 위상 C이고 다음 예지  $Y_{n+1}$ 이 위상 A인 경우에는, 플립플롭(207)의 출력(A3), 플립플롭(212)의 출력(C4)이 하이 레벨이고, 아울러, 1T 전의 데이터를 래치하는 플립플롭(215)의 출력도 하이 레벨이기 때문에, AND 게이트(234)에 있어서는, 입력 데이터 신호의 주파수는 VCO(23)의 발진 주파수보다도 낮은 것으로 하여, 다운 신호(DOWN)를 출력시키기 위하여 하이 레벨의 신호를 OR 게이트(225)에 공급한다.

그러나, 노이즈 등 때문에, 1T 내에 검출 위상에 변화가 있으면 플립플롭(215)의 출력은 로우 레벨이기 때문에, AND 게이트(234)의 출력은 마스크되어 로우 레벨로 유지되어, 다운 신호(DOWN)의 출력이 억제된다.

또한, 상술한 주파수 비교기(25)의 주파수 비교 방법을 고밀도 기록된 랜덤 데이터 패턴에 있어서 사용하는 경우, 각종 요인에 의한 데이터 예지의 타이밍 품질 열화에 의해, 올바른 주파수 검출이 이루어지지 않는 경우가 발생한다. 품질 열화 요인으로서는 다음과 같은 것이 있다.

- 틸트(래디얼, 탄젠셜)에 의한 열화,
- 포커스 오차에 의한 열화,
- 라이트 파워 오차에 의한 어시메트리(비선형 왜곡)
- 구면 수차에 의한 열화
- 이퀄라이저의 주파수 특성에 의존하는 등화 오차

이다.

또한, 파셀 리스폰스 등화를 행하는 경우에는, 반드시 제로 크로스 예지로부터의 주파수 검출이 가능하다고는 할 수 없지만, BDROM의 경우에는 채널 부호(1-7RLL)와 PR2(1-2-1)의 조합에 의해, 제로 크로스 정보를 주파수 검출에 사용할 수 있다.

그러나, 이 조합에서는, 등화 후의 데이터 레벨은 ±1, ±2의 4값을 취하기 때문에, 단주기 패턴(2T)의 진폭이 데이터의 엔벨로프에 비하여 작아지고, 이로 인해에, 제로 크로스 예지의 기울기가 완만하게 되어, 회로 오프셋이나 노이즈 그 밖의 요인에 의한 타이밍 품질의 열화의 요인이 된다.

도 6은 BDROM의 경우의 등화 후 파형의 일례를 도시한 도면이다.

또한, 도 7은 상기의 요인에 의해 열화된 경우의 제로 크로스 에지의 분포의 일례를 도시한 도면이다.

도 7에 있어서, 분포의 각 산은 2T~8T의 각 패턴이다.

이 데이터로부터 알 수 있는 바와 같이, 단위 시간당의 2T의 비율은 가장 많고, 이 에지의 신호 품질이 주파수 검출의 정밀도에 미치는 영향은 크다고 생각된다.

각 데이터 패턴의 분포의 평균이  $\pm 1T$  이상의 폭을 갖고 있기 때문에 패턴마다의 분리가 충분히 이루어져 있지 않고, 이로 인해 오검출이 다발한다.

이상과 같은 요인에 의해, 주파수 검출기의 오검출이 발생한 경우라도 고속으로 주파수 인입을 행할 필요가 있다.

도 8은 주파수 비교기의 출력 특성을 도시한 도면이다. 도 8에 있어서, 가로축이 주파수 오차(FERR)을, 세로축이 주파수 비교기의 출력(FCMPOT)을 각각 나타내고 있다.

이 방식에 의한 주파수 검출에 있어서는, 주파수 검출 개인이 주파수 오차에 대하여 일정하게 되어 있지 않고, 주파수 오차 7% 부근을 피크로 하는 불록형으로 되어 있으며, 주파수 오차가 증대하면 개인이 저하되게 된다.

이러한 개인의 저하를 막고, 주파수 오차에 따르지 않고 안정된 고속 인입을 실현할 필요가 있다.

이로 인해, 먼저 도 1에 도시한 바와 같이, 주파수 검출기(25)의 출력인 업 신호(UP), 및 다운 신호(DOWN)를 적분 회로(26)에 있어서 적분한다.

적분 회로(26)는 예를 들면 카운터로 이루어지는 UP용 적분기(261)와 DOWN용 적분기(262)를 가지며, 주파수 비교기(25)의 업 신호(UP) 또는 다운 신호(DOWN)를 레지스터(REG)(31)에 설정된 적분값 설정값(INTSTV)에 기초하여 적분하고, 컴퍼레이터(27)에 출력한다.

또한, 본 실시형태에서는, 회로의 간단화를 위하여 적분기로서 카운터를 사용하고 있지만, 적분기로서 기능하면 다른 물건이어도 되고, LPF(Low Pass Filter) 등이어도 된다.

컴퍼레이터(27)는 적분 회로(26)에 의해 적분된 업 신호(UP) 또는 다운 신호(DOWN)를 받아, 레지스터(REG)(32)에 설정되는 판정 임계값(TRSHV)에 따라 주파수 오차의 방향을 판정하고, 판정 결과에 따라 UPM, DOWNM, NONM의 3신호를 패턴 검출 및 개인 조정 회로(28)에 출력한다.

도 9의 A~도 9의 H 및 도 10의 A~도 10의 H는 카운터를 사용한 적분기 및 컴퍼레이터의 동작을 도시한 타이밍 차트로서, 도 9의 A~도 9의 H는 적분 설정값(INTGSTV)을 8, 판정 임계값(TRSHV)을 4로 한 경우에, 컴퍼레이터(27)로부터 신호(UPM)가 출력되는 경우의 동작을 나타내고 있다. 도 10의 A~도 10의 H는 적분 설정값(INTGSTV)을 8, 판정 임계값(TRSHV)을 4로 한 경우에, 컴퍼레이터(27)로부터 신호(NONM)가 출력되는 경우의 동작을 나타내고 있다.

또한, 카운터의 경우에는 업 신호(UP) 또는 다운 신호(DOWN)의 카운트 값이 설정값에 도달한 시점에서 컴퍼레이터에서 카운트 값을 비교하고, 신호(UPM) 또는 (DOWNM)를 출력하고, 카운터를 리셋한다.

도 9의 A~도 9의 H에서는, 신호(UPM)가 출력되는 경우를 나타내었지만, 신호(DOWNM)에 대해서도 동일한 동작으로 된다.

이 예에서는, 적분 회로(26)의 UP 카운터(261)는 8을 카운트하고, DOWN 카운터(262)는 3을 카운트하고 있다. 그리고, 양쪽 카운트 값의 차 5가 판정 임계값 4보다도 크기 때문에, 신호(UPM)가 출력된다.

또한, 컴퍼레이터(27)는 임계값 설정 기능을 가지고 있으며, 카운트 값의 차이가 임계값 4보다도 작은 경우에는 신호(NONM)를 출력함으로써, 신뢰성이 낮은 비교 결과에 대해서는 마스크할 수 있다.

도 10의 A~도 10의 H는 신호(NONM)를 출력하는 경우이다.

이 예에서는, 적분 회로(26)의 UP 카운터(261)는 8을 카운트하고, DOWN 카운터(62)는 5를 카운트하고 있다. 그리고, 양쪽 카운트 값의 차 3이 판정 임계값 4보다도 작기 때문에, 신호(NONM)가 출력된다. 신뢰성이 낮은 비교 결과에 대해서는 마스크하고 있다.

이들 기능만으로는, 기입 패턴 등에 의존한 국소적인 오검출을 방지할 수 없는 경우가 있기 때문에, 다음과 같이 하여 적분 값을 늘리지 않고, 국소적인 오검출의 영향을 방지한다.

컴퍼레이터(27)에 의한 UPM, DOWNM, 및 NONM의 3개의 여러 신호는 패턴 검출 및 개인 조정 회로(28)에 입력된다.

패턴 검출 및 개인 조정 회로(28)는 컴퍼레이터(27)에 의한 3신호 UPM, DOWNM, 및 NONM의 시계열로부터, 신호 UPOUT 또는 DOWNOUT를 차지 펌프 회로(29)에 출력하고, 또는 아무 것도 출력하지 않고, 또한 출력 폴스의 폭을 패턴에 따라 변화시킨다.

도 11은 패턴 검출 및 개인 조정 회로(28)의 논리를 도시한 도면이다.

이 예에서는, 컴퍼레이터(27)의 3회 전의 출력, 2회 전의 출력, 1회 전의 출력, 및 현재의 컴퍼레이터(27)의 출력을 시계열적으로 보아, 출력 및 귀환 게인(펄스 폭)을 결정하고 있다.

컴퍼레이터(27)의 3회 전의 출력, 2회 전의 출력, 1회 전의 출력이 UPM 이외이고, 현재의 컴퍼레이터(27)의 출력이 UPM인 경우, 패턴 검출 및 개인 조정 회로(28)는 아무 것도 출력하지 않고, 개인은 0으로 한다.

컴퍼레이터(27)의 3회 전의 출력 및 2회 전의 출력 중 어느 한 쪽이 UPM이고, 1회 전의 출력이 UPM 이외이고, 현재의 컴퍼레이터(27)의 출력이 UPM인 경우, 패턴 검출 및 개인 조정 회로(28)는 신호 UPOUT를 출력하고, 개인은 0.25(1T)로 한다.

컴퍼레이터(27)의 3회 전의 출력 및 2회 전의 출력 모두가 UPM 이외이고, 1회 전의 출력이 UPM이고, 현재의 컴퍼레이터(27)의 출력이 UPM인 경우, 패턴 검출 및 개인 조정 회로(28)는 신호 UPOUT를 출력하고, 개인은 0.25(1T)로 한다.

컴퍼레이터(27)의 3회 전의 출력이 UPM 이외이고, 2회 전의 출력이 UPM이고, 1회 전의 출력이 UPM이고, 현재의 컴퍼레이터(27)의 출력이 UPM인 경우, 패턴 검출 및 개인 조정 회로(28)는 신호 UPOUT를 출력하고, 개인은 0.5(2T)로 한다.

컴퍼레이터(27)의 3회 전의 출력, 2회 전의 출력, 1회 전의 출력, 현재의 컴퍼레이터(27)의 출력이 모두 UPM인 경우, 패턴 검출 및 개인 조정 회로(28)는 신호 UPOUT를 출력하고, 개인은 1(4T)로 한다.

컴퍼레이터(27)의 3회 전의 출력, 2회 전의 출력, 1회 전의 출력이 DOWNM 이외이고, 현재의 컴퍼레이터(27)의 출력이 DOWNM인 경우, 패턴 검출 및 개인 조정 회로(28)는 아무 것도 출력하지 않고, 개인은 0으로 한다.

컴퍼레이터(27)의 3회 전의 출력 및 2회 전의 출력의 어느 한쪽이 DOWNM이고, 1회 전의 출력이 DOWNM 이외이고, 현재의 컴퍼레이터(27)의 출력이 DOWNM인 경우, 패턴 검출 및 개인 조정 회로(28)는 신호 DOWNOUT를 출력하고, 개인은 0.25(1T)로 한다.

컴퍼레이터(27)의 3회 전의 출력 및 2회 전의 출력의 어느 것이나 DOWNM 이외이고, 1회 전의 출력이 DOWNM이고, 현재의 컴퍼레이터(27)의 출력이 DOWNM인 경우, 패턴 검출 및 개인 조정 회로(28)는 신호 DOWNOUT를 출력하고, 개인은 0.25(1T)로 한다.

컴퍼레이터(27)의 3회 전의 출력이 DOWNM 이외이고, 2회 전의 출력의 어느 것이나 DOWNM이고, 1회 전의 출력이 DOWNM이고, 현재의 컴퍼레이터(27)의 출력이 DOWNM인 경우, 패턴 검출 및 개인 조정 회로(28)는 신호 DOWNOUT를 출력하고, 개인은 0.5(2T)로 한다.

컴퍼레이터(27)의 3회 전의 출력, 2회 전의 출력, 1회 전의 출력, 현재의 컴퍼레이터(27)의 출력이 모두 DOWNM인 경우, 패턴 검출 및 개인 조정 회로(28)는 신호 DOWNOUT를 출력하고, 개인은 1(4T)로 한다.

또한, 컴퍼레이터(27)의 3회 전의 출력, 2회 전의 출력, 1회 전의 출력이 UPM, UPM 이외, DOWNM, DOWNM 이외 중의 어느 하나이고, 현재의 컴퍼레이터(27)의 출력이 모두 NONM인 경우, 패턴 검출 및 개인 조정 회로(28)는 아무 것도 출력하지 않고, 개인은 0으로 한다.

도 12의 A~도 12의 F는 도 11의 논리에 기초하는 패턴 검출 및 개인 조정 회로(28)의 인입 초기의 동작예를 도시한 타이밍 차트이다.

인입 개시 시에는, 과거의 계열을 참조할 수 없기 때문에, 1발째의 UPM 또는 DOWNM의 신호에 대한 피드백은 제로로 한다.

그 후, 동일한 신호가 연속하여 입력되면, 피드백 개인은 0.25, 0.5, 1.0로 순차적으로 증가한다.

도 12의 A~도 12의 F의 예의 경우에는 초기에 오검출이 발생한 경우를 상정하고 있지만, 오검출에 의한 컨트롤 전압의 변동은 이와 같은 개인 조정을 행하지 않는 경우에 비하여 1/8로 억압할 수 있다. 실제로는, 오검출에 의해 주파수 오차가 확대된 경우에는 이미 도시한 바와 같이, 검출 개인이 저하되기 때문에, 이와 같은 오검출에 의한 영향을 억제하는 것이 중요하다.

도 13의 A~도 13의 F는 도 11의 논리에 기초하는 패턴 검출 및 개인 조정 회로(28)의 인입 도중의 동작예를 도시한 타이밍 차트이다.

인입 도중에서 오검출에 의해 역방향의 주파수 오차가 검출된 경우에는, 일단 개인을 0으로 한다. 그 후, 동일한 신호가 연속된 경우에는 피드백 개인을 순차 증가시킨다.

도 13의 A~도 13의 F의 예의 경우, 이와 같은 개인 조정을 행하지 않은 경우에 비하여, 오검출에 의한 주파수 변동을 1/8로 억압할 수 있다.

도 14의 A~도 14의 F는 도 11의 논리에 기초하는 패턴 검출 및 개인 조정 회로(28)의 수속 시의 동작 예를 도시한 타이밍 차트이다.

수속 시에는 업 신호(UP) 및 다운 신호(DOWN)의 적분 결과의 차는 작아지고, 신호 UPM 및 DOWNM의 출현 확립이 거의 동일하게 된다.

또한, 신호 NONM의 출현 확립이 높아진다.

도 14의 A~도 14의 F의 예의 경우에는 검출 결과가 연속하지 않음에 따라, 개인이 증가하지 않아서, 이러한 개인 조정을 행하지 않는 경우와 비교하여, 주파수 변동을 1/4에서 1/8로 억압할 수 있다.

또한, 패턴에 의한 개인 조정 방법으로서는 이 논리가 아니어도 되고, 모니터하는 패턴 길이, 패턴의 배리에이션, 개인의 가변 레인지나 분해능 등을 변경해도 된다.

이들 기능에 의해, 인입 도중에서의 오검출에 대해서는, 개인이 자동적으로 저하하여 오검출에 의한 VCO 주파수의 변동을 억압할 수 있다.

또한, 주파수 인입이 수속된 경우에는 평균적인 피드백 개인은 자동적으로 저하하여 오검출에 의한 주파수 변동을 억압하는 것이 가능하다.

또한, 본 실시형태에 있어서의 개인 조정 방법으로서는, 고속의 개인 절환이 가능하기 때문에, 차지 펌프(29)의 스위칭 펄스 폭을 변화시키는 방법을 사용하였으나, 개인을 조정할 수 있으면 다른 방법이어도 되고, 예를 들면 전류원의 전류값을 절환하여도 된다.

다음으로, 도 1의 회로의 동작을 설명한다.

광학 헤드(12)로부터 출력되어 프리앰프(13)에서 증폭된 재생 신호는, AGC 회로(14)에서 진폭 조정되어, 아날로그 이퀄라이저 회로(15)에 입력된다.

아날로그 이퀄라이저(15)에 의해 등화되고, 고역 노이즈가 제거된 재생 신호는 ADC(16) 및 제로 크로스 컴퍼레이터(24)에 입력된다.

이 때, PLL 회로(40)에 의해 ADC(16)의 샘플링 위상을 올바른 상태로 일치시킬 필요가 있는데, 입력 신호 주파수와 클럭 주파수의 오차가 큰 경우(3% 전후를 초과한 경우)에는 위상 검출기에 의한 위상 인입은 곤란하기 때문, 먼저 주파수 루프에 의해 주파수 오차를 인입한다.

제로 크로스 컴퍼레이터(24)의 출력은, PLL 회로(40)의 주파수 비교기(25)에 입력되어, 주파수 오차의 방향(UP 또는 DOWN)의 검출에 사용된다.

이 업 신호(UP) 또는 다운 신호(DOWN)의 출력은 다시 적분 회로(26)(적분기(261, 262))에서 적분된 뒤, 컴퍼레이터(27)에서 비교되고, 설정된 임계값에 따라, UPM, DOWNM, NONM의 3신호로서 패턴 검출 및 개인 조정 회로(28)에 출력된다.

패턴 검출 및 개인 조정 회로(28)는 이 3신호의 시계열로부터, 신호 UPOUT 또는 DOWNOUT를 출력하거나, 또는 아무것도 출력하지 않고, 또한 출력 폴스의 폭을 패턴에 따라 변화시킨다.

패턴 검출 및 개인 조정 회로(28)의 출력은 주파수 루프용의 차지 펌프 회로(29)에서 전류로 변환되고, 루프 필터(30)에서 적분된다.

루프 필터(30)의 출력 제어 신호(S30)에 의해 VCO(23)의 발진 주파수가 컨트롤되고, 입력 데이터 신호의 주파수에 일치시키도록 동작한다.

VCO(23)는 3단 링 구성으로 이루어져 있으며, 각 단으로부터의 출력은 CLK의 1주기를 3분할하는 3상 클럭(CLKA, CLKB, CLKC)으로 되어 있다. 이 3상 클럭(CLKA, CLKB, CLKC)이 주파수 비교기(25)에 입력되고, 제로 크로스 컴퍼레이터(24)로부터 출력된 제로 크로스 신호(ZC)와 비교함으로써 주파수 검출이 행해진다.

이상이 주파수 모드의 동작이며, 주파수 루프의 동작에 의해 입력 데이터 신호와 VCO(23)의 발진 주파수가 거의 일치하면, PLL 회로(40)는 위상 로크 모드로 절환된다.

ADC(16)의 출력은 PLL 회로(40)의 위상 비교 회로(22)에 입력되고, 그 위상오차 데이터(S22)는 루프 필터(30)에서 적분되고, VCO(23)를 컨트롤하여 ADC(16)의 샘플링 위상을 일치시킨다.

또한, ADC(16)의 출력은 FIR 필터(17)에 입력되고, 더욱 고정밀도로 등화된 후, 비터비 복호기(18)에 입력되고, 디코드, 에러 정정된 뒤, NRZ 데이터로서 출력된다.

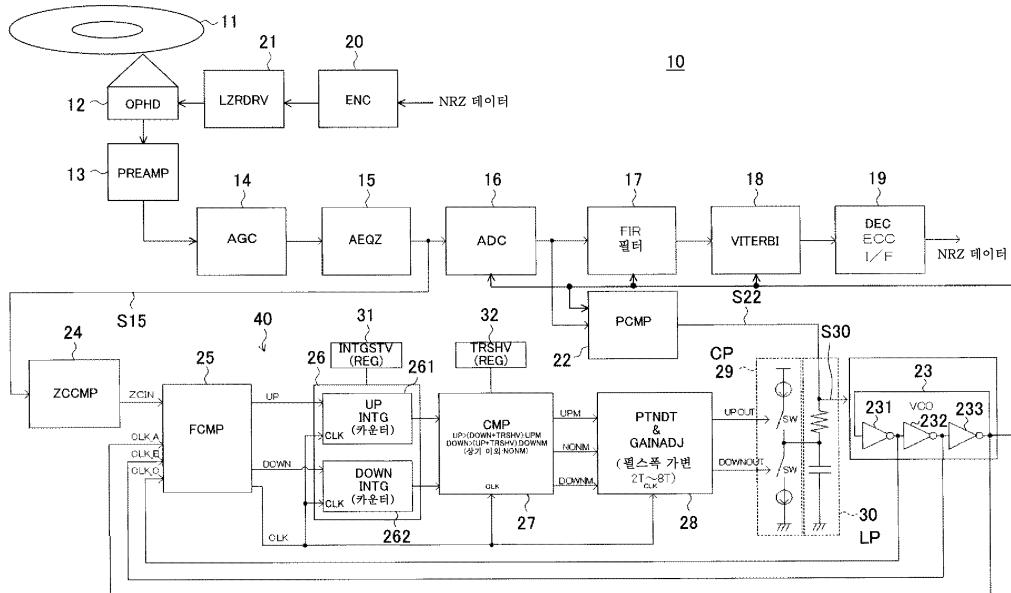
이상 설명한 바와 같이, 본 실시형태에 따르면, VCO(23)에 의한 3상 클럭(CLKA, CLKB, CLKC)에 동기하여 제로 크로스 컴퍼레이터(24)에 의한 제로 크로스 신호(ZC)를 취득하고, 그 후, 예를 들면 제1상 클럭(CLKA)에 동기하여, 입력 데이터 신호의 제로 크로스의 에지가 어느 위상으로부터 어느 위상으로 변화되었는지 관찰함으로써 주파수가 높은지 낮은지를 주파수 오차로서 검출하여, 업 신호(UP) 또는 다운 신호(DOWN)를 출력하는 주파수 비교기(25)와, 주파수 비교기(25)의 업 신호(UP) 또는 다운 신호(DOWN)를 레지스터(31)에 설정된 적분값 설정값에 기초하여 적분하는 적분 회로(26)와, 적분 회로(26)에 의해 적분된 업 신호(UP) 또는 다운 신호(DOWN)를 받아서, 레지스터(32)에 설정되는 판정 임계값에 따라 주파수 오차의 방향을 판정하고, 판정 결과에 따라서 UPM, DOWNM, NONM의 3신호를 출력하는 컴퍼레이터(27)와, 컴퍼레이터(27)에 의한 3신호 UPM, DOWNM, 및 NONM의 시계열의 패턴으로부터, 신호 UPOUT 또는 DOWNOUT를 출력할 것인지의 여부 및 귀환 개인을 결정하여 차지 펌프 회로(29)에 출력하는 패턴 검출 및 개인 조정 회로(28)를 갖기 때문에, 이하의 효과를 얻을 수 있다.

즉, 입력 데이터와 VCO의 다상 클럭을 사용한 주파수 비교 방법에 있어서, 입력 신호의 제로 크로스 에지의 품질이 나쁘고, 주파수 비교기의 오검출이 발생하는 경우라도, 그 영향을 저감할 수 있으며, 그 결과 안정되고 아울러 고속의 주파수 인입이 가능해진다.

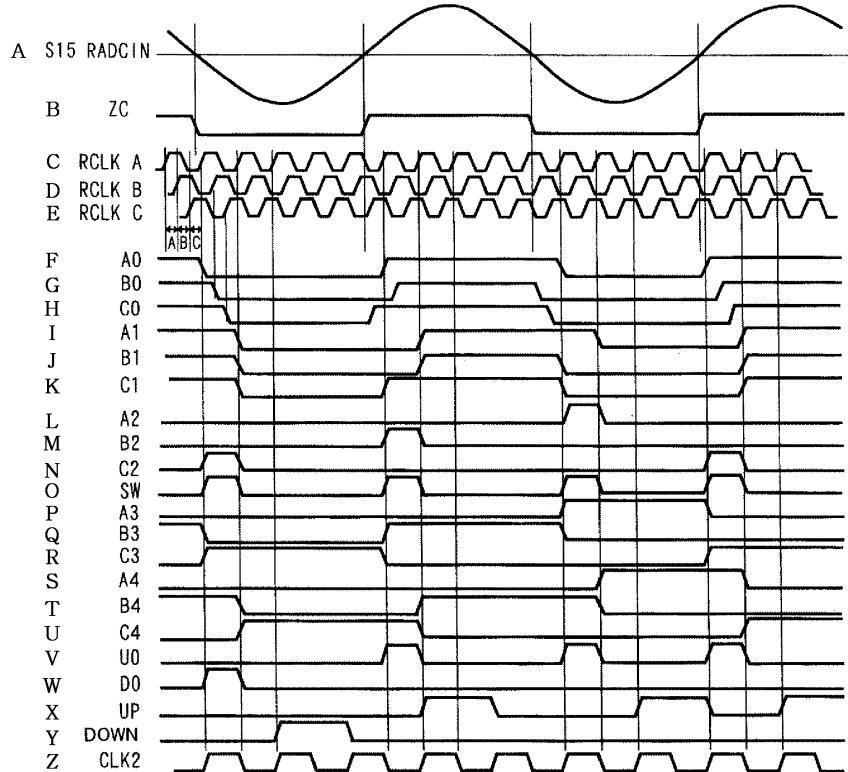
또한, 상기 이외의 주파수 검출 방법, 예를 들면 데이터의 제로 크로스 간격을 직접 측정하는 주파수 비교 방식에 있어서도, 오검출의 영향을 저감하여, 안정 되고 아울러 고속의 주파수 인입이 가능해진다.

## 도면

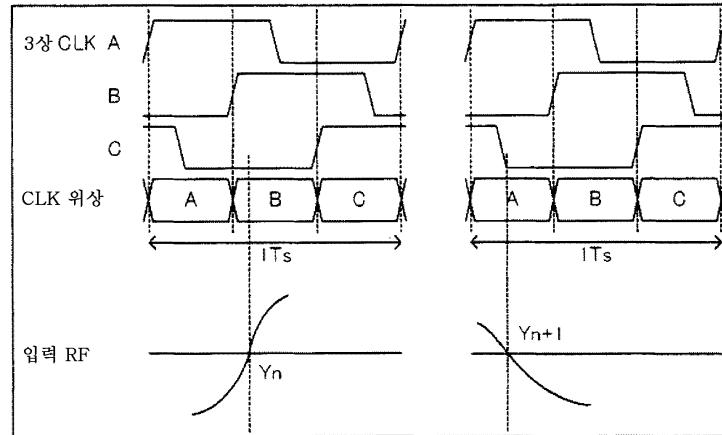
도면1



도면2



도면3



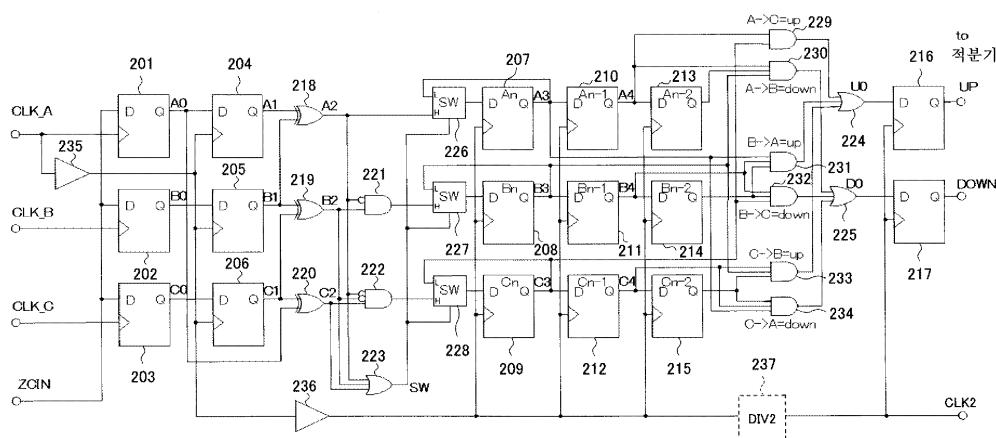
도면4

주파수 비교기 논리

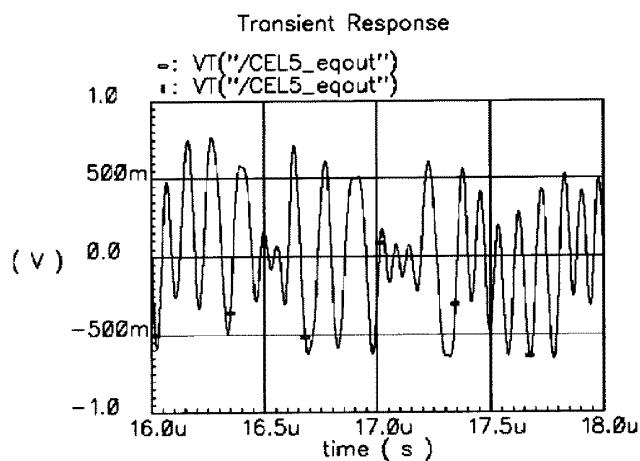
Yn	Yn+1	UP	DOWN
A	A	0	0
A	B	0	1
A	C	1	0
B	A	1	0
B	B	0	0
B	C	0	1
C	A	0	1
C	B	1	0
C	C	0	0

도면5

25

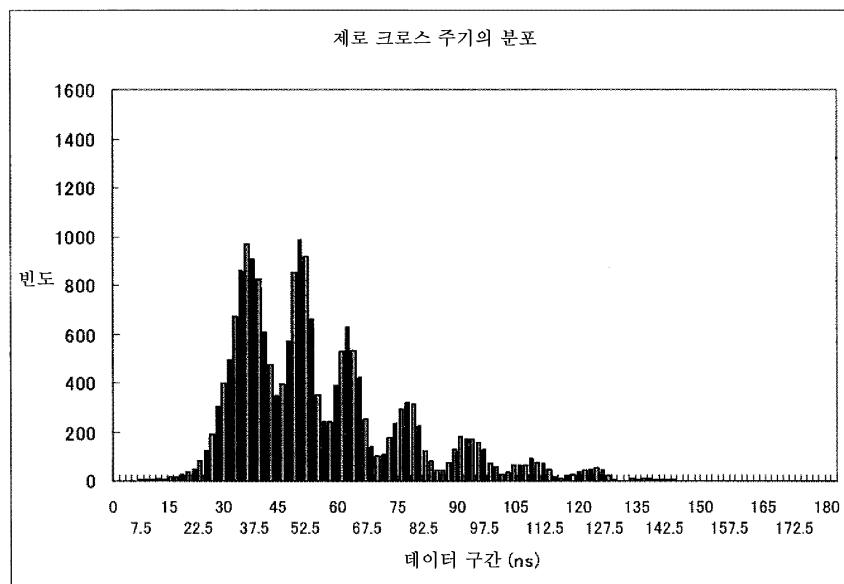


## 도면6



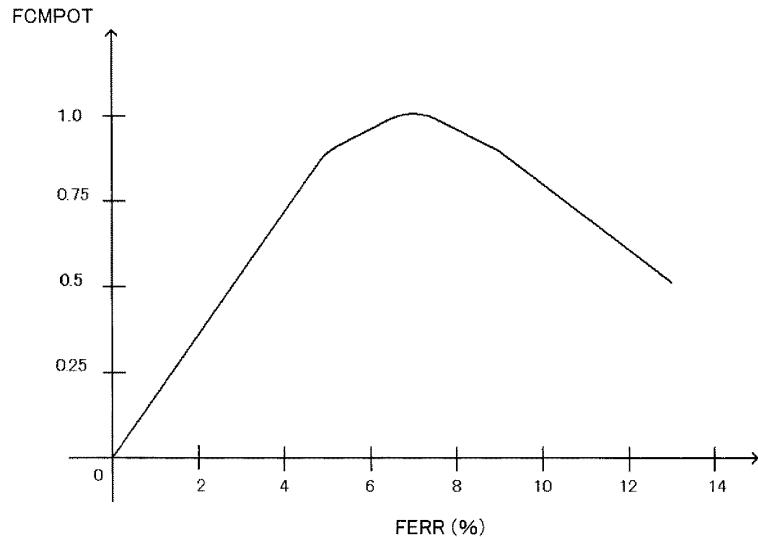
## 도면7

## 제로 크로스 분포의 예



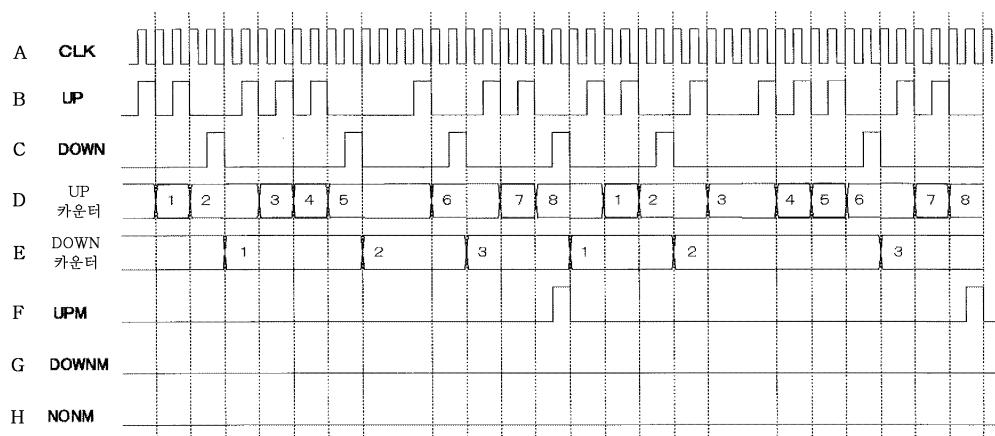
## 도면8

BD ROM의 경우(논리값)



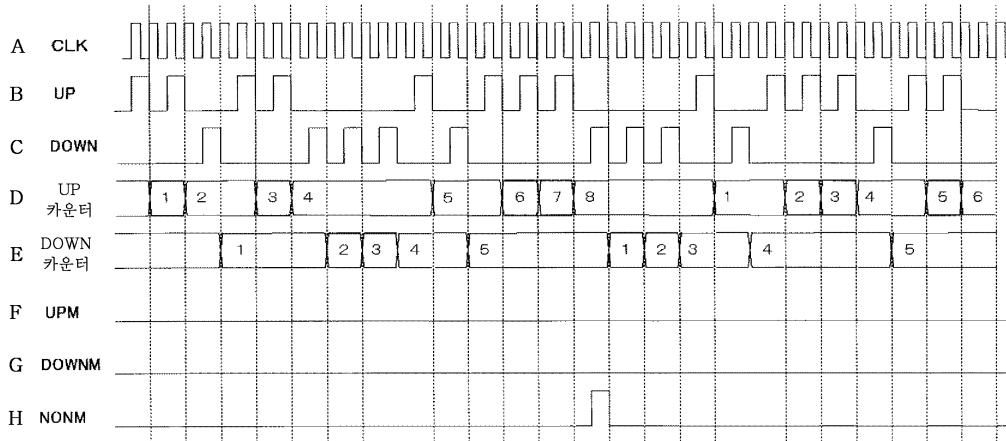
## 도면9

(적분 설정값 = 8, 판정 임계값 = 4, UPM이 출력되는 경우)



## 도면10

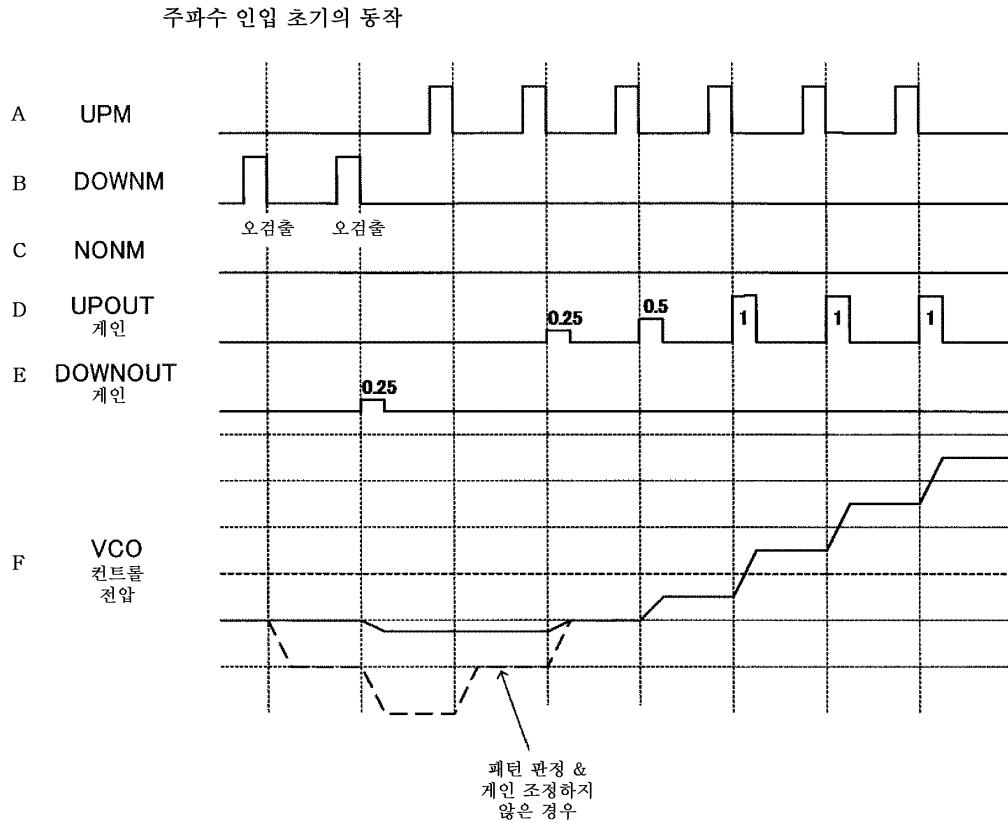
(적분 설정 값= 8, 판정 임계값=4, NONM이 출력되는 경우)



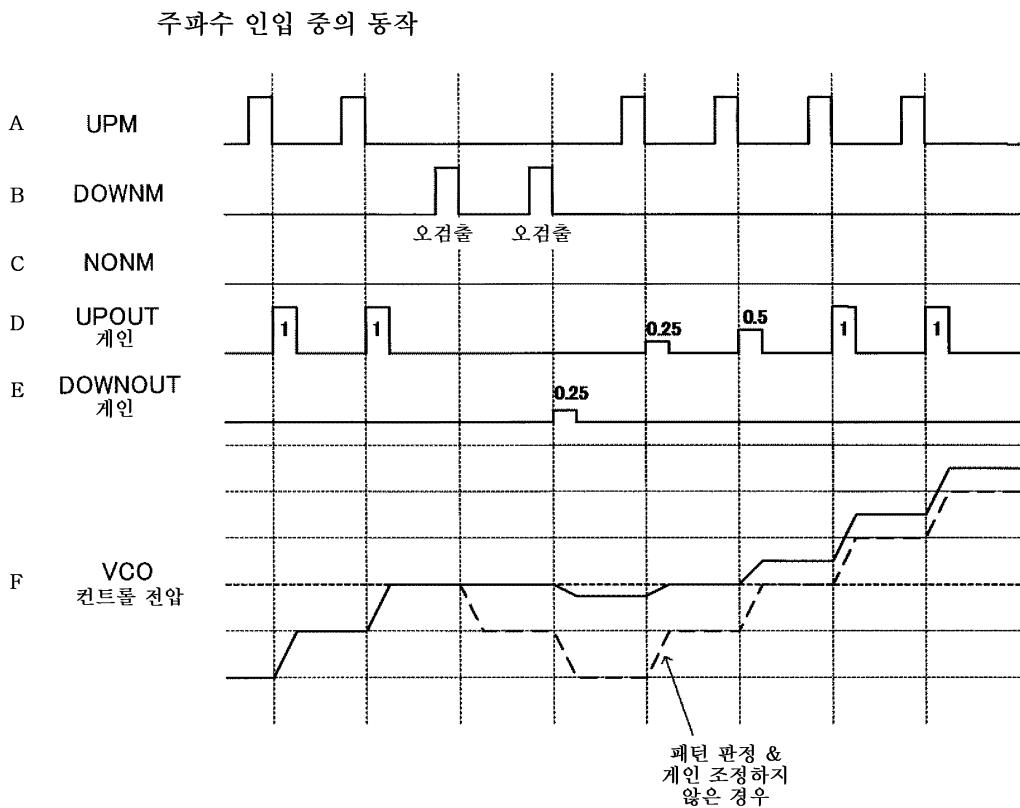
## 도면11

3회 전의 컴파레이터 출력	2회 전의 컴파레이터 출력	1회 전의 컴파레이터 출력	현재의 컴파레이터 출력	출력	
				출력	제인 (웹스폭)
UPM 이외	UPM 이외	UPM	UPM	없음	0
어느 하나의 UPM				UPOUT	0.25(1T)
UPM				UPOUT	0.25(1T)
UPM 이외				UPOUT	0.5(2T)
UPM				UPOUT	1(4T)
DOWNM 이외	DOWNM 이외	DOWNM	DOWNM	없음	0
어느 하나의 DOWNM				DOWNOUT	0.25(1T)
DOWNM 이외				DOWNOUT	0.25(1T)
DOWNM 이외				DOWNOUT	0.5(2T)
DOWNM				DOWNOUT	1(4T)
ALL	ALL	ALL	NONM	없음	0

도면12



도면13



## 도면14

## 수속 시의 동작

